

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2014年5月22日(22.05.2014)



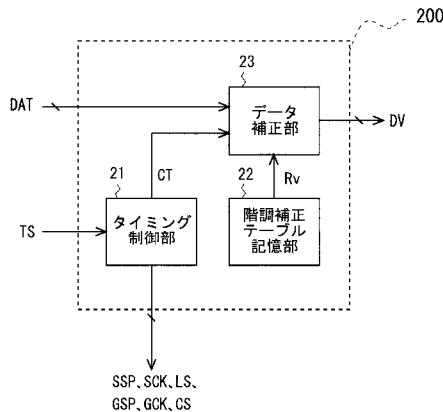
(10) 国際公開番号  
**WO 2014/077194 A1**

- (51) 国際特許分類:  
*G09G 3/36* (2006.01) *G09G 3/20* (2006.01)  
*G02F 1/133* (2006.01)
- (21) 国際出願番号: PCT/JP2013/080216
- (22) 国際出願日: 2013年11月8日(08.11.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2012-250039 2012年11月14日(14.11.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: 齊藤 浩二(SAITOH, Kohji). 岩本 明久(IWAMOTO, Akihisa). 西村 智彦(NISHIMURA, Tomohiko). 植畑 正樹(UEHATA, Masaki). 中田 淳(NAKATA, Jun). 尾崎 正実(OZAKI, Masami).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: DISPLAY DEVICE AND DRIVE METHOD THEREFOR

(54) 発明の名称: 表示装置およびその駆動方法



21 Timing control unit  
22 Scale correction table storage unit  
23 Data correction unit

(57) Abstract: In a display device to which a low-frequency drive method can be adopted, when a low-frequency drive is carried out, a pixel scale value is set with a data correction unit (23) of a display control circuit (200) such that difference values of a potential difference between a pixel electrode and a common electrode when a positive polarity voltage is imparted and a potential difference between the pixel electrode and the common electrode when a negative polarity voltage is imparted are greater than when being regularly driven. Thus, a correction quantity (shift quantity) is larger when in low-frequency drive than in regular drive, and flicker and screen burn-in in low-frequency drive are avoided.

(57) 要約: 低周波駆動方式を採用可能な表示装置において、低周波駆動が行われる場合に、表示制御回路(200)のデータ補正部(23)では、通常駆動時よりも、正極性の電圧が印加される時の画素電極と共通電極との電位差と、負極性の電圧が印加される時の画素電極と共通電極との電位差との差分値が大きくなるように画素階調値が設定される。このことにより、低周波駆動時の方が通常駆動時よりも補正量(シフト量)を大きくし、低周波駆動におけるフリッカや焼き付きを防止する。

**WO 2014/077194 A1**



---

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称：表示装置およびその駆動方法

### 技術分野

[0001] 本発明は、アクティブマトリクス型の表示装置およびその駆動方法に関し、より詳細には、60Hz未満の低周波数で駆動可能な表示装置およびその駆動方法に関する。

### 背景技術

[0002] 一般に液晶表示装置では、液晶の劣化を抑えると共に表示品位を維持するために交流化駆動が行われている。しかし、アクティブ型の液晶表示装置においては、画素毎に設けられたTFT (Thin Film Transistor) 等のスイッチング素子の特性が十分でないために、液晶パネルの映像信号線（列電極）に電圧を印加する映像信号線駆動回路（「列電極駆動回路」または「データドライバ回路」とも呼ばれる）から出力される映像信号の正負すなわち共通電極の電位を基準とする印加電圧の正負が対称であっても、液晶層の透過率は正負のデータ電圧に対して完全に対称とはならない。このため、1フレーム毎に液晶への印加電圧の極性を（共通電極の電位を基準として）反転させる駆動方式（フレーム反転駆動方式）では、液晶パネルによる表示においてフリッカが発生する（以下、このフリッカを「正負非対称によるフリッカ」ともいう）。近年、特に携帯電話機のような携帯用情報機器は、その処理性能の向上と利用の高度化などによって高品位の表示能力が要求されるため、このような正負非対称によるフリッカが問題となる。そこで、上記携帯用情報機器で使用される液晶モジュールの交流化駆動方式として、1水平走査線毎に印加電圧の正負極性を反転させつつ1フレーム毎にも正負極性を反転させる駆動方式（「1ライン反転駆動方式」と呼ばれる）が採用されている。また、垂直・水平方向に隣り合う画素毎に印加電圧の正負極性を反転させつつ1フレーム毎にも正負極性を反転させる駆動方式（「1ドット反転駆動方式」と呼ばれる）も採用されることがある。

[0003] しかし、上記１ライン反転駆動方式を採用すると、高品位の表示を行うことができる反面、液晶パネルに印加すべき映像信号における極性反転の頻度が大きくなり（反転周波数が高くなり）、また、駆動用ＩＣ（Integrated Circuit）に必要な耐圧の低減のために共通電極の電位の切換周波数も高くなる。その結果、消費電力が増大する。また、１ドット反転駆動方式を採用すると、共通電極を反転駆動できないため、駆動用ＩＣに必要な耐圧が大きくなる。その結果、装置の製造コストが高くなり、また消費電力も増大する。

[0004] そこで、近年では、通常の場合よりも反転周波数を低くする低周波駆動方式や、所定の期間だけ印加電圧を変化させない状態とするための走査停止期間を設けることにより、全体として反転周波数を低くする駆動方式（休止駆動方式と呼ばれる）が採用されることがある。なお、休止駆動方式も、反転周波数を実質的に低くする駆動方式であることから、広い意味での低周波駆動方式であると言える。このように低周波駆動方式は、単位時間当たりの駆動回数を減少させることができ、特に、休止駆動方式は、走査停止期間（保持期間）中の駆動を停止させることにより、携帯電話機等における低消費電力化の要求に応えることができる。

[0005] しかし、液晶パネルの画素形成部に設けられる印加電圧を保持するための容量素子において、低周波駆動においては次のデータ書き換え時点までの間に、休止駆動においては走査停止期間中に、電流のリークが生じ、保持されるべき電圧が低下する。このことにより、次に与えられる印加電圧に応じて表示される（同一であるべき場合の）画素の輝度変化が顕著になる。その結果、この輝度変化がフリッカとして視認されるようになる（以下、このフリッカを「電流リークによるフリッカ」ともいう）。

[0006] また、走査期間において、液晶パネルの各画素形成部は、行毎に順に選択され画素電圧が印加される。このとき画素形成部の画素電圧が印加電圧になるまで、すなわちデータの書き込みが完了するまでには（選択期間内の）所定の時間がかかるため、その間に寄生容量を介して当該電圧が変化すると、

表示される画素にも輝度変化が生じる。この輝度変化量が例えばフレーム間で異なるとフリッカとして視認されるようになることがある（以下、このフリッカを「データ書き込みによるフリッカ」ともいう）。

[0007] さらに、走査期間において、選択された画素形成部にデータが書き込まれた後、隣接または近接する画素形成部に繋がる走査信号線および映像信号線の電位変動により、画素形成部の容量素子（の一端である画素電極）とこれらの信号線との間に形成される寄生容量を介し、保持された印加電圧が変化することがある（この現象は「寄生容量による引き込み」とも呼ばれる）。このことにより、次に与えられる印加電圧に応じて表示される画素の輝度変化が顕著になる。その結果、この輝度変化がフリッカとして視認されるようになることがある（以下、このフリッカを「引き込みによるフリッカ」ともいう）。

[0008] 以上のようなフリッカは、1フレーム毎に正負極性を反転させる駆動を前提にすると、液晶に対する正極性の印加電圧の絶対値と、負極性の印加電圧の絶対値とが等しくなくなることから生じているので、このことは、結果として、液晶に対してDC電圧（直流成分）が印加されることを意味している。そして特に、液晶に同一のDC電圧が印加され続ける場合、すなわち同じ画像が表示され続ける場合、「焼き付き」と呼ばれる残像現象を生じることが知られている。

[0009] さらに、このような「焼き付き」は、液晶層に対して基板に沿った方向の電界を発生させることにより液晶分子の配向制御を行う駆動方式（横電界方式と呼ばれる）が採用される場合、顕著に生じることが知られている。これは、横電界方式における液晶表示素子の電極構造が上下方向で非対称に形成されているため、電極構造が対称に形成される従来のTNモードの駆動方式と比較して、上下方向の残留DC電圧が発生しやすくなるためである。

[0010] また、横電界方式のうち、IPS（In-Plane Switching）方式の電極構造と比較して、FFS（Fringe-Field Switching）方式の電極構造は、基板面に対する2つの電極の面の高さ

が異なるため、さらに複雑になっており、より残留DC電圧が発生しやすくなっている。

[0011] そこで、日本特開2008-216859号公報には、FFS方式の液晶表示装置において、2つの電極のうち的一方である第1電極が他方である第2電極に比べて高い電位である時の電極間電位差が、低い電位である時の電極間電位差よりも大きくなるように、2つの電極に与えられる信号を補正することにより、焼き付きを防止する構成が開示されている。

### 先行技術文献

### 特許文献

[0012] 特許文献1：日本特開2008-216859号公報

### 発明の概要

### 発明が解決しようとする課題

[0013] ここで、上記日本特開2008-216859号公報、またはその他の関連する従来技術によれば、休止駆動方式を含む低周波駆動方式の液晶表示装置において、（電流リーク以外の要因による）フリッカや焼き付きの防止のために行われるべき補償については、特に示されていない。

[0014] しかし、液晶表示装置の駆動周波数は、上記補償と無関係ではなく、特に、横電界方式を採用し、かつ低周波駆動方式を採用する液晶表示装置では、フリッカや焼き付きについて、通常の周波数で駆動する場合とは異なる。

[0015] そこで本発明では、低周波駆動方式を採用可能な表示装置において、低周波駆動が行われる場合に、フリッカや焼き付きの防止のために好適となる補償が行われる表示装置を提供することを目的とする。

### 課題を解決するための手段

[0016] 本発明の第1の局面は、表示すべき画像を形成する複数の画素形成部であって、画素電極および前記画素電極との間に電圧を印加するために前記画素電極に対応して設けられた共通電極を含む画素形成部と、前記表示すべき画像を示す複数の映像信号を前記複数の画素形成部に伝達するための複数の映

像信号線と、前記複数の映像信号線と交差する複数の走査信号線とを備え、前記複数の画素形成部が前記複数の映像信号線と前記複数の走査信号線とに関連付けられマトリクス状に配置されたアクティブマトリクス型の表示装置であって、

前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、

伝達されるべき前記映像信号を前記複数の映像信号線に与える映像信号線駆動回路と、

前記共通電極に印加されるべき電圧を設定する共通電極駆動回路と、

前記走査信号線駆動回路、前記映像信号線駆動回路、および前記共通電極駆動回路に対して所定の制御信号を与えることにより制御する表示制御回路とを備え、

前記表示制御回路は、前記共通電極の電位を基準とした前記画素電極に印加される電圧の極性が所定の期間毎に反転するよう、前記映像信号線駆動回路および前記共通電極駆動回路を制御するとともに、正極性の電圧が印加される時の前記画素電極と前記共通電極との電位差と、負極性の電圧が印加される時の前記画素電極と前記共通電極との電位差との差分値を、第1の長さのフレーム期間で前記表示すべき画像を書き換える場合よりも、前記第1の長さより長い第2の長さのフレーム期間で書き換える場合の方が、大きくなるように設定することを特徴とする。

[0017] 本発明の第2の局面は、本発明の第1の局面において、

前記表示制御回路は、前記第1の長さで駆動される場合よりも、前記第2の長さで駆動される場合の方が、前記差分値が大きくなるように、前記共通電極の電圧が調整されるよう、前記共通電極駆動回路を制御することを特徴とする。

[0018] 本発明の第3の局面は、本発明の第1の局面において、

前記表示制御回路は、前記第1の長さで駆動される場合よりも、前記第2の長さで駆動される場合の方が、前記差分値が大きくなるように、前記画素

電極に印加される電圧が調整されるよう、前記映像信号線駆動回路を制御することを特徴とする。

[0019] 本発明の第4の局面は、本発明の第3の局面において、

前記表示制御回路は、前記映像信号が示す表示階調の最大値近傍では、前記差分値が大きくなるように、前記画素電極に印加される電圧が調整されるよう、前記映像信号線駆動回路を制御することを特徴とする。

[0020] 本発明の第5の局面は、本発明の第3の局面において、

前記表示制御回路は、前記映像信号が示す表示階調が大きくなるほど、前記差分値が大きくなるように、前記画素電極に印加される電圧が調整されるよう、前記映像信号線駆動回路を制御することを特徴とする。

[0021] 本発明の第6の局面は、本発明の第3の局面において、

前記表示制御回路は、前記画素電極に印加される電圧を調整するための調整量を、前記映像信号に対応する表示階調と関連付けたテーブル情報として記憶することを特徴とする。

[0022] 本発明の第7の局面は、本発明の第6の局面において、

前記表示制御回路は、前記第1の長さのフレーム期間で前記表示すべき画像を書き換える第1の場合と、前記第2の長さのフレーム期間で前記表示すべき画像を書き換える第2の場合とを切り替える駆動周波数切り替え回路を含み、

前記テーブル情報は、

前記第1の場合における前記調整量を記憶する第1のテーブル情報と、

前記第2の場合における前記調整量を記憶する第2のテーブル情報と

を含むことを特徴とする。

[0023] 本発明の第8の局面は、本発明の第1の局面において、

前記画素形成部は、

接続される走査信号線に印加される信号に応じて導通状態または遮断状態となる薄膜トランジスタと、

接続される映像信号線に前記薄膜トランジスタを介して接続された画素

電極と、

前記画素電極と前記共通電極とによって形成される画素容量と、

前記画素容量に保持される電圧に応じた表示階調で画素を表示する液晶素子と

を含むことを特徴とする。

[0024] 本発明の第 9 の局面は、本発明の第 8 の局面において、

前記薄膜トランジスタは、酸化物半導体からなる半導体層を備えることを特徴とする。

[0025] 本発明の第 10 の局面は、本発明の第 9 の局面において、

前記酸化物半導体は、インジウム、ガリウム、および亜鉛を主成分とすることを特徴とする。

[0026] 本発明の第 11 の局面は、本発明の第 8 の局面において、

前記複数の画素形成部は、前記液晶素子に対して、横電界方式の液晶モードとなるよう、前記画素電極および前記共通電極が配置されることを特徴とする。

[0027] 本発明の第 12 の局面は、本発明の第 1 の局面に記載の表示装置を備える、電子機器である。

[0028] 本発明の第 13 の局面は、表示すべき画像を形成する複数の画素形成部であって、画素電極および前記画素電極との間に電圧を印加するために前記画素電極に対応して設けられた共通電極を含む画素形成部と、前記表示すべき画像を示す複数の映像信号を前記複数の画素形成部に伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線とを備え、前記複数の画素形成部が前記複数の映像信号線と前記複数の走査信号線とに関連付けられマトリクス状に配置されたアクティブマトリクス型の表示装置を駆動する方法であって、

前記複数の走査信号線を選択的に駆動する走査信号線駆動ステップと、

伝達されるべき前記映像信号を前記複数の映像信号線に与える映像信号線駆動ステップと、

前記共通電極に印加されるべき電圧を設定する共通電極駆動ステップと、  
前記走査信号線駆動ステップ、前記映像信号線駆動ステップ、および前記  
共通電極駆動ステップにおいて所定の制御信号を与えることにより制御する  
表示制御ステップと  
を備え、

前記表示制御ステップでは、前記共通電極の電位を基準とした前記画素電  
極に印加される電圧の極性が所定の期間毎に反転するよう、前記映像信号線  
駆動ステップおよび前記共通電極駆動ステップにおいて制御するとともに、  
正極性の電圧が印加される時の前記画素電極と前記共通電極との電位差と、  
負極性の電圧が印加される時の前記画素電極と前記共通電極との電位差との  
差分値を、第1の長さのフレーム期間で前記表示すべき画像を書き換える場  
合よりも、前記第1の長さより長い第2の長さのフレーム期間で書き換える  
場合の方が、大きくなるように設定することを特徴とする。

### 発明の効果

- [0029] 本発明の第1の局面によれば、低周波駆動時などの第2の長さのフレーム  
期間での駆動時には、通常駆動時などの第1の長さのフレーム期間での駆動  
時よりも、正極性の電圧が印加される時の画素電極と共通電極との電位差と  
、負極性の電圧が印加される時の画素電極と共通電極との電位差との差分値  
が大きくなるように設定されるので、低周波駆動時の方が通常駆動時よりも  
補正量（シフト量）を大きくすることができ、低周波駆動におけるフリッカ  
や焼き付きの防止のために好適となる補償を行うことができる。
- [0030] 本発明の第2の局面によれば、共通電極駆動回路によって、一括して差分  
値が大きくなるように容易に設定することができる。
- [0031] 本発明の第3の局面によれば、映像信号線駆動回路によって、各画素電極  
について差分値が大きくなるように容易に設定することができる。
- [0032] 本発明の第4の局面によれば、表示階調の最大値近傍で、差分値が大き  
くなるように調整されるので、フリッカや焼き付きの防止のために、より好適  
となる補償を行うことができる。

- [0033] 本発明の第5の局面によれば、画素電極に印加される電圧が調整されることにより、階調に応じてより正確な補償を行うことができる。
- [0034] 本発明の第6の局面によれば、調整量を映像信号に対応する表示階調と関連付けたテーブル情報として、簡易な形で記憶することができる。
- [0035] 本発明の第7の局面によれば、駆動態様の切り替えに応じて、適切なテーブル情報を選択し、好適な補償を行うことができる。
- [0036] 本発明の第8の局面によれば、液晶素子において生じる、低周波駆動におけるフリッカや焼き付きの防止のために好適となる補償を行うことができる。
- [0037] 本発明の第9の局面によれば、より低周波駆動におけるフリッカや焼き付きの防止が必要とされる、酸化物半導体の場合に好適な補償を行うことができる。
- [0038] 本発明の第10の局面によれば、酸化物半導体として  $\text{In-Ga-Zn-O}$  系が使用されることから、より好適な補償を行うことができる。
- [0039] 本発明の第11の局面によれば、より低周波駆動におけるフリッカや焼き付きの防止が必要とされる、横電界方式による場合に好適な補償を行うことができる。
- [0040] 本発明の第12の局面は、本発明の第1の局面と同様の効果を電子機器において奏することができる。
- [0041] 本発明の第13の局面によれば、本発明の第1の局面と同様の効果を表示装置の駆動方法において奏することができる。

### 図面の簡単な説明

- [0042] [図1]本発明の一実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。
- [図2]上記実施形態における画素形成部の等価回路を示す回路図である。
- [図3]上記実施形態における各画素形成部の表示色を示す図である。
- [図4]上記実施形態における表示制御回路の詳細な構成を示すブロック図である。

[図5]上記実施形態におけるシフト量と階調レベル（階調値）との関係を、駆動周波数毎に示す図である。

[図6]上記実施形態における駆動周波数が30 [Hz]の場合と60 [Hz]の場合とで、設定される階調基準電圧の値と階調値との関係をルックアップテーブルとして示す図である。

[図7]上記実施形態の通常表示時における各種信号のタイミングと画素電極の電位変化とを示す図である。

[図8]従来の装置における各種信号のタイミングと画素電極の電位変化とを示す図である。

[図9]上記実施形態の低周波駆動時における各種信号のタイミングと画素電極の電位変化とを示す図である。

[図10]上記実施形態におけるライン反転駆動を行う場合の通常表示時における各種信号のタイミングと画素電極の電位変化とを示す図である。

[図11]上記実施形態におけるライン反転駆動を行う場合の低周波駆動時における各種信号のタイミングと画素電極の電位変化とを示す図である。

[図12]上記実施形態における酸化物半導体（In-Ga-Zn-O）TFTとアモルファスシリコン（a-Si）TFTの特性を示す図である。

### 発明を実施するための形態

[0043] 以下、本発明の一実施形態について添付図面を参照しつつ説明する。

[0044] <1. 液晶表示装置の全体構成および動作>

図1は、本発明の一実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、表示制御回路200、ソースドライバ回路（映像信号線駆動回路）300、およびゲートドライバ回路（走査信号線駆動回路）400からなる駆動制御部と、表示部500と、共通電極駆動回路600とを備えている。この表示装置は、携帯電話などの端末装置や、コンピューター、デジタルカメラなど、表示部を有するあらゆる電子機器に備えられるものである。

[0045] 表示部500は、複数本（M本）の映像信号線SL（1）～SL（M）と

、複数本（ $N$ 本）の走査信号線 $GL(1) \sim GL(N)$ と、それら複数本の映像信号線 $SL(1) \sim SL(M)$ と複数本の走査信号線 $GL(1) \sim GL(N)$ とに沿って設けられた複数個（ $M \times N$ 個）の画素形成部を含んでいる。

[0046] この表示部500はTN（Twisted Nematic）配向方式であってノーマリホワイトとなるように構成されており、駆動方式としては、フレーム反転方式が採用されるが、これは一例であって、前述したIPS方式やFFS方式などのその他の配向方式や、ライン反転駆動方式が採用されてもよい。

[0047] このように表示部500の液晶モード（液晶配向方式）や駆動方式に限定はないが、TNモードの場合よりも、IPSモードやFFSモードの場合のような横電界方式を採用した表示部の方が、上下方向の残留DC電圧が発生しやすくなる。その電極構造が上下方向で非対称に形成されていることや、フレクソエレクトリック効果による分極を誘発しやすいことがその理由として考えられる。その結果として、後述するような本実施形態の効果の有用性が大きくなるため、さらに好適であるとも言える。

[0048] 以下では、走査信号線 $GL(n)$ と映像信号線 $SL(m)$ との交差点に関連づけて当該交差点近傍（図では当該交差点の右下近傍）に設けられた画素形成部を参照符号“ $P(n, m)$ ”で示すものとする。図2は、本実施形態の表示部500における画素形成部 $P(n, m)$ の等価回路を示している。

[0049] 図2に示すように、各画素形成部 $P(n, m)$ は、走査信号線 $GL(n)$ にゲート端子が接続されるとともに当該交差点を通過する映像信号線 $SL(m)$ にソース端子が接続されたスイッチング素子であるTF10と、そのTF10のドレイン端子に接続された画素電極 $E_{pix}$ と、上記複数個の画素形成部 $P(i, j)$ （ $i = 1 \sim N$ 、 $j = 1 \sim M$ ）に共通的に設けられた共通電極 $E_{com}$ と、上記複数個の画素形成部 $P(i, j)$ （ $i = 1 \sim N$ 、 $j = 1 \sim M$ ）に共通的に設けられ画素電極 $E_{pix}$ と共通電極 $E_{com}$ との間に挟持された電気光学素子としての液晶層とによって構成される。

[0050] 本実施形態において、上記TF10は、比較的応答が高速でありかつ非

常に電流リークが小さい酸化物半導体、典型的には  $In-Ga-Zn-O$  系の酸化物半導体が半導体層に使用されるものとする。もちろん、高速な応答や電流リークの小ささがそれほど求められない場合には、半導体層として容易かつ安価に製造が可能なアモルファスシリコンが使用されてもよいし、その他の周知の材料、例えば連続粒界シリコンなどを使用することもできる

[0051] なお、図3において、各画素形成部  $P(n, m)$  に付されている“R” “G” “B” の各符号は、当該画素形成部  $P(n, m)$  により表示される色が「赤」「緑」「青」のいずれであるかを示すものである。したがって、実際にはRGBの各画素形成部により形成されるRGBの各色の画素が一組となって一つのカラー画素を形成することになる。

[0052] 各画素形成部  $P(n, m)$  では、画素電極  $E_{pix}$  と、それに液晶層を挟んで対向する共通電極  $E_{com}$  とによって液晶容量（「画素容量」ともいう） $C_{lc}$  が形成されている。画素電極  $E_{pix}$  近傍には、2本の映像信号線  $SL(m)$ 、 $SL(m+1)$  が配設されており、これらのうちの映像信号線  $SL(m)$  がTFT10を介して当該画素電極  $E_{pix}$  に接続されている。このように着目した画素形成部の画素電極  $E_{pix}$  と、これに隣接する映像信号線  $SL(m+1)$  との間、および当該画素電極  $E_{pix}$  と、これに隣接する2本の走査信号線  $GL(n)$ 、 $GL(n+1)$  との間には、それぞれ寄生容量が存在する。また、走査信号線  $GL(n)$  と平行に補助容量線  $CsL$  が形成されており、各画素形成部  $P(n, m)$  では、画素電極  $E_{pix}$  と補助容量線  $CsL$  との間に補助容量  $C_{cs}$  が形成されている。なお、1つの画素形成部  $P(n, m)$  において画素電極  $E_{pix}$  と他の電極との間に形成される全容量（すなわち画素電極  $E_{pix}$  に繋がる全容量）を画素容量ともいう。

[0053] 表示制御回路200は、外部から送られる表示データ信号DATとタイミング制御信号TSとを受け取り、デジタル画像信号DVと、表示部500に画像を表示するタイミングを制御するためのソース用スタートパルス信号SSP、ソース用クロック信号CLK、ラッチストロブ信号LS、ゲート用

スタートパルス信号GSP、およびゲート用クロック信号GCKと、共通電極駆動回路600の電位設定（場合により2種類の電位の切り替え）を制御する共通電位制御信号CSとを出力する。

[0054] ゲートドライバ回路400は、表示制御回路200から出力されたゲート用スタートパルス信号GSPとゲート用クロック信号GCKとに基づいて、各走査信号線GL(1)～GL(N)にアクティブな走査信号G(1)～G(N)を順次印加する。

[0055] ソースドライバ回路300は、表示制御回路200から出力されたデジタル画像信号DV、ソース用スタートパルス信号SSP、ソース用クロック信号SCK、およびラッチストロブ信号LSを受け取り、表示部500内の各画素形成部P(n, m)の画素容量（液晶容量C<sub>lc</sub>および補助容量C<sub>cs</sub>）を充電するために駆動用映像信号S(1)～S(M)を各映像信号線SL(1)～SL(M)に印加する。このとき、ソースドライバ回路300では、ソース用クロック信号SCKのパルスが発生するタイミングで、各映像信号線SL(1)～SL(M)に印加すべき電圧を示すデジタル画像信号DVが順次に保持される。そして、ラッチストロブ信号LSのパルスが発生するタイミングで、上記保持されたデジタル画像信号DVがアナログ電圧に変換される。このようなD/A変換は、階調電圧生成回路により行われる。

[0056] この階調電圧生成回路は、例えばソースドライバ回路300の外部から与えられる階調電圧生成のための基準電圧を分圧することにより、各表示階調に対応するアナログ電圧を生成する。この階調電圧生成回路により生成されたアナログ電圧は、駆動用映像信号として全ての映像信号線SL(1)～SL(M)に一斉に印加される。すなわち、本実施形態においては、映像信号線SL(1)～SL(M)の駆動方式には線順次駆動方式が採用されている。

[0057] なお、ここでは共通電極駆動回路600によって、画素液晶への印加電圧の正負極性を1フレーム毎に反転させる駆動方式であるフレーム反転駆動方式が採用されるものとするが、後述するように、画素液晶への印加電圧の正

負極性を表示部500における行毎に反転させかつ1フレーム毎にも反転させる駆動方式であるライン反転駆動方式が採用されてもよい。

[0058] 以上のようにして、各映像信号線SL(1)～SL(M)に駆動用映像信号が印加され、各走査信号線GL(1)～GL(N)に走査信号が印加されることにより、表示部500に画像が表示される。なお、共通電極Ecomおよび補助容量線CsLは、図示されない電源回路により所定電圧の供給を受けて同電位に保持されるが、共通電極Ecomと同様にまたは異なる電位となるように駆動される構成であってもよい。

[0059] <2. 表示制御回路>

図4は、本実施形態における表示制御回路200の詳細な構成を示すブロック図である。この図4に示す表示制御回路200は、タイミング制御を行うタイミング制御部21と、フリッカや焼き付きの防止のために好適となる補償を行うための補正された階調基準電圧Rvを記憶する階調補正テーブル記憶部22と、装置外部から与えられる表示データ信号DATに含まれる画素値（表示階調データ）を受けとり、階調補正テーブル記憶部22に記憶されている階調基準電圧Rvに基づき、ここでは所定範囲の階調電圧が変化するように演算を行うことにより、上記画素値を補正するデータ補正部23とを含む。もちろん、端的に、階調電圧に直接基づくことなく、例えば、基準階調の補正前の画素値と補正後の画素値とを対応テーブルの形で記憶する構成や、補正係数などを記憶する構成などによって、上記補正を行う構成であってもよい。

[0060] まず図4に示されるタイミング制御部21は、外部から送られるタイミング制御信号TSを受け取り、データ補正部23の動作を制御するための制御信号CTと、表示部500に画像を表示するタイミングを制御するためのソーススタートパルス信号SSP、ソースクロック信号SCK、ラッチストロージブ信号LS、ゲートスタートパルス信号GSP、ゲートクロック信号GCK、および共通電位制御信号CSとを出力する。

[0061] 階調補正テーブル記憶部22は、データ補正部23に与えられる表示デー

タ信号DATに含まれる画素値（表示階調データ）を、フリッカや焼き付きの防止のために好適となる画素値に変換するためのデータを、具体的には、ルックアップテーブル（LUT）の形で記憶する。このLUTの内容について、図5および図6を参照して説明する。なお、ここでは説明の便宜上、階調電圧に言及しているが、階調電圧に直接基づくことなく、補正を行う構成であってもよいことは前述したとおりである。

[0062] 図5は、シフト量と階調レベル（階調値）との関係を、駆動周波数毎に示す図である。このシフト量とは、フリッカや焼き付きの防止のために好適となる画素値にするための補正量を意味しており、対応する階調レベルに対してどれだけの大きさの補正量が適切であることを示している。また、図中の実線は、30 [Hz]（のリフレッシュ周波数）で駆動する場合の上記関係を示し、図中の一点鎖線は60 [Hz]で駆動する場合の上記関係を示している。

[0063] この60 [Hz]で駆動する場合は、通常が表示動作を行うものであり、30 [Hz]で駆動する場合は、通常よりも遅いリフレッシュタイミングで表示動作を行うものである。この動作は、低周波駆動方式と呼ばれている。この低周波駆動方式は、フリッカが目を感じられない60 [Hz]の周波数よりも低い30 [Hz]の周波数で表示部を駆動するため、動画表示などには適していないが、駆動によるエネルギーロスが小さくなるため、装置の消費電力を低減することができる。この低周波数駆動方式で駆動するか否かは、装置外部の制御信号に応じて表示制御回路200が決定してもよいし、表示制御回路200に含まれる図示されない画像判定部により、映像信号が動画の場合には通常が表示動作を行い、静止画の場合には低周波駆動を行うよう制御してもよい。このように、表示制御回路200は、駆動周波数切り替え回路として機能する。また、この切り替え回路によって、上記ルックアップテーブルが切り替えられる。

[0064] ここで、図5を参照すれば分かるように、駆動周波数（リフレッシュ周波数）が30 [Hz]の場合には、60 [Hz]の場合に比べて、上記補償に

必要なシフト量（補正量）が全階調に渡って大きくなっている。また、60 [Hz] の場合に比べて、階調レベルが大きいほど60 [Hz] の場合のシフト量との差が大きくなっている。つまり、駆動周波数が低くなるほど、階調レベルに対するシフト量の変化量が大きくなると言える。

[0065] このように、精度高く上記補償を行うためには、階調レベル全域にわたって補正する必要があると言えるが、それでは複雑かつ大量に補正を行わなければならない、装置の製造コストが大きくなる。そこで、シフト量が最も大きくなる階調レベルの最大値近傍でのみ、上記補償を行う、図6に示すような構成も好適である。

[0066] 図6は、駆動周波数が30 [Hz] の場合と60 [Hz] の場合とで、設定される階調基準電圧の値と階調値との関係をルックアップテーブルとして示す図である。この図6に示されるように、階調基準電圧はV0～V255のうちの7種類であり、かつ正極性電圧の場合と負極性電圧との場合で異なる電圧値となっている。なおこの構成では、説明の便宜上、ルックアップテーブル内の階調基準電圧を参照して画素値を補正する構成としたが、階調基準電圧を参照する必要はないことは前述の通りである。

[0067] この図6に記載の低周波駆動の場合（駆動周波数が30 [Hz] の場合）は、通常駆動の場合（駆動周波数が60 [Hz] の場合）に比べて、正極性および負極性の最大階調基準電圧V255とその次に大きい階調基準電圧V224に対応する電圧値だけが異なっている。このような構成により、シフト量が最も大きくなる階調レベルの最大値およびその近傍でのみ、上記補償を行うことができる。

[0068] ここで、上記図6に示すデータ補正部23が省略され、階調補正テーブル記憶部22は、典型的にはソースドライバ回路300の内部にある、図示されない階調基準電圧生成回路に対して階調基準電圧値を与える構成であってもよい。また、表示制御回路200またはそれに内蔵される回路が上記階調基準電圧を生成する構成であってもよい。

[0069] なお、この階調基準電圧は、前述した図示されない階調電圧生成回路に与

えられ、分圧することにより、各表示階調に対応するアナログ電圧が生成される。したがって、画素値を補正することなく、画素電極の電位を補正することができる。

[0070] もちろん、上記ルックアップテーブルは一例であって、全階調につき補正後の画素階調値または階調電圧値を保持する構成であってもよいし、後述するように、補正後の共通電極電位を保持する構成であってもよい。

[0071] なお、この階調補正テーブル記憶部22である、上記ルックアップテーブルを記憶する装置は、どのような記憶装置であってもよいが、製造時において固定的かつ永続的な値を書き込む場合にはROMが適しており、製造時において装置毎に異なる値を書き込む場合や、値を書き直す場合には、電氣的に情報を消去可能であり、電源を切っても記憶内容を保持可能なEEPROMやフラッシュメモリなどが好適である。

[0072] 以上のように、フリッカや焼き付きの防止のために好適となる補償を行う場合、液晶に対してDC電圧（直流成分）が印加されないように、すなわち、液晶素子に対して正しく交流駆動がなされるように、画素電極および共通電極の電位が設定されればよい。したがって、上記のように画素階調、すなわちデータ電圧としてTFT10のソース端子に与えられる電圧を適宜の値に補正してもよいし、共通電位の方を適宜の値に補正してもよい。以下、図7から図11までを参照して、フレーム反転駆動方式の場合と、ライン反転駆動方式の場合とで、どのように上記補償が行われるかを具体的に説明する。

[0073] <3. 具体的な動作>

図7は、本実施形態の通常表示時における各種信号のタイミングと画素電極の電位変化とを示す図である。ゲートドライバ回路400は、1フレーム期間に渡ってアクティブな走査信号G(1)～G(N)を順次出力することをフレーム毎に繰り返すが、図7では、走査信号G(n)のみに着目する。時刻t1から始まる或るフレーム期間のうち、時刻t2で、ここで着目する映像信号S(m)が立ち上がるが、対応するTFT10がオンされないため

、画素電極電位  $V_p$  は変化しない。その後、時刻  $t_3$  で走査信号  $G(n)$  が立ち上がると、 $TFT10$  がオンされ画素電極電位  $V_p$  は充電が完了するまで上昇する。しかし、時刻  $t_4$  において、走査信号  $G(n)$  が立ち下がると、画素電極電位  $V_p$  も引き込まれて立ち下がる。その後、時刻  $t_5$  において、映像信号  $S(m)$  が立ち下がり、画素電極電位  $V_p$  はそのまま固定される。ここで、図7に示す共通電極の電位である共通電位  $V_{com}$  と固定された画素電極電位  $V_p$  との電位差を  $V_{1a}$  とし、次のフレームにおける共通電位  $V_{com}$  と固定された画素電極電位  $V_p$  との電位差を  $V_{1b}$  とすると、両者は  $V_{1a} < V_{1b}$  の関係に設定される。このようにすれば、フリッカや焼き付きの防止のために好適となる補償を行うことができる。

[0074] 図8は、従来の装置における各種信号のタイミングと画素電極の電位変化とを示す図である。この図8を図7と比較すればわかるように、波形はほとんど同じであって、その電圧値が異なるのみである。すなわち、図8に示す共通電位  $V_{com}$  と、電位が固定された画素電極電位  $V_p$  との電位差を  $V_{0a}$  とし、次のフレームにおける共通電位  $V_{com}$  と固定された画素電極電位  $V_p$  との電位差を  $V_{0b}$  とすると、両者は  $V_{0a} = V_{0b}$  の関係に設定される。このように設定する場合には、フリッカや焼き付きの防止のための補償は行うことができない。

[0075] 図9は、本実施形態の低周波駆動時における各種信号のタイミングと画素電極の電位変化とを示す図である。この図9を図7と比較すればわかるように、図7に示す各種信号波形を時間方向に2倍に引き延ばした形となっている。ここで、図9に示す共通電極の電位である共通電位  $V_{com}$  と、電位が固定された画素電極電位  $V_p$  との電位差を  $V_{2a}$  とし、次のフレームにおける共通電位  $V_{com}$  と固定された画素電極電位  $V_p$  との電位差を  $V_{2b}$  とすると、両者は  $V_{2a} < V_{2b}$  の関係に設定される。このようにすれば、フリッカや焼き付きの防止のために好適となる補償を行うことができる。そしてさらに、図7に示す  $V_{1a}$ 、 $V_{1b}$  との関係では、次式(1)のような不等式で表すことができる。

$$(V1b - V1a) < (V2b - V2a) \quad \dots (1)$$

[0076] すなわち、低周波駆動時には、通常駆動時よりも、正極性の電圧が印加される時の画素電極と共通電極との電位差と、負極性の電圧が印加される時の画素電極と共通電極との電位差との差分値が大きくなるように設定される。このように設定すれば、図5に示すように、低周波駆動時の方が通常駆動時よりもシフト量を大きくすることができ、低周波駆動におけるフリッカや焼き付きの防止のために好適となる補償を行うことができる。

[0077] なお、以上の説明は、1つの画素電極に着目すれば、当該画素電極に与えられる画素値について補償が行われるよう、画素値を適宜に補正すればよいことを意味するが、全ての画素電極に着目すれば、画素値を補正する構成のほかに、共通電位  $V_{com}$  の値を補正する構成であってもよいことを意味する。したがって、共通電極駆動回路600は、上式(1)を満たすような共通電位  $V_{com}$  を生成してもよい。

[0078] また、図7から図9までは、フレーム反転駆動における態様を示すものであるが、ライン反転駆動においても全く同様のことが言える。以下、図10および図11を参照して説明する。

[0079] 図10は、ライン反転駆動を行う場合の通常表示時における各種信号のタイミングと画素電極の電位変化とを示す図である。図10において、時刻  $t_1$  から始まる或るフレーム期間のうち、時刻  $t_2$  で、ここで着目する映像信号  $S(m)$  が立ち上がるが、対応する  $TFT10$  がオンされないため、画素電極電位  $V_p$  にその電位は与えられない。しかし、時刻  $t_2$  で、共通電位  $V_{com}$  は立ち下がるため、画素電極電位  $V_p$  も同様に立ち下がる。その後、時刻  $t_3$  で走査信号  $G(n)$  が立ち上がると、 $TFT10$  がオンされ画素電極電位  $V_p$  は充電が完了するまで上昇する。しかし、時刻  $t_4$  において、走査信号  $G(n)$  が立ち下ると、画素電極電位  $V_p$  も引き込まれて立ち下がる。その後、時刻  $t_5$  において、映像信号  $S(m)$  が立ち下がり、画素電極電位  $V_p$  はそのまま固定される。しかし同時に、共通電位  $V_{com}$  が立ち上がるため、画素電極電位  $V_p$  も同様に立ち上がり、共通電位  $V_{com}$  の変化

に対応して、同様に画素電極電位  $V_p$  も変化する。ここで、図 7 の場合と同様、図 10 に示す共通電位  $V_{com}$  と画素電極電位  $V_p$  との電位差を  $V_{1a}$  とし、次のフレームにおける共通電位  $V_{com}$  と画素電極電位  $V_p$  との電位差を  $V_{1b}$  とすると、両者は  $V_{1a} < V_{1b}$  の関係に設定される。このようにすれば、フリッカや焼き付きの防止のために好適となる補償を行うことができる。

[0080] 図 11 は、ライン反転駆動を行う場合の低周波駆動時における各種信号のタイミングと画素電極の電位変化とを示す図である。この図 11 を図 10 と比較すればわかるように、図 10 に示す各種信号波形を時間方向に 2 倍に引き延ばした形となっており、図 9 を示して行った説明と同様のことが言える。すなわち、上式 (1) が同様に成立する。

[0081] <4. 効果>

以上のように、本実施形態では、低周波駆動時には、通常駆動時よりも、正極性の電圧が印加される時の画素電極と共通電極との電位差と、負極性の電圧が印加される時の画素電極と共通電極との電位差との差分値が大きくなるように設定されるので、低周波駆動時の方が通常駆動時よりも補正量（シフト量）を大きくすることができ、低周波駆動におけるフリッカや焼き付きの防止のために好適となる補償を行うことができる。

[0082] なお、上記効果は、TN モードの場合よりも、IPS モードや FFS モードの場合のような横電界方式を採用した表示部の方が大きくなることは前述したとおりであるが、さらに TFT10 の半導体層に酸化物半導体を使用する構成でも同様に効果が大きくなる。このことについて、図 12 を参照して説明する。

[0083] 図 12 は、酸化物半導体 ( $In-Ga-Zn-O$ ) TFT とアモルファスシリコン ( $a-Si$ ) TFT の特性を示す図である。この図 12 に示されるように、酸化物半導体 ( $In-Ga-Zn-O$ ) TFT のオフリーク特性は、アモルファスシリコン ( $a-Si$ ) TFT のそれに比べて 100 倍程度良好であり、電流リークによるフリッカは発生しにくい。したがって、フリッ

力対策がなされないことなどの理由により、前述したその他の原因による焼き付きなどの不良が逆に生じやすくなっている。したがって、上記効果は、酸化物半導体（ $\text{In-Ga-Zn-O}$ ）TFTが採用される場合には、より顕著なものとなる。

### 産業上の利用可能性

[0084] 本発明は、アクティブマトリクス型の表示装置に適用されるものであって、特に60Hz未満の低周波数で駆動可能な表示装置を使用した携帯端末などに適している。

### 符号の説明

|        |                               |                                           |
|--------|-------------------------------|-------------------------------------------|
| [0085] | 10                            | …TFT（スイッチング素子）                            |
|        | 21                            | …タイミング制御部                                 |
|        | 22                            | …階調補正テーブル記憶部                              |
|        | 23                            | …データ補正部                                   |
|        | 200                           | …表示制御回路                                   |
|        | 300                           | …ソースドライバ回路                                |
|        | 400                           | …ゲートドライバ回路                                |
|        | 500                           | …表示部                                      |
|        | 600                           | …共通電極駆動回路                                 |
|        | DAT                           | …表示データ信号（画像信号）                            |
|        | DV                            | …デジタル画像信号                                 |
|        | CS                            | …共通電位制御信号                                 |
|        | C <sub>l</sub> c              | …液晶容量（画素容量）                               |
|        | C <sub>c</sub> s              | …補助容量                                     |
|        | E <sub>c</sub> o <sub>m</sub> | …共通電極                                     |
|        | E <sub>p</sub> i <sub>x</sub> | …画素電極                                     |
|        | GL（n）                         | …走査信号線（ $n = 1 \sim N$ ）                  |
|        | SL（m）                         | …データ信号線（ $m = 1 \sim M$ ）                 |
|        | P（n，m）                        | …画素形成部（ $n = 1 \sim N$ 、 $m = 1 \sim M$ ） |

## 請求の範囲

### [請求項1]

表示すべき画像を形成する複数の画素形成部であって、画素電極および前記画素電極との間に電圧を印加するために前記画素電極に対応して設けられた共通電極を含む画素形成部と、前記表示すべき画像を示す複数の映像信号を前記複数の画素形成部に伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線とを備え、前記複数の画素形成部が前記複数の映像信号線と前記複数の走査信号線とに関連付けられマトリクス状に配置されたアクティブマトリクス型の表示装置であって、

前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、伝達されるべき前記映像信号を前記複数の映像信号線に与える映像信号線駆動回路と、

前記共通電極に印加されるべき電圧を設定する共通電極駆動回路と、

前記走査信号線駆動回路、前記映像信号線駆動回路、および前記共通電極駆動回路に対して所定の制御信号を与えることにより制御する表示制御回路と

を備え、

前記表示制御回路は、前記共通電極の電位を基準とした前記画素電極に印加される電圧の極性が所定の期間毎に反転するよう、前記映像信号線駆動回路および前記共通電極駆動回路を制御するとともに、正極性の電圧が印加される時の前記画素電極と前記共通電極との電位差と、負極性の電圧が印加される時の前記画素電極と前記共通電極との電位差との差分値を、第1の長さのフレーム期間で前記表示すべき画像を書き換える場合よりも、前記第1の長さより長い第2の長さのフレーム期間で書き換える場合の方が、大きくなるように設定することを特徴とする、表示装置。

### [請求項2]

前記表示制御回路は、前記第1の長さで駆動される場合よりも、前

記第2の長さで駆動される場合の方が、前記差分値が大きくなるように、前記共通電極の電圧が調整されるよう、前記共通電極駆動回路を制御することを特徴とする、請求項1に記載の表示装置。

[請求項3] 前記表示制御回路は、前記第1の長さで駆動される場合よりも、前記第2の長さで駆動される場合の方が、前記差分値が大きくなるように、前記画素電極に印加される電圧が調整されるよう、前記映像信号線駆動回路を制御することを特徴とする、請求項1に記載の表示装置。

[請求項4] 前記表示制御回路は、前記映像信号が示す表示階調の最大値近傍では、前記差分値が大きくなるように、前記画素電極に印加される電圧が調整されるよう、前記映像信号線駆動回路を制御することを特徴とする、請求項3に記載の表示装置。

[請求項5] 前記表示制御回路は、前記映像信号が示す表示階調が大きくなるほど、前記差分値が大きくなるように、前記画素電極に印加される電圧が調整されるよう、前記映像信号線駆動回路を制御することを特徴とする、請求項3に記載の表示装置。

[請求項6] 前記表示制御回路は、前記画素電極に印加される電圧を調整するための調整量を、前記映像信号に対応する表示階調と関連付けたテーブル情報として記憶することを特徴とする、請求項3に記載の表示装置。

[請求項7] 前記表示制御回路は、前記第1の長さのフレーム期間で前記表示すべき画像を書き換える第1の場合と、前記第2の長さのフレーム期間で前記表示すべき画像を書き換える第2の場合とを切り替える駆動周波数切り替え回路を含み、

前記テーブル情報は、

前記第1の場合における前記調整量を記憶する第1のテーブル情報と、

前記第2の場合における前記調整量を記憶する第2のテーブル情

報と

を含むことを特徴とする、請求項 6 に記載の表示装置。

[請求項 8]

前記画素形成部は、

接続される走査信号線に印加される信号に応じて導通状態または遮断状態となる薄膜トランジスタと、

接続される映像信号線に前記薄膜トランジスタを介して接続された画素電極と、

前記画素電極と前記共通電極とによって形成される画素容量と、

前記画素容量に保持される電圧に応じた表示階調で画素を表示する液晶素子と

を含むことを特徴とする、請求項 1 に記載の表示装置。

[請求項 9]

前記薄膜トランジスタは、酸化物半導体からなる半導体層を備えることを特徴とする、

請求項 8 に記載の表示装置。

[請求項 10]

前記酸化物半導体は、インジウム、ガリウム、および亜鉛を主成分とすることを特徴とする、請求項 9 に記載の表示装置。

[請求項 11]

前記複数の画素形成部は、前記液晶素子に対して、横電界方式の液晶モードとなるよう、前記画素電極および前記共通電極が配置されることを特徴とする、請求項 8 に記載の表示装置。

[請求項 12]

請求項 1 に記載の表示装置を備える、電子機器。

[請求項 13]

表示すべき画像を形成する複数の画素形成部であって、画素電極および前記画素電極との間に電圧を印加するために前記画素電極に対応して設けられた共通電極を含む画素形成部と、前記表示すべき画像を示す複数の映像信号を前記複数の画素形成部に伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線とを備え、前記複数の画素形成部が前記複数の映像信号線と前記複数の走査信号線とに関連付けられマトリクス状に配置されたアクティブマトリクス型の表示装置を駆動する方法であって、

前記複数の走査信号線を選択的に駆動する走査信号線駆動ステップと、

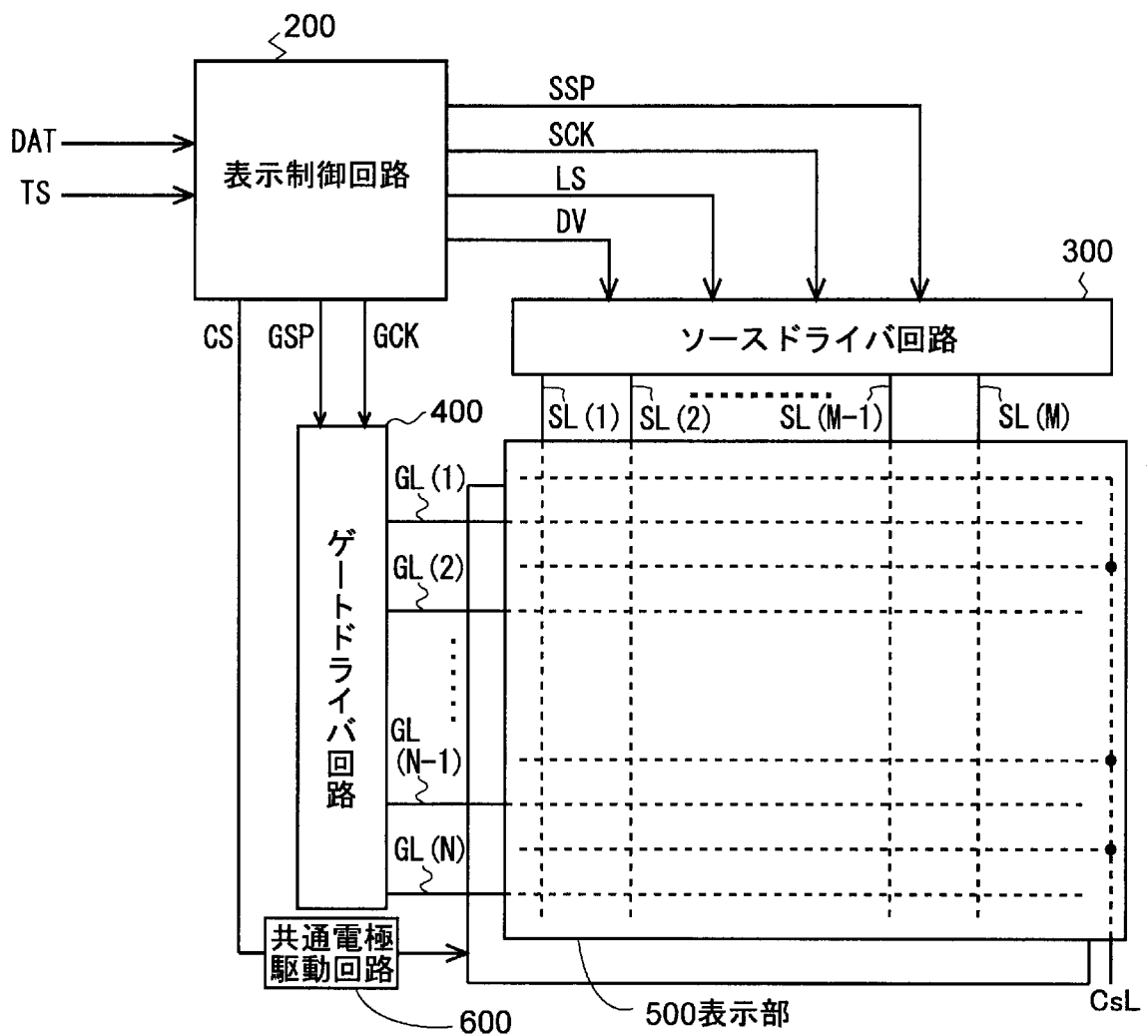
伝達されるべき前記映像信号を前記複数の映像信号線に与える映像信号線駆動ステップと、

前記共通電極に印加されるべき電圧を設定する共通電極駆動ステップと、

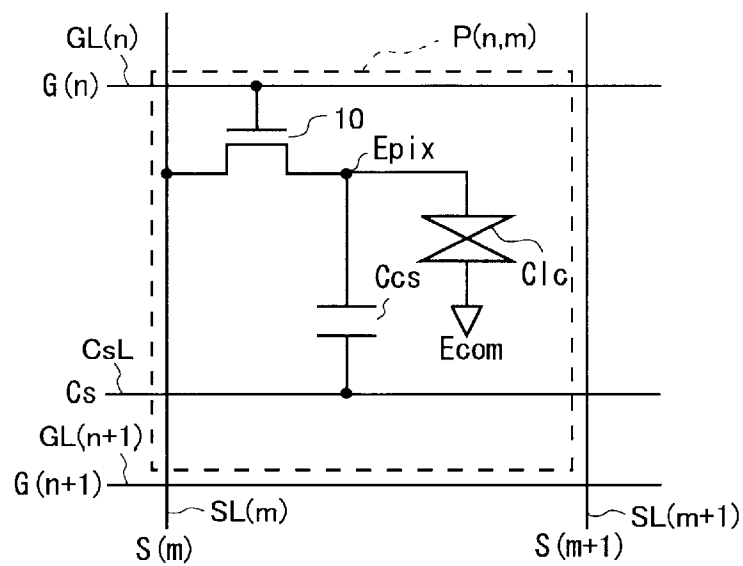
前記走査信号線駆動ステップ、前記映像信号線駆動ステップ、および前記共通電極駆動ステップにおいて所定の制御信号を与えることにより制御する表示制御ステップとを備え、

前記表示制御ステップでは、前記共通電極の電位を基準とした前記画素電極に印加される電圧の極性が所定の期間毎に反転するよう、前記映像信号線駆動ステップおよび前記共通電極駆動ステップにおいて制御するとともに、正極性の電圧が印加される時の前記画素電極と前記共通電極との電位差と、負極性の電圧が印加される時の前記画素電極と前記共通電極との電位差との差分値を、第1の長さのフレーム期間で前記表示すべき画像を書き換える場合よりも、前記第1の長さより長い第2の長さのフレーム期間で書き換える場合の方が、大きくなるように設定することを特徴とする、表示装置の駆動方法。

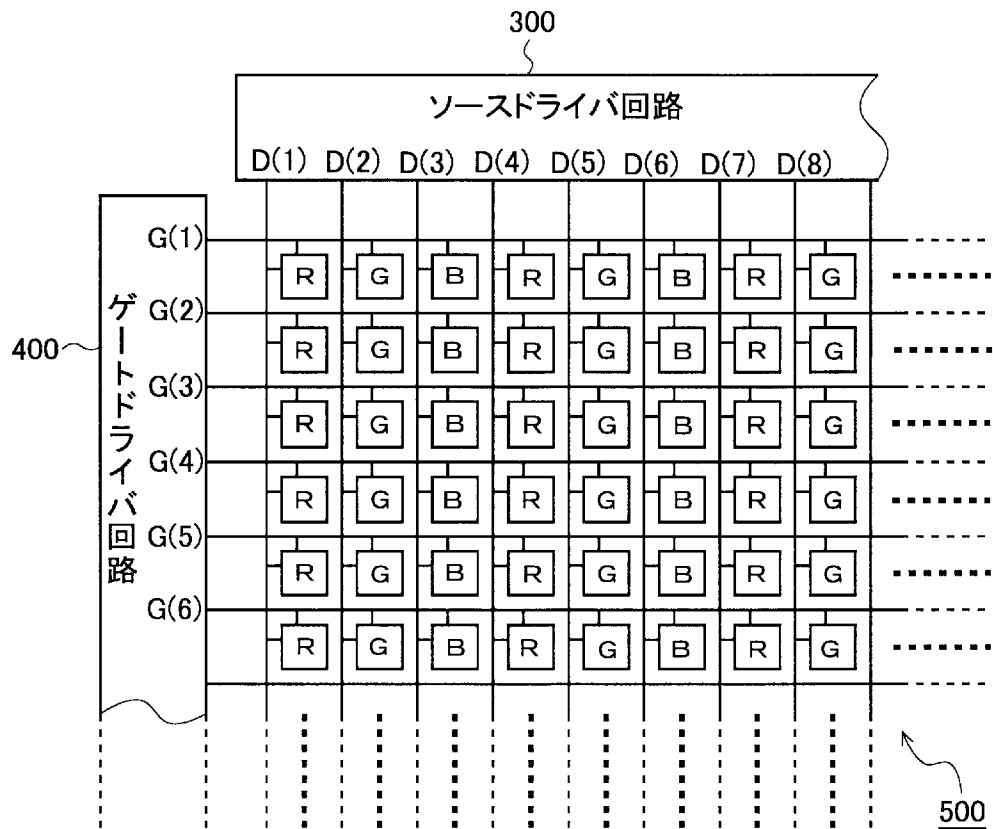
[図1]



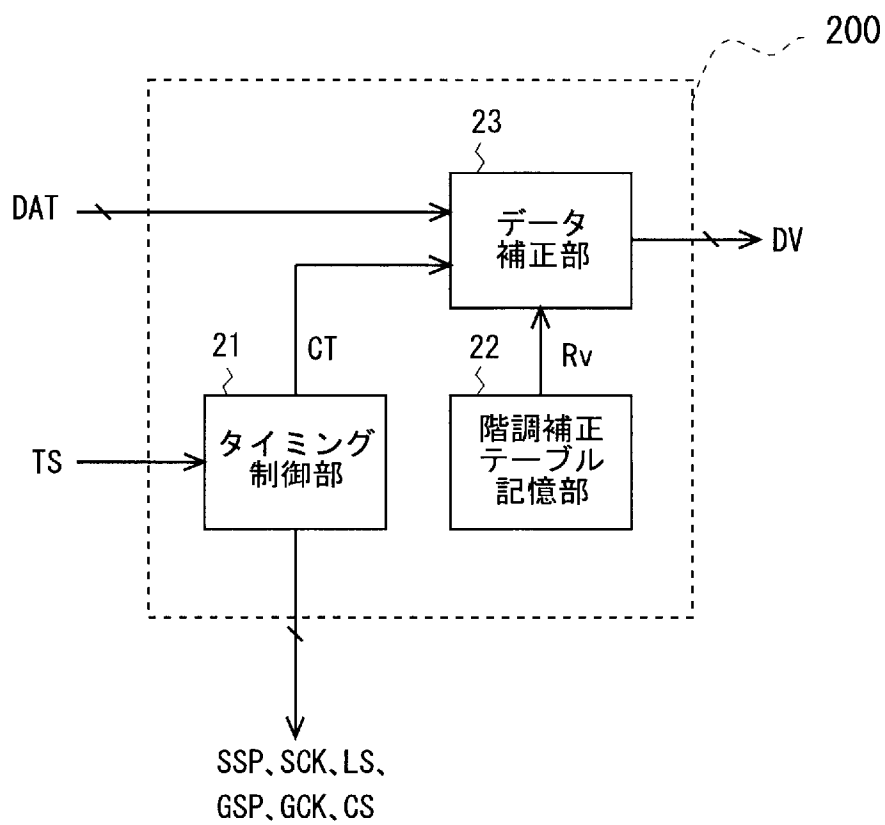
[図2]



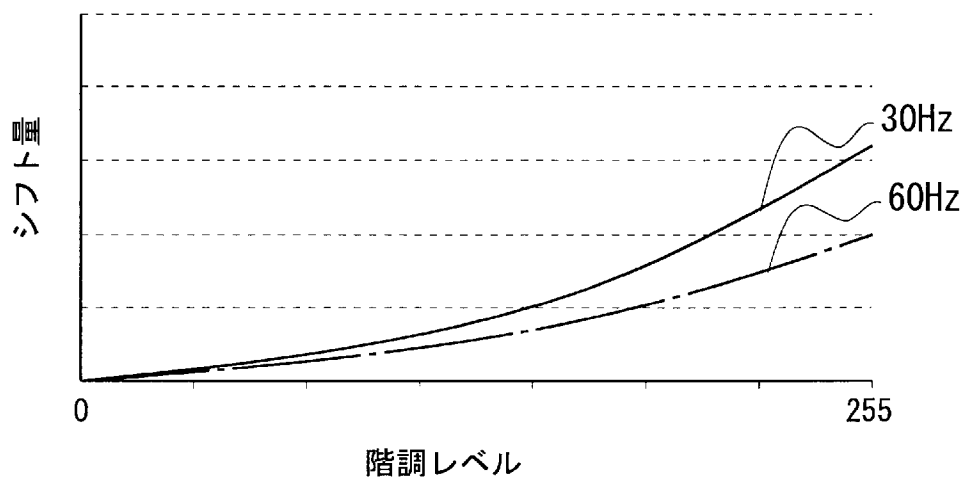
[図3]



[図4]



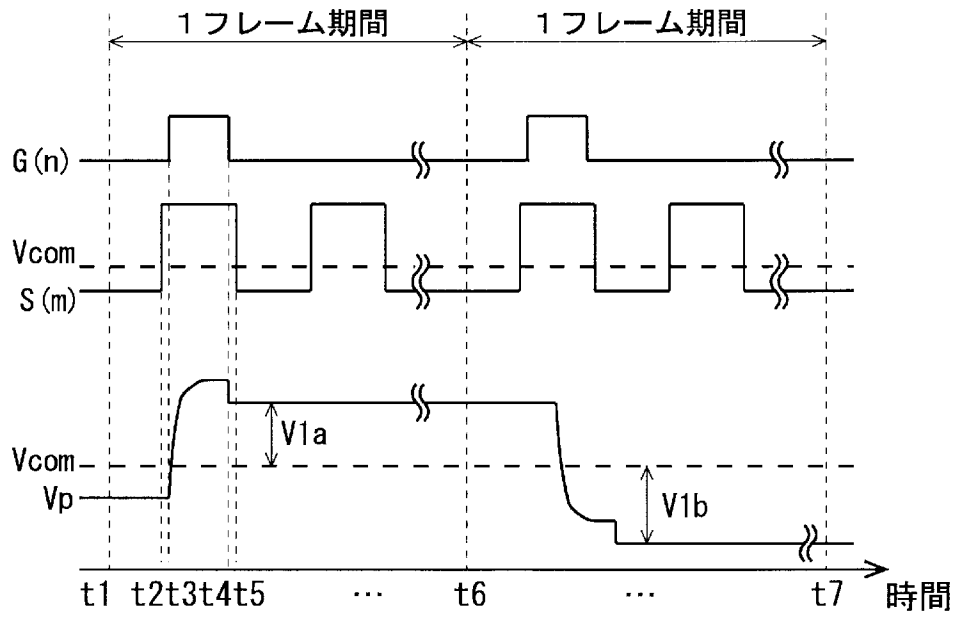
[図5]



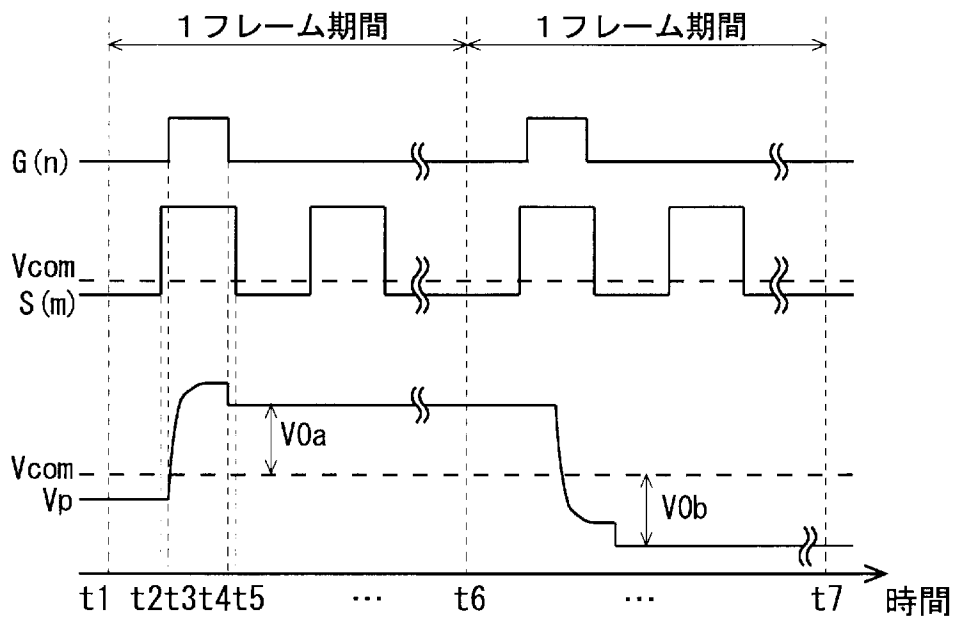
[図6]

| 周波数情報      |     |      | 60Hz   | 30Hz   |
|------------|-----|------|--------|--------|
| 映像信号<br>電圧 | 正極性 | V255 | 7.757V | 7.707V |
|            |     | V224 | 6.848V | 6.808V |
|            |     | V192 | 6.427V | 6.427V |
|            |     | V128 | 5.922V | 5.922V |
|            |     | V64  | 5.506V | 5.506V |
|            |     | V32  | 5.294V | 5.294V |
|            |     | V0   | 4.272V | 4.272V |
|            | 負極性 | V0   | 3.985V | 3.985V |
|            |     | V32  | 2.997V | 2.997V |
|            |     | V64  | 2.759V | 2.759V |
|            |     | V128 | 2.311V | 2.311V |
|            |     | V192 | 1.760V | 1.760V |
|            |     | V224 | 1.301V | 1.261V |
|            |     | V255 | 0.428V | 0.378V |

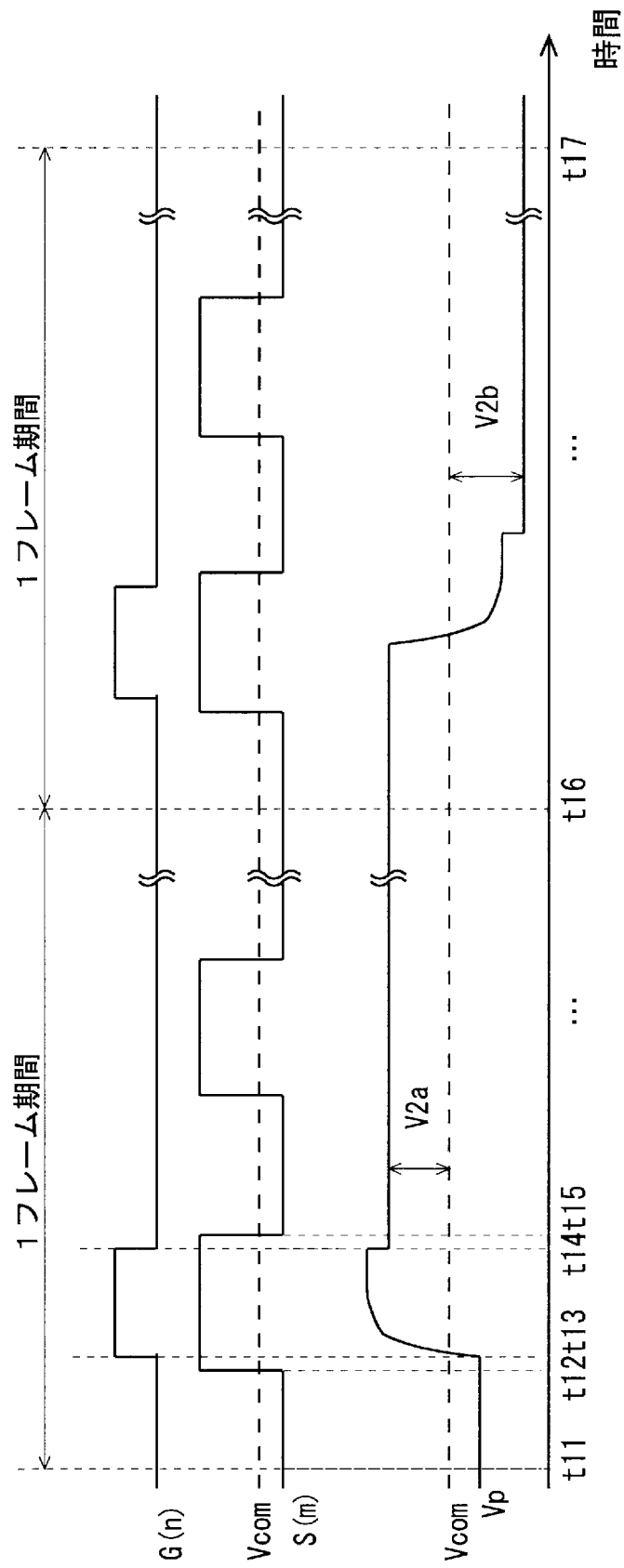
[図7]



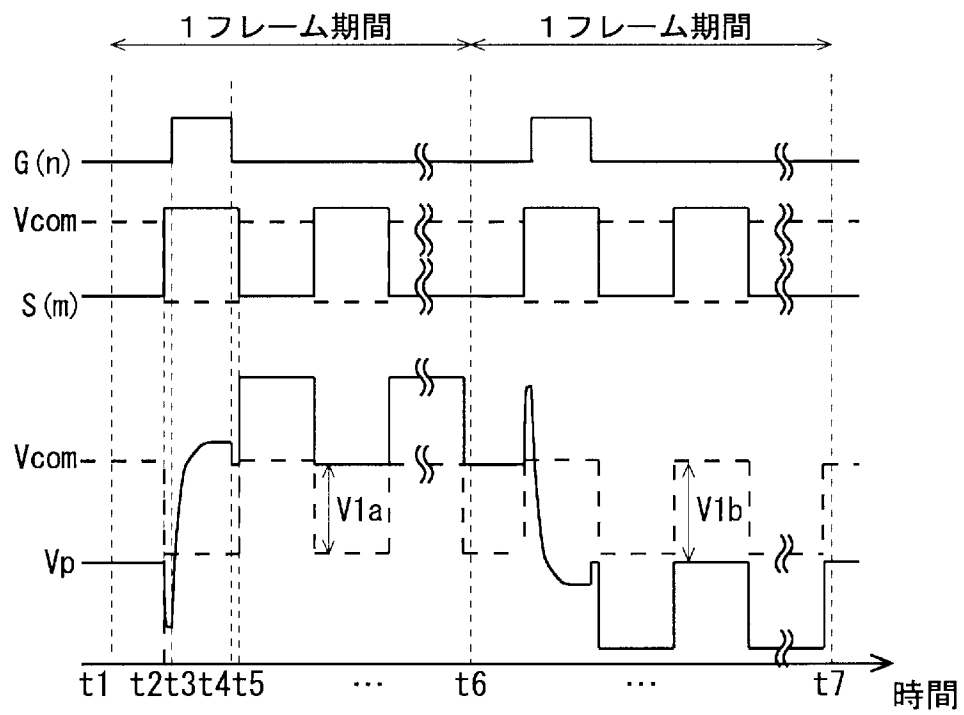
[図8]



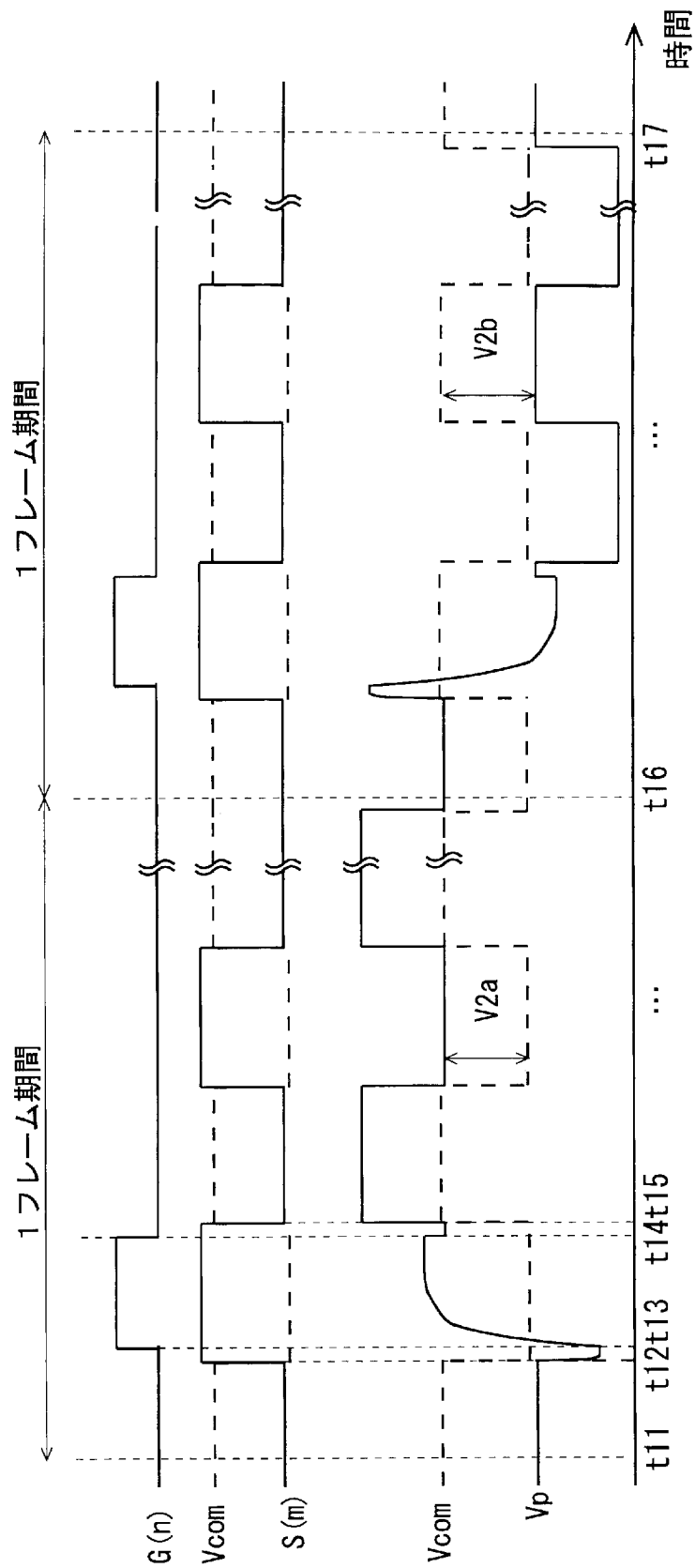
[図9]



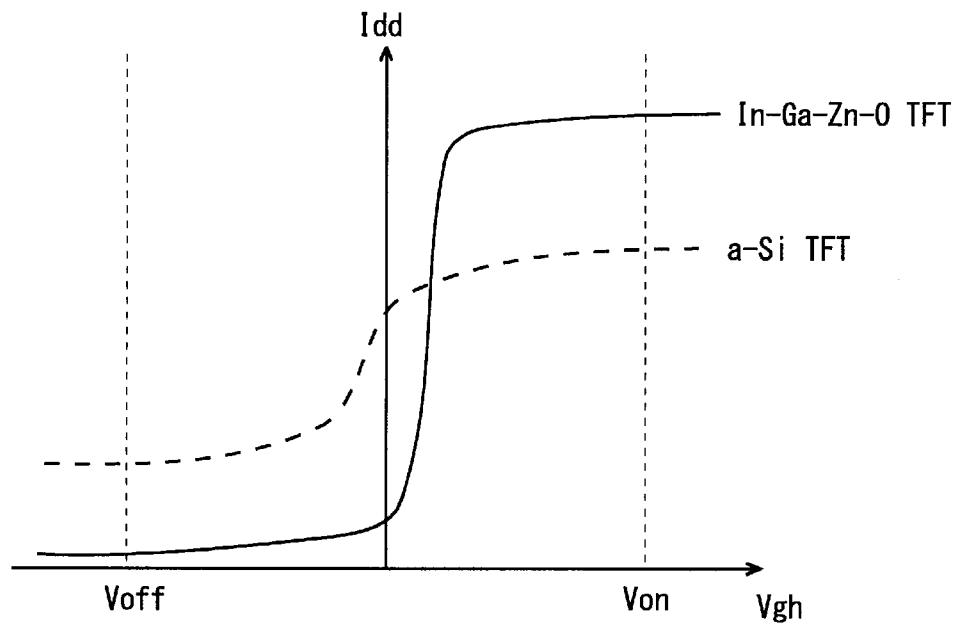
[図10]



[図11]



[図12]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/080216

## A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2013 |
| Kokai Jitsuyo Shinan Koho | 1971-2013 | Toroku Jitsuyo Shinan Koho | 1994-2013 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                               | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X<br>Y    | JP 2002-116739 A (Sharp Corp.),<br>19 April 2002 (19.04.2002),<br>paragraphs [0022] to [0071]; fig. 1 to 7, 20<br>& US 2002/0041281 A1 & EP 1195741 A2<br>& DE 60134201 D & TW 594138 B<br>& KR 10-2002-0036685 A & CN 1348159 A | 1-3, 8-13<br>4-7      |
| Y         | JP 2008-216859 A (Epson Imaging Devices Corp.),<br>18 September 2008 (18.09.2008),<br>paragraphs [0051] to [0054]; fig. 7<br>& US 2008/0218462 A1                                                                                | 4-5                   |
| Y         | JP 2-309318 A (Mitsubishi Electric Corp.),<br>25 December 1990 (25.12.1990),<br>page 4, lower right column, line 1 to page 5,<br>upper left column, line 13; fig. 3<br>(Family: none)                                            | 5                     |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
11 December, 2013 (11.12.13)

Date of mailing of the international search report  
24 December, 2013 (24.12.13)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/080216

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                           | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2009-58675 A (Sony Corp.),<br>19 March 2009 (19.03.2009),<br>paragraphs [0015] to [0030]; fig. 1 to 4<br>& US 2009/0058763 A1 & CN 101377897 A<br>& KR 10-2009-0023156 A & TW 200917224 A | 6-7                   |
| A         | JP 5-196914 A (Sharp Corp.),<br>06 August 1993 (06.08.1993),<br>paragraphs [0002] to [0013]; fig. 1 to 3<br>(Family: none)                                                                   | 1-13                  |

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 3 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 3 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 3 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                              | 関連する<br>請求項の番号   |
|-----------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------|
| X<br>Y          | JP 2002-116739 A（シャープ株式会社）2002.04.19, 段落【0022】－【0071】、【図1】－【図7】、【図20】 & US 2002/0041281 A1 & EP 1195741 A2 & DE 60134201 D & TW 594138 B & KR 10-2002-0036685 A & CN 1348159 A | 1-3, 8-13<br>4-7 |
| Y               | JP 2008-216859 A（エプソンイメージングデバイス株式会社）2008.09.18, 段落【0051】－【0054】、【図7】 & US 2008/0218462 A1                                                                                      | 4-5              |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 1 2 . 2 0 1 3

国際調査報告の発送日

2 4 . 1 2 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）  
郵便番号 1 0 0 - 8 9 1 5  
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

西島 篤宏

2 G

9 3 0 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

| C (続き) . 関連すると認められる文献 |                                                                                                                                                |                |
|-----------------------|------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                              | 関連する<br>請求項の番号 |
| Y                     | JP 2-309318 A (三菱電機株式会社) 1990.12.25, 第4頁右下欄第1行－第5頁左上欄第13行, 第3図 (ファミリーなし)                                                                       | 5              |
| Y                     | JP 2009-58675 A (ソニー株式会社) 2009.03.19, 段落【0015】－【0030】, 【図1】－【図4】 & US 2009/0058763 A1 & CN 101377897 A & KR 10-2009-0023156 A & TW 200917224 A | 6-7            |
| A                     | JP 5-196914 A (シャープ株式会社) 1993.08.06, 段落【0002】－【0013】, 【図1】－【図3】 (ファミリーなし)                                                                      | 1-13           |