

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2020-0137272
(43) 공개일자 2020년12월09일

(51) 국제특허분류(Int. Cl.)

H01L 21/768 (2006.01) B06B 1/02 (2006.01)
H01L 21/02 (2006.01) H01L 21/027 (2006.01)
H01L 21/304 (2006.01) H01L 21/3065 (2006.01)
H01L 21/3105 (2006.01) H01L 21/311 (2006.01)
H01L 29/06 (2006.01)

(52) CPC특허분류

H01L 21/76898 (2013.01)
B06B 1/0292 (2013.01)

(21) 출원번호 10-2019-0063342

(22) 출원일자 2019년05월29일

심사청구일자 2019년05월29일

(71) 출원인

인하대학교 산학협력단

인천광역시 미추홀구 인하로 100(용현동, 인하대학교)

(72) 발명자

최리노

서울특별시 마포구 월드컵북로 502-37, 1102동 305호

김남훈

경기도 파주시 가람로 22, 113동 903호

(뒷면에 계속)

(74) 대리인

김남식, 이인행, 김한

전체 청구항 수 : 총 10 항

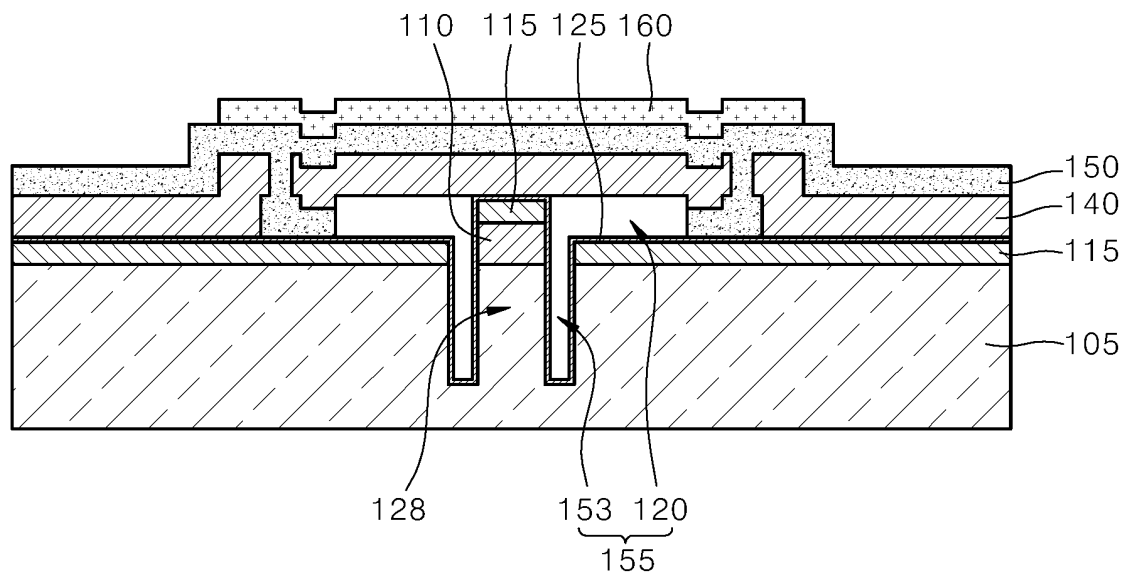
(54) 발명의 명칭 정전용량형 미세가공 초음파 트랜스듀서 및 그 제조방법

(57) 요약

본 발명의 일 관점에 의한 정전용량형 미세가공 초음파 트랜스듀서(CMUT)의 제조방법은 반도체 기판 상에 나노포스트 영역을 한정하는 캐비티 영역을 노출하는 보호층을 형성하는 단계와, 상기 보호층에 의해서 노출된 상기 반도체 기판을 식각하여 상기 캐비티 영역에 수직 캐비티를 형성하고, 상기 반도체 기판에 상기 수직 캐비티에 의

(뒷면에 계속)

대표도 - 도10



해서 한정된 나노포스트를 형성하는 단계와, 상기 수직 캐비티에 의해서 노출된 상기 나노포스트 상에 패시베이션층을 형성하는 단계와, 상기 패시베이션층 상에 적어도 상기 수직 캐비티를 덮도록 희생층을 형성하는 단계와, 상기 희생층 상에 멤브레인층을 형성하는 단계와, 상기 멤브레인층에 상기 희생층을 노출하는 식각홀을 형성하는 단계와, 상기 식각홀을 통해서 상기 희생층을 제거하는 단계와, 상기 식각홀을 실링하는 실링층을 형성하여, 상기 멤브레인층과 상기 반도체 기판 사이에 진공 챔버를 형성하는 단계와, 상기 멤브레인층 상에 상부 전극층을 형성하는 단계를 포함할 수 있다.

(52) CPC특허분류

H01L 21/02274 (2013.01)
H01L 21/0274 (2013.01)
H01L 21/304 (2013.01)
H01L 21/3065 (2013.01)
H01L 21/31051 (2013.01)
H01L 21/31116 (2013.01)
H01L 21/7682 (2013.01)
H01L 29/0665 (2013.01)

이병철

서울특별시 성북구 화랑로14길 5

(72) 발명자

김진현

충청북도 청주시 흥덕구 대농로 17, 109동 2106호

이 발명을 지원한 국가연구개발사업

과제고유번호	1711075684
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	나노·소재기술개발
연구과제명	초절전 IoT 소자 결합 3차원 플랫폼 집적 공정과 최적 아키텍처 개발, 검증
기 여 율	1/2
과제수행기관명	인하대학교
연구기간	2018.05.01 ~ 2019.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711076621
부처명	과학기술정보통신부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자정보디바이스산업원천기술개발
연구과제명	시퀀셜 소자 적층을 위한 초저온 전공정 집적 기술 개발
기 여 율	1/2
과제수행기관명	인하대학교산학협력단
연구기간	2018.04.01 ~ 2019.01.31

명세서

청구범위

청구항 1

반도체 기판 상에 나노포스트 영역을 한정하는 캐비티 영역을 노출하는 보호층을 형성하는 단계;

상기 보호층에 의해서 노출된 상기 반도체 기판을 식각하여 상기 캐비티 영역에 수직 캐비티를 형성하고, 상기 반도체 기판에 상기 수직 캐비티에 의해서 한정된 나노포스트를 형성하는 단계;

상기 수직 캐비티에 의해서 노출된 상기 나노포스트 상에 패시베이션층을 형성하는 단계;

상기 패시베이션층 상에 적어도 상기 수직 캐비티를 덮도록 희생층을 형성하는 단계;

상기 희생층 상에 멤브레인층을 형성하는 단계;

상기 멤브레인층에 상기 희생층을 노출하는 식각홀을 형성하는 단계;

상기 식각홀을 통해서 상기 희생층을 제거하는 단계;

상기 식각홀을 실링하는 실링층을 형성하여, 상기 멤브레인층과 상기 반도체 기판 사이에 진공 갭을 형성하는 단계; 및

상기 멤브레인층 상에 상부 전극층을 형성하는 단계;를 포함하는

정전용량형 미세가공 초음파 트랜스듀서의 제조방법.

청구항 2

제 1 항에 있어서,

상기 진공 갭은 상기 실링층, 상기 멤브레인층, 및 상기 패시베이션층에 의해서 둘러싸인,

정전용량형 미세가공 초음파 트랜스듀서의 제조방법.

청구항 3

제 1 항에 있어서,

상기 희생층은 상기 나노포스트 상의 상기 보호층 및 상기 패시베이션층의 높이까지 형성되고,

상기 진공 갭은 상기 나노포스트의 측벽을 둘러싸는 상기 수직 캐비티 및 상기 수직 캐비티와 연결되어 상기 나노포스트 상의 상기 보호층 및 상기 패시베이션층의 측방향으로 연장된 수평 캐비티를 포함하는,

정전용량형 미세가공 초음파 트랜스듀서의 제조방법.

청구항 4

제 1 항에 있어서,

상기 보호층을 형성하는 단계는,

상기 나노포스트 영역 상에 제 1 절연층을 형성하는 단계; 및

상기 캐비티 영역을 노출하도록 상기 반도체 기판 상에 제 2 절연층을 형성하는 단계;를 포함하는

정전용량형 미세가공 초음파 트랜스듀서의 제조방법.

청구항 5

제 1 항에 있어서,

상기 멤브레인층을 형성하는 단계 전에, 상기 희생층 상에 식각 채널을 형성하는 단계;를 더 포함하고,

상기 멤브레인층은 일부가 상기 식각 채널 내로 하방 돌출되도록 형성되는,
정전용량형 미세가공 초음파 트랜스듀서의 제조방법.

청구항 6

제 5 항에 있어서,
상기 실링층은 상기 식각홀을 통해서 상기 식각 채널 내로 하방 돌출된 상기 멤브레인층 부분까지 형성된,
정전용량형 미세가공 초음파 트랜스듀서의 제조방법.

청구항 7

제 5 항에 있어서,
상기 상부 전극층은 상기 식각 채널 방향으로 일부 하방 돌출되도록 상기 멤브레인층 상에 형성된,
정전용량형 미세가공 초음파 트랜스듀서의 제조방법.

청구항 8

제 1 항에 있어서,
상기 보호층, 상기 패시베이션층 및 상기 멤브레인층은 동일 물질로 형성하는,
정전용량형 미세가공 초음파 트랜스듀서의 제조방법.

청구항 9

제 8 항에 있어서,
상기 보호층, 상기 패시베이션층 및 상기 멤브레인층은 실리콘 질화물을 포함하는,
정전용량형 미세가공 초음파 트랜스듀서의 제조방법.

청구항 10

반도체 기판;
상기 반도체 기판의 일부분을 식각하여 형성된 수직 캐비티에 의해서 상기 반도체 기판에 한정된 나노포스트;
상기 나노포스트 상의 보호층;
상기 나노포스트의 측벽 및 상기 수직 캐비티에 의해서 노출된 상기 반도체 기판 상에 형성된 패시베이션층;
상기 나노포스트의 측벽을 둘러싸는 상기 수직 캐비티 및 상기 수직 캐비티와 연결되어 상기 나노포스트 상의
상기 보호층 및 상기 패시베이션층의 측방향으로 연장된 수평 캐비티를 포함하는 진공 갭에 의해서 상기 반도체
기판 상으로 이격되게 상기 보호층 상에 형성된 멤브레인층;
상기 진공 갭의 일부 및 상기 멤브레인층 상의 실링층; 및
상기 멤브레인층 상의 상부 전극층;을 포함하는,
정전용량형 미세가공 초음파 트랜스듀서.

발명의 설명

기술 분야

[0001] 본 발명은 초음파 장치에 관한 것으로서, 특히 정전용량형 미세가공 초음파 트랜스듀서(Capacitive Micromachined Ultrasonic Transducer, CMUT) 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 초음파 트랜스듀서(또는 초음파 탐촉자)는 전기적 신호를 초음파 신호로 변환시키거나 또는 초음파 신호를 전기적 신호로 변환시키는 장치를 말한다. 종래에는 압전 소재를 이용하여 초음파 신호를 처리하는 압전형 미세가공 초음파 트랜스듀서(Piezoelectric Micromachined Ultrasonic Transducer, PMUT)가 많이 사용되었으나, 최근에는 동작 주파수 범위를 넓히고 트랜스듀서의 대역폭을 넓힐 수 있으며 반도체 공정을 통해서 집적화가 가능한 정전용량형 미세가공 초음파 트랜스듀서(Capacitive Micromachined Ultrasonic Transducer, CMUT)에 대한 연구가 진행되고 있다.

[0003] 하지만, 정전용량형 미세가공 초음파 트랜스듀서(CMUT)의 경우, 전극간 한정된 갭 높이와 한정된 전압으로 인해서 발생할 수 있는 평균 변위가 작아서 높은 송신 및 수신 감도를 갖기 어려운 문제가 있다. 즉, 종래 정전용량형 미세가공 초음파 트랜스듀서(CMUT)의 구조에서는 이동셀의 밀도도 낮지만 이동셀의 가장자리가 모두 고정되어 있어서 중심부에서만 큰 변위를 가지고 주변부는 변위가 작아서 평균 범위가 낮게 된다. 이러한 평균 변위를 높이기 위해서 갭을 높이면 높은 전압을 인가해야 해서 이 역시 어려움이 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 1. 공개특허공보 10-2017-0029497 (2017. 03. 15)

(특허문헌 0002) 2. 공개특허공보 10-2018-0030777 (2018. 03. 26)

발명의 내용

해결하려는 과제

[0005] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 평균 변위를 높여 송수신 감도를 높일 수 있는 정전용량형 미세가공 초음파 트랜스듀서(CMUT) 및 그 경제적인 제조방법을 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

[0006] 본 발명의 일 관점에 의한 정전용량형 미세가공 초음파 트랜스듀서(CMUT)의 제조방법은 반도체 기판 상에 나노포스트 영역을 한정하는 캐비티 영역을 노출하는 보호층을 형성하는 단계와, 상기 보호층에 의해서 노출된 상기 반도체 기판을 식각하여 상기 캐비티 영역에 수직 캐비티를 형성하고, 상기 반도체 기판에 상기 수직 캐비티에 의해서 한정된 나노포스트를 형성하는 단계와, 상기 수직 캐비티에 의해서 노출된 상기 나노포스트 상에 패시베이션층을 형성하는 단계와, 상기 패시베이션층 상에 적어도 상기 수직 캐비티를 덮도록 희생층을 형성하는 단계와, 상기 희생층 상에 멤브레인층을 형성하는 단계와, 상기 멤브레인층에 상기 희생층을 노출하는 식각홀을 형성하는 단계와, 상기 식각홀을 통해서 상기 희생층을 제거하는 단계와, 상기 식각홀을 실링하는 실링층을 형성하여, 상기 멤브레인층과 상기 반도체 기판 사이에 진공 갭을 형성하는 단계와, 상기 멤브레인층 상에 상부 전극층을 형성하는 단계를 포함할 수 있다.

[0007] 상기 정전용량형 미세가공 초음파 트랜스듀서(CMUT)의 제조방법에 따르면, 상기 진공 갭은 상기 실링층, 상기 멤브레인층, 및 상기 패시베이션층에 의해서 둘러싸일 수 있다.

[0008] 상기 정전용량형 미세가공 초음파 트랜스듀서(CMUT)의 제조방법에 따르면, 상기 희생층은 상기 나노포스트 상의 상기 보호층 및 상기 패시베이션층의 높이까지 형성되고, 상기 진공 갭은 상기 나노포스트의 측벽을 둘러싸는 상기 수직 캐비티 및 상기 수직 캐비티와 연결되어 상기 나노포스트 상의 상기 보호층 및 상기 패시베이션층의 측방향으로 연장된 수평 캐비티를 포함할 수 있다.

[0009] 상기 정전용량형 미세가공 초음파 트랜스듀서(CMUT)의 제조방법에 따르면, 상기 보호층을 형성하는 단계는, 상기 나노포스트 영역 상에 제 1 절연층을 형성하는 단계와, 상기 캐비티 영역을 노출하도록 상기 반도체 기판 상에 제 2 절연층을 형성하는 단계를 포함할 수 있다.

[0010] 상기 정전용량형 미세가공 초음파 트랜스듀서(CMUT)의 제조방법에 따르면, 상기 멤브레인층을 형성하는 단계 전에, 상기 희생층 상에 식각 채널을 형성하는 단계를 더 제공할 수 있다. 상기 멤브레인층은 일부가 상기 식각

채널 내로 하방 돌출되도록 형성될 수 있다.

- [0011] 상기 정전용량형 미세가공 초음파 트랜스듀서(CMUT)의 제조방법에 따르면, 상기 실링층은 상기 식각홀을 통해서 상기 식각 채널 내로 하방 돌출된 상기 멤브레인층 부분까지 형성될 수 있다.
- [0012] 상기 정전용량형 미세가공 초음파 트랜스듀서(CMUT)의 제조방법에 따르면, 상기 상부 전극층은 상기 식각 채널 방향으로 일부 하방 돌출되도록 상기 멤브레인층 상에 형성될 수 있다.
- [0013] 상기 정전용량형 미세가공 초음파 트랜스듀서(CMUT)의 제조방법에 따르면, 상기 보호층, 상기 패시베이션층 및 상기 멤브레인층은 동일 물질로 형성할 수 있다. 나아가, 상기 보호층, 상기 패시베이션층 및 상기 멤브레인층은 실리콘 질화물을 포함할 수 있다.
- [0014] 본 발명의 다른 관점에 따른 정전용량형 미세가공 초음파 트랜스듀서(CMUT)는 반도체 기관과, 상기 반도체 기관의 일부분을 식각하여 형성된 수직 캐비티에 의해서 상기 반도체 기관에 한정된 나노포스트와, 상기 나노포스트 상의 보호층과, 상기 나노포스트의 측벽 및 상기 수직 캐비티에 의해서 노출된 상기 반도체 기관 상에 형성된 패시베이션층과, 상기 나노포스트의 측벽을 둘러싸는 상기 수직 캐비티 및 상기 수직 캐비티와 연결되어 상기 나노포스트 상의 상기 보호층 및 상기 패시베이션층의 측방향으로 연장된 수평 캐비티를 포함하는 진공 챔버에 의해서 상기 반도체 기관 상으로 이격되게 상기 보호층 상에 형성된 멤브레인층과, 상기 진공 챔버의 일부 및 상기 멤브레인층 상의 실링층과, 상기 멤브레인층 상의 상부 전극층을 포함한다.

발명의 효과

- [0015] 상기한 바와 같이 이루어진 본 발명의 실시예들에 따른 정전용량형 미세가공 초음파 트랜스듀서(CMUT)는 나노포스트를 이용하여 전극간 평균 변위를 크게 하여 송수신 감도를 높일 수 있다. 나아가, 본 발명의 실시예들에 따른 정전용량형 미세가공 초음파 트랜스듀서(CMUT)의 제조 방법에 따르면 반도체 기관을 이용하여 나노포스트 및 진공 챔버를 경제적으로 제조할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [0016] 도 1 내지 도 9는 본 발명의 일 실시예에 따른 정전용량형 미세가공 초음파 트랜스듀서(CMUT) 및 그 제조방법 보여주는 개략적인 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 여러 실시예들을 상세히 설명하기로 한다.
- [0018] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려 이들 실시예들은 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것이다.
- [0019] 도 1 내지 도 9는 본 발명의 일 실시예에 따른 정전용량형 미세가공 초음파 트랜스듀서(CMUT) 및 그 제조방법 보여주는 개략적인 단면도들이다.
- [0020] 도 1을 참조하면, 반도체 기관(105)의 나노포스트가 형성될 영역(이하, 나노포스트 영역) 상에 제 1 절연층(110)을 형성할 수 있다.
- [0021] 예를 들어, 반도체 기관(105)은 반도체 물질, 예컨대 실리콘, 게르마늄, 실리콘-게르마늄 등을 포함할 수 있다. 이러한 반도체 물질은 도전성을 갖도록 n형 또는 p형으로 도핑될 수 있다. 나아가, 반도체 기관(105)은 반도체 웨이퍼를 소정 두께로 가공하여 제공할 수도 있다.
- [0022] 예를 들어, 반도체 기관(105) 상에 제 1 절연층(110)을 전체적으로 형성할 수 있다. 제 1 절연층(110)은 실리콘 질화물(silicon nitride), 예컨대 Si_3N_4 을 포함할 수 있으며, 화학기상증착(chemical vapor deposition, CVD)법으로 균일하게 형성될 수 있다. 보다 구체적으로 CVD법으로는 저진공 CVD(LP CVD) 또는 플라즈마 강화 CVD(PECVD)법을 이용할 수 있다.
- [0023] 이어서 포토리소그래피(photo lithography)를 이용하여 나노포스트 영역을 덮는 포토레지스트 패턴을 형성하고 이를 보호막으로 하여 제 1 절연층(110)의 노출된 부분을 식각하여 나노 포스트 영역 상에 제 1 절연층(110)이

남도록 형성할 수 있다. 예를 들어, 식각은 이방성 식각 특성을 갖는 플라즈마 건식 식각, 예컨대 반응성 이온 에칭(reactive ion etching, RIE)법을 이용할 수 있다.

[0024] 도 2를 참조하면, 반도체 기판(105) 내에 나노포스트 영역을 한정하는 캐비티가 형성될 영역(이하, 캐비티 영역이라 함)을 노출하도록 반도체 기판(105) 상에 제 2 절연층(115)을 형성할 수 있다.

[0025] 예를 들어, 반도체 기판(105) 상에 제 2 절연층(115)을 전체적으로 형성할 수 있다. 제 2 절연층(115)은 실리콘 질화물(silicon nitride), 예컨대 Si_3N_4 를 포함할 수 있으며, 화학기상증착(CVD)법으로 균일하게 형성될 수 있다.

[0026] 이어서 포토리소그래피(photo lithography)를 이용하여 캐비티 영역을 노출하는 포토레지스트 패턴을 형성하고 이를 보호막으로 하여 제 2 절연층(115)의 노출된 부분을 식각하여 캐비티 영역을 노출하는 제 2 절연층(115)을 형성할 수 있다. 예를 들어, 식각은 이방성 식각 특성을 갖는 플라즈마 건식 식각, 예컨대 반응성 이온 에칭(RIE)법을 이용할 수 있다.

[0027] 여기에서, 제 1 절연층(110)과 제 2 절연층(115)이 합해진 구조는 반도체 기판(105) 상에 나노포스트 영역을 한정하는 캐비티 영역을 노출하는 보호층을 형성할 수 있다. 이하에서는, 제 1 절연층(110)과 제 2 절연층(115)이 합해진 구조를 보호층(110, 115)으로 지칭한다.

[0028] 이러한 점에서, 도 1 및 도 2는 반도체 기판(105) 상에 나노포스트 영역을 한정하는 캐비티 영역을 노출하는 보호층(110, 115)을 형성하는 단계를 도시하고 있다. 이에 따르면, 보호층(110, 115)을 형성하는 단계는 나노포스트 영역 상에 제 1 절연층(110)을 형성하는 단계와, 캐비티 영역을 노출하도록 반도체 기판(105) 상에 제 2 절연층(115)을 형성하는 단계를 포함할 수 있다.

[0029] 이에 따라, 나노포스트 영역 상의 보호층(110, 115)의 높이는 다른 부분의 높이보다 제 1 절연층(110)의 높이만큼 높을 수 있다.

[0030] 도 3을 참조하면, 보호층(110, 115)에 의해서 노출된 반도체 기판(105)을 식각하여 캐비티 영역에 수직 캐비티(120)를 형성할 수 있다. 이에 따라, 반도체 기판(105)에 수직 캐비티(120)에 의해서 한정된 나노포스트(128)가 형성될 수 있다. 예를 들어, 식각은 이방성 식각 특성을 갖는 플라즈마 건식 식각, 예컨대 반응성 이온 에칭(reactive ion etching, RIE)법 또는 깊은 반응성 이온 에칭(deep reactive ion etching, DRIE)법을 이용할 수 있다.

[0031] 나노포스트(128)는 반도체 기판(105) 내에 수직 캐비티(120)에 의해서 측벽이 노출된 나노 크기의 기둥 구조이 되 그 바닥은 반도체 기판(105)의 소정 깊이에 고정된 형태일 수 있다. 나노포스트(128)는 좁게는 반도체 기판(105)으로 구성된 나노 크기의 기둥 구조를 의미하지만, 넓게는 이러한 기둥 구조 상의 보호층(110, 115)을 포함하는 것으로 해석될 수도 있다.

[0032] 도 1 내지 도 3에서는 하나의 나노포스트(128) 구조를 도시하고 있지만, 이는 일부 구조를 도시한 것이고, 나노포스트(128)의 개수는 복수개일 수 있고 그 개수는 본 발명의 범위를 제한하는 것은 아니다.

[0033] 도 4를 참조하면, 수직 캐비티(120)에 의해서 노출된 나노포스트(128) 상에 패시베이션층(125)을 형성할 수 있다.

[0034] 예를 들어, 도 3의 구조 상에 화학기상증착(CVD)법으로 전체적으로 패시베이션층(125)을 형성할 수 있다. 패시베이션층(125)은 수직 캐비티(120)를 채우지 않도록 얇은 두께로 형성될 수 있다. 예를 들어, 패시베이션층(125)은 실리콘 질화물(silicon nitride), 예컨대 Si_3N_4 를 포함할 수 있으며, 화학기상증착(CVD)법으로 균일하게 형성할 수 있다.

[0035] 예를 들어, 패시베이션층(125)은 나노포스트(128) 내부뿐만 아니라 나노포스트(128) 상의 보호층(110, 115) 및 패시베이션층(125) 상에도 형성될 수 있다.

[0036] 이어서, 패시베이션층(125) 상에 수직 캐비티(120)를 적어도 덮도록 희생층(130)을 형성할 수 있다. 희생층(130)은 패시베이션층(125)에 대해서 식각 선택비를 갖는 물질로 선택될 수 있다. 예를 들어, 희생층(130)은 비정질 실리콘을 포함할 수 있다.

[0037] 구체적으로 보면, 화학기상증착(CVD)법으로 비정질 실리콘층을 수직 캐비티(120) 및 보호층(110, 115)을 덮도록 두껍게 증착한 후, 이를 평탄화하여 보호층(110, 115)의 높은 부분, 즉 나노포스트(128) 상의 보호층(110, 115)

및 패시베이션층(125) 높이의 희생층(130)을 형성할 수 있다. 예를 들어, 평탄화는 에치백(etch back) 또는 화학기계연마(chemical mechanical polishing, CMP)법을 이용할 수 있다.

- [0038] 도 5를 참조하면, 희생층(130) 상에 식각 채널(135)을 형성하고, 희생층(130)을 소정 크기로 패터닝할 수 있다. 식각 채널(135)은 희생층(130)의 가장자리부분에서 소정 거리만큼 안쪽에 위치하여, 이후 형성되는 층이 하방으로 돌출되어 형성되도록 해줄 수 있다.
- [0039] 이러한 식각 채널(135)은 포토리소그래피 및 식각 공정을 이용하여 형성할 수 있다. 예를 들어, 식각은 이방성 식각 특성을 갖는 플라스마 건식 식각, 예컨대 반응성 이온 에칭(RIE)법을 이용할 수 있다.
- [0040] 도 6을 참조하면, 희생층(130) 상에 멤브레인층(140)을 형성할 수 있다. 예를 들어, 화학기상증착(CVD)법으로 희생층(130) 및 보호층(110, 115) 상에 전면적으로 멤브레인층(140)을 증착할 수 있다. 멤브레인층(140)은 실리콘 질화물(silicon nitride), 예컨대 Si_3N_4 을 포함할 수 있다.
- [0041] 멤브레인층(140)은 희생층(130) 상에 컨포멀(conformal)하게 형성되며, 따라서 희생층(130)의 식각 채널(135)의 모양을 따라서 이 부분이 식각 채널(135) 내로 하방 돌출되도록 형성될 수 있다.
- [0042] 도 7을 참조하면, 멤브레인층(140)에 희생층(130)을 노출하는 식각홀(145)을 형성할 수 있다. 예를 들어, 식각홀(145)은 포토리소그래피 및 식각 기술을 이용하여 형성될 수 있다.
- [0043] 식각홀(145)은 이후 실링 단계를 고려하여 희생층(130)의 가장자리 부분을 노출하도록 형성될 수 있다.
- [0044] 도 8을 참조하면, 식각홀(145)을 통해서 희생층(130)을 제거할 수 있다. 예를 들어, 희생층(130)의 제거는 등방성 식각을 이용할 수 있고, 예컨대 습식 식각법을 이용하여 식각액이 식각홀(145)로부터 수직 캐비티(120) 내부까지 침투하여 희생층(130)을 전체적으로 제거하도록 수행할 수 있다. 예를 들어, 희생층(130)이 비정질 실리콘인 경우 식각액은 KOH 용액을 포함할 수 있다.
- [0045] 도 9를 참조하면, 식각홀(145)을 실링하는 실링층(150)을 형성하여, 멤브레인층(140)과 반도체 기판(105) 사이에 진공 갭(155)을 형성할 수 있다. 실링층(150)을 형성하는 단계는 실질적으로 진공 공정을 이용하므로, 진공 갭(155) 내부는 소정 압력의 진공 상태가 될 수 있다.
- [0046] 예를 들어, 실링층(150)은 실리콘 질화물(silicon nitride), 예컨대 Si_3N_4 을 포함할 수 있으며, 모서리 도포성(step coverage)이 우수한 화학기상증착(chemical vapor deposition, CVD)법으로 균일하게 형성될 수 있다. 실링층(150)은 식각홀(145)의 바닥으로부터 성장하여 실링층(150)을 막을 때까지 형성될 수 있다.
- [0047] 이 경우, 멤브레인층(140)의 하방 돌출 부분이 실링층(150)이 진공 갭(155) 내에서 성장을 정지하는 가이드 역할을 할 수 있다. 예를 들어, 실링층(150)은 식각홀을 통해서 식각 채널(135) 내로 하방 돌출된 멤브레인층(140) 부분까지 형성될 수 있다.
- [0048] 진공 갭(155)은 나노포스트(128)의 측벽을 둘러싸는 수직 캐비티(120)와 수직 캐비티(120)와 연결되며 나노포스트(128) 상의 보호층(110, 115) 및 패시베이션층(125)의 측방향으로 연장된 수평 캐비티(153)를 포함할 수 있다.
- [0049] 나아가, 진공 갭(155)은 실링층(150), 멤브레인층(140) 및 패시베이션층(125)에 의해서 둘러싸일 수 있다.
- [0050] 이러한 진공 갭(155), 보다 구체적으로는 수평 캐비티(153)에 의해서 멤브레인층(140)의 일부분이 반도체 기판(105) 상으로부터 이격 배치될 수 있다.
- [0051] 도 10을 참조하면, 멤브레인층(140) 상에 상부 전극층(160)을 형성할 수 있다. 예를 들어, 상부 전극층(160)은 도전성 금속 물질로 형성할 수 있다. 상부 전극층(160)은 멤브레인층(140)의 구조를 따라서 형성되므로, 식각 채널(135) 방향으로 일부 하방 돌출되도록 형성될 수 있다.
- [0052] 일부 실시예에서, 보호층(110, 115), 패시베이션층(125), 멤브레인층(140) 및 실링층(150)의 일부 또는 전부는 동일 물질, 예컨대 실리콘 질화물로 형성될 수 있다.
- [0053] 전술한 실시예에 따르면, 반도체 기판(105) 내에 수직 캐비티(120)를 형성하여 나노포스트(128) 구조를 제조할 수 있고, 나아가 희생층(130)의 식각을 이용하여 고가의 실리콘-온-절연체(silicon on insulator, SOI) 기판을 이용하지 않고서도 진공 갭(155)을 갖는 정전용량형 미세가공 초음파 트랜스듀서(CMUT)를 제조할 수 있다.
- [0054] 전술한 정전용량형 미세가공 초음파 트랜스듀서(CMUT)에 의하면, 나노포스트들(128)은 상부 전극(160) 및 반도체

체 기관(105) 사이에 전원이 인가되면 상부 전극(160) 및/또는 멤브레인층(140)이 진동될 때 길이 방향으로 압축 및 인장이 가능할 수 있다. 이에 따라, 나노포스트들(128)은 스프링의 역할을 하여 상부 전극(160) 및/또는 멤브레인층(140)이 보다 큰 변위로 진동할 수 있도록 해준다.

[0055] 나노포스트들(128)은 반도체 물질로 형성될 수 있다. 반도체 단결정은 벌크 구조에서는 낮은 인장을 및 압축을 보이거나, 나노미터 레벨의 직경을 갖는 단결정 와이어는 이론적인 한계인 약 20% 부근까지 압축 및 신장될 수 있다고 알려져 있다. 따라서, 본 발명의 실시예들에서, 나노포스트들(128)은 상부 전극(160) 및/또는 멤브레인층(140)이 보다 큰 변위로 진동할 수 있도록 하는 스프링의 기능을 수행할 수 있다.

[0056] 따라서, 본 발명의 실시예들에 따른 정전용량형 미세가공 초음파 트랜스듀서(CMUT)은 전극간 평균 변위를 크게 하여 초음파 송수신 감도를 높일 수 있다.

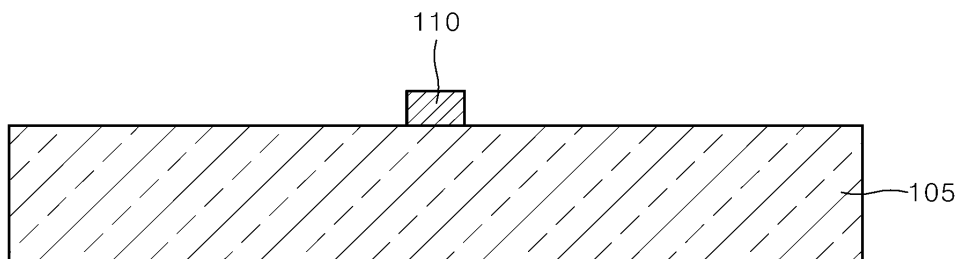
[0057] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

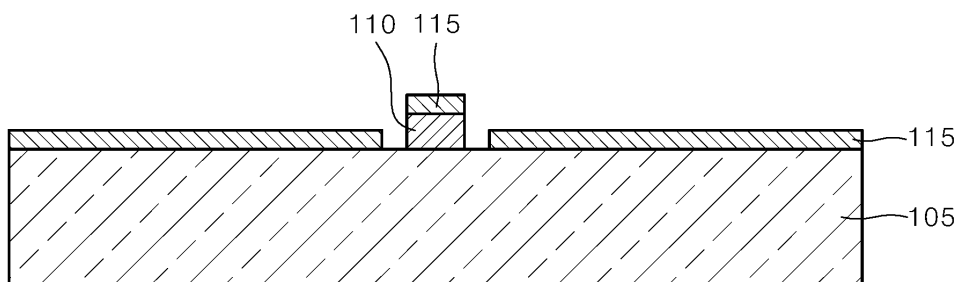
[0058] 105: 반도체 기관
110, 115: 보호층
125: 패시베이션층
128: 나노포스트
130: 희생층
140: 멤브레인층
150: 실링층
155: 진공 갭
160: 상부 전극

도면

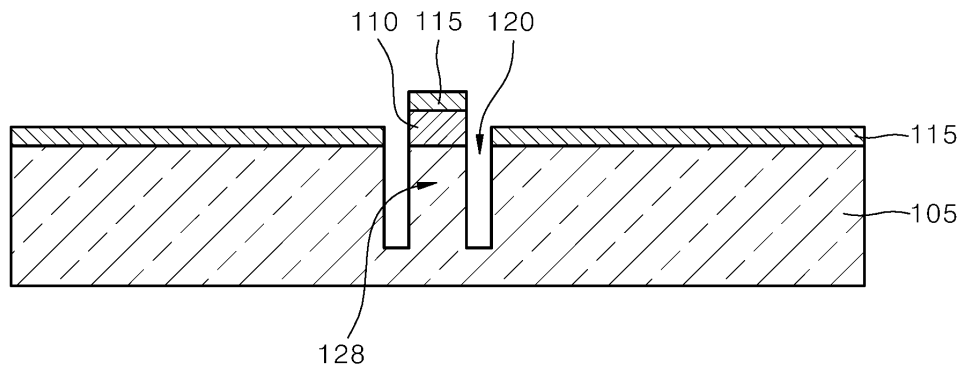
도면1



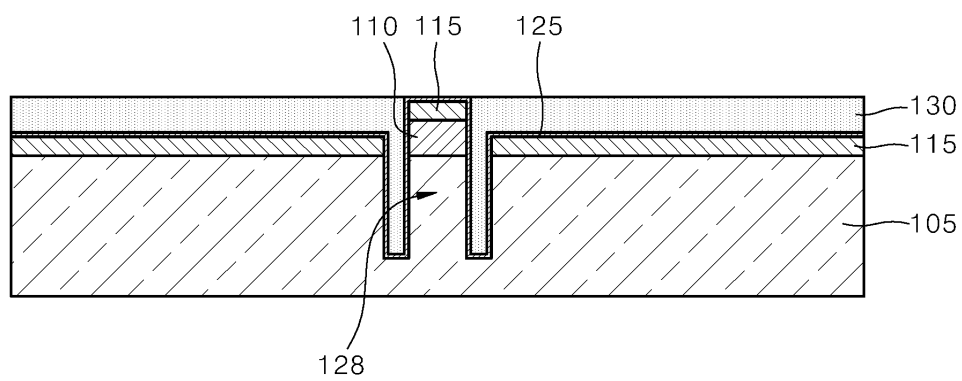
도면2



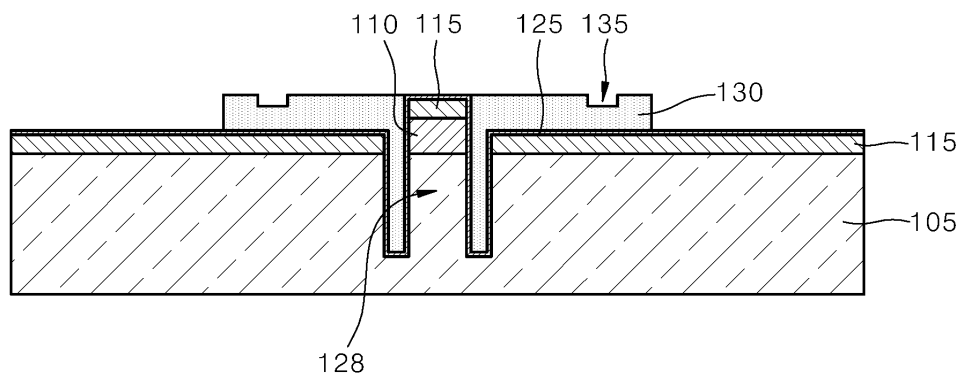
도면3



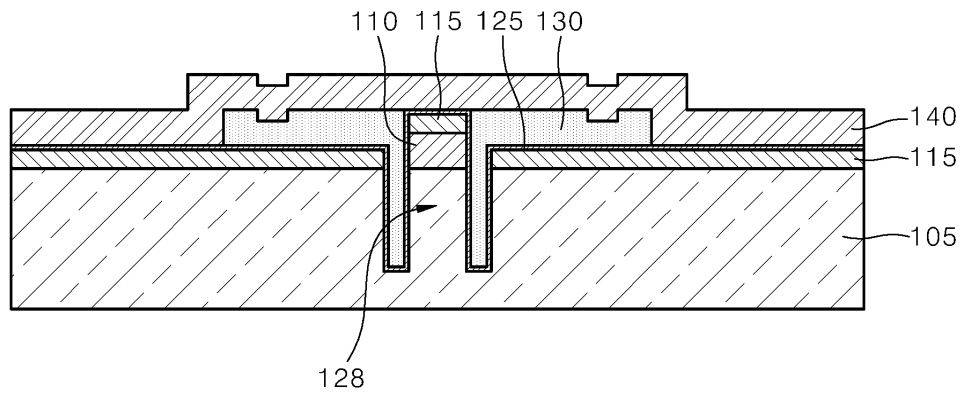
도면4



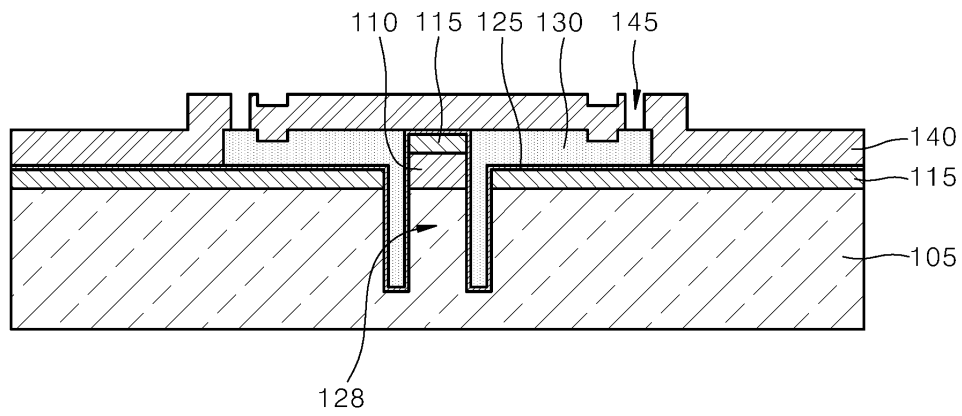
도면5



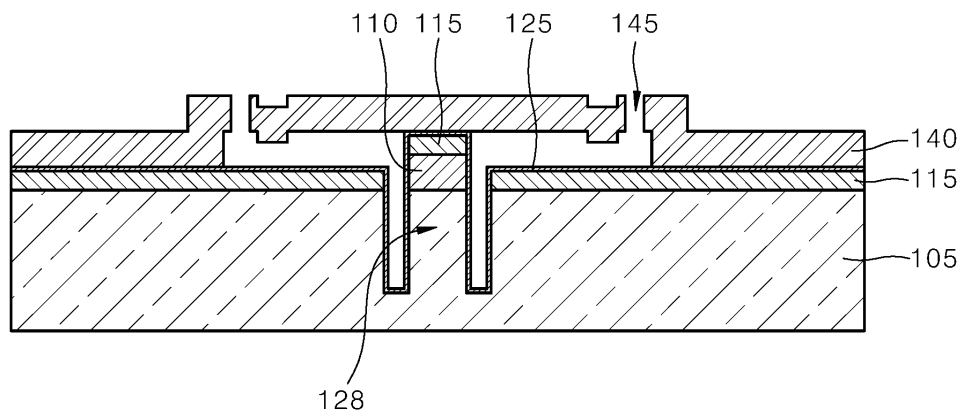
도면6



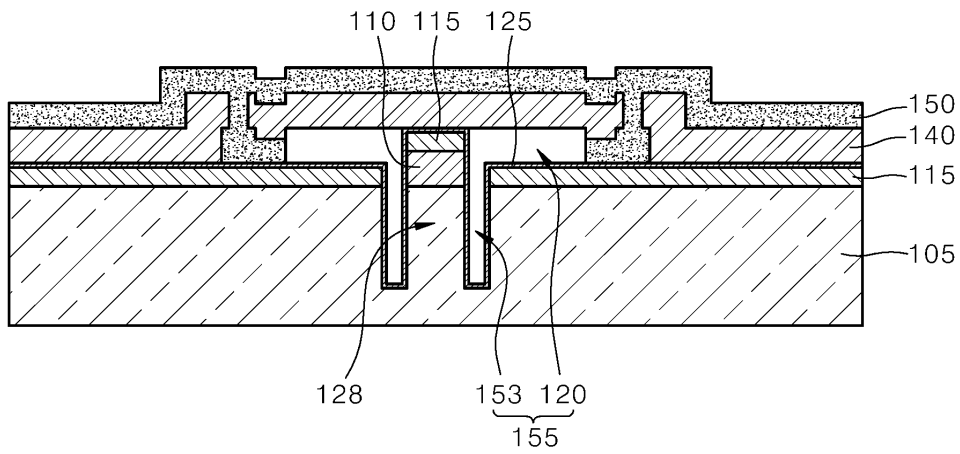
도면7



도면8



도면9



도면10

