

申請日期	86.9.18
案 號	86113500
類 別	H5K 3/20

公告本

A4
C4

437269

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	安裝於槽線之倒裝式晶片結構
	英 文	SLOTLINE-MOUNTED FLIP CHIP STRUCTURES
二、發明人 創作	姓 名	(1) 馬克凡 尼斯 佛克納 (2) 波特 C · 韓得森 (3) 克利福 A · 墨溫可 (4) 愛得華 B · 安得森
	國 籍	美 國
三、申請人	住、居所	(1) 美國, 加州 95006, 圓石溪, 瑞貝加路 891 號 (2) 美國, 加州 94087, 太陽谷, 洛依大道 915 號 (3) 美國, 加州 95128, 聖荷西, 梨樹巷 2363 號 (4) 美國, 奧勒岡州 97470, 玫瑰堡, 佛洛谷路 4079 號
	姓 名 (名稱)	止 境 公 司
三、申請人	國 籍	美 國
	住、居所 (事務所)	美國, 加州 94086, 太陽谷, 梭奎路 321 號
三、申請人	代 表 人 姓 名	克利福 A · 墨溫可

裝

訂

線

437269

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

美 國 (地區) 申請專利，申請日期：1996.10.04 案號：08/725,962 ☒ 有 ☐ 無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 ()

〔發明之背景〕

發明之領域

本發明是關於高頻傳輸線電路結構，且尤指具有一倒裝於槽線上之晶片電路的該等電路結構。

相關技術

於母板上安裝倒裝晶片已被認為是一種連接射頻電路元件的有效方法。倒裝的使用提供了一種替代的連接方法，其可替代在母板上使用接合線、背側金屬化物及通路、空氣橋、及介電跨接件。將晶片連接到母板的導電柱或凸柱的連接可使用熱壓縮結合、焊接、黃銅材料或黏合劑來達成。

又，於該等高頻應用中，已成功地建立起共平面傳輸線的使用。典型的實例包括傳統共平面波導（地－訊號－地線），與槽線。槽線可由間隔開的具相反極性的導體、平衡的地－訊號－地線、與平行的條狀平衡線所組成。這些共平面傳輸線特別地有用，因為在單一平面上具有形成訊號之導體使得結構獲致簡化。

一槽線包括兩安裝於基片之一面或兩面上的兩個導體。該等導體互相隔開以形成一槽。該槽充分地窄，以供導體緊密地耦連，藉此令導體邊緣隨著槽延伸，作為初級傳輸線。槽線典型地用以導引平衡訊號，如用於推挽式電路中。這些電路於基片之相反側或背側上可具有或不具有一對應的接地面。其亦可被用以非平衡訊號，兩導體中的一

五、發明說明(一)

個位於接地，或另一個為固定的共用參考電位。共平面槽線亦具有不需跨接導體以及與共平面波導相比僅含很少導體的優點。

槽線過去通常是被製造為半無限(semi-infinite)導體，各導體覆蓋基片表面至槽一側的所有部位。一槽線亦可由具有有限寬度之導體條所形成。傳統地，一共平面波導包括兩具相同訊號、相反極性之耦連的槽線。

而此處所用者，一槽線與一共平面波導的最主要的區分是由一槽線所形成之用於一給定傳輸線的傳輸線僅包括兩個導體。也就是說，各導體僅與另一導體相連以形成傳輸線。另一方面，一共平面波導具有三個導體，一由間隔之外部導體所結合的內部訊號導體，其外部導體具有相同的極性並相對於中間導體共用電流之導通。於一共平面波導中，中間導體具有與兩外部導體極性相反之極性，並與兩外部導體相連以形成傳輸線。

此定義並不排除在與兩槽線導體之一或兩者相連接時使用其他導體用於傳輸其他訊號、用於阻抗匹配或用於其他的用途，只要其他的導體具有相關於那些槽線導體之任意的訊號極性。

又如此處所用者，一晶片電路為一或多個電子元件形成於一晶片基片之內或之上。典型地，積體電路是形成於一晶片基片上以形成一晶片電路。其他形式的電路結構亦可形成於一晶片上。當該晶片電路被倒裝於一底部基片上

五、發明說明(2)

，且晶片連接點相鄰於基片表面時，該含有晶片電路之晶片稱為一倒裝式晶片。一倒裝式晶片可能包含一或多個電路、元件或裝置，各電路、元件或裝置可以互連到晶片上亦可不連到晶片上。

於常見的放大器用途中，晶片電路是為一含有一或多個電晶體及其他裝置（如電阻器、電容器與電感）的積體電路。於一具複數個電晶體之功率晶片中，電晶體可單獨地或集合性地連接至母板上，用於合成功率電晶體之阻抗匹配典型地（儘管並非經常性者）是於該母板上完成，以將晶片基片之尺寸減小到最小限度。

〔發明之概要〕

在射頻電路中最好是利用倒裝式晶片技術，尤其於槽線的使用中最好應用該項技術。於放大器、振盪器、混頻器及類似者的形成中更需應用此項技術。

本發明提供了一種電路結構，其具有一電氣絕緣的底部基片，該底部基片具一界定有第一連接部的平面，及一安裝於該基片平面上的槽線。該槽線包括延伸於連接區內的第一與第二間隔開的共平面導體。一晶片電路是倒裝於基片之連接區上，其第一晶片電路端連接到第一導體，其第二晶片電路端連接到第二導體。槽線傳導與晶片電路有關的一電氣訊號。如前所述，晶片電路在一般意義中，其上可具有任何功能電路，如一單個主動或被動裝置，或由該等裝置之各種組合所構成的更為複雜的電路。

五、發明說明(4)

本發明的各種較佳實施例更包括一安裝與基片平面上與該第一槽線隔開的第二槽線，該第二槽線包括具延伸到該連接區內之近端的第三與第四間隔開的共平面導體，該第三與第四間隔開的共平面導體之間界定一第二槽，該第一槽線的近端是與第二槽線的近端間隔開。一第五導體亦安裝於基片平面上，與該第一與第二槽線隔開並且共平面，該第五導體具有位在連接區內的一近部。第五導體之近部亦與第一與第二槽線之近端間隔開。

晶片電路包括倒裝於連接區內所有五個導體上的第一與第二電晶體，如場效電晶體(FET)。FET之閘極是連接到第一槽線以接收一輸入訊號。汲極是連接到第二槽線以輸出由電晶體放大之訊號。FET之源極是連接到第五導體，第五導體是連接到接地。此一般的型態可以變化，以用作為一放大器、振盪器、或混頻器。

槽線可分為平行的槽線部，以提供具分配之阻抗匹配的多個並聯電路。一槽線可由連接區循環回，以提供一用於阻抗匹配的阻流門，且第五導體之一部位可延伸於槽線導體之間，以提供電容耦合。

於一實施例中，依據本發明所製成的一混頻器包括第一與第二主動裝置，各主動裝置的一控制端耦連在一起。一第一高頻端耦連到一第一主動裝置之控制端，及一第二高頻端耦連到一第二主動裝置之控制端，用於傳導一高頻訊號。一連接導體將第一主動裝置之載流端的另一個耦連

五、發明說明(5)

到第二主動裝置之載流端的另一個。一局部振盪器耦連到各主動裝置之載流端的另一個，用於將一局部振盪器訊號施加到主動裝置。一第一中頻端，耦連到兩主動裝置之一載流端，及一第二中頻端，耦連到連接導體上的一點，位於其端部的中間。該連接導體最好為局部振盪器頻率波長的一半，遠離將局部振盪器連接到主動裝置的導體。中頻訊號由電路內之一點上獲得，與射頻及局部振盪器訊號相對地隔離。

因此，本發明有利地使用了將射頻晶片直接倒裝於槽線上。藉上，可實現放大器、混頻器、振盪器與類似者的緊密的電路結構。本發明的這些與其他特徵及優點將在以下詳細描述及附圖說明的實施例中更清楚地被理解。

〔附圖簡要說明〕

第一圖是為依據本發明所製成之一放大器的第一較佳實施例的平面圖。

第二圖是為包含於第一圖之放大器內之晶片電路的示意圖。

第三圖是為第一圖之本發明之一第二實施例的平面圖。

第四圖是為一振盪器形式的本發明之一第三實施例的平面圖。

第五圖是為類似於第四圖，依據本發明所製成之一雙重振盪器的簡化平面圖。

五、發明說明(6)

第六圖是為第五圖之實施例的變化形式，為依據本發明製成之一多重振盪器。

第七圖說明依據本發明所製成之兩串聯連接之推挽式放大器的平面圖。

第八圖是為第七圖之實施例的一示意圖。

第九圖是為類似於第七圖所示之實施例的實施例平面圖，說明了本發明之另一特徵。

第十圖是為一槽線與一微帶線之間之一主動轉換形式的另一實施例的平面圖。

第十一圖是為延第十圖之線 1 1 - 1 1 截取之剖視圖。

第十二圖是為一混頻器形式的第一圖之本發明之另一實施例的平面圖。

第十三圖是為依據本發明所製成之一混頻器的一第二實施例的平面圖。

第十四圖是為第十三圖之混頻器的示意圖。

第十五圖是為依據本發明所製成之一混頻器的一第三實施例的平面圖。

[較佳實施例的詳細說明]

首先參看第一圖所示者，其顯示了依據本發明所製成之一示範性放大器 10。如上所述，本發明提供一種電路結構，其中一晶片電路是倒裝於一帶狀槽線上。根據特殊實施例，該晶片電路亦稱為晶片電路機構，其可為複數個

五、發明說明(7)

晶片的形式，該晶片電路內包含有一個以上的裝置。

於第一圖中，放大器 10 包括裝設於一平面絕緣或半絕緣底部基片 16 上之一輸入帶狀槽線 12 與一輸出帶狀槽線 14。槽線 12 包括形成於共平面內之導體 18 與 20，兩導體互相隔開以界定一輸入槽 22。這些顯示為條狀導體之導體的寬度範圍可從極窄到半無限。一前文所定義並以虛線所示的晶片電路 24 是形成於一倒裝晶片 28 之一晶片基片 26 上。該晶片輪廓於底部基片 16 上界定出該晶片的軌跡或影子。此軌跡被稱為一連接區 30。

輸出槽線 14 類似地包括導體 32 與 34，圖中顯示為條狀導體，導體 32、34 與導體 18、20 共平面並形成輸出槽 36。槽 22 與 36 一般具有均一的寬度，當然其亦可以有變化，如用於阻抗匹配。相連的導體間隔很近足以被緊密的耦連。

導體 18 與 20 具有位在遠離連接區 30 的遠端 18a 與 20a，及位在連接區 30 內的近端 18b 與 20b。類似地，導體 32 與 34 具有遠端 32a、34a 及近端 32b、34b。導體 18、20 的近端與導體 32、34 之近端間隔開。一第五導體 33 與導體 18、20、32、34 間隔開並經過連接區 30。導體 38 具有一與連接區 30 隔開的遠部，如部位 38a，及一位在連接區 30 內的近部 38b。

於第一圖中所示之實施例內，晶片 28 上之電路為一

五、發明說明(8)

由虛線所示之雙場效電晶體(FET)40與42所組成的積體電路。FET40與42具有相應的閘極、汲極與源極，如電晶體40具有閘極43、汲極44、及源極45，如第二圖中所示者。電路24包括分別與FET40之閘極、汲極與源極相連的端子47、48與49(見第一圖)。對應地，FET42之相應的閘極、汲極與源極端52、53與54是連接至導體20、34、38之近端與近部。另外，一端子56與FET40、42共用，以將對應的源極連接到第五導體38，如圖所示。

第二圖是為一示意圖，總體地說明晶片電路24的結構。輸入到FET40與42之閘極G的輸入是來自槽線12之導體18、20。FET之源極S是藉由共用的連接部連接到第五導體38。輸出訊號是由汲極D傳導至槽線14之導體32、34。因此，可以見及FET是以串聯或推挽式型態連接。當源極與第五導體於一平衡訊號或推挽模式下操作時，其是位於事實上的地電位。

第三圖說明依據本發明的一第二放大器實施例。一放大器70包括一具一FET74的晶片72，FET74包括一閘極端75、一汲極端76及源極端77、78。一輸入槽線包括平行的條狀導體82與84。一輸出槽線86包括平行的條狀導體88與90。導體82與90是一體地連接於一連接部92內，以形成一單一的連續導體94。

五、發明說明(9)

於操作期間，導體 82、84 與 88、90 分別載送輸入與輸出訊號。此結構之一變化形式是包括位於導體 94 之相反側上的導體 84、88，導體 84、88 對準導體 82、90。

第四圖顯示了第一圖之放大器 10 之一第三實施例。此圖說明了依據本發明所製成之一推挽式振盪器 100 的一般型態。一槽路 101 包括具有有限長度的槽線 102，槽線 102 由導體部 103 與 104 構成。槽路 101 的尺寸被規劃成與設計頻率下的主動裝置阻抗產生共振。電路 101 是形成為一單層金屬化物 108，其具有一槽 110 延伸至其內，如圖所示。金屬化物 108 是藉由一電感器 112 而耦連到一閘極偏壓電源 V_g 。

共振器 110 又可被耦連到一共振裝置，如一空腔，圖中未示。空腔可具有相對高的 Q ，且共振器 110 可在所需的任何耦合位準下耦連到空腔內，以提供適合所有操作溫度的穩定的振盪。

一倒裝晶片 114 具有雙 FET 116 與 118。雙 FET 116 與 118 具有相應的閘極、汲極與源極端 120、121、122 與 124、125、126。FET 共用一共用源極端 128。閘極端 120 與 124 是被倒裝於導體 103 與 104 之近端上。源極端是被倒裝於一中有或源極導體 130 之近部上。源極導體 130 是經由一電感器 132 耦連到接地或其他參考電壓 V_s 。

五、發明說明(10)

振盪器 100 的輸出可由導體 134 與 136 之遠端取出，其形成一具槽 140 的第二槽線 138。槽 140 的寬度被設定為對事實上的接地提供一所需電容量。由於源極是位於事實的接地，槽 140 之電容量提供從一汲極到該源極及到其他汲極的電容。其無需將汲極直接與源極電容耦合。導體 134、136 的長度 $\times$ 最好小於波長的四分之一。

汲極端 121 與 125 是倒裝於導體 134 與 136 之近端上。這些近端亦可經由對應的電感器 142 與 144 而被耦連到一汲極偏壓 V_{dd} 。

第五圖顯示一形成於振盪器 100 之後的雙振盪電路結構 150。一單一金屬化層 152 具有分別界定槽線 158、160 的槽共振器 154、156。或者，可使用兩段金屬化層，如由穿過金屬化層 152 之兩位準的虛線所示。一單一晶片 166 提供相連的 FET 組，且一單一源極導體 168 將對應之 FET 的源極耦連到一共用地電位。又設有分開的、間隔開的輸出槽線 170 與 172。兩槽線之內部導體 171、173 可由一單一金屬化物形成，如虛線所示。此型態提供了平行的振盪器 174、176，但可以延伸以提供兩個以上的振盪器。

第六圖說明一提供多個振盪器 181、182 與 183 的電路結構 180。所示的結構可以延伸以提供所需的多數振盪器。一多個共振器金屬化物 185 提供用於各振

(請先閱讀背面之注意事項再填寫本頁)

案

訂

經濟部中央標準局員工消費合作社印製

五、發明說明(11)

盪器的槽線連接之共振器，如電路 150 中所述。於此實施例中，遠離連接區 188 之源極導體 187 之一部位延伸到各輸出槽 190、191、192 內。這些槽是由輸出汲極導體 194、195、196、197 所形成。中間汲極導體，如汲極導體 195，是用作相鄰槽之導體，如相鄰的槽 190 與 191。這些中間汲極導體具有寬度 y ， y 最好約為波長的四分之一，但若提供槽（如導體內的槽 198）則 y 可以略小。此槽增加了導體的有效寬度，提供汲極間的絕緣。

源極導體部 187 a、187 b、187 c，其最好長度 z 小於波長之四分之一，其提供了各相鄰輸出汲極導體與相連之源極導體之間的直接電容耦合。遠端的源極導體部又允許源極導體之外部連接。儘管此結構具有一共平面波導之外觀，但形成各槽 190、191、192 的汲極導體具有相反的訊號極性，兩訊號極性與源極導體部上的訊號極性不同。各振盪器植入鎖定，藉此增進了振盪器可以振盪的閘極周邊。此具有減低相位雜訊的功效。

第七圖說明本發明之又一實施例，即一槽線放大器 200。放大器 200 是構成為具一單一金屬化層 202，其形成有輸入槽線、晶片連接區、與輸出槽線。尤其，由一輸入槽 206 之一初級輸入槽部 206 a 所界定之一輸入槽線 204 分為兩分支槽線 208 與 210。分支槽線分別是由槽分支 206 b 與 206 c 所形成。

五、發明說明(12)

放大器 200 之上半部與下半部的功能相同，因此鑒於對上半部的論述可相同地加諸於下半部，故此處的討論僅限於上半部。輸入槽分支 206b 的近端形狀類似一反轉的“E”，具具有一長的中央腿部 206d、相反延伸橫向彎曲部 206e 與 206f、及不行於中有腿部 206d 之端部閉合的外腿部 206g 與 206h。此形狀形成延伸於槽線腿部間之對應的端部開放的導體指 202a 與 202b。外腿部用作 RF 阻流門。

又，設置一具分支部 212a、212b 的輸出槽 212，其分支部 212a、212b 連接一起以形成輸出部 212c。因此，槽 2112 形成分支槽線 214、216、及輸出輸線 218。輸出槽線顯示為輸入槽線的一個鏡像，並以相同的方式作用，儘管它們的尺寸將由於輸入與輸出電路之阻抗匹配的差異而有所不同。

對應的 FET 結構未顯示，但它是類似於前文所述者。閘極、汲極與源極端之連接是由分別標示為 G、D 與 S 的接觸墊來表示。閘極端顯示為連接至輸入指 202a 與 202b 的端部。源極端是連接至延伸於 E 形槽背部之間的導體部 202c。兩源極墊之間的導體部 202 的一部分是位於事實的接地。汲極端是連接至輸出指的端部，如圖所示。

第八圖是為一簡化的示意圖，說明放大器 200 的電路。如第七圖中所示者，輸入訊號有效地加諸於位於輸入

五、發明說明(13)

槽部 206 a 的輸入導體部 202 i 與 202 j。訊號被輸入至 FET 220 與 221 之閘極。輸入訊號是經由電磁耦合分支槽部 206 b 與 206 c 而耦連到 FET 222 與 223 之閘極上的輸入導體。FET 222 與 223 之閘極與汲極分別地共用相同的耦合方法。輸出訊號是以 FET 220 與 221 之汲極之間及 FET 222 與 223 之汲極之間類似的電磁耦合方式，自 FET 220 與 221 之汲極取出。

透過各分支槽線之輸入與輸出上的電磁耦合，各分支訊號被兩 FET 分開以供放大。第七、八圖中所示之具有分割槽線的串聯／串聯推挽型態藉由四個 FET 將訊號分開以供放大，並提供阻抗變形。藉由將一輸入訊號分為一用於各電路段的訊號，並重組輸出訊號，可達成實體的功率組成。於各別的 FET 處，及／或，於訊號分離或重組之前或之後可提供阻抗匹配。槽線是設計為達成所需的任何阻抗匹配。輸入或輸出阻抗是串聯連接，直至阻抗足夠高，且隨後其可被連接於適用於所需功率位準的多數並聯段內。

第九圖說明一具一倒裝有 FET 晶片 234 之母板子電路 232 的功率放大器 230 的一部分，如虛線所示。如在具放大器 200 的情形中一樣，晶片 234 內 FET 之一陣列 238 內的 FET，如 FET 236，於其輸入端（閘極）處是串聯地電氣連接。

五、發明說明(14)

放大器 230 提供從由共平面導體 242、244 所構成之一輸入槽線 240 至一單一輸出槽線 248 的轉換，兩共平面導體 242、244 是為一平面金屬化物 246 之一部件。這些輸出線可以類似於輸入電路或推挽線的方式組合。

又，代替於第七圖中所示之放大器 200 的 E 型槽內終止，一輸入槽 250 於一結點 252 處分為延長的 U 形槽 250a 與 250b。該等 u 形槽終止於環形開口 250c 與 250d 內。這些開口用作開電路，藉此允許輸入訊號為對應的導體所載送，對應的導體形成為延伸至 U 形槽內的端部開放的導體腿 242a 與 244a。與金屬化物 246 隔開的一中間導體 254 自結點 252 延伸至源極端，如 FET 的端子 256。FET 安裝與連接至導體的方式是與前述的有關其他放大器的方式相同。

第十、十一圖說明依據本發明製成之一放大器 260。放大器 260 包括一晶片 262（以一虛線表示），該晶片 262 具倒裝於一非共平面槽線 264 與一微帶線 266 之近端上的一單一 FET（並未單獨標識）。因此，放大器 260 亦可被用作為槽線與微帶線之間的一主動發射（launch）。FET 與槽線及微帶線的連接可以對換。

槽線 264 包括被一絕緣基片 272 所分開的導體 268、270，該等導體 268、270 是安裝於該絕緣基片上。上導體 269 是安裝於該基片之上表面 272 上

五、發明說明 (15)

，及下導體 270 是安裝於下表面 272 b 上。如圖中所示者，導體最好抵銷，以使其中之一的近邊與另一導體的近邊位於一條線上。此結構引起導體的相鄰邊界定出一槽，如一共平面槽線的情形一樣。

導體 268 與 270 又可被直接相對地定位（如由輪廓內所示的導體 270' 所表示），或與由導體 270'' 所表示的導體 268 共平面。導體 268 將側向地耦連到導體 270'。

微帶線 266 包括一安裝於上表面 272 a 上的訊號導體 274。導體 274 最好是與導體 268 位於一條線上。一接地面 276 安裝於下表面 272 b 上，並被耦連到導體 270。

晶片 262 具有一安裝於位在導體 268 之近端上之一安裝墊 278 上的閘極端。一汲極端是被安裝於位在導體 274 之近端上之安裝墊 280 上。兩源極端是安裝至安裝墊 282 與 288 上，其依序地藉由延伸過基片 272 之連接路徑 286 與 288 而被連接至接地面 276。

第十二圖說明規劃為一混頻器 300 之第一圖電路結構的一特殊實施例。如第一圖中所使用者，類似的元件採有相同的圖號以簡化描述，可以理解，在不同的應用與設計基準中將有不同的實際結構。

導體 18、20、32、34 的長度與寬度，及槽 22 與 36 的寬度是適於提供所需的阻抗。一局部振盪器（

五、發明說明 (16)

L O) 3 0 2 是耦連到槽線 1 2 之遠端。輸入的射頻 (R F) 訊號是施加於槽線 1 4 之遠端。第五導體 3 8 具有一與連接區 3 0 間隔開的遠端 3 8 c , 遠端 3 8 C 處取出中頻 (I F) 訊號。

於操作上, L O 訊號變替地令一 F E T 導通, 及另一 F E T 截止, 令 I F 連接整流至 R F 輸入之正向或負向。

請注意, 混頻器 3 0 0 與第十三、十五圖中所示的其他混頻器可用於一下轉換器或一上轉換器內。因此, 一 I F 訊號可被加諸於 I F 端以產生一 R F 訊號, 或一 R F 訊號可被加諸於 R F 端以產生一輸出 I F 訊號。又, 局部振盪器與 R F 訊號接觸可在這些混頻器內對換。

第十三圖說明第十二圖之混頻器實施例的一變化形式。如第十二圖中所示者, 類似的元件採用與第一圖中所用的相同的圖號。第十三圖之混頻器 3 1 0 具有一耦連到槽線 1 4 之遠端的局部振盪器 (L O) 3 1 2 。高頻 R F 訊號是被加諸於槽線 1 2 之遠端或由槽線 1 2 之遠端傳送。用於導送中頻 (I F) 訊號之一接觸是取自導體 3 8 之遠端 3 8 c 上。一第二 I F 導體 3 1 4 是藉由一空氣橋或接合線 3 1 6 而連接至一延伸於導體 3 2 與 3 4 之間的電感連接導體 3 1 8 之中央。導體 3 1 8 的長度最好小於 $\lambda / 2$, 以使來自各對應導體 3 2 、 3 4 之空氣橋 3 1 6 的連接點小於 $\lambda / 4$ 。藉由令導體至連接點的長度小於 $\lambda / 4$, 可取消電容反應以供阻抗匹配。

五、發明說明(17)

第十三圖之混頻器之一示意圖顯示於第十四圖中。電路元件如第一圖般標示。R F 訊號是藉由槽導體 18、20 而連接至 F E T 40、42 之閘極。類似地形成槽線 14 之導體 32、34 是將局部振盪器訊號耦合到 F E T 之汲極。這些元件（對於導體 32 顯示為耦連的電感 32 c 與 32 d，對於導體 34 顯示為耦連的電感 34 c 與 34 d）是槽傳輸線互連的象徵。導體 32、34 端部的中間（位於電感 32 c 與 32 d 之間及電或 34 c 與 34 d 之間）延伸連接導體 318。空氣橋接觸導體 318 之中間部位，將其分為電感 318 a 與 318 b，如圖所示。連接至共用 F E T 源極導體 38 與導體 318 之中間點的端子上接收中頻訊號。儘管於高頻處，空氣橋或線 316 與導體 318、314 又供獻電感，但為簡化起見，在示意圖中並未顯示這些分量。這些值於一相連的阻抗匹配電路內得到補償，圖中亦未示。

連接導體 318 為窄的，如第十三圖所示者，導致 R F 訊號之一高阻抗路徑，藉此供從 I F 導體中過濾出 R F 訊號。進一步地，由於局部振盪器施加一平衡訊號，故連接導體 318 上的接觸點為一事實接地，故引起局部振盪器訊號本質上地從 I F 訊號內過濾出。因此，混頻器 310 提供了特殊的優點，即設計緊密，而不需犧牲功能性。

最後，第十五圖顯示一混頻器 320，其為第十二圖之混頻器的進一步變化。混頻器 320 具有一第一分割槽

五、發明說明(18)

線 3 2 2，用於導引由初級導體 3 2 4、3 2 6 組成的局部振盪器訊號。類似地，一用於導送射頻訊號的第二分割槽線 3 2 8 是由初級導體 3 3 0 與 3 3 2 組成。一對 F E T 晶片 3 3 4、3 3 6 各包含一對 F E T，如第一圖中所示者。晶片 3 3 4 與 3 3 6 可形成為一單一晶片。這些晶片界定出對應的连接區 3 3 8 與 3 4 0。

一第五導體 3 4 2 連續地延伸過兩连接區，以供與 F E T 的倒裝的源極端接觸，如前所述。第五導體又具有一尖的三角部 3 4 2，由连接區遠端的一點 3 4 2 b 至漸縮至连接區內之一寬的基部 3 4 2 c。

又，一第六導體 3 4 4，類似於第五導體之三角部 3 4 2 a，是定位於導體 3 3 0 與 3 3 2 之間並具有一三角形。該第六導體由连接區遠端的一點 3 4 4 b 至漸縮至连接區內之一寬的基部 3 4 4 c。於连接區內，基部 3 4 4 b 是相鄰於該第五導體並位於導體 3 3 0 與 3 3 2 的近端之間，如圖所示者。

中頻訊號是於中頻電流返回電感器之接地端與第六導體之點 3 4 4 a 上獲得，如圖所示。由三角形導體所構成的 V 形槽線有助於平衡 L O 與 R F 輸入。因此，該第六導體（如圖所示）是位於事實的接地以用於局部振盪器與高頻訊號，藉此減少對選擇性地自 I F 導體中過濾出這些元件的需求。又，局部振盪器對 F E T 之閘極的施加，如第十二、十五圖所示，提供了輸出功率飽和點的改進，但不

五、發明說明 (19)

具有混頻器 310 之型態內由 FET 所提供的 RF 訊號增益之優點。混頻器 320 的操作是類似於混頻器 300，除了兩主動訊號是並聯地驅動者。

電感器可藉由使用適當長度的接合線來實現，且電容器可藉由使用耦連的導體條來實現。於本設計中，RF 與 LO 輸入可以互換，但不改變電路之功能性。此反饋送安排將令本設計類似於第三圖所示的混頻器。另外，局部振盪器為平衡式，且因此提供 FET 上的事實接地。此令局部振盪器與 RF 與 IF 埠隔絕，而無需過濾頻率。

因此，本發明提供了槽線上之一晶片電路的倒裝。導體可為寬的或條狀形式。槽線內之一單一訊號路徑可藉由使用槽條線結構而被分為數個訊號路徑，或者相反地，若干條訊號路徑可組合為一條訊號路徑。電路之製造由於在一基片的同一表面上具有兩訊號導體而變得方便起來，儘管在使用非共平面技術時可能保留分離的接地面導體之間的中間導體，如基片相反側上的金屬化物。進一步地，訊號路徑之適切的設計可提供用於阻抗匹配之選定量的電感與電容。

電容與電感藉由共平面設計的技術可以很容易地調整，或者可藉由其他技術獲得增大，如分離的元件或一安裝於槽線導體上之一倒裝晶片。更一般地，阻抗匹配可藉由如對基片加圖案、晶片附著、於導體上加入電介質層、背側金屬化物等技術來提供。類似地，倒裝一電晶體晶片至

五、發明說明(20)

一槽線的端部提供了簡易的製造、可靠的品質及改進的性能特性。因此，一功率放大器可藉由使用複數個並聯連接且各自阻抗匹配的小放大器來獲得。類似地，一推挽式功率放大器可依據本發明，藉由使用多個推挽式槽線來建立。

熟悉此項技術的人士可以清楚地理解，未脫離由申請專利範圍，以及在等效物之主旨下所提供之申請專利範圍之語言或意義所界定的本發明之精神與範疇內的任何形式上與細節上的變化可在較佳實施例中作出。例如，所述的實施例提供於一槽線上倒裝一晶片，及分割槽線之訊號路徑與透過共平面元件達到阻抗匹配的不同型態。因此，較佳實施例僅是用於解釋與說明的目的，但非用於限制的目。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱：)

安裝於槽線之倒裝式晶片結構

第一與第二槽線是安裝於一電氣絕緣的基片上，該基片包括一具一連接區的平面。各槽線具有延伸至該連接區內的第一與第二間隔開的共平面導體。一第五接地導體亦安裝於該基片平面上，與該第一與第二槽線間隔開且共平面，該第五導體具有一位在連接區內的近部。一晶片電路包括倒裝於連接區內所有五個導體上的第一與第二場效電晶體(FET)。FET的閘極是連接到第一槽線以接收一輸入訊號。汲極是連接到第二槽線以輸出由電晶體放大之訊號。FET之源極是連接到第五導體。此一型的型態可以變化，以用作為一放大器、振盪器、倍頻器或混頻器

英文發明摘要(發明之名稱：SLOTLINE-MOUNTED FLIP CHIP STRUCTURES)

First and second slotlines are mounted on an electrically insulating substrate having a planar face with a connection region. Each slotline has first and second, spaced-apart coplanar conductors that extend into the connection region. A fifth, ground conductor, also mounted on the substrate face, is spaced from and coplanar with the first and second slotlines and has a proximal portion in the connection region. A chip circuit includes first and second field-effect transistors (FETs) flip mounted in the connection region to all five conductors. The gates of the FETs are connected to the first slotline for receiving an input signal. The drains are connected to the second slotline for outputting the signal amplified by the transistors. The sources of the FETs are connected to the fifth conductor. This general configuration can be modified for use as an amplifier, oscillator, frequency multiplier or mixer. The slotline may divide into parallel slotline portions for providing plural circuits in parallel with distributed impedance matching. A slotline may loop back from the connection region to provide a choke for impedance matching, and a portion of the fifth conductor may extend between slotline conductors to provide capacitive coupling.

四、中文發明摘要（發明之名稱：

)

。槽線可分為平行的槽線部，以提供具分配之阻抗匹配的多個並聯電路。一槽線可由連接區循環回，以提供一用於阻抗匹配的阻流門，且第五導體之一部位可延伸於槽線導體之間，以提供電容耦合。

英文發明摘要（發明之名稱：

)

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

六、申請專利範圍

1. 一種以槽線為基礎的電路結構包含：

一電氣絕緣的基片，具有一第一平面與一第一連接區；

一第一槽線，相對於該基片平面安裝並由延伸到該連接區內之第一與第二間隔開的導體組成，該第一與第二間隔開導體之間界定一第一槽；

一第二槽線，相對於該基片平面安裝，與該第一槽線間隔開並且共平面，該第二槽線由亦延伸到該連接區內之第三與第四間隔開的導體組成，該第三與第四間隔開的導體之間界定一第二槽，該第二與第四導體形成一延伸過該連接區之連續的導體，該第一與第三導體具有設置於該連續導體之相反側上之該連接區內的端部；及

一晶片電路，倒裝於該基片之該連接區上，用於傳導與該第一與第二槽線有關的一電氣訊號，該第一晶片電路具有倒裝於該第一與第二導體上之第一端與第二端。

2. 根據申請專利範圍第1項所述的電路結構，其中該第一與第三導體是為共線地鄰接於該連接區。

3. 根據申請專利範圍第1項所述的電路結構，其中該晶片電路包括一具有一控制端與兩載流端的電晶體，該控制端是連接到該第一導體，該等載流端中的一個是連接到該第二與第四導體中的至少一個，且該等載流端的另一個是連接到該第三導體。

六、申請專利範圍

4. 一種以槽線為基礎的電路結構包含：

一電氣絕緣的基片，具有一第一平面與一第一連接區；

一第一槽線，相對於該基片平面安裝並由延伸到該連接區內之第一與第二間隔開的導體組成，該第一與第二間隔開導體之間界定一第一槽；

一第二槽線，相對於該基片平面安裝並與該第一槽線間隔開，該第二槽線由延伸到該連接區內之第三與第四間隔開的導體組成，該第三與第四間隔開的導體之間界定一第二槽；及

第一晶片電路機構，倒裝於該基片之該連接區上，用於傳導與該第一與第二槽線有關的一電氣訊號，該晶片電路機構包括一場效電晶體，其具有一閘極端，一汲極端，及一源極端，該閘極端係連接至該第一導體，該汲極端係連接至該第三導體，而該源極端係連接至該第二和第四導體至少其中一個。

5. 根據申請專利範圍第4項所述的電路結構，其中該源極端亦是連接到該第二和第四導體。

6. 一種以槽線為基礎的電路結構包含：

一電氣絕緣的基片，具有一第一平面、一相反於該第一平面的第二平面、及一連接區；

一槽線，相對於該基片平面安裝並由延伸到該連接區內之第一與第二間隔開的導體組成，該第一與第二間隔開

(請先閱讀背面之注意事項再填寫本頁)

訂

泉

六、申請專利範圍

導體之間界定一第一槽，該第一導體是安裝於該第一平面上且該第二導體是安裝於該第二平面上；及

晶片電路機構，倒裝於該連接區內之該基片上，其具有倒裝於該第一導體上的一第一端及耦連到該第二導體之一第二端，該槽線是用於傳導與該晶片電路機構有關的一電氣訊號。

7. 根據申請專利範圍第6項所述的電路結構，其中該第二導體是側向地由該第一導體旁移，該等導體間的最短距離為對應的相鄰側之間的距離。

8. 一種以槽線為基礎的電路結構包含：

一電氣絕緣的基片，具有一第一平面、一相反於該第一平面的第二平面、及一連接區；

一槽線，相對於該基片平面安裝並由延伸到該連接區內之第一與第二間隔開的導體組成，該第一與第二間隔開導體之間界定一第一槽，該第一導體是安裝於該第一平面上且該第二導體是安裝於該第二平面上；及

一晶片電路，倒裝於該連接區內之該基片上，該晶片電路包括一具有一控制端與兩載流端的電晶體，該控制端是連接到該第一導體，該等載流端中的一個是連接到該第二導體，該槽線是用於傳導與該晶片電路有關的一電氣訊號。

9. 根據申請專利範圍第8項所述的電路結構，更包含自該連接區延伸出並與該槽線間隔開的一微帶線，該微

(請先閱讀背面之注意事項再填寫本頁)

定

訂

錄

六、申請專利範圍

帶線包括與該第一導體共平面的一第三導體，及與該第二導體共平面的一接地導體，該電晶體之該等載流端中的另一個是倒裝於該第三導體上。

10．根據申請專利範圍第9項所述的電路結構，其中該第二導體是連接到該連接區內之該接地導體。

11．一種用於在一槽線與一微帶線之間轉換電氣訊號傳輸的電路結構包含：

一電氣絕緣的基片，具有一第一平面與一相反於該第一平面的第二平面；

一槽線，相對於該基片平面安裝並由延伸到該連接區內之第一與第二間隔開的導體組成，該第一與第二間隔開導體之間界定一第一槽，至少第一導體是安裝於該第一平面上；

一微帶線，相對與該基片安裝並包括與該第一導體共平面的一第三導體及安裝於該第二平面上之一接地導體；及

晶片電路機構，倒裝於該槽線與該微帶線上，且包含至少一個電晶體，該電晶體具有連接到該第一與第三導體之各自不同者的一控制端與一載流端，另一載流端是耦連到該第二導體與該接地導體。

12．根據申請專利範圍第11項所述的電路結構，其中該第二導體與該接地導體是為共平面。

13．根據申請專利範圍第12項所述的電路結構，

六、申請專利範圍

其中該第二導體是直接連接到該接地導體。

14. 根據申請專利範圍第12項所述的電路結構，其中該第二導體是側向地由該第一導體旁移，該第一導體與該第二導體間的距離為對應的相鄰側之間的距離。

15. 根據申請專利範圍第11項所述的電路結構，其中該第一與第二導體是為共平面，且該另一個載流端是直接安裝於該第二導體上。

16. 一種以槽線為基礎的混頻器電路結構，包含：

一電氣絕緣的基片，具有一含一連接區的平面；

一第一槽線，安裝於該基片平面上並包括第一與第二間隔開的共平面導體，該等共平面導體具有延伸到該連接區內之近端及與該連接區隔開的遠端，該第一與第二間隔開的共平面導體之間界定一第一槽；

一第二槽線，安裝於該基片平面上並與該第一槽線間隔開，該第二槽線包括第三與第四間隔開的共平面導體，該等共平面導體具有延伸到該連接區內之近端及與該連接區隔開的遠端，該第一與第二間隔開的共平面導體之間界定一第二槽，該第一與第二導體之近端是與該第三與第四導體之近端間隔開；

一第五導體，亦是安裝於該基片平面上，與該第一、第二、第三與第四導體間隔開並且共平面，該第五導體具有定位於該連接區內之一近部及延伸於形成該第一與第二槽線之一的該等導體之間的一遠部，該近部亦是與該第一

六、申請專利範圍

與第二槽線之該等近端間隔開；

晶片電路機構，包含倒裝於該連接區內之該第一、第二、第三、第四與第五導體上的第一與第二電晶體，用於接收該第一槽線上輸入之一訊號並輸出由該第二槽線上之該等電晶體所放大的一訊號，該等電晶體各包括一控制端與兩載流端，各控制端是連接到該第一與第二導體之對應的一個，各電晶體之一載流端是連接到該第三與第四導體中對應的一個，且該等電晶體各者之該等載流端中的另一個是連接到該第五電晶體；及

一局部振盪器，耦連到該第一與第二槽線之一者的該遠端，該混頻器是於用在該等槽線之另一個之遠端上傳輸的一高頻訊號；與該第五導體之遠部上傳輸的一中頻訊號之間進行轉換。

17. 根據申請專利範圍第16項所述的電路結構，其中延伸於形成該一槽線之該等導體之間的該第五導體的一部分是由該遠端起朝著連接區向外漸縮。

18. 根據申請專利範圍第17項所述的電路結構，其中該第五導體之該部分是延伸該第一與第二導體之間，該電路結構更包含位在該第三與第四導體之間由該連接區延伸至遠離該連接區之一端的一第六導體，且該晶片電路機構更包含一第三電晶體，該第三電晶體具有亦耦連到該第一導體之一控制端、耦連到該第五導體之一載流端、及耦連到該第六導體的另一載流端。

六、申請專利範圍

19. 根據申請專利範圍第18項所述的電路結構，其中該晶片電路機構更包含一第四電晶體，該第四電晶體具有亦耦連到該第二導體之一控制端、耦連到該第五導體之一載流端、及耦連到該第六導體的另一載流端。

20. 根據申請專利範圍第19項所述的電路結構，其中延伸於該第三與第四導體之間的該第六導體的一部分是由該第六導體之遠端起朝著連接區向外漸縮。

21. 根據申請專利範圍第20項所述的電路結構，其中該第六導體之遠端形成用於傳導中頻訊號之一端子。

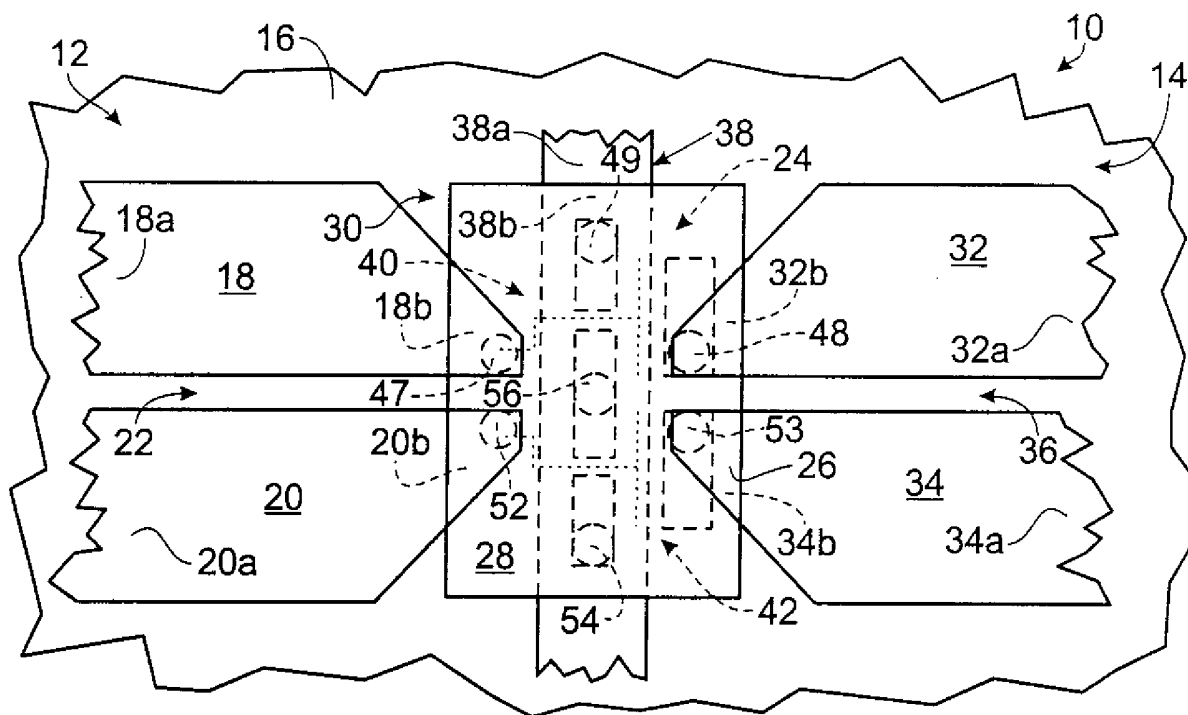
(請先閱讀背面之注意事項再填寫本頁)

長

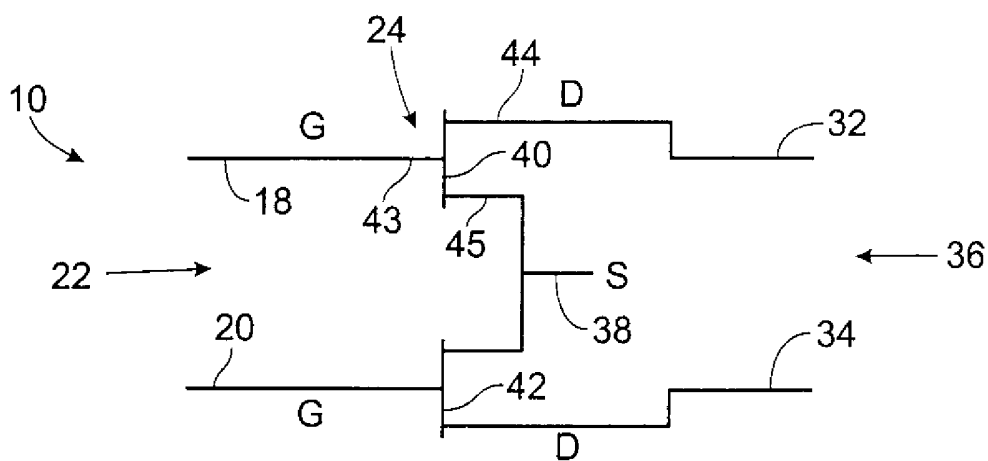
訂

線

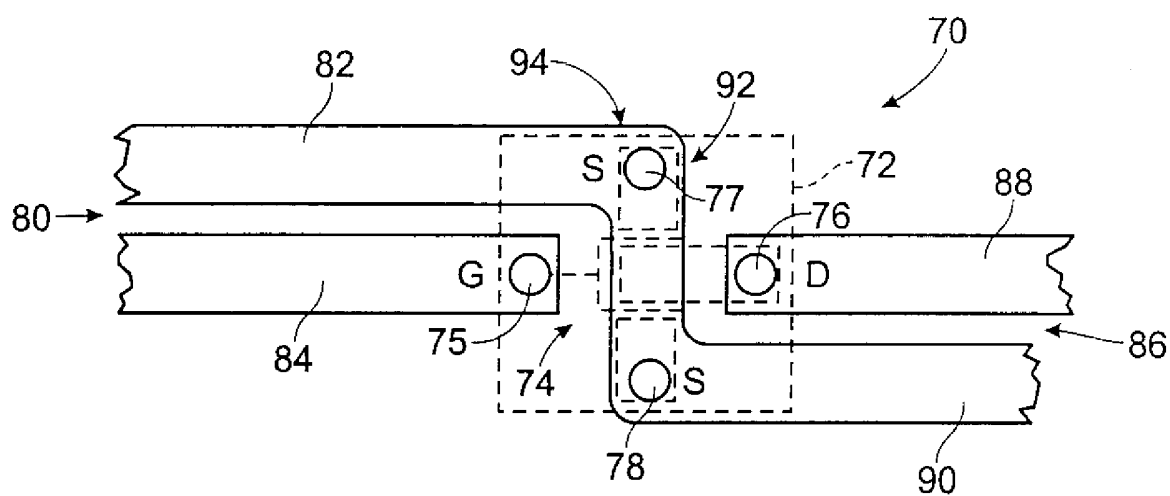
第一圖



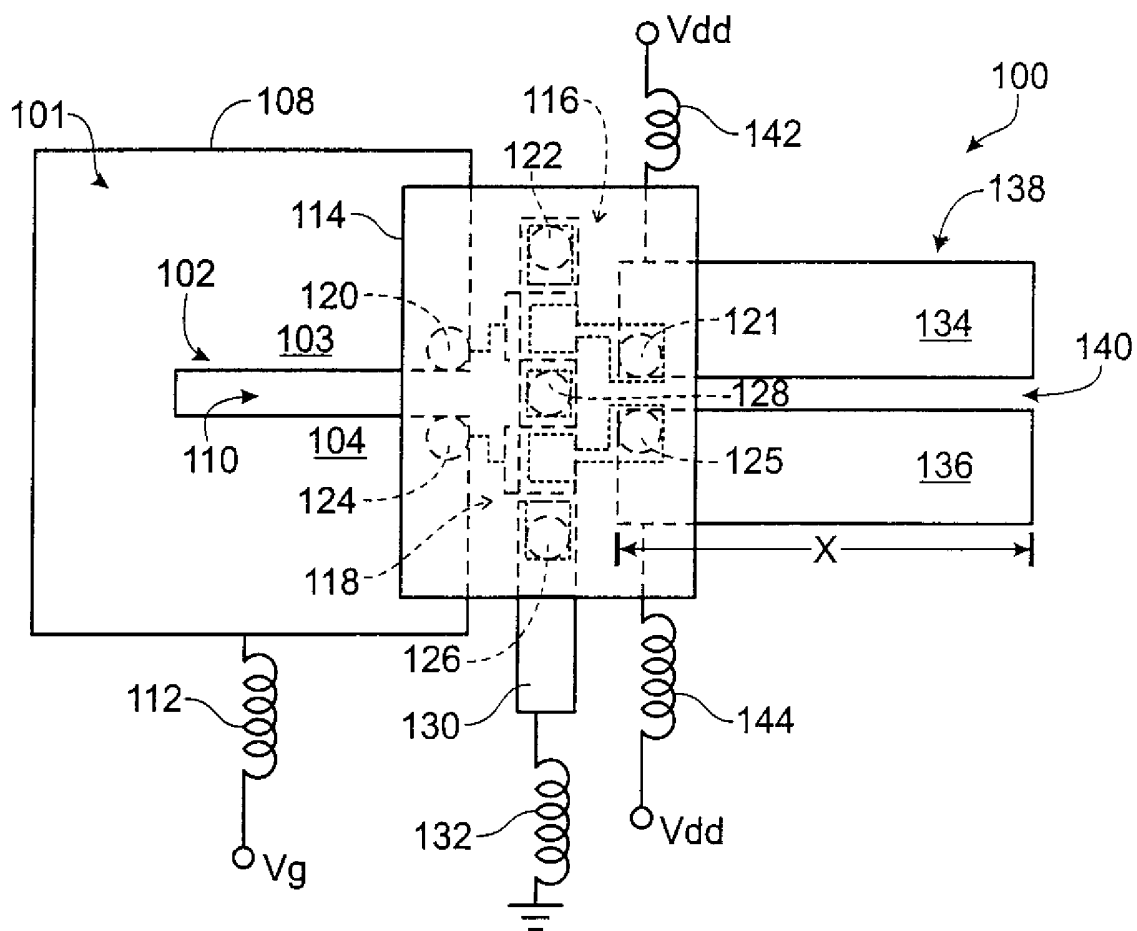
第二圖



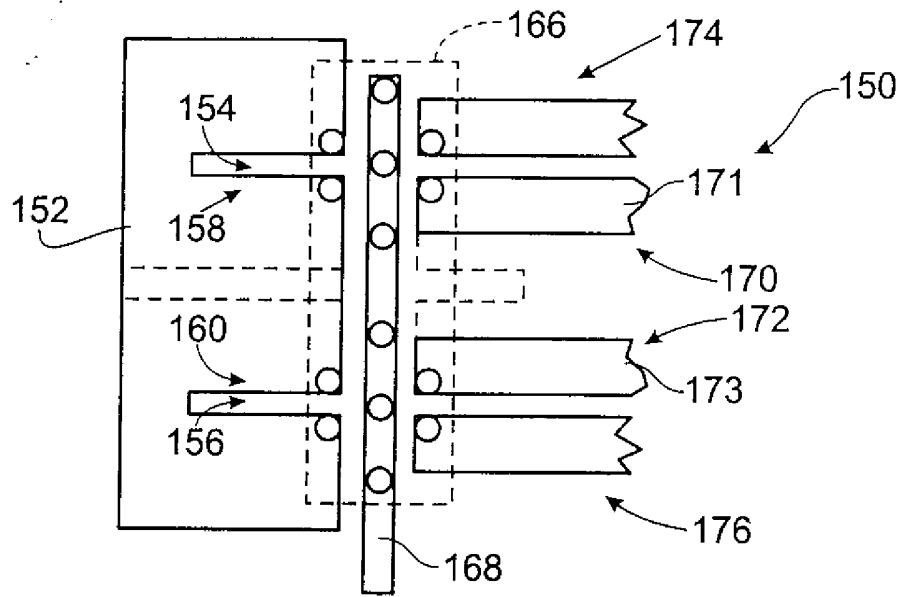
第三圖



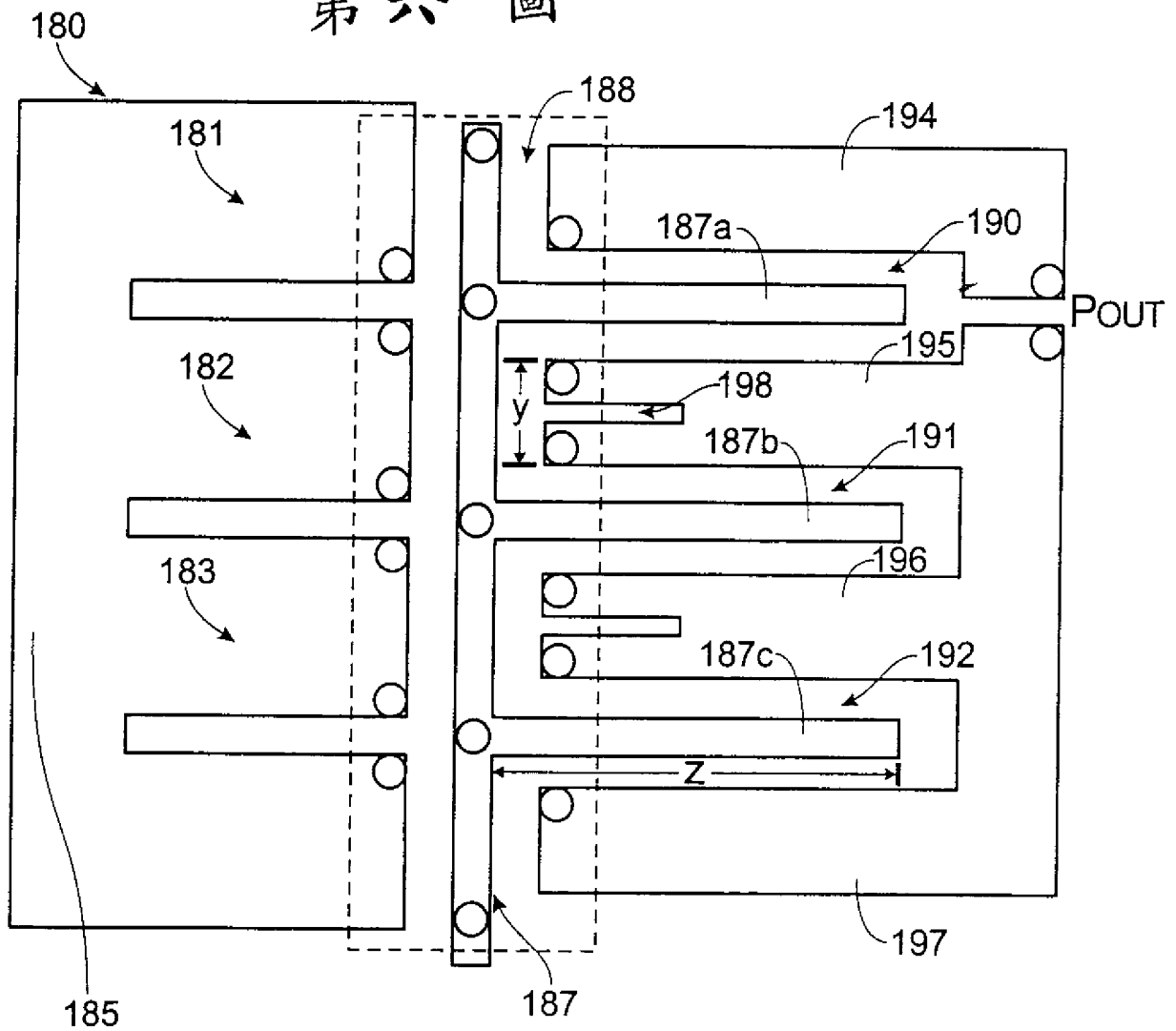
第四圖



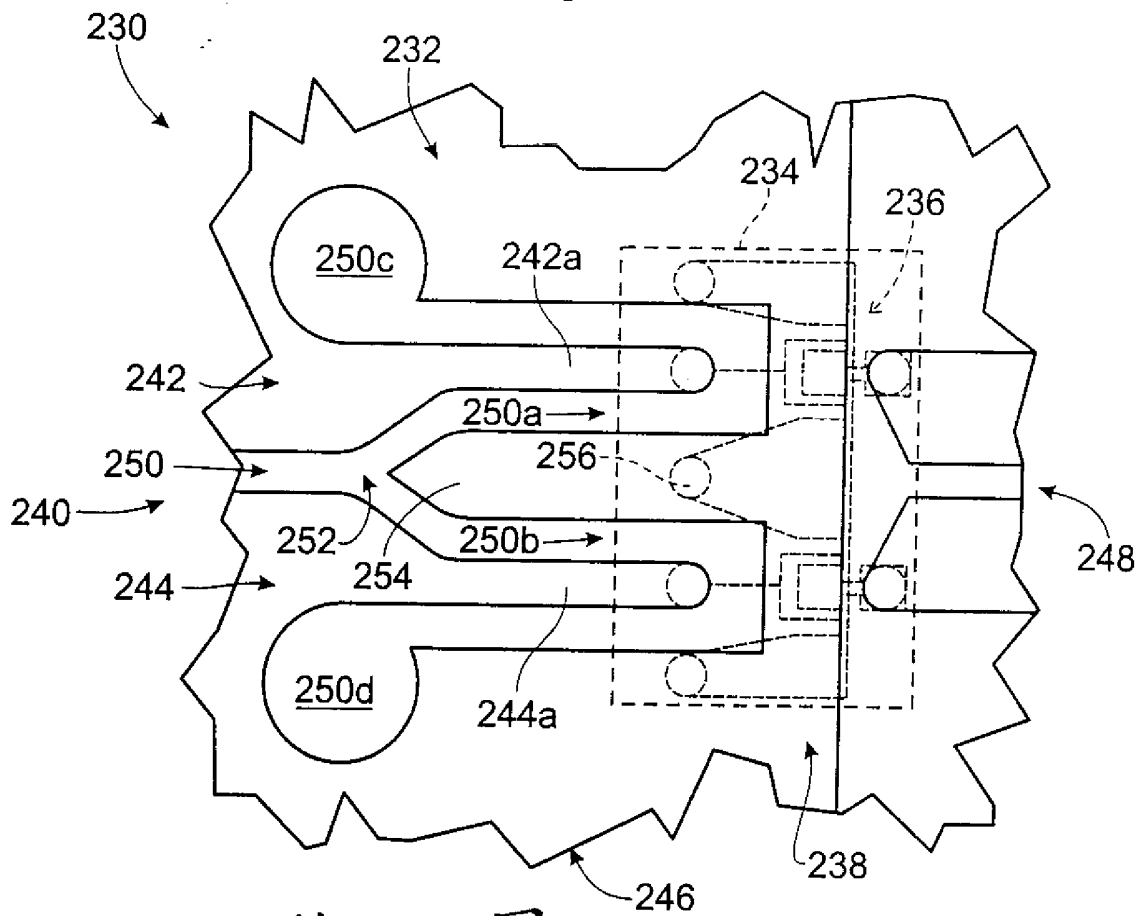
第五圖



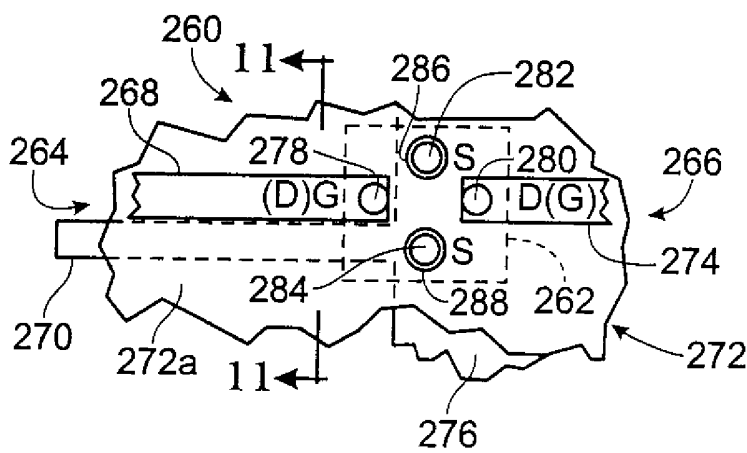
第六圖



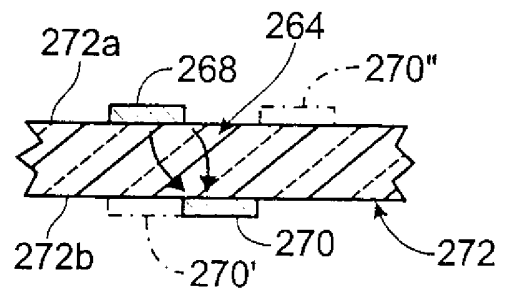
第九圖



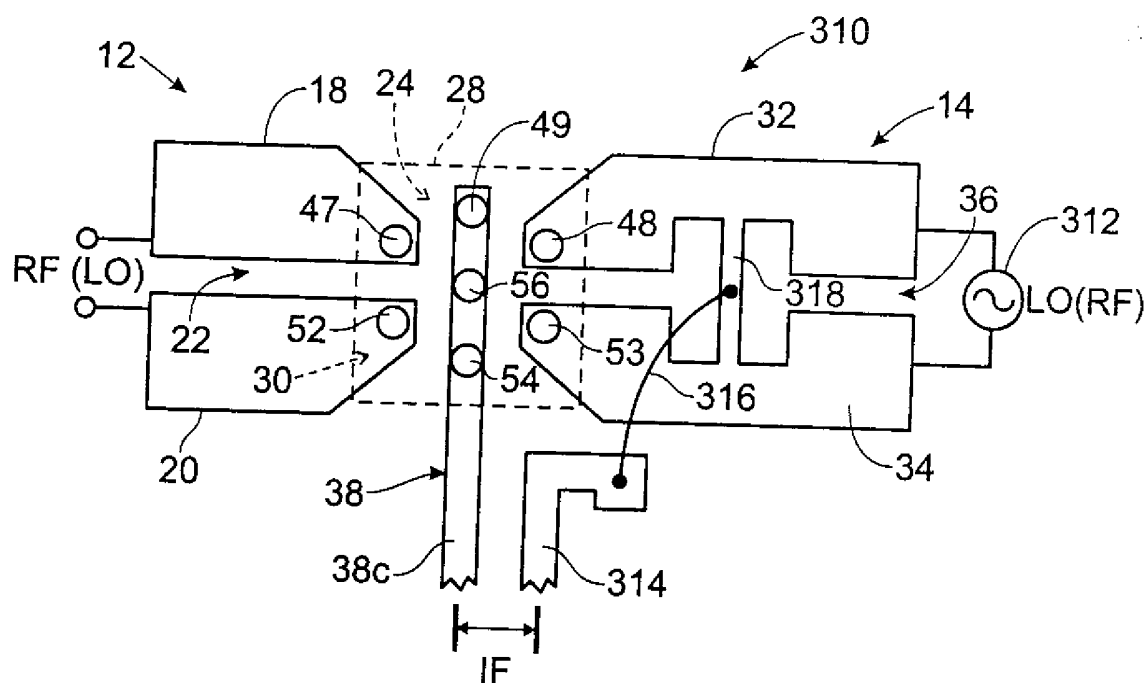
第十圖



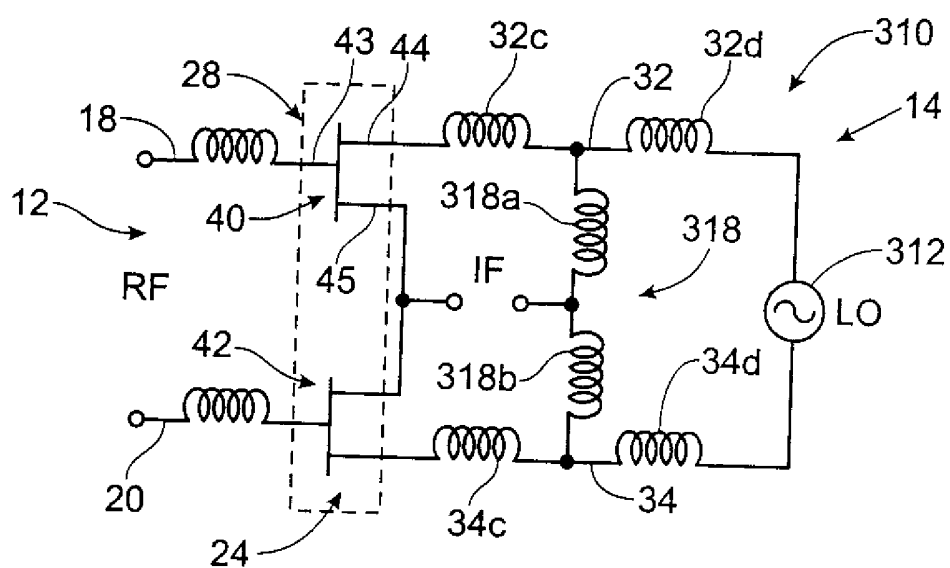
第十一圖



第十三圖



第十四圖



六、申請專利範圍

1. 一種以槽線為基礎的電路結構包含：

一電氣絕緣的基片，具有一第一平面與一第一連接區；

一第一槽線，相對於該基片平面安裝並由延伸到該連接區內之第一與第二間隔開的導體組成，該第一與第二間隔開導體之間界定一第一槽；

一第二槽線，相對於該基片平面安裝，與該第一槽線間隔開並且共平面，該第二槽線由亦延伸到該連接區內之第三與第四間隔開的導體組成，該第三與第四間隔開的導體之間界定一第二槽，該第二與第四導體形成一延伸過該連接區之連續的導體，該第一與第三導體具有設置於該連續導體之相反側上之該連接區內的端部；及

一晶片電路，倒裝於該基片之該連接區上，用於傳導與該第一與第二槽線有關的一電氣訊號，該第一晶片電路具有倒裝於該第一與第二導體上之第一端與第二端。

2. 根據申請專利範圍第1項所述的電路結構，其中該第一與第三導體是為共線地鄰接於該連接區。

3. 根據申請專利範圍第1項所述的電路結構，其中該晶片電路包括一具有一控制端與兩載流端的電晶體，該控制端是連接到該第一導體，該等載流端中的一個是連接到該第二與第四導體中的至少一個，且該等載流端的另一個是連接到該第三導體。