



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2009년06월23일  
(11) 등록번호 10-0904197  
(24) 등록일자 2009년06월16일

(51) Int. Cl.

H01L 21/027 (2006.01)

(21) 출원번호 10-2007-0085468  
(22) 출원일자 2007년08월24일  
심사청구일자 2007년08월24일  
(65) 공개번호 10-2008-0022041  
(43) 공개일자 2008년03월10일

(30) 우선권주장

JP-P-2006-00240324 2006년09월05일 일본(JP)

(56) 선행기술조사문헌

KR1020030073378 A\*

KR1020060043788 A\*

KR1020000026310 A

KR1020000001960 A

\*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 6 항

심사관 : 맹성재

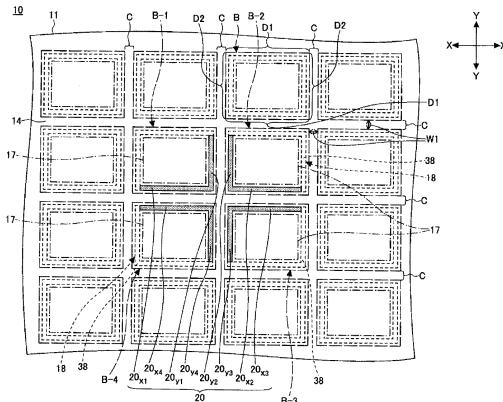
(54) 반도체 장치 및 그 제조 방법

### (57) 요 약

본 발명은 화상 인식용 열라인먼트 패턴을 구비한 반도체 장치 및 그 제조 방법에 관한 것으로서, 열라인먼트 패턴의 위치 검출을 정밀하게 행하는 것을 과제로 한다.

반도체 집적 회로(17)가 형성되는 반도체 집적 회로 형성 영역(B)을 복수 개 갖는 반도체 기판(11)과 반도체 집적 회로 형성 영역(B)에 형성된 반도체 장치(10)로서, 반도체 집적 회로 형성 영역(B)의 외주 부근에 화상 인식용 열라인먼트 패턴(20)을 마련하였다.

### 대 표 도



## 특허청구의 범위

### 청구항 1

반도체 집적 회로가 형성되는 반도체 집적 회로 형성 영역을 복수 개 갖는 반도체 기판과, 상기 반도체 집적 회로 형성 영역에 형성된 상기 반도체 집적 회로를 구비한 반도체 장치로서,

상기 복수의 반도체 집적 회로 형성 영역 중 소정의 상기 반도체 집적 회로 형성 영역의 외주 부근에 설치된 가드 링에 화상 인식용 얼라인먼트 패턴을 마련한 것을 특징으로 하는 반도체 장치.

### 청구항 2

제 1 항에 있어서, 상기 반도체 집적 회로 형성 영역은 평면에서 보아 사각형을 하고 있으며,

상기 얼라인먼트 패턴은 상기 평면에서 보아 사각형의 제1 변과 평행한 제1 패턴과, 상기 평면에서 보아 사각형의 제2 변과 평행한 제2 패턴을 가지며,

상기 제1 패턴과 상기 제2 패턴이 이루는 각도가 직각인 것을 특징으로 하는 반도체 장치.

### 청구항 3

제 2 항에 있어서, 상기 소정의 반도체 집적 회로 형성 영역은 적어도 2개의 상기 반도체 집적 회로 형성 영역으로 구성되어 있으며,

상기 제2 패턴은 상기 제1 패턴이 마련된 상기 반도체 집적 회로와 다른 상기 반도체 집적 회로에 마련되어 있는 것을 특징으로 하는 반도체 장치.

### 청구항 4

제 2 항에 있어서, 상기 소정의 반도체 집적 회로 형성 영역은 적어도 2개의 상기 반도체 집적 회로 형성 영역으로 구성되어 있으며,

상기 제1 및 제2 패턴은 상기 적어도 2개의 반도체 집적 회로 형성 영역의 각각에 마련되어 있는 것을 특징으로 하는 반도체 장치.

### 청구항 5

삭제

### 청구항 6

삭제

### 청구항 7

제 1 항 내지 제 4 항 중 어느 한 항에 있어서, 상기 얼라인먼트 패턴은 레이저 트리밍 장치가 얼라인먼트될 때 사용하는 패턴인 것을 특징으로 하는 반도체 장치.

### 청구항 8

반도체 집적 회로가 형성되는 반도체 집적 회로 형성 영역을 복수 개 갖는 반도체 기판과, 상기 반도체 집적 회로 형성 영역에 형성된 상기 반도체 집적 회로를 가짐과 아울러, 상기 반도체 집적 회로가 상기 반도체 집적 회로의 전기 특성을 조정하기 위한 퓨즈 패턴을 구비한 반도체 장치의 제조 방법으로서,

레이저 트리밍 장치에 의해 소정의 상기 반도체 집적 회로 형성 영역의 외주 부근에 설치된 가드 링에 마련된 화상 인식용 얼라인먼트 패턴을 이용하여 얼라인먼트를 행하는 얼라인먼트 공정과,

상기 복수의 반도체 집적 회로 중, 전기 특성의 조정이 필요한 상기 반도체 집적 회로에 마련된 상기 퓨즈 패턴을 절단하는 퓨즈 패턴 절단 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

<1> 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로서, 특히 화상 인식용 얼라인먼트 패턴을 구비한 반도체 장치 및 그 제조 방법에 관한 것이다.

#### 배경 기술

<2> 반도체 장치에는 복수의 화상 인식용 얼라인먼트 패턴이 형성되어 있다. 복수의 화상 인식용 얼라인먼트 패턴은 반도체 장치의 임의의 개소에 마련되어 있다. 이러한 화상 인식용 얼라인먼트 패턴은 노광 장치나 트리밍 장치 등의 반도체 제조용 장치가 반도체 장치의 얼라인먼트를 행할 때 사용된다. 반도체 장치의 얼라인먼트는 반도체 제조용 장치에 설치된 화상 인식 장치 및 카메라에 의해 화상 인식용 얼라인먼트 패턴을 인식함으로써 행해진다. 따라서, 화상 인식용 얼라인먼트 패턴의 콘트라스트가 낮으면 반도체 장치의 얼라인먼트를 행하기가 어려워진다.

<3> 도 11은 종래의 반도체 장치의 평면도이다. 도 11에서는 트리밍 장치(도시 생략)에 설치된 카메라가 활상하는 활상 영역에 포함되는 반도체 장치(100) 부분을 도시하였다.

<4> 도 11을 참조하면, 종래의 반도체 장치(100)는 반도체 기판(101)과, 반도체 집적 회로(102) 및 화상 인식용 얼라인먼트 패턴(103)을 갖는다. 반도체 기판(101)은 복수의 반도체 집적 회로 형성 영역(E)과 복수의 반도체 집적 회로 형성 영역(E)을 분리하도록 배치된 스크라이브 영역(F)을 갖는다. 반도체 집적 회로(102)는 반도체 집적 회로 형성 영역(E)에 대응하는 반도체 기판(101)에 설치되어 있다.

<5> 얼라인먼트 패턴(103)은 트리밍 장치(도시 생략)에 설치된 화상 인식용 카메라가 활상하는 활상 영역에 대응하는 반도체 집적 회로 형성 영역(E) 중 하나의 반도체 집적 회로 형성 영역(E) 전체에 마련되어 있다. 얼라인먼트 패턴(103)은 임의의 개소에서 반도체 기판(101) 상에 복수 개 마련되어 있다. 화상 인식용 얼라인먼트 패턴(103)으로는 예컨대 콘트라스트가 양호한 TEG 패턴을 이용할 수 있다.

<6> 그러나, 종래의 반도체 장치(100)에서는 하나의 반도체 집적 회로 형성 영역(E) 전체에 얼라인먼트 패턴(103)을 마련하였기 때문에, 하나의 반도체 기판(101)에 형성 가능한 반도체 집적 회로(102)의 수가 감소하게 된다는 문제가 있었다.

<7> 따라서 이러한 문제를 해결하는 종래의 반도체 장치로서, 도 12에 도시한 반도체 장치(110)가 있다.

<8> 도 12는 종래의 다른 반도체 장치의 평면도이다. 도 12에 있어서, 도 11에 도시한 반도체 장치(100)와 동일 구성 부분에는 동일한 부호를 붙인다. 또한 도 12에서는 트리밍 장치(도시 생략)에 설치된 카메라가 활상하는 활상 영역 내에 포함되는 반도체 장치(110) 부분을 도시하였다.

<9> 도 12를 참조하면, 종래의 다른 반도체 장치(110)는, 반도체 기판(101)과, 반도체 집적 회로(102) 및 화상 인식용 얼라인먼트 패턴(111)을 갖는다. 얼라인먼트 패턴(111)은 트리밍 장치(도시 생략)에 설치된 카메라가 활상하는 활상 영역 내에 배치된 스크라이브 영역(F)에 마련되어 있다. 얼라인먼트 패턴(111)의 재료로는 예컨대 금속인 Al이 사용된다(예컨대 특허 문현 1 참조).

<10> [특허 문현 1] 일본 특허 공개 2000-323576호 공보

#### 발명의 내용

##### 해결 하고자하는 과제

<11> 그러나, 최근의 반도체 집적 회로(102)의 미세화에 따라, 스크라이브 영역(F)의 폭(W5)의 협소화로 인해 반도체 장치(110)와 같이 스크라이브 영역(F)에 얼라인먼트 패턴(111)을 마련한 경우, 얼라인먼트 패턴(111)의 폭(W6)이 좁아지게 된다. 이에 따라, 얼라인먼트 패턴(111)의 상면으로부터 반사되는 빛의 강도가 약해지기 때문에 얼라인먼트 패턴(111)의 위치 검출을 행할 수 없다는 문제가 있었다.

<12> 따라서 본 발명은 상기한 점을 감안하여 이루어진 것으로서, 얼라인먼트 패턴의 위치 검출을 정밀하게 행할 수

있는 반도체 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

### 과제 해결수단

- <13> 본 발명의 일 관점에 따르면, 반도체 집적 회로(17)가 형성되는 반도체 집적 회로 형성 영역(B)을 복수 개 갖는 반도체 기판(11)과 상기 반도체 집적 회로 형성 영역(B)에 형성된 상기 반도체 집적 회로(17)를 구비한 반도체 장치(10)로서, 상기 복수의 반도체 집적 회로 형성 영역(B) 중 소정의 상기 반도체 집적 회로 형성 영역(B-1~B-4)의 외주 부근에 화상 인식용 열라인먼트 패턴(20)을 마련한 것을 특징으로 하는 반도체 장치(10)가 제공된다.
- <14> 본 발명에 따르면, 소정의 반도체 집적 회로 형성 영역(B-1~B-4)의 외주 부근에 화상 인식용 열라인먼트 패턴(20)을 마련함으로써 스크라이브 영역(C)의 폭(W1)이 좁은 경우에도 열라인먼트 패턴(20)에 의해 열라인먼트에 필요한 빛의 강도를 충분히 확보하는 것이 가능해지기 때문에, 열라인먼트 패턴(20)의 위치 검출을 정밀하게 행할 수 있다.
- <15> 본 발명의 다른 관점에 따르면, 반도체 집적 회로(17)가 형성되는 반도체 집적 회로 형성 영역(B)을 복수 개 갖는 반도체 기판(11)과, 상기 반도체 집적 회로 형성 영역(B)에 형성된 상기 반도체 집적 회로(17)를 가짐과 아울러, 상기 반도체 집적 회로(17)가 상기 반도체 집적 회로(17)의 전기 특성을 조정하기 위한 퓨즈 패턴(34)을 구비한 반도체 장치(10)의 제조 방법으로서, 레이저 트리밍 장치에 의해 소정의 상기 반도체 집적 회로 형성 영역(B-1~B-4)의 외주 부근에 마련된 화상 인식용 열라인먼트 패턴(20)을 이용하여 열라인먼트를 행하는 열라인먼트 공정과, 상기 복수의 반도체 집적 회로(17) 중 전기 특성의 조정이 필요한 상기 반도체 집적 회로(17)에 마련된 상기 퓨즈 패턴(34)을 절단하는 퓨즈 패턴 절단 공정을 포함하는 것을 특징으로 하는 반도체 장치(10)의 제조 방법이 제공된다.
- <16> 본 발명에 따르면, 소정의 반도체 집적 회로 형성 영역(B-1~B-4)의 외주 부근에 마련된 화상 인식용 열라인먼트 패턴(20)을 이용하여 열라인먼트를 행함으로써 열라인먼트 패턴(20)이 반사하는 빛의 강도를 충분히 확보하는 것이 가능해지기 때문에, 열라인먼트 패턴(20)의 위치 검출을 정밀하게 행할 수 있다.
- <17> 또한 열라인먼트 패턴(20)의 위치 검출의 정밀도가 향상됨으로써 퓨즈 패턴(34)의 위치 검출 정밀도도 향상되기 때문에, 퓨즈 패턴(34)의 폭이 좁은 경우에도 절단할 필요가 있는 퓨즈 패턴(34)을 정밀하게 절단할 수 있다.
- <18> 또한, 상기 참조 부호는 어디까지나 참고이며, 이에 의해 본원 발명이 도시한 양태로 한정되는 것은 아니다.

### 효과

- <19> 본 발명은 열라인먼트 패턴의 위치 검출을 정밀하게 행할 수 있다.

### 발명의 실시를 위한 구체적인 내용

- <20> 다음, 도면을 참조하여 본 발명의 실시 형태를 설명한다.
- <21> (제1 실시 형태)
- <22> 도 1은 본 발명의 제1 실시 형태에 따른 반도체 장치의 단면도이다.
- <23> 도 1을 참조하면, 제1 실시 형태의 반도체 장치(10)는, 반도체 기판(11)과, 절연막(12, 13)과, 패시베이션막(14)과, 반도체 집적 회로(17)와, 가드 링(18)과, 러프한 열라인먼트를 행할 때 사용하는 화상 인식용 열라인먼트 패턴(20)과, 도시하지 않은 칩 열라인먼트 패턴을 갖는다.
- <24> 반도체 기판(11)은 복수의 반도체 집적 회로 형성 영역(B)과, 복수의 반도체 집적 회로 형성 영역(B)을 분리하도록 배치된 스크라이브 영역(C)을 갖는다. 반도체 집적 회로 형성 영역(B)은 반도체 집적 회로(17) 및 가드 링(18)이 형성되는 영역이다. 반도체 집적 회로 형성 영역(B)은 평면에서 보아 사각형으로 되어 있으며, 2개의 변(D1)(제1 변)과, 변(D1)에 대하여 직교하는 2개의 변(D2)(제2 변)을 갖는다(후술하는 도 2 참조). 변(D1, D2)의 길이는 예컨대 4mm로 할 수 있다.
- <25> 스크라이브 영역(C)은 복수의 반도체 집적 회로 형성 영역(B)을 개편화할 때 다이서가 반도체 기판(11)을 절단하는 영역이다. 반도체 기판(11)으로는 예컨대 Si 웨이퍼를 이용할 수 있다.
- <26> 절연막(12)은 반도체 집적 회로 형성 영역(B) 및 스크라이브 영역(C)에 대응하는 반도체 기판(11) 상을 덮도록

설치어 있다. 절연막(12)으로는 예컨대  $\text{SiO}_2$ 막을 이용할 있다. 절연막(13)은 절연막(12) 상에 설치되어 있다. 절연막(13)으로는 예컨대 P-SiN막을 이용할 수 있다.

<27> 패시베이션막(14)은 절연막(13) 상에 설치되어 있다. 패시베이션막(14)으로는 예컨대 폴리이미드막을 이용할 수 있다.

<28> 반도체 집적 회로(17)는 반도체 집적 회로 형성 영역(B)에 대응하는 반도체 기판(11)에 설치되어 있다. 반도체 집적 회로(17)는 배선(24~26)과, 절연막(12)과, 비어(28~30)와, 본딩 패드(33)와, 퓨즈 패턴(34)과, 절연막(13)과, 패시베이션막(14)을 갖는다.

<29> 배선(24)은 가드 링(18)의 형성 위치보다 내측에 위치하는 반도체 기판(11) 상에 설치되어 있다. 배선(25, 26)은 배선(24)보다 내측에 위치하는 반도체 기판(11) 상에 설치되어 있다. 배선(24~26)의 재료로는 예컨대 금속인 Al 합금을 이용할 수 있다.

<30> 절연막(12)은 배선(24~26)을 덮도록 반도체 기판(11) 상에 설치되어 있다. 절연막(12)은 배선(24)의 상면을 노출시키는 개구부(12A)와, 배선(25)의 상면을 노출시키는 개구부(12B)와, 배선(26)의 상면을 노출시키는 개구부(12C)를 갖는다.

<31> 비어(28)는 개구부(12A)에 설치되어 있다. 비어(28)의 하단부는 배선(24)과 접속되어 있으며, 비어(28)의 상단부는 본딩 패드(33)와 접속되어 있다. 비어(29)는 개구부(12B)에 설치되어 있다. 비어(29)의 하단부는 배선(25)과 접속되어 있으며, 비어(29)의 상단부는 퓨즈 패턴(34)과 접속되어 있다.

<32> 비어(30)는 개구부(12C)에 설치되어 있다. 비어(30)의 하단부는 배선(26)과 접속되어 있으며, 비어(30)의 상단부는 퓨즈 패턴(34)과 접속되어 있다. 비어(28~30)의 재료로는 예컨대 텅스텐을 이용할 수 있다.

<33> 본딩 패드(33)는 절연막(12) 상에 설치되어 있다. 본딩 패드(33)는 절연막(13) 및 패시베이션막(14)으로부터 노출되어 있다. 본딩 패드(33)는 반도체 집적 회로(17)의 외부 접속 단자로서 기능하는 것이다. 본딩 패드(33)의 재료로는 예컨대 금속인 Al 합금을 이용할 수 있다.

<34> 퓨즈 패턴(34)은 절연막(12) 상에 설치되어 있다. 퓨즈 패턴(34)은 배선(25)과 배선(26)을 전기적으로 접속하고 있다. 퓨즈 패턴(34)은 반도체 집적 회로(17)의 전기적인 특성(예컨대 저항값 등)을 조정하기 위한 것이다. 예컨대 복수의 반도체 집적 회로(17) 중 저항값이 소정의 값보다 높은 반도체 집적 회로(17)가 존재한 경우에는 트리밍 장치로부터 조사되는 레이저에 의해 소정의 값보다 높은 반도체 집적 회로(17)의 퓨즈 패턴(34)을 절단한다. 배선(25)과 배선(26) 사이를 절연함으로써 회로를 변경하여, 반도체 집적 회로(17)의 저항값을 내릴 수 있다. 또한 반도체 집적 회로(17)가 메모리용 반도체 집적 회로인 경우, 반도체 집적 회로(17)의 퓨즈 패턴(34)을 절단함으로써 불량 비트를 포함하는 불량 회로를 미리 준비한 리던던시 회로로 전환할 수 있다. 또한 퓨즈 패턴(34)으로는 예컨대 폴리실리콘막 또는 금속막(예컨대 Al 합금 등) 등을 이용할 수 있다.

<35> 절연막(13)은 퓨즈 패턴(34)을 덮도록 절연막(12) 상에 설치되어 있다. 절연막(13)에는 본딩 패드(33)의 상면을 노출시키는 개구부(13A)가 형성되어 있다.

<36> 패시베이션막(14)은 절연막(13) 상에 설치되어 있다. 패시베이션막(14)에는 개구부(13A)를 노출시키는 개구부(14A)와, 퓨즈 패턴(34)의 상방에 배치된 절연막(13)을 노출시키는 개구부(14B)가 형성되어 있다. 개구부(14B)는 트리밍 장치로부터 조사되는 레이저에 의해 퓨즈 패턴(34)을 절단할 때의 창이다.

<37> 도 2는 본 발명의 제1 실시 형태에 따른 반도체 장치의 평면도이다. 도 2에서는 트리밍 장치에 설치된 카메라가 활상하는 활상 영역 내에 포함되는 반도체 장치(100) 부분을 도시하였다. 또한 도 2에 있어서, X-X 방향은 반도체 집적 회로 형성 영역(B)의 변(D1)(제1 변)과 대략 평행한 방향, Y-Y 방향은 반도체 집적 회로 형성 영역(B)의 변(D2)(제2 변)과 대략 평행한 방향을 각각 나타내고 있다. 더욱이 도 2에서는 설명의 편의 상 도 2의 중앙 부근에 배치된 4개의 반도체 집적 회로 형성 영역(B)을 반도체 집적 회로 형성 영역(B-1~B-4)이라 칭한다. 본 실시 형태에 있어서, 반도체 집적 회로 형성 영역(B-1~B-4)은 얼라인먼트 패턴(20)이 형성되는 소정의 반도체 집적 회로 형성 영역(B)에 해당하는 영역이다.

<38> 도 1 및 도 2를 참조하면, 가드 링(18)은 반도체 집적 회로 형성 영역(B)의 외주 부근에 위치하는 반도체 기판(11) 상에 설치되어 있다. 가드 링(18)은 반도체 집적 회로(17)를 둘러싸도록 배치되어 있다.

<39> 가드 링(18)은 배선(36, 38)과 비어(37)를 갖는다. 배선(36)은 액자 형상으로 되어 있으며, 반도체 집적 회로(17)를 둘러싸도록 반도체 기판(11) 상에 설치되어 있다. 배선(36)의 일부는 절연막(12)에 형성된 개구부(12D)

에 의해 노출되어 있다. 비어(37)는 개구부(12D)에 설치되어 있다. 비어(37)의 하단부는 배선(36)과 접속되어 있으며, 비어(37)의 상단부는 배선(38)과 접속되어 있다. 배선(38)은 비어(37)의 형성 위치에 대응하는 절연막(12) 상에 설치되어 있다. 배선(38)의 폭은 예컨대 20  $\mu$ m로 할 수 있다.

- <40> 이러한 구성으로 된 가드 링(18)을 반도체 접적 회로(17)를 둘러싸도록 설치함으로써 수분이나 부식성의 가스가 반도체 접적 회로(17)에 침입하는 것을 방지할 수 있다.
- <41> 도 2를 참조하면, 얼라인먼트 패턴(20)은 제1 패턴( $20_{x1} \sim 20_{x4}$ )과 제2 패턴( $20_{y1} \sim 20_{y4}$ )을 갖는다. 제1 패턴( $20_{x1} \sim 20_{x4}$ )은 반도체 접적 회로 영역(B)의 변(D1)에 대하여 대략 평행한 띠형의 패턴으로 되어 있다.
- <42> 제1 패턴( $20_{x1}$ )은 반도체 접적 회로 영역(B-1)에 설치된 배선(38)(가드 링(18)을 구성하는 배선) 중 반도체 접적 회로 영역(B-4)의 변(D1)과 대향하는 배선(38) 부분의 상면을 절연막(13) 및 패시베이션막(14)으로부터 노출시킴으로써 구성되어 있다. 제1 패턴( $20_{x2}$ )은 반도체 접적 회로 영역(B-2)에 설치된 배선(38)(가드 링(18)을 구성하는 배선) 중 반도체 접적 회로 영역(B-3)의 변(D1)과 대향하는 배선(38) 부분의 상면을 절연막(13) 및 패시베이션막(14)으로부터 노출시킴으로써 구성되어 있다.
- <43> 제1 패턴( $20_{x3}$ )은 반도체 접적 회로 영역(B-3)에 설치된 배선(38)(가드 링(18)을 구성하는 배선) 중 반도체 접적 회로 영역(B-2)의 변(D1)과 대향하는 배선(38) 부분의 상면을 절연막(13) 및 패시베이션막(14)으로부터 노출시킴으로써 구성되어 있다. 제1 패턴( $20_{x4}$ )은 반도체 접적 회로 영역(B-4)에 설치된 배선(38)(가드 링(18)을 구성하는 배선) 중 반도체 접적 회로 영역(B-1)의 변(D1)과 대향하는 배선(38) 부분의 상면을 절연막(13) 및 패시베이션막(14)으로부터 노출시킴으로써 구성되어 있다.
- <44> 제2 패턴( $20_{y1} \sim 20_{y4}$ )은 반도체 접적 회로 영역(B)의 변(D2)에 대하여 대략 평행한 띠형의 패턴으로 되어 있다. 제2 패턴( $20_{y1} \sim 20_{y4}$ )은 제1 패턴( $20_{x1} \sim 20_{x4}$ )과 이루는 각도가 대략 직각이 되도록 배치되어 있다.
- <45> 제2 패턴( $20_{y1}$ )은 반도체 접적 회로 영역(B-1)에 설치된 배선(38)(가드 링(18)을 구성하는 배선) 중 반도체 접적 회로 영역(B-2)의 변(D2)과 대향하는 배선(38) 부분의 상면을 절연막(13) 및 패시베이션막(14)으로부터 노출시킴으로써 구성되어 있다. 제2 패턴( $20_{y2}$ )은 반도체 접적 회로 영역(B-2)에 설치된 배선(38)(가드 링(18)을 구성하는 배선) 중 반도체 접적 회로 영역(B-1)의 변(D2)과 대향하는 배선(38) 부분의 상면을 절연막(13) 및 패시베이션막(14)으로부터 노출시킴으로써 구성되어 있다.
- <46> 제2 패턴( $20_{y3}$ )은 반도체 접적 회로 영역(B-3)에 설치된 배선(38)(가드 링(18)을 구성하는 배선) 중 반도체 접적 회로 영역(B-4)의 변(D2)과 대향하는 배선(38) 부분의 상면을 절연막(13) 및 패시베이션막(14)으로부터 노출시킴으로써 구성되어 있다. 제2 패턴( $20_{y4}$ )은 반도체 접적 회로 영역(B-4)에 설치된 배선(38)(가드 링(18)을 구성하는 배선) 중 반도체 접적 회로 영역(B-3)의 변(D2)과 대향하는 배선(38) 부분의 상면을 절연막(13) 및 패시베이션막(14)으로부터 노출시킴으로써 구성되어 있다.
- <47> 상기 설명한 제1 및 제2 패턴( $20_{x1} \sim 20_{x4}$ ,  $20_{y1} \sim 20_{y4}$ )은 절연막(13)에 형성된 개구부(13B) 및 패시베이션막(14)에 형성된 개구부(14C)로부터 노출되어 있다. 이와 같이 금속으로 이루어지는 배선(38)의 상면을 절연막(13) 및 패시베이션막(14)으로부터 노출시킴으로써 제1 및 제2 패턴( $20_{x1} \sim 20_{x4}$ ,  $20_{y1} \sim 20_{y4}$ )의 상면에 의해 반도체 장치(10)의 상방에 배치된 트리밍 장치의 촬영용 카메라를 향해 빛을 반사시키는 것이 가능해진다.
- <48> 또한 상기 구성으로 된 얼라인먼트 패턴(20)은 반도체 기판(11)에 임의의 개소에서 복수 개 설치되어 있다.
- <49> 또한, 제1 및 제2 패턴( $20_{x1} \sim 20_{x4}$ ,  $20_{y1} \sim 20_{y4}$ )을 노출시키는 개구부(13B, 14C)는 본딩 패드(33)를 노출시키는 개구부(13A, 14A)를 형성할 때 동시에 형성한다.
- <50> 이와 같이 반도체 접적 회로 형성 영역(B)의 외주 부근에 제1 및 제2 패턴( $20_{x1} \sim 20_{x4}$ ,  $20_{y1} \sim 20_{y4}$ )으로 이루어지는 얼라인먼트 패턴(20)을 마련함으로써 스크라이브 영역(C)의 폭(W1)이 좁은 경우에도 얼라인먼트에 필요한 빛(반사광)의 강도를 충분히 확보하는 것이 가능해지기 때문에, 얼라인먼트 패턴(20)의 위치 검출을 정밀하게 행할 수 있다.
- <51> 또한 반도체 접적 회로 형성 영역(B)의 외주 부근에 얼라인먼트 패턴(20)을 마련함으로써 스크라이브 영역(C)을

다이서로 절단하여 반도체 집적 회로 형성 영역(B)을 개편화할 때, 절단 칩(열라인먼트 패턴(20)을 절단함으로써 발생하는 칩)이 발생하는 것이 없어지기 때문에 절단 후의 반도체 집적 회로(17)의 수율이 저하되는 것을 억제할 수 있다.

<52> 더욱이, 가드 링(18)에 설치된 배선(38)의 상면을 절연막(13) 및 패시베이션막(14)으로부터 노출시킴으로써 열라인먼트 패턴(20)을 구성함으로써 종래의 반도체 장치(100, 110)와 같이 별도 열라인먼트 패턴을 마련할 필요가 없기 때문에 반도체 장치(10)의 비용을 저감할 수 있다.

<53> 또한 본딩 패드(33)를 노출시키는 개구부(13A, 14A)를 형성할 때, 열라인먼트 패턴(20)이 될 배선(38) 부분의 상면을 노출시키는 개구부(13B, 14C)를 동시에 형성함으로써 반도체 장치(10)의 제조 공정을 증가시키지 않고 열라인먼트 패턴(20)을 형성할 수 있다.

<54> 칩 열라인먼트 패턴(도시 생략)은 반도체 기판(11)에 임의의 개소에서 복수 개 마련되어 있다. 칩 열라인먼트 패턴은 열라인먼트 패턴(20)보다 미세한 형상(예컨대  $100 \mu\text{m}$  정도의 크기)의 열라인먼트용 패턴이다. 일반적으로, 열라인먼트 패턴(20)을 이용하여 대략적인 열라인먼트를 행하고, 이어서 칩 열라인먼트 패턴에 레이저를 조사하고, 그 반사를 이용하여 고정밀한 열라인먼트를 행한다.

<55> 본 실시 형태의 반도체 장치에 따르면, 반도체 집적 회로 형성 영역(B)의 외주 부근에 제1 및 제2 패턴( $20_{x1} \sim 20_{x4}$ ,  $20_{y1} \sim 20_{y4}$ )으로 이루어지는 열라인먼트 패턴(20)을 마련함으로써 스크라이브 영역(C)의 폭(W1)이 좁은 경우에도 열라인먼트에 필요한 빛(반사광)의 강도를 충분히 확보하는 것이 가능해지기 때문에, 열라인먼트 패턴(20)의 위치 검출을 정밀하게 행할 수 있다.

<56> 또한 반도체 집적 회로 형성 영역(B)의 외주 부근에 열라인먼트 패턴(20)을 마련함으로써 스크라이브 영역(C)을 다이서로 절단할 때 열라인먼트 패턴(20)에 기인하는 절단 칩이 발생하는 것이 없어지기 때문에, 다이싱 후의 반도체 집적 회로(17)의 수율의 저하를 억제할 수 있다.

<57> 도 3은 본 발명의 제1 실시 형태에 따른 반도체 장치의 제조 방법을 설명하기 위한 흐름도를 도시한 도면이다. 여기서는 도 3을 참조하여 미리 테스터에 의해 반도체 장치(10)에 설치된 복수의 반도체 집적 회로(17)의 전기적인 검사를 행하고, 이 검사 결과에 따라 트리밍 장치에 의해 반도체 집적 회로(17)에 마련된 퓨즈 패턴(34)을 절단하는 경우를 예로 들어 설명한다.

<58> 먼저, 도 3에 도시한 처리가 실행되면, 먼저 STEP 51에서는 테스터에 의해 검사된 반도체 장치(10)를 트리밍 장치 내로 반송하여 트리밍 장치 스테이지 상에 고정한다. 이 때, 반도체 기판(11)에 설치된 오리피스나 스크라이브 영역(C)을 이용하여 각도 맞춤이 이루어진다.

<59> 이어서 STEP 52에서는, 앞에서 설명한 열라인먼트 패턴(20)을 이용하여 코스 열라인먼트를 행한다. 코스 열라인먼트는 반도체 장치(10)에 마련된 임의의 개소의 열라인먼트 패턴(20)에 대하여 행한다. 코스 열라인먼트란 트리밍 영역을 인식하는 레벨의 거친 조정 열라인먼트이다.

<60> 이어서 STEP 53에서는, 열라인먼트 패턴(20)을 이용하여 시터 열라인먼트를 행한다. 시터 열라인먼트는 반도체 장치(10)에 마련된 임의의 개소의 열라인먼트 패턴(20)에 대하여 행한다. 시터 열라인먼트란 각도 어긋남을 보정하기 위한 열라인먼트이다. STEP 52, 53의 처리가 열라인먼트 패턴(20)을 이용한 열라인먼트 공정이다. 이어서, 앞에서 설명한 열라인먼트(20) 등을 이용하여 파인 열라인먼트를 행한다. 파인 열라인먼트란 칩 열라인먼트 패턴을 인식하는 레벨의 정밀 조정 열라인먼트이다.

<61> 이어서, STEP 54에 도시한 공정에서는 앞에서 설명한 칩 열라인먼트 패턴을 이용하여 칩 열라인먼트를 행한다. 칩 열라인먼트는 열라인먼트 패턴(20)보다 미세한 칩 열라인먼트 패턴에 레이저를 조사하고, 그 반사의 피크를 검출하는 열라인먼트이다. 칩 열라인먼트란 레이저를 조사하는 퓨즈 패턴의 위치를 확정하는 레벨의 고정도 열라인먼트이다.

<62> 이어서 STEP 55에서는, 테스터로부터 복수의 반도체 집적 회로(17)의 검사 결과에 관한 데이터를 읽는다. 이어서 STEP 56에서는, 테스터에 의한 복수의 반도체 집적 회로(17)의 검사 결과에 관한 데이터에 기초하여 퓨즈 패턴(34)의 절단이 필요한 반도체 집적 회로(17)의 퓨즈 패턴(34)으로 이동한다.

<63> 도 4는 절단된 퓨즈 패턴의 단면도이다. 도 4에 있어서, 제1 실시의 형태의 반도체 장치(10)와 동일 구성 부분에는 동일한 부호를 붙인다. 또한 도 4에 있어서, G는 레이저에 의해 절단된 영역을 나타낸다.

<64> 이어서 STEP 57에서는, 도 4에 도시한 바와 같이, 레이저를 조사하여 퓨즈 패턴(34)을 절단한다(퓨즈 패턴 절단

공정). 이에 따라 배선(25)과 배선(26) 사이가 절연된다.

<65> 이어서 STEP 58에서는, 퓨즈 패턴(34)의 절단이 필요한 반도체 접적 회로(17)가 또 없는지 여부의 판정 처리가 행해진다. 판정이 Yes인 경우에는 처리는 STEP 56으로 되돌아온다. 또한 판정이 No인 경우에는 모든 처리는 종료된다.

<66> 본 실시 형태의 반도체 장치의 제조 방법에 따르면, 반도체 접적 회로 형성 영역(B)의 외주 부근에 마련되며, 반사광의 강도를 충분히 확보하는 것이 가능한 얼라인먼트 패턴(20)을 이용하여 얼라인먼트(구체적으로는, 코스 얼라인먼트 및 시터 얼라인먼트)를 행함으로써 얼라인먼트 패턴(20)의 위치 검출을 정밀하게 행할 수 있다.

<67> 또한 얼라인먼트 패턴(20)의 위치 검출의 정밀도가 향상됨으로써 퓨즈 패턴(34)의 위치 검출 정밀도가 향상되기 때문에, 퓨즈 패턴(34)의 폭이 좁은 경우에도 절단할 필요가 있는 퓨즈 패턴(34)을 정밀하게 절단할 수 있다.

<68> 또한, 본 실시 형태에서는 얼라인먼트 패턴(20)을 사용하는 반도체 제조용 장치로서 트리밍 장치를 사용한 경우를 예로 들어 설명하였으나, 본 실시 형태의 반도체 장치(10)는 트리밍 장치 이외의 반도체 제조용 장치, 예컨대 노광 장치에도 적용 가능하다.

<69> 또한 얼라인먼트 패턴(20)을 형성하는 4개의 반도체 접적 회로 형성 영역(B-1~B-4)은 트리밍 장치에 설치된 화상 인식용 카메라가 활상하는 활상 영역 내에 존재하는 반도체 접적 회로 형성 영역(B)이면 어느 반도체 접적 회로 형성 영역(B)에 형성하여도 좋다.

<70> (제2 실시 형태)

<71> 도 5는 본 발명의 제2 실시 형태에 따른 반도체 장치의 평면도이다. 도 5에서는 트리밍 장치에 설치된 화상 인식용 카메라가 활상하는 활상 영역 내에 포함되는 반도체 장치(50) 부분을 도시하였다. 또한 도 5에 있어서, 도 2에 도시한 제1 실시 형태의 반도체 장치(10)와 동일 구성 부분에는 동일한 부호를 붙였다.

<72> 도 5를 참조하면, 제2 실시 형태의 반도체 장치(50)는 제1 실시 형태의 반도체 장치(10)에 마련된 얼라인먼트 패턴(20) 대신 얼라인먼트 패턴(51)을 마련한 것 이외에는 반도체 장치(10)와 동일하게 구성된다.

<73> 얼라인먼트 패턴(51)은 제1 패턴(20<sub>x2</sub>, 20<sub>x3</sub>)과, 제2 패턴(20<sub>y1</sub>, 20<sub>y2</sub>)을 갖는다. 얼라인먼트 패턴(51)은 제1 실시 형태에서 설명한 얼라인먼트 패턴(20)의 구성 요소에서 제1 패턴(20<sub>x1</sub>, 20<sub>x4</sub>)과, 제2 패턴(20<sub>y3</sub>, 20<sub>y4</sub>)을 제외한 것 이외에는 얼라인먼트 패턴(20)과 동일하게 구성된다.

<74> 얼라인먼트 패턴(51)을 구성하는 제2 패턴(20<sub>y1</sub>)은 절연막(13) 및 패시베이션막(14)에 형성된 개구부(52)로부터 노출되어 있다. 또한 얼라인먼트 패턴(51)을 구성하는 제1 및 제2 패턴(20<sub>x2</sub>, 20<sub>y2</sub>)은 절연막(13) 및 패시베이션막(14)에 형성된 개구부(53)로부터 노출되어 있다. 얼라인먼트 패턴(51)을 구성하는 제1 패턴(20<sub>x3</sub>)은 절연막(13) 및 패시베이션막(14)에 형성된 개구부(54)로부터 노출되어 있다. 얼라인먼트 패턴(51)은 3개의 반도체 접적 회로 형성 영역(B-1~B-3)(소정의 반도체 접적 회로 형성 영역(B))에 형성되어 있다.

<75> 이러한 구성으로 된 얼라인먼트 패턴(51)을 구비한 제2 실시 형태의 반도체 장치(50)에 있어서도 제1 실시 형태의 반도체 장치(10)와 동일한 효과를 얻을 수 있다.

<76> 또한 제1 실시 형태에서 설명한 도 3에 도시한 처리에 있어서, 제1 실시 형태의 반도체 장치(10) 대신 본 실시 형태의 반도체 장치(50)를 사용할 수도 있다. 이 경우에 대하여도 제1 실시 형태와 동일한 효과를 얻을 수 있다.

<77> 또한, 얼라인먼트 패턴(51)을 형성하는 3개의 반도체 접적 회로 형성 영역(B-1~B-3)은 트리밍 장치에 설치된 화상 인식용 카메라가 활상하는 활상 영역 내에 존재하는 반도체 접적 회로 형성 영역(B)이면, 어느 반도체 접적 회로 형성 영역(B)에 형성하여도 좋다.

<78> (제3 실시 형태)

<79> 도 6은 본 발명의 제3 실시 형태에 따른 반도체 장치의 평면도이다. 도 6에서는, 트리밍 장치에 설치된 화상 인식용 카메라가 활상하는 활상 영역 내에 포함되는 반도체 장치(60) 부분을 도시하였다. 또한 도 6에 있어서, 도 2에 도시한 제1 실시 형태의 반도체 장치(10)와 동일 구성 부분에는 동일한 부호를 붙인다.

<80> 도 6을 참조하면, 제3 실시 형태의 반도체 장치(60)는 제1 실시 형태의 반도체 장치(10)에 마련된 얼라인먼트

패턴(20) 대신 열라인먼트 패턴(61)을 마련한 것 이외에는 반도체 장치(10)와 동일하게 구성된다.

<81> 열라인먼트 패턴(61)은 제1 패턴( $20_{x1}$ )과 제2 패턴( $20_{y1}$ )을 갖는다. 열라인먼트 패턴(61)은 제1 실시 형태에서 설명한 열라인먼트 패턴(20)의 구성 요소에서 제1 패턴( $20_{x2}$ ,  $20_{x3}$ ,  $20_{x4}$ )과 제2 패턴( $20_{y2}$ ,  $20_{y3}$ ,  $20_{y4}$ )을 제외한 것 이외에는 열라인먼트 패턴(20)과 동일하게 구성되어 있다. 열라인먼트 패턴(61)을 구성하는 제1 및 제2 패턴( $20_{x1}$ ,  $20_{y1}$ )은 트리밍 장치에 설치된 화상 인식용 카메라가 활상하는 활상 영역 내에 포함되는 하나의 반도체 집적 회로 형성 영역(B)(소정의 반도체 집적 회로 형성 영역(B))에 마련되어 있다. 제1 및 제2 패턴( $20_{x1}$ ,  $20_{y1}$ )은 절연막(13) 및 패시베이션막(14)에 형성된 개구부(62)로부터 노출되어 있다.

<82> 이와 같이 트리밍 장치에 설치된 화상 인식용 카메라가 활상하는 활상 영역 내에 존재하는 하나의 반도체 집적 회로 형성 영역(B)에 마련된 열라인먼트 패턴(61)을 구비한 제3 실시 형태의 반도체 장치(60)에 있어서도 제1 실시 형태의 반도체 장치(10)와 동일한 효과를 얻을 수 있다.

<83> 또한 제1 실시 형태에서 설명한 도 3에 도시한 처리에 있어서, 제1 실시 형태의 반도체 장치(10) 대신 본 실시 형태의 반도체 장치(60)를 사용할 수도 있다. 이 경우에 대해서도 제1 실시 형태와 동일한 효과를 얻을 수 있다.

<84> 또한, 열라인먼트 패턴(61)을 형성하는 하나의 반도체 집적 회로 형성 영역(B)은 트리밍 장치에 설치된 화상 인식용 카메라가 활상하는 활상 영역 내에 존재하는 반도체 집적 회로 형성 영역(B)이면 어느 반도체 집적 회로 형성 영역(B)에 형성하여도 좋다.

<85> (제4 실시 형태)

<86> 도 7은 본 발명의 제4 실시 형태에 따른 반도체 장치의 평면도이다. 도 7에서는 트리밍 장치에 설치된 화상 인식용 카메라가 활상하는 활상 영역 내에 포함되는 반도체 장치(65) 부분을 도시하였다. 또한 도 7에 있어서도 도 2에 도시한 제1 실시 형태의 반도체 장치(10)와 동일 구성 부분에는 동일한 부호를 붙였다.

<87> 도 7을 참조하면, 제4 실시 형태의 반도체 장치(65)는 제1 실시 형태의 반도체 장치(10)에 마련된 열라인먼트 패턴(20) 대신 열라인먼트 패턴(66)을 마련한 것 이외에는, 반도체 장치(10)와 동일하게 구성된다. 열라인먼트 패턴(66)은 트리밍 장치에 설치된 화상 인식용 카메라가 활상하는 활상 영역 내에 포함되는 하나의 반도체 집적 회로 형성 영역(B-1)(소정의 반도체 집적 회로 형성 영역(B))의 외주 부근에 마련되어 있다. 열라인먼트 패턴(66)은 제1 패턴( $68_x$ )과 제2 패턴( $68_y$ )을 갖는다.

<88> 제1 패턴( $68_x$ )은 반도체 집적 회로 영역(B)의 변(D1)에 대하여 대략 평행한 띠형의 패턴으로 되어 있다. 제1 패턴( $68_x$ )은 반도체 집적 회로 영역(B-1)에 마련된 배선(38)(가드 링(18)을 구성하는 배선) 중 반도체 집적 회로 영역(B-4)의 변(D1)과 대향하는 배선(38)의 일부분의 상면을 절연막(13) 및 패시베이션막(14)으로부터 노출시킴으로써 구성되어 있다. 제1 패턴( $68_x$ )은 제2 패턴( $68_y$ )과 일체로 구성되어 있다.

<89> 제2 패턴( $68_y$ )은 반도체 집적 회로 영역(B)의 변(D2)에 대하여 대략 평행한 띠형의 패턴으로 되어 있으며, 제1 패턴( $68_x$ )과 이루는 각도가 대략 직각인 패턴이다. 제2 패턴( $68_y$ )은 반도체 집적 회로 영역(B-1)에 설치된 배선(38)(가드 링(18)을 구성하는 배선) 중 반도체 집적 회로 영역(B-4)의 변(D2)과 대향하는 배선(38)의 일부분의 상면을 절연막(13) 및 패시베이션막(14)으로부터 노출시킴으로써 구성되어 있다.

<90> 제1 및 제2 패턴( $68_x$ ,  $68_y$ )은 절연막(13) 및 패시베이션막(14)에 형성된 L자형의 개구부(67)로부터 노출되어 있다. 이에 따라 제1 및 제2 패턴( $68_x$ ,  $68_y$ )은 반도체 장치(65)의 상방에 배치된 트리밍 장치의 활영용 카메라에 빛을 반사하는 것이 가능해진다.

<91> 이러한 구성으로 된 열라인먼트 패턴(66)을 구비한 제4 실시 형태의 반도체 장치(65)에 있어서도 제1 실시 형태의 반도체 장치(10)와 동일한 효과를 얻을 수 있다.

<92> 또한 제1 실시 형태에서 설명한 도 3에 도시한 처리에 있어서, 제1 실시 형태의 반도체 장치(10) 대신 본 실시 형태의 반도체 장치(65)를 사용할 수도 있다. 이 경우에 대해서도 제1 실시 형태와 동일한 효과를 얻을 수 있다.

<93> 또한, 열라인먼트 패턴(66)을 형성하는 하나의 반도체 집적 회로 형성 영역(B)은 트리밍 장치에 설치된 화상 인

식용 카메라가 활상하는 활상 영역 내에 존재하는 반도체 집적 회로 형성 영역(B)이면, 어느 반도체 집적 회로 형성 영역(B)에 형성하여도 좋다.

<94> (제5 실시 형태)

도 8은 본 발명의 제5 실시 형태에 따른 반도체 장치의 평면도이다. 도 8에서는, 트리밍 장치에 설치된 화상 인식용 카메라가 활상하는 활상 영역 내에 포함되는 반도체 장치(70) 부분을 도시하였다. 또한 도 8에 있어서, 도 2에 도시한 제1 실시 형태의 반도체 장치(10)와 동일 구성 부분에는 동일한 부호를 붙였다.

<96> 도 8을 참조하면, 제5 실시 형태의 반도체 장치(70)는 제1 실시 형태의 반도체 장치(10)에 마련된 얼라인먼트 패턴(20) 대신 얼라인먼트 패턴(71)을 마련한 것 이외에는 반도체 장치(10)와 동일하게 구성된다.

<97> 얼라인먼트 패턴(71)은 트리밍 장치에 설치된 화상 인식용 카메라가 활상하는 활상 영역 내에 포함되는 하나의 반도체 집적 회로 영역(B)의 외주 부근에 마련되어 있다. 얼라인먼트 패턴(71)은 제1 패턴( $73_{x1}, 73_{x2}$ )과 제2 패턴( $73_{y1}, 73_{y2}$ )을 갖는다.

<98> 제1 패턴( $73_{x1}, 73_{x2}$ )은 반도체 집적 회로 영역(B)의 변(D1)에 대하여 대략 평행한 띠형의 패턴으로 되어 있다. 제1 패턴( $73_{x1}, 73_{x2}$ )은 하나의 반도체 집적 회로 영역(B)에 마련된 배선(38)(가드 링(18))을 구성하는 배선(38) 중 반도체 집적 회로 영역(B)의 변(D1)과 대략 평행한 배선(38) 부분의 상면을 절연막(13) 및 패시베이션막(14)으로부터 노출시킴으로써 구성되어 있다.

<99> 제2 패턴( $73_{y1}, 73_{y2}$ )은 반도체 집적 회로 영역(B)의 변(D2)에 대하여 대략 평행한 띠형의 패턴으로 되어 있다. 제2 패턴( $73_{y1}, 73_{y2}$ )은 제1 패턴( $73_{x1}, 73_{x2}$ )과 이루는 각도가 대략 직각임과 아울러, 제1 패턴( $73_{x1}, 73_{x2}$ )과 일체로 구성되어 있다. 제2 패턴( $73_{y1}, 73_{y2}$ )은 제1 패턴( $73_{x1}, 73_{x2}$ )이 형성된 하나의 반도체 집적 회로 영역(B)에 마련된 배선(38)(가드 링(18))을 구성하는 배선(38) 중 반도체 집적 회로 영역(B)의 변(D2)과 대략 평행한 배선(38) 부분의 상면을 절연막(13) 및 패시베이션막(14)으로부터 노출시킴으로써 구성되어 있다.

<100> 상기 설명한 제1 및 제2 패턴( $73_{x1}, 73_{x2}, 73_{y1}, 73_{y2}$ )은 절연막(13) 및 패시베이션막(14)에 형성된 개구부(72)로부터 노출되어 있다. 개구부(72)는 액자형으로 되어 있다. 개구부(72)는 절연막(13) 및 패시베이션막(14)으로부터 배선(38)의 상면을 노출시키기 위한 것이다.

<101> 이러한 구성으로 된 얼라인먼트 패턴(71)을 구비한 제5 실시 형태의 반도체 장치(70)에 있어서도 제1 실시 형태의 반도체 장치(10)와 동일한 효과를 얻을 수 있다.

<102> 또한 제1 실시 형태에서 설명한 도 3에 도시한 처리에 있어서, 제1 실시 형태의 반도체 장치(10) 대신 본 실시 형태의 반도체 장치(70)를 사용할 수도 있다. 이 경우에 대해서도 제1 실시 형태와 동일한 효과를 얻을 수 있다.

<103> 또한, 얼라인먼트 패턴(71)을 형성하는 하나의 반도체 집적 회로 형성 영역(B)은 트리밍 장치에 설치된 화상 인식용 카메라가 활상하는 활상 영역 내에 존재하는 반도체 집적 회로 형성 영역(B)이면, 어느 반도체 집적 회로 형성 영역(B)에 형성하여도 좋다.

<104> (제6 실시 형태)

<105> 도 9는 본 발명의 제6 실시 형태에 따른 반도체 장치의 평면도이다. 도 9에서는, 트리밍 장치에 설치된 화상 인식용 카메라가 활상하는 활상 영역 내에 포함되는 반도체 장치(75) 부분을 도시하였다. 또한 도 9에 있어서, 도 2에 도시한 제1 실시 형태의 반도체 장치(10)와 동일 구성 부분에는 동일한 부호를 붙였다.

<106> 도 9를 참조하면, 제6 실시 형태의 반도체 장치(75)는 제1 실시 형태의 반도체 장치(10)에 마련된 얼라인먼트 패턴(20) 대신 얼라인먼트 패턴(76)을 마련한 것 이외에는, 반도체 장치(10)와 동일하게 구성된다.

<107> 얼라인먼트 패턴(76)은 제5 실시 형태에서 설명한 얼라인먼트 패턴(71)을 3개 가진 구성으로 되어 있다. 3개의 얼라인먼트 패턴(71)은 L자형으로 배치된 반도체 집적 회로 형성 영역(B-1, B-3, B-4)(소정의 반도체 집적 회로 형성 영역(B))에 마련되어 있다.

<108> 이러한 구성으로 된 얼라인먼트 패턴(76)을 구비한 제6 실시 형태의 반도체 장치(75)에 있어서도 제1 실시 형태의 반도체 장치(10)와 동일한 효과를 얻을 수 있다.

- <109> 또한 제1 실시 형태에서 설명한 도 3에 도시한 처리에 있어서, 제1 실시 형태의 반도체 장치(10) 대신 본 실시 형태의 반도체 장치(75)를 사용할 수도 있다. 이 경우에 대해서도 제1 실시 형태와 동일한 효과를 얻을 수 있다.
- <110> 또한, 얼라인먼트 패턴(76)을 형성하는 3개의 반도체 집적 회로 형성 영역(B-1, B-3, B-4)은 트리밍 장치에 설치된 화상 인식용 카메라가 활상하는 활상 영역 내에 존재하는 반도체 집적 회로 형성 영역(B)이면, 어느 반도체 집적 회로 형성 영역(B)에 형성하여도 좋다.
- <111> (제7 실시 형태)
- <112> 도 10은 본 발명의 제7 실시 형태에 따른 반도체 장치 평면도이다. 도 10에서는 트리밍 장치에 설치된 화상 인식용 카메라가 활상하는 활상 영역 내에 포함되는 반도체 장치(80) 부분을 도시하였다. 또한 도 10에 있어서, 도 2에 도시한 제1 실시 형태의 반도체 장치(10)와 동일 구성 부분에는 동일한 부호를 붙였다.
- <113> 도 10을 참조하면, 제7 실시 형태의 반도체 장치(80)는 제1 실시 형태의 반도체 장치(10)에 마련된 얼라인먼트 패턴(20) 대신 얼라인먼트 패턴(81)을 마련한 것 이외에는, 반도체 장치(10)와 동일하게 구성된다.
- <114> 얼라인먼트 패턴(81)은 제5 실시 형태에서 설명한 얼라인먼트 패턴(71)을 5개 가진 구성으로 되어 있다. 5개의 얼라인먼트 패턴(71)은 십자형으로 배치된 반도체 집적 회로 형성 영역(B-1, B-3, B-4~B-6)(소정의 반도체 집적 회로 형성 영역(B))의 외주 부근에 마련되어 있다. 반도체 집적 회로 형성 영역(B-1, B-5)은 반도체 집적 회로 형성 영역(B-4)과 이웃하도록 반도체 집적 회로 형성 영역(B-4)의 Y-Y 방향으로 배치되어 있다. 반도체 집적 회로 형성 영역(B-3, B-6)은 반도체 집적 회로 형성 영역(B-4)과 이웃하도록 반도체 집적 회로 형성 영역(B-4)의 X-X 방향으로 배치되어 있다.
- <115> 이러한 구성으로 된 얼라인먼트 패턴(81)을 구비한 제7 실시 형태의 반도체 장치(80)에 있어서도, 제1 실시 형태의 반도체 장치(10)와 동일한 효과를 얻을 수 있다.
- <116> 또한 제1 실시 형태에서 설명한 도 3에 도시한 처리에 있어서, 제1 실시 형태의 반도체 장치(10) 대신 본 실시 형태의 반도체 장치(80)를 사용할 수도 있다. 이 경우에 대해서도 제1 실시 형태와 동일한 효과를 얻을 수 있다.
- <117> 또한, 얼라인먼트 패턴(81)을 형성하는 5개의 반도체 집적 회로 형성 영역(B-1, B-3, B-4~B-6)은 트리밍 장치에 설치된 화상 인식용 카메라가 활상하는 활영 영역 내에 존재하는 반도체 집적 회로 형성 영역(B)이면, 어느 반도체 집적 회로 형성 영역(B)에 형성하여도 좋다.
- <118> 이상, 본 발명의 바람직한 실시 형태에 대하여 상세하게 설명하였으나, 본 발명은 이러한 특정한 실시 형태에 한정되지 않으며, 특히 청구 범위 내에 기재된 본 발명의 요지의 범위 내에 있어서 다양한 변형, 변경이 가능하다.

### 산업이용 가능성

- <119> 본 발명은 화상 인식용 얼라인먼트 패턴을 구비한 반도체 장치 및 그 제조 방법에 적용할 수 있다.

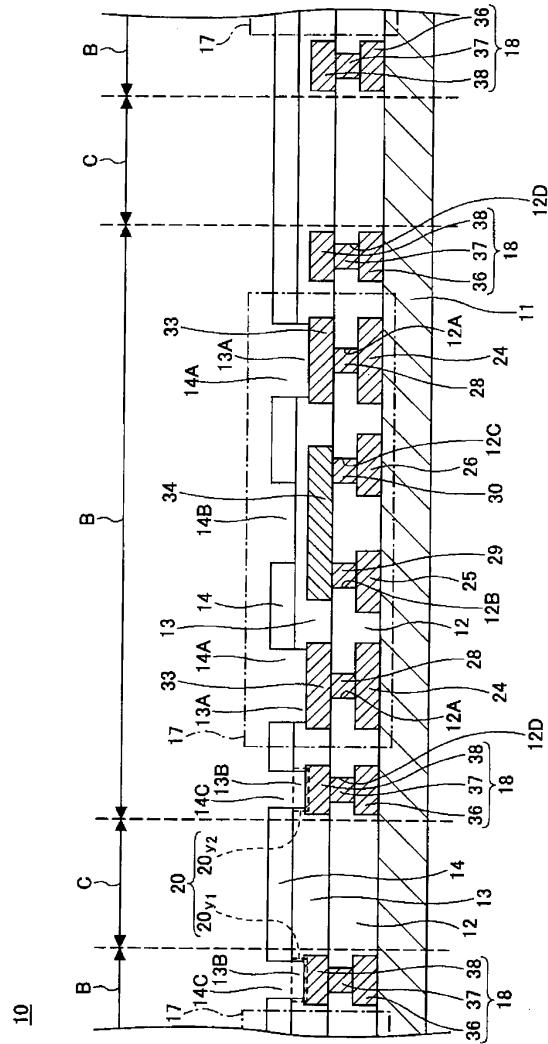
### 도면의 간단한 설명

- <120> 도 1은 본 발명의 제1 실시 형태에 따른 반도체 장치의 단면도이다.
- <121> 도 2는 본 발명의 제1 실시 형태에 따른 반도체 장치의 평면도이다.
- <122> 도 3은 본 발명의 제1 실시 형태에 따른 반도체 장치의 제조 방법을 설명하기 위한 흐름도를 도시한 도면이다.
- <123> 도 4는 절단된 퓨즈 패턴의 단면도이다.
- <124> 도 5는 본 발명의 제2 실시 형태에 따른 반도체 장치의 평면도이다.
- <125> 도 6은 본 발명의 제3 실시 형태에 따른 반도체 장치의 평면도이다.
- <126> 도 7은 본 발명의 제4 실시 형태에 따른 반도체 장치의 평면도이다.
- <127> 도 8은 본 발명의 제5 실시 형태에 따른 반도체 장치의 평면도이다.
- <128> 도 9는 본 발명의 제6 실시 형태에 따른 반도체 장치의 평면도이다.

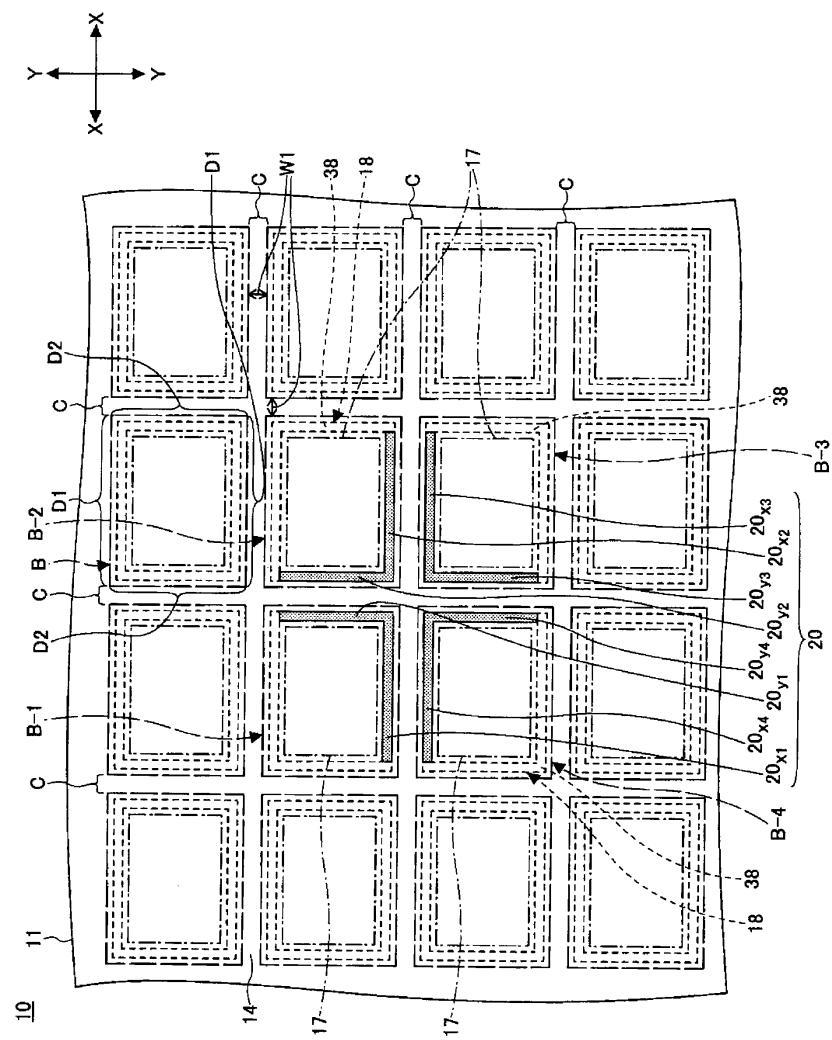
- <129> 도 10은 본 발명의 제7 실시 형태에 따른 반도체 장치의 평면도이다.
- <130> 도 11은 종래의 반도체 장치의 평면도이다.
- <131> 도 12는 종래의 다른 반도체 장치의 평면도이다.
- <132> <부호의 설명>
- <133> 10, 50, 60, 65, 70, 75, 80 : 반도체 장치 11 : 반도체 기판
- <134> 12, 13 : 절연막
- <135> 12A~12D, 13A, 13B, 14A~14C, 52~54, 67, 72 : 개구부
- <136> 14 : 패시베이션막 17 : 반도체 접착 회로
- <137> 18 : 가드 링
- <138> 20, 51, 61, 66, 71, 76, 81 : 열라인먼트 패턴
- <139> 20<sub>x1</sub>, 20<sub>x2</sub>, 20<sub>x3</sub>, 20<sub>x4</sub>, 68<sub>x</sub>, 73<sub>x1</sub>, 73<sub>x2</sub> : 제1 패턴
- <140> 20<sub>y1</sub>, 20<sub>y2</sub>, 20<sub>y3</sub>, 20<sub>y4</sub>, 68<sub>y</sub>, 73<sub>y1</sub>, 73<sub>y2</sub> : 제2 패턴
- <141> 24~26, 36, 38 : 배선 28~30, 37 : 비어
- <142> 33 : 본딩 패드 34 : 퓨즈 패턴
- <143> B, B-1~B-4 : 반도체 접착 회로 형성 영역 C : 스크라이브 영역
- <144> D1, D2 : 변 W1 : 폭

도면

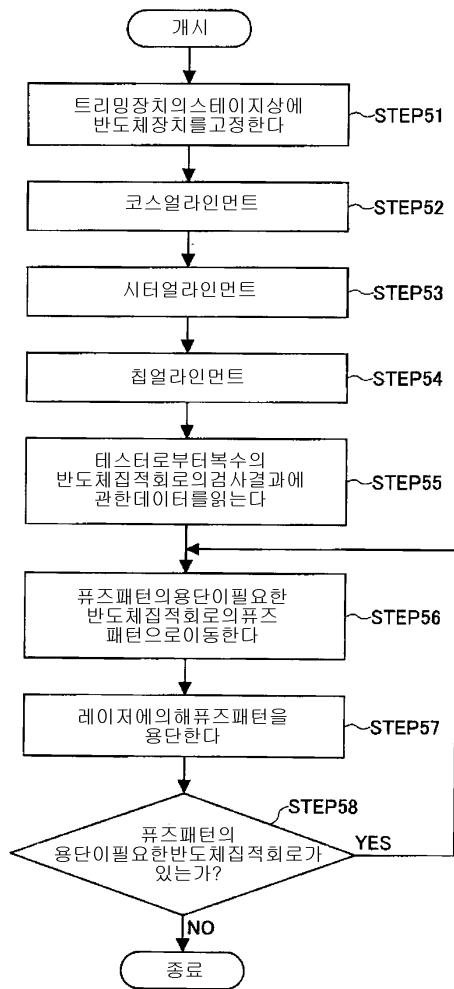
도면1



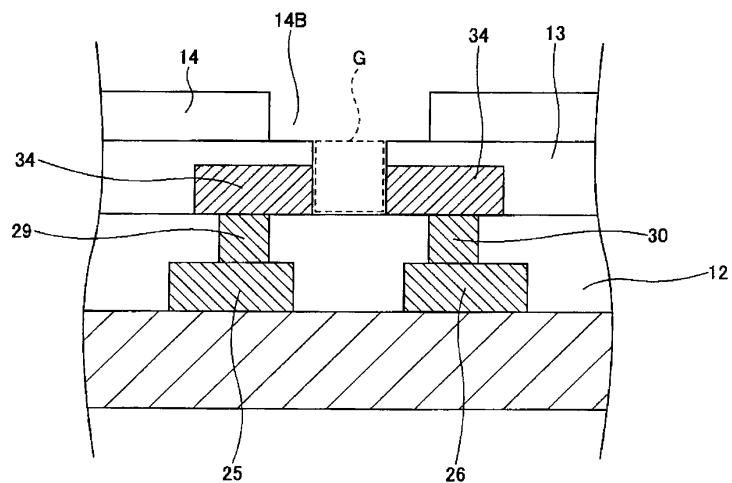
도면2



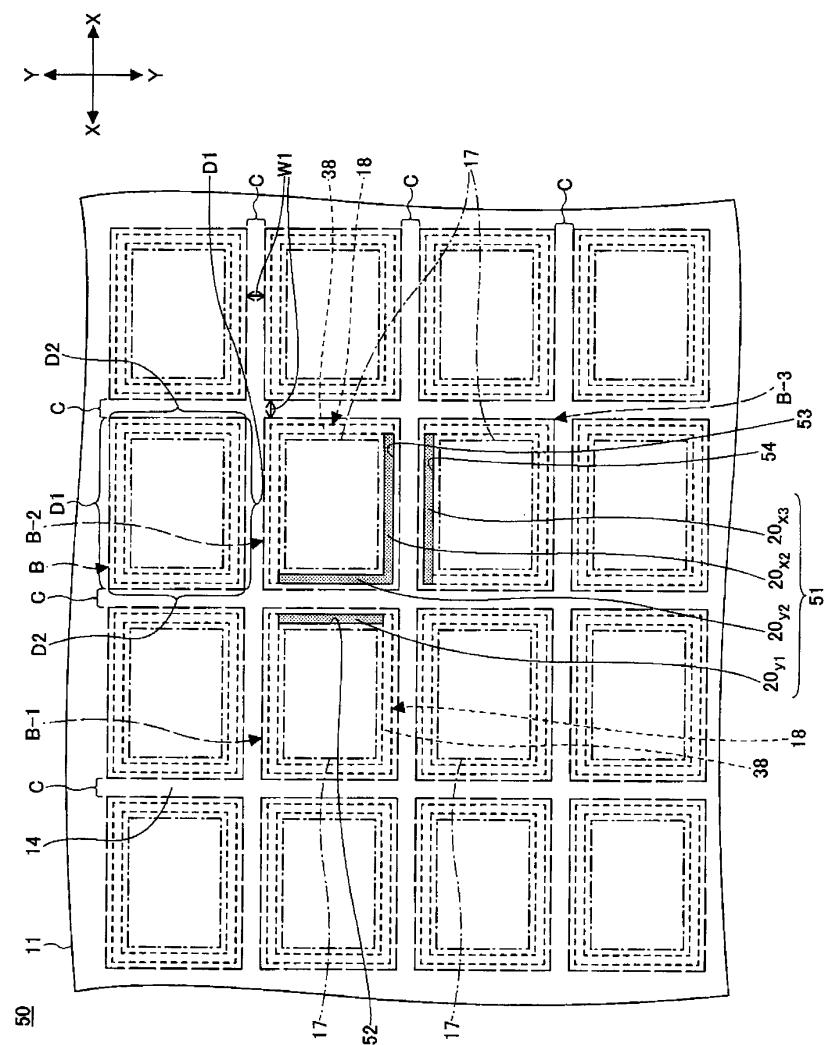
## 도면3



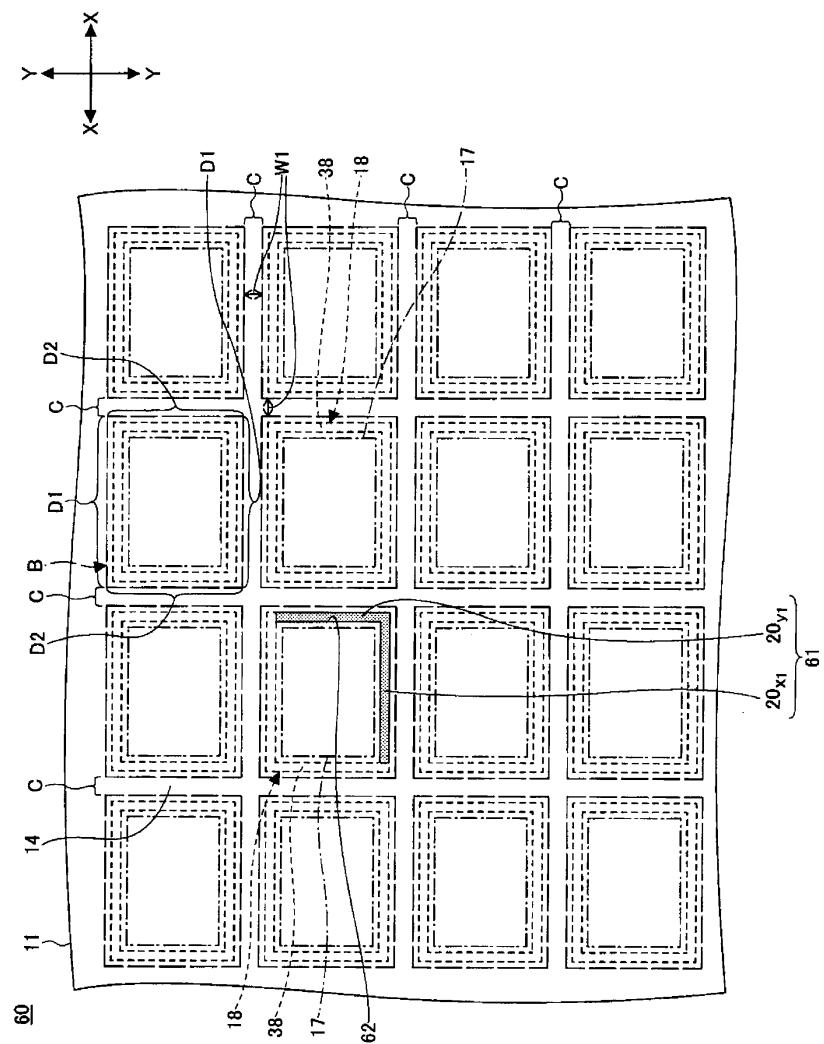
## 도면4



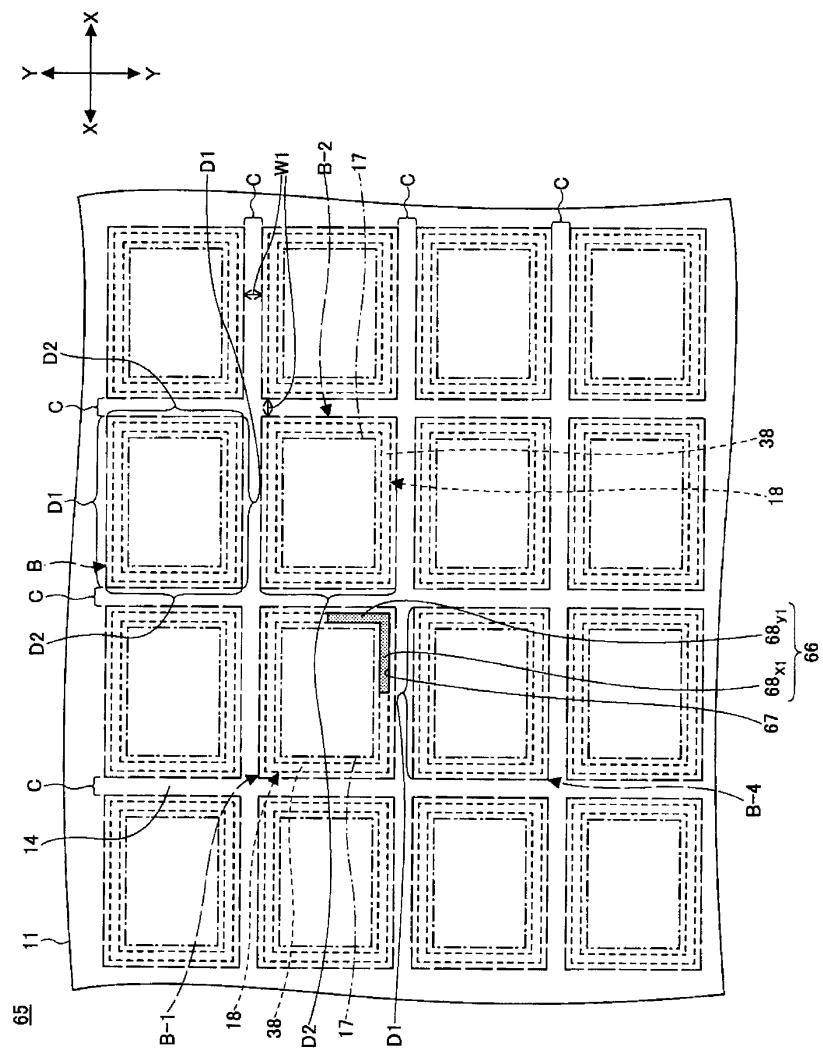
도면5



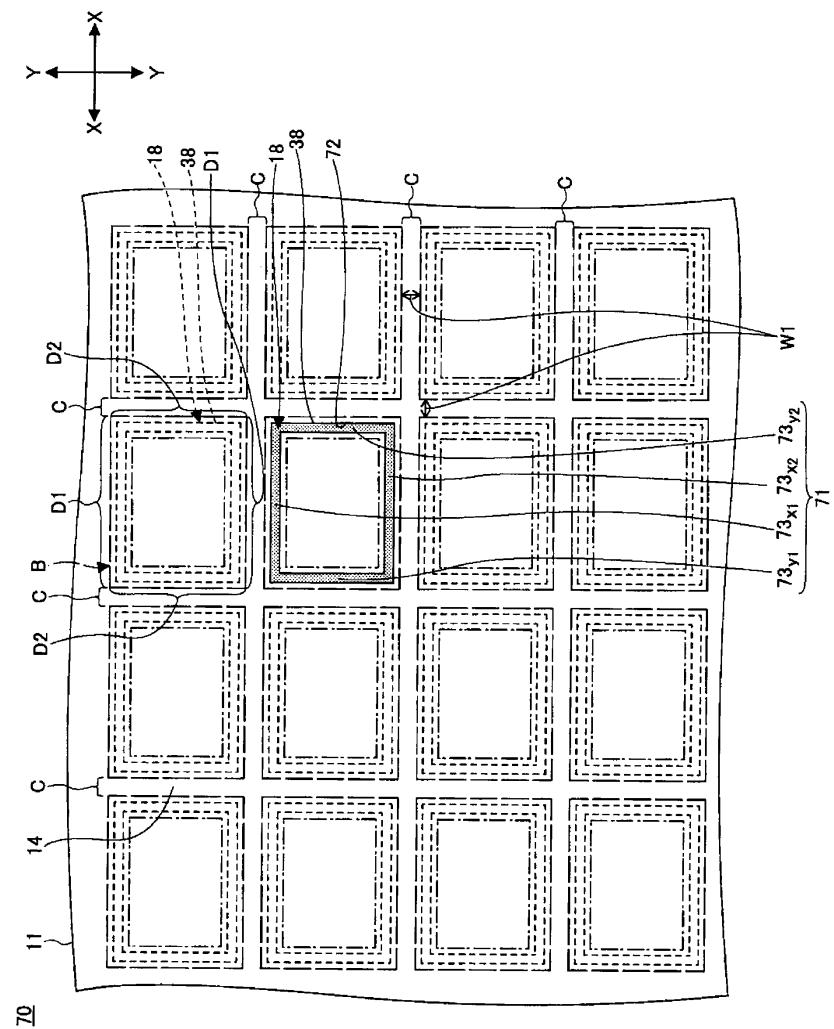
도면6



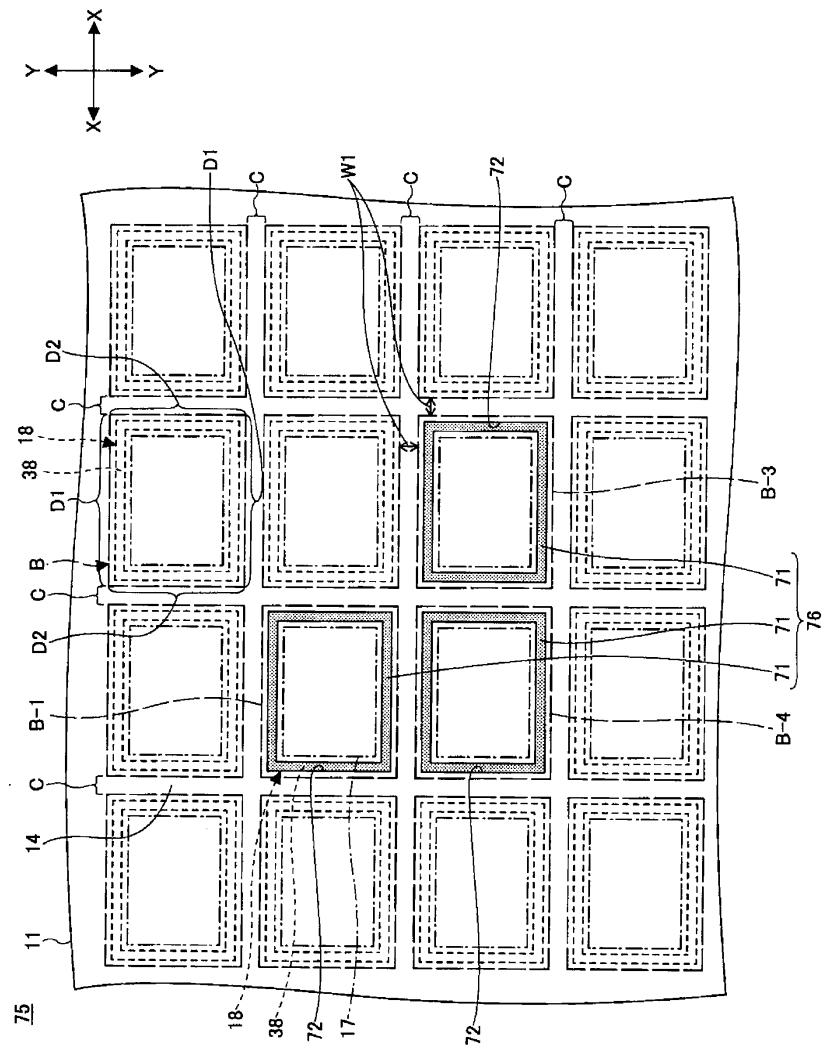
도면7



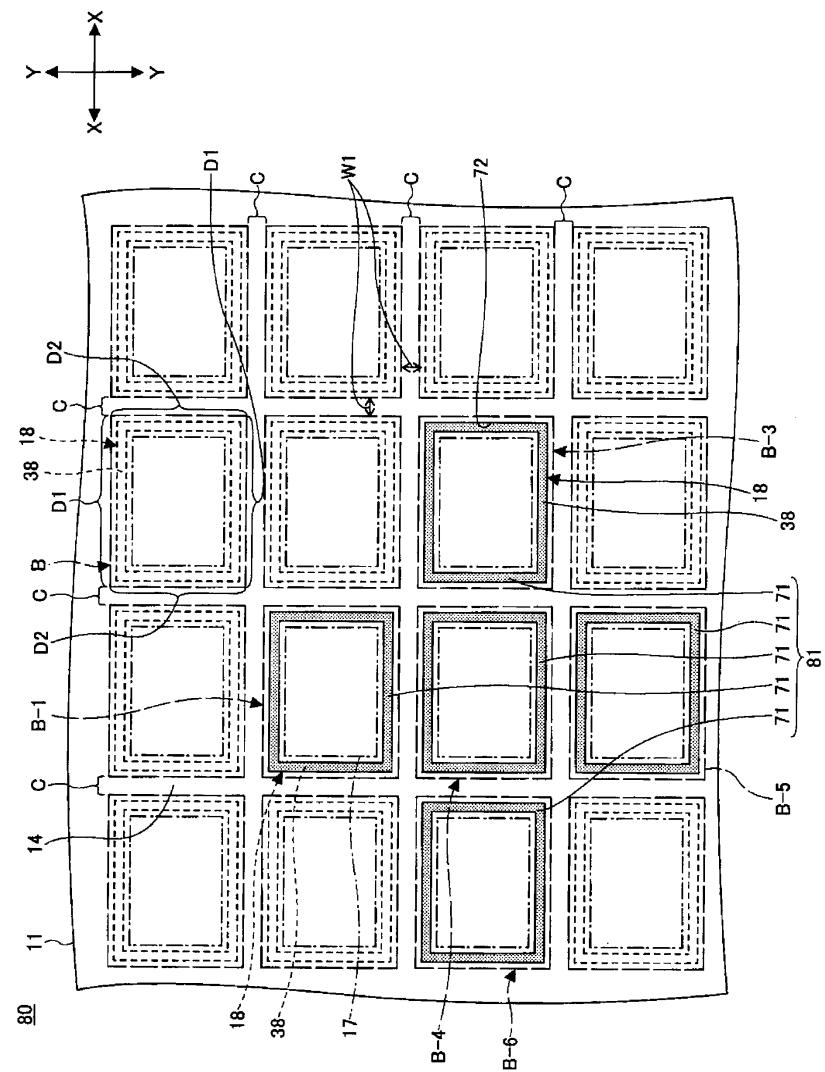
도면8



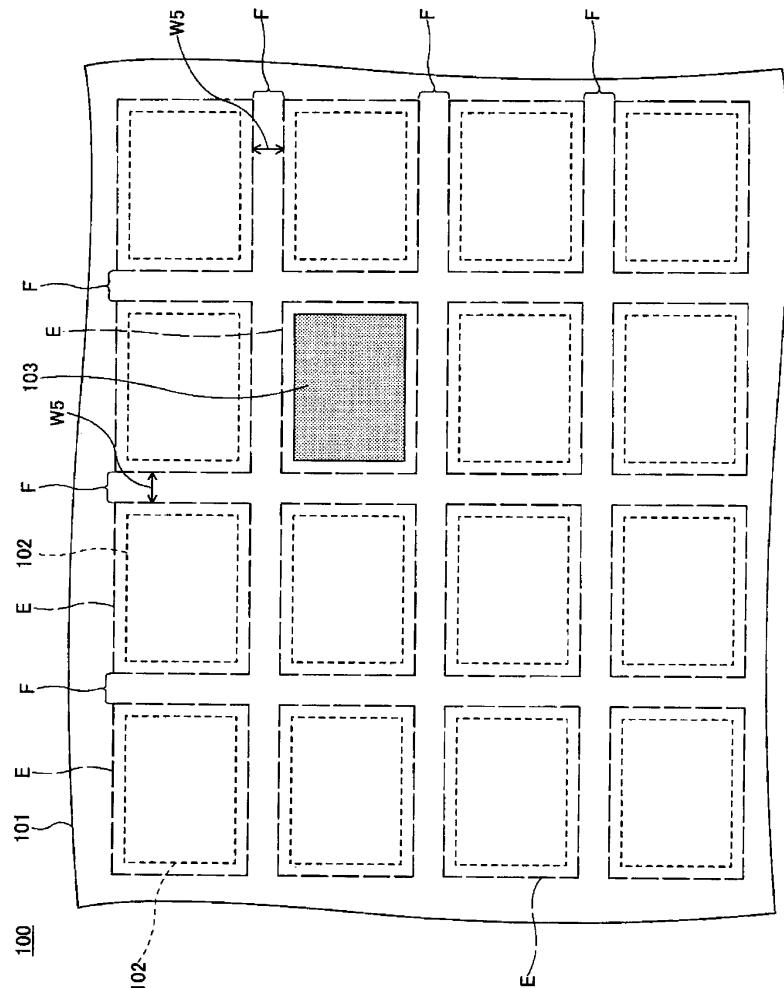
### 도면9



## 도면10



도면11



## 도면12

