

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4455972号
(P4455972)

(45) 発行日 平成22年4月21日(2010.4.21)

(24) 登録日 平成22年2月12日(2010.2.12)

(51) Int.Cl.	F 1
H03K 17/08	(2006.01)
H03K 17/28	(2006.01)
F02P 3/04	(2006.01)

HO3K 17/08	Z
HO3K 17/28	E
F02P 3/04	

請求項の数 3 (全 17 頁)

(21) 出願番号	特願2004-295676 (P2004-295676)
(22) 出願日	平成16年10月8日 (2004.10.8)
(65) 公開番号	特開2006-109286 (P2006-109286A)
(43) 公開日	平成18年4月20日 (2006.4.20)
審査請求日	平成19年1月15日 (2007.1.15)

(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(74) 代理人	100088672 弁理士 吉竹 英俊
(74) 代理人	100088845 弁理士 有田 貴弘
(72) 発明者	神戸 伸介 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 栗栖 正和

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

電流入力端子に誘導負荷が接続されるスイッチング素子と、
前記スイッチング素子の制御端子に接続されたゲート駆動部と、
前記スイッチング素子の制御端子・電流入力端子間に接続されたクランプ素子と、
前記スイッチング素子の制御端子・接地電位間に接続された放電抵抗部と、
を備え、
前記スイッチング素子を駆動することにより、前記誘導負荷に誘導起電圧を発生させる
半導体装置であって、

前記スイッチング素子をオン状態に駆動するためのオン信号が所定時間以上入力されると、前記ゲート駆動部及び前記放電抵抗部に所定の信号を出力するタイマー回路をさらに備え、

前記ゲート駆動部は、前記所定の信号に応答して前記スイッチング素子の制御端子に対する出力信号を前記オン信号からオフ信号へ変化させ、

前記放電抵抗部は、前記所定の信号に応答して、その抵抗値を、前記クランプ素子のリーケ電流に対し前記スイッチング素子がオフ状態になる抵抗値から前記スイッチング素子をオン状態に保持できるより大きな抵抗値へ変更することを特徴とする半導体装置。

【請求項 2】

前記スイッチング素子の制御端子・電流入力端子間に、前記クランプ素子に対して並列に選択的に接続可能に配設された第2クランプ素子をさらに備え、

10

20

前記第2クランプ素子は、前記所定の信号に応答して、前記スイッチング素子の制御端子・電流入力端子間に接続されることを特徴とする請求項1に記載の半導体装置。

【請求項3】

同一半導体基板上に形成されたことを特徴とする請求項1又は2に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に半導体装置保護のためスイッチング素子を強制停止する際、誘導負荷に発生する過電圧を抑制する技術に関するものである。

【背景技術】

10

【0002】

自動車エンジン等の内燃機関用イグニッションシステムにおいて、メンテナンス中の作業ミス等により制御信号がオンしたままになり、誘導負荷（例えばトランスフォーマーや負荷コイル）の電流を制御するスイッチング素子が導通し続け、半導体装置自身や負荷が発熱により特性劣化や破壊に至るという問題がある。

【0003】

この問題に対して、オン動作開始から所定時間（数100ミリ秒程度）後に動作するタイマー回路を用いてスイッチング素子を強制停止させる機能が盛り込まれている。すなわち、オン動作開始から作業ミスなどにより、オン信号の出力が所定時間以上続いた場合、タイマー回路により、スイッチング素子の破壊を防止することができる。

20

【0004】

その際、スイッチング素子の強制的な電流遮断が、誘導負荷に大きな誘導起電力を発生させ、内燃機関の点火を制御するコンピュータの意図しないタイミングで、点火プラグにアーク放電を発生することがあった。

【0005】

そのため、従来のイグニッションシステムではスイッチング素子の電流遮断速度をある一定速度以下に抑えて、誘導負荷に発生する誘導起電力の大きさを抑制している（特許文献1参照）。

【0006】

【特許文献1】特開2002-4991号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、スイッチング素子のゲート電圧に対する出力電流の関係は、一般的に線形比例ではない。例えば、MOSゲートデバイスでは、出力電流はゲート電圧の2乗に比例する。そのため、電流遮断速度を一定速度以下に抑えるようにスイッチング素子を制御するには複雑な回路構成と調整を必要としている。

【0008】

例えば、特許文献1に記載の発明は、コンデンサの充電時間により、出力電流の遮断速度を制御している。出力電流の遮断速度を低くするために、大きな容量のコンデンサを必要とするので回路面積を縮小することが困難である。また、誘導負荷の大きさに応じて発生する誘導起電力の大きさが異なるので、誘導負荷の大きさに応じてコンデンサの容量を変更する必要がある。そのため、誘導負荷の大きさによらないで所望のクランプ電圧となるように誘導起電圧を制御することが困難である。

40

【0009】

また、スイッチング素子が導通時に、何らかの異常によって、電流入力端子の電位が上昇すると、出力電流が増加しスイッチング素子が損傷することも考えられる。

【0010】

そこで本発明の目的は、スイッチング素子を強制的に遮断する際、誘導負荷に発生する誘導起電圧を簡単な回路構成で抑制する技術を提供することである。

50

【課題を解決するための手段】

【0013】

本発明は、電流入力端子に誘導負荷が接続されるスイッチング素子と、前記スイッチング素子の制御端子に接続されたゲート駆動部と、前記スイッチング素子の制御端子・電流入力端子間に接続されたクランプ素子と、前記スイッチング素子の制御端子・接地電位間に接続された放電抵抗部と、を備え、前記スイッチング素子を駆動することにより、前記誘導負荷に誘導起電圧を発生させる半導体装置であって、前記スイッチング素子をオン状態に駆動するためのオン信号が所定時間以上入力されると、前記ゲート駆動部及び前記放電抵抗部に所定の信号を出力するタイマー回路をさらに備え、前記ゲート駆動部は、前記所定の信号に応答して前記スイッチング素子の制御端子に対する出力信号を前記オン信号からオフ信号へ変化させ、前記放電抵抗部は、前記所定の信号に応答して、その抵抗値を、前記クランプ素子のリーク電流に対し前記スイッチング素子がオフ状態になる抵抗値から前記スイッチング素子をオン状態に保持できるより大きな抵抗値へ変更することを特徴とする。

10

【発明の効果】

【0016】

本発明によれば、タイマー回路の所定の信号に応答して、スイッチング素子を強制的にオフ状態に駆動しても、放電抵抗部の抵抗値が大きくなるので、クランプ素子を流れるリーク電流によってスイッチング素子がオン状態に保たれ、コレクタ電流の急峻な遮断を防止できる。そのため、コレクタ電流を徐々に遮断するための複雑な回路構成を必要とせずに、誘導負荷に発生する誘導起電力の大きさを抑えることができる。

20

【発明を実施するための最良の形態】

【0019】

<実施の形態 1>

図1は、本実施の形態に係る半導体装置の構成を示す回路図である。制御回路6の入力が入力端子10に接続されている。制御回路6の出力がゲート駆動回路9の入力に接続されている。ゲート駆動回路9の出力は、スイッチング素子であるIGBT(Insulated Gate Bipolar Transistor)1のゲート(制御端子)に接続されている。

【0020】

入力端子10から入力信号VINが入力されると、制御回路6は、IGBT1の駆動状態を監視する監視回路(図示せず)からの信号に応答して入力信号VINを制御し、ゲート駆動回路9に制御信号を出力する。ゲート駆動回路9は、制御信号に基づいてIGBT1のゲートを駆動する。

30

【0021】

IGBT1のコレクタ(電流入力端子)は、負荷コイル(誘導負荷)2を構成する一次側コイルの一端及びツェナーダイオード(クランプ素子、第1クランプ素子)3のカソードに接続され、エミッタは接地されている。一次側コイルの他端は電源12に接続されている。ツェナーダイオード3のアノードは、IGBT1のゲートに接続されている。負荷コイル2の二次側コイルの一端は電源12に接続され、他端は点火プラグ13の一端に接続されている。点火プラグ13の他端は接地されている。

40

【0022】

ツェナーダイオード3は、負荷コイル2の破壊防止のために、IGBT1のコレクタ・エミッタ間電圧を所定の電圧(例えば500V程度)以下にクランプするために接続されており、例えば降伏電圧7~8V程度のツェナーダイオードを数十段程度接続して構成されている。

【0023】

IGBT1のゲートには、抵抗4の一端がさらに接続されている。抵抗4の他端は、NMOSトランジスタ11のドレインに接続されている。NMOSトランジスタ11のソースは接地されている。NMOSトランジスタ11のソース・ドレイン間には抵抗5が接続されている。ここで抵抗5の抵抗値は、ツェナーダイオード3のリーク電流でIGBT1

50

をオン状態にできる程度の値に選ばれている。

【0024】

インバータ8の出力がN MOSトランジスタ11のゲートに接続されている。インバータ8の入力にはタイマー回路7の出力が接続されている。タイマー回路7の出力は、ゲート駆動回路9に接続されている。抵抗4, 5、インバータ8及びN MOSトランジスタ11でゲート放電抵抗部101(放電抵抗部)を構成している。タイマー回路7の入力は、入力端子10に接続され、入力信号VINから電源を得ている。

【0025】

タイマー回路7は、通常Lレベルの信号を出力している。そして、入力端子10からオン信号が入力されると、タイマー動作を行う。すなわち、メンテナンス作業中のミス等により、オン信号が入力され続けると、オン信号の入力開始から所定時間経過後にHレベルの信号を出力するように動作する。またタイマー回路7は、オン信号が所定時間以上継続しない場合は、Lレベルの信号を出力し続ける。すなわち、タイマー回路7は、IGBT1を駆動するためのオン信号が所定時間以上入力されると、所定の出力信号(上記の例ではHレベルの信号)を出力するように構成されている。10

【0026】

次に、図2を用いてゲート駆動回路9の構成について説明する。カレントミラー回路14の入力が制御回路6の出力に接続されている。そして、カレントミラー回路14の出力は、IGBT1のゲートに接続されている。N MOSトランジスタ15のドレインがカレントミラー回路14の入力に接続され、ソースは接地されている。N MOSトランジスタ15のゲートはタイマー回路7の出力に接続されている。20

【0027】

次に以上のように構成された半導体装置の動作について説明する。図3は、本実施の形態に係る半導体装置の動作を説明するための波形図である。また、以下の説明では、半導体装置の動作のうち、タイマー回路7がLレベルの信号を出力している期間での動作を「通常動作」、Hレベルの信号を出力している期間での動作を「保護動作」と称している。

【0028】

まず、半導体装置の通常動作時での動作について説明する。初期状態では、IGBT1のコレクタ・エミッタ間電圧VCEは、電源12の電圧VBで与えられる。また、点火プラグ13の電圧V2も電圧VBとなっている。30

【0029】

入力信号VINがLレベル(オフ信号)からHレベル(オン信号)に遷移すると、ゲート駆動回路9はIGBT1のゲートをHレベルに駆動する。そして、IGBT1はオフ状態からオン状態に遷移する。

【0030】

また、タイマー回路7は、Lレベルの信号を出力している。タイマー回路7の出力は、インバータ8で反転してHレベルの信号としてN MOSトランジスタ11のゲートに入力される。N MOSトランジスタ11はオン状態となるので、ゲート放電抵抗部101を流れる電流は、抵抗4からN MOSトランジスタ11を介して接地電位へ流れる。そのため、ゲート放電抵抗部101の抵抗値は、ほぼ抵抗4の抵抗値で与えられることになる。40

【0031】

IGBT1がオン状態に遷移するにしたがって、コレクタ・エミッタ間電圧VCE(以下単に電圧VCEと称する場合がある。)は接地電位に低下し、電源12から負荷コイル2及びIGBT1を介して流れるコレクタ電流ICは徐々に上昇する。その後、コレクタ電流ICが所定の電流値以上になると、電流制限回路(図示せず)が動作し、電流値が制限され、電圧VCEが若干上昇する。

【0032】

次に、オフ信号が入力されるとゲート駆動回路9は、IGBT1のゲートをLレベルに駆動して、IGBT1はオン状態からオフ状態に遷移する。IGBT1がオフ状態に遷移することで、負荷コイル2を流れていたコレクタ電流ICが実線に示すように急激に遮断50

される。これに伴って、負荷コイル2の両端には誘導起電力が発生し、電圧VCEは急上昇する。

【0033】

上述したように、ゲート放電抵抗部101の抵抗値は抵抗4の抵抗値によって与えられている。そのため、ツェナーダイオード3を流れるリーク電流程度ではIGBT1をオン状態に遷移する程のゲート電圧は発生せず、IGBT1がオフ状態に保たれまま電圧VCEは上昇していく。

【0034】

そして、電圧VCEが500V程度より大きくなると、ツェナーダイオード3及び抵抗4を介して逆方向電流が流れる。IGBT1のゲートには逆方向電流と抵抗4の積で与えられる電圧が印加され、IGBT1がオン状態に遷移する。そして、負荷コイル2から放出される電荷はIGBT1のコレクタ電流として放出される。負荷コイル2から電荷が放出され、クランプ電圧程度に電圧VCEが下降すると、再びIGBT1はオフ状態に遷移することになる。このようにして、電圧VCEは、ツェナーダイオード3によって500V程度のクランプ電圧でクランプされる。

10

【0035】

次に一次コイル側で発生した誘導起電力は、二次コイル側に-30kV程度に昇圧されて伝わり、点火プラグ13にアーク放電を発生させる。すると、負荷コイル2の一次コイル側及び二次コイル側の電圧は低下し、電圧VCEおよび点火プラグ13の電圧V2は電圧VBになる。

20

【0036】

次に、本実施の形態に係る半導体装置の保護動作時での動作について説明する。入力信号VINがオン信号となってから所定時間経過後、タイマーアンペア7はHレベルの信号を出力する。タイマーアンペア7から出力された信号は、インバータ8で反転されて、Lレベルの信号としてNMOSトランジスタ11のゲートに入力される。Lレベルの信号が入力されると、NMOSトランジスタ11はオン状態からオフ状態となる。そのためIGBT1のゲート放電抵抗部101の抵抗値は、抵抗4及び抵抗5の合成抵抗によって与えられる。

【0037】

また、タイマーアンペア7から出力されるHレベルの信号は、ゲート駆動回路9のNMOSトランジスタ15(図2参照)のゲートに入力される。NMOSトランジスタ15はオン状態となり、カレントミラー回路14の入力は接地される。そのため、カレントミラー回路14の出力(ゲート駆動回路9の出力)はLレベルとなり、IGBT1はオフ状態に遷移する。IGBT1がオフ状態に遷移することで、オン状態が所定時間以上継続することによるIGBT1や負荷コイル2の劣化を防止することができる。

30

【0038】

IGBT1がオフ状態に遷移するとともに、コレクタ電流ICが徐々に遮断され、電圧VCEが上昇する。前述したように保護動作時に、ゲート放電抵抗部101は抵抗4及び抵抗5の合成抵抗で与えられている。そして抵抗5の抵抗値を設定することにより、ツェナーダイオード3を流れるリーク電流程度でIGBT1がオンするように、合成抵抗の抵抗値が設定されている。電圧VCEが30V程度に上昇すると、ツェナーダイオード3を流れるリーク電流で、IGBT1をオン状態に保持するのに十分なゲート電圧がIGBT1のゲートに印加される。そのため、ゲート駆動回路9からLレベルの信号が出力されても、IGBT1は完全にオフ状態に遷移することなく、コレクタ電流ICは、破線で示すように徐々に減少する。コレクタ電流ICが0になると、IGBT1は完全にオフ状態となり、また電圧VCEは電圧VBとなる。

40

【0039】

以上説明したように、抵抗5の抵抗値を適当に選ぶことで保護動作時に印加されるゲート電圧値を制御すると、電圧VCEは30V程度の上昇で抑えられる。そして、図3の破線に示すように、点火プラグ13の電圧V2も-3000V程度の上昇で抑えられアーク放電の発生を防止することができる。

50

【 0 0 4 0 】

ここで、保護動作時の電圧 V_{CE} の電圧値（ここでは、例として 30V と記載している。）は、電源 12 の電圧 V_B （ここでは、一般的な自動車向けバッテリーの公称電圧 12V を想定している。）よりも大きな値であり、かつ点火プラグ 13 にアーク放電が発生しない値とする。すなわち、保護動作時における電圧 V_{CE} の電圧値は、使用されるシステムの電圧 V_B の大きさ等にあわせて設定すればよい。

【 0 0 4 1 】

図 4 は、従来の半導体装置の一例を示す回路図である。図 4 に示すように、従来の半導体装置は、ゲート放電抵抗部 101 に代えて抵抗 16 が接続された構成となっている。

【 0 0 4 2 】

図 5 は、従来の半導体装置に用いられるゲート駆動回路 9 の構成を示す回路図である。インバータ 22 の入力が、タイマー回路 7（図 4 参照）の出力に接続されている。インバータ 22 の出力は、N MOS ランジスタ 20 のゲートに接続されている。N MOS ランジスタ 20 のソースは接地され、ドレインは電流源 18 の一端及びコンデンサ 21 の一端に接続されている。

【 0 0 4 3 】

電流源 18 の他端は図示しない電源に接続され、コンデンサ 21 の他端は接地されている。コンデンサ 21 の一端は引き算回路 23 のマイナス端子に接続されている。引き算回路 23 のプラス端子は、制御回路 6（図 4 参照）の出力に接続されている。引き算回路 23 の出力はカレントミラー回路 14 の入力に接続されている。カレントミラー回路 14 の出力は IGBT 1 のゲートに接続されている。ここで、引き算回路 23 は、プラス端子とマイナス端子間の電位差に応答した電流を出力する回路である。

【 0 0 4 4 】

次に従来の半導体装置の動作について説明する。通常動作時は、タイマー回路 7 から入力された L レベルの信号が、インバータ 22 で反転して N MOS ランジスタ 20 のゲートに入力される。そのため、電流源 18 から流れる電流は、N MOS ランジスタ 20 を介して接地電位に流れる。制御回路 6 から出力されるオン信号は、引き算回路 23 で介してそのままカレントミラー回路 14 に出力される。カレントミラー回路 14 は、引き算回路 23 から出力された出力電流を増幅して出力する。IGBT 1 のオン状態では、カレントミラー回路 14 から出力される電流が抵抗 16 を流れることにより、IGBT 1 をオン状態にするのに十分な電圧を IGBT 1 のゲートに印加している。

【 0 0 4 5 】

入力端子 10 から入力されるオン信号が所定時間以上経過すると、タイマー回路 7 は H レベルの信号を出力する。そして、半導体装置は保護動作を行う。タイマー回路 7 から入力された信号はインバータ 22（図 5 参照）で反転して N MOS ランジスタ 20 のゲートに入力され、N MOS ランジスタ 20 は、オフ状態に遷移する。N MOS ランジスタ 20 がオフ状態に遷移すると、電流源 18 からの電流はコンデンサ 21 を徐々に充電する。

【 0 0 4 6 】

コンデンサ 21 の一端は引き算回路 23 のマイナス端子に接続されている。引き算回路 23 は、制御回路 6 から出力される制御信号と、コンデンサ 21 の一端の電位との電位差に対応した電流を出力する。そのため引き算回路 23 から出力される出力電流は徐々に低下していく。引き算回路 23 からの出力電流が低下すると伴に、IGBT 1 のゲートに印加される電圧も低下し、IGBT 1 を流れるコレクタ電流 IC が徐々に遮断されていく。

【 0 0 4 7 】

コンデンサ 21 の充電が完了すると引き算回路 23 の出力電流は 0 となる。そのため、カレントミラー回路 14 から出力される出力電流も 0 となり、IGBT 1 は完全にオフ状態となって、コレクタ電流 IC は遮断される。コレクタ電流 IC が徐々に遮断されるため、負荷コイル 2 には、大きな誘導起電圧が発生せず、点火プラグ 13 でアーク放電が発生するのを防止することができる。

【0048】

以上説明したように、従来の半導体装置では、引き算回路23とコンデンサ21を用いて、コンデンサ21の充電速度によりゲート駆動回路9の出力電流の遮断速度を制御している。そして、コレクタ電流ICの遮断速度を大きな誘導起電圧が発生しない速度に制御する構成となっている。

【0049】

そのため、ゲート駆動回路9は、電流源18、コンデンサ21、及び引き算回路23等から構成される複雑な構成となっている。そしてコレクタ電流ICの遮断速度を十分に低下させるためにはコンデンサ21の容量を大きくする必要があり、半導体装置の回路面積を縮小することが困難になる。

10

【0050】

また、コレクタ電流ICを遮断する速度は、コンデンサ21の容量の大きさによって制御されるため、負荷コイル2の巻き数に応じてコンデンサ21の容量を設定する必要がある。

【0051】

さらにまた、引き算回路23を駆動するための電源を入力信号VINから供給する必要がある場合、グランド浮き等により引き算回路23に供給される電源が小さくなり引き算回路23が動作しなくなるという可能性もある。

【0052】

本実施の形態では、ゲート駆動回路9から出力される出力電流の遮断速度を制御する必要はなく、タイマー回路7からHレベルの信号が入力されると、出力電流を単純に遮断する構成となっている。コンデンサを用いる必要がないので、回路面積を縮小することができる。

20

【0053】

また、抵抗5の抵抗値を調節して、IGBT1のゲートに印加される電圧を制御することで、電圧VCEをクランプするクランプ電圧の大きさを制御することができる。言い換えれば、用いる負荷コイル2の大きさによらず、所望のクランプ電圧で電圧VCEをクランプすることができる。

【0054】

なお、本実施の形態では、ゲート放電抵抗部101をNMOSトランジスタ11を用いて構成したが、図6に示すようにPMOSトランジスタ24を用いて構成することもできる。

30

【0055】

図6は、ゲート放電抵抗部101をPMOSトランジスタ24を用いて構成した構成例を示している。バッファ45の入力がタイマー回路7の出力に接続され、バッファ45の出力がPMOSトランジスタ24のゲートに接続されている。PMOSトランジスタ24のソース・ドレイン間には抵抗4が介挿され、PMOSトランジスタ24のソースはIGBT1のゲートに接続され、ドレインは接地されている。本実施の形態では、抵抗4は大きな抵抗値の抵抗が用いられ、抵抗5の大きさは小さな値の抵抗が用いられるように構成されている。その他の構成は、図1に示した半導体装置と同一のため説明は省略する。また動作についても、図1の構成と同様のため省略する。

40

【0056】

以上の構成では、スイッチング素子としてIGBTを用いた例を示したが、本発明は、パワーMOSFET等を用いた半導体装置にも適用することができる。また、負荷コイル2以外の構成要素を同一半導体基板上に形成することにより、回路面積を縮小することができる。

【0057】

<実施の形態2>

図7は、本実施の形態に係る半導体装置の構成を示す回路図である。ツエナーダイオード28(第2クランプ素子)のカソードがIGBT1のコレクタに接続され、アノードが

50

P M O Sトランジスタ27のソース及び抵抗29の一端に接続されている。P M O Sトランジスタ27のドレインはI G B T 1のゲートに接続されている。ツエナーダイオード28の降伏電圧は、ツエナーダイオード3と同じ値に選ばれている。

【0058】

抵抗29の他端は、P M O Sトランジスタ27のゲート及びN M O Sトランジスタ26のドレインに接続されている。N M O Sトランジスタ26のソースは接地されている。N M O Sトランジスタ26のゲートにはバッファ25の出力が接続されている。バッファ25の入力はタイマー回路7の出力に接続されている。

【0059】

その他の構成は実施の形態1と同様であり、同一の構成には同一の符号を付し、重複する説明は省略する。 10

【0060】

次に本実施の形態に係る半導体装置の動作について説明する。通常動作時では、タイマー回路7からLレベルの信号がバッファ回路25を介してN M O Sトランジスタ26のゲートに出力されている。そのため、N M O Sトランジスタ26はオフ状態となっている。P M O Sトランジスタ27はオンすることなく、ツエナーダイオード28がI G B T 1のゲート・コレクタ間に接続されることはない。そのため、I G B T 1のゲート・コレクタ間電圧はツエナーダイオード3によってクランプされる。ツエナーダイオード3のクランプ電圧程度まで電圧V C Eは上昇し、点火プラグ13で放電が行われる。 20

【0061】

保護動作時では、タイマー回路7からHレベルの信号が入力され、N M O Sトランジスタ26がオン状態になる。P M O Sトランジスタ27のゲートは、N M O Sトランジスタ26を介して接地され、P M O Sトランジスタ27がオン状態となる。そのため、ツエナーダイオード28及びツエナーダイオード3がI G B T 1のゲート・コレクタ間に並列に接続されることになる。 30

【0062】

保護動作時には、ツエナーダイオード28、3を流れるリーク電流が抵抗4，5を流れI G B T 1がオン状態に保持される。その結果、既に実施の形態1の半導体装置と同様に、コレクタ・エミッタ間電圧V C Eが所望のクランプ電圧でクランプされ、点火プラグ13でのアーク放電の発生を防止することができる。 30

【0063】

本実施の形態に係る半導体装置は実施の形態1と同様の効果に加えて以下の効果を有している。

【0064】

実施の形態1の構成では、ツエナーダイオード3を流れるリーク電流のみによってI G B T 1をオンするのに必要なゲート電圧を確保している。そのため、抵抗5の抵抗値を非常に大きな値にする必要があった。

【0065】

本実施の形態では、ツエナーダイオード28を流れるリーク電流がツエナーダイオード3を流れるリーク電流に加わるので、抵抗5の抵抗値を実施の形態1に比べて小さくすることができる。従って、回路面積を実施の形態1に比べて縮小することができる。 40

【0066】

以上の構成では、スイッチング素子としてI G B Tを用いた例を示したが、本発明は、パワーM O S F E T等を用いた半導体装置にも適用することができる。また、負荷コイル2以外を同一半導体基板上に形成することにより、回路面積を縮小することができる。

【0067】

<実施の形態3>

図8は、本実施の形態に係る半導体装置の構成を示す回路図である。本実施の形態では、ゲート放電抵抗部101に代えて抵抗(放電抵抗部)16がI G B T 1のゲートに接続されている。また、ツエナーダイオード28は、電圧V C Eの所望のクランプ電圧(例え 50

ば 30V 程度) に等しい降伏電圧を実現するように構成されている。

【0068】

その他の構成は実施の形態 2 と同様であり、同一の構成には同一の符号を付し、重複する説明は省略する。

【0069】

次に本実施の形態に係る半導体装置の動作について説明する。通常動作時では、タイマー回路 7 から L レベルの信号が出力され、バッファ 25 を介して NMOS トランジスタ 26 のゲートに入力されている。NMOS トランジスタ 26 は、オフ状態となり、PMOS トランジスタ 27 のゲートは NMOS トランジスタ 26 を介して接地されずオフ状態となる。

10

【0070】

そのため、コレクタ・エミッタ間電圧 VCE は、ツェナーダイオード 3 によってクランプされる。すなわち、電圧 VCE は 500V 程度まで上昇することができ、点火プラグ 13 はアーク放電を行う。

【0071】

次に保護動作時では、タイマー回路 7 から H レベルの信号が出力される。タイマー回路 7 からの出力信号により、IGBT 1 はオフ状態に駆動され、オン状態が継続することによる IGBT 1 及び負荷コイル 2 の劣化が防止される。

【0072】

またタイマー回路 7 の出力はバッファ 25 を介して NMOS トランジスタ 26 のゲートに 入力され、NMOS トランジスタ 26 はオン状態に遷移する。PMOS トランジスタ 27 のゲートは NMOS トランジスタ 26 を介して接地され、オン状態になる。PMOS トランジスタ 27 がオン状態となる結果、ツェナーダイオード 28 が、PMOS トランジスタ 27 を介して IGBT 1 のゲート・コレクタ間に接続されることになる。

20

【0073】

ツェナーダイオード 28 の降伏電圧は、ツェナーダイオード 3 の降伏電圧より小さく設定されている。そのため、IGBT 1 がオフ状態になると、コレクタ・エミッタ間電圧 VCE は略ツェナーダイオード 28 によって決まるクランプ電圧によってクランプされる。

【0074】

実施の形態 1 及び 2 では、ツェナーダイオードのリーク電流を利用しているため、広範囲な温度条件において所望のクランプ電圧を設定するのは困難である。

30

【0075】

本実施の形態では、ツェナーダイオード 28 の降伏電圧を適当に選ぶことによって、保護動作時に広範囲な温度条件において所望のクランプ電圧を容易に実現することができる。

【0076】

なお、本実施の形態では、ツェナーダイオード 28 に PMOS トランジスタ 27 を接続する構成としたが、図 9 に示すように、NMOS トランジスタ 30 を用いて構成することもできる。

【0077】

図 9 に示す回路構成では、ツェナーダイオード 28 のアノードに NMOS トランジスタ 30 のドレインが接続されている。NMOS トランジスタ 30 のソースは接地されている。NMOS トランジスタ 30 のゲートには抵抗 31 の一端及びバッファ 32 の出力が接続されている。抵抗 31 の他端は IGBT 1 のゲートに接続されている。バッファ 32 の入力にはタイマー回路 7 の出力が接続されている。その他の構成は図 8 に示した構成と同一であるので詳細な説明は省略する。

40

【0078】

次に動作について説明する。通常動作時には、タイマー回路 7 から L レベルの信号が出力され、バッファ 32 を介して NMOS トランジスタ 30 のゲートに入力される。NMOS トランジスタ 30 はオフ状態となり、通常動作時にはツェナーダイオード 3 によって I

50

G B T 1 の ゲート - コレクタ間電圧 はクランプされる。

【 0 0 7 9 】

次に所定時間以上、オン信号が I G B T 1 のゲートに入力されると、タイマー回路 7 は H レベルの信号を出力する。N M O S トランジスタ 3 0 はオン状態に遷移して I G B T 1 のゲート・コレクタ間にツェナーダイオード 2 8 が接続されることになる。

【 0 0 8 0 】

ツェナーダイオード 2 8 の降伏電圧はツェナーダイオード 3 よりも低く設定されているので、保護動作時にはツェナーダイオード 2 8 によって I G B T 1 の ゲート - コレクタ間電圧 はクランプされる。ツェナーダイオード 2 8 の降伏電圧を適当に選ぶことで、保護動作時のクランプ電圧を所望の値に精度よく設定することができる。

10

【 0 0 8 1 】

以上の構成では、スイッチング素子として I G B T を用いた例を示したが、本発明は、パワーM O S F E T 等を用いた半導体装置にも適用することができる。また、負荷コイル 2 以外を同一半導体基板上に形成することにより、回路面積を縮小することができる。

【 0 0 8 2 】

< 実施の形態 4 >

図 1 0 は、本実施の形態に係る半導体装置の構成を示す回路図である。ツェナーダイオード 3 のカソードに P N P トランジスタ（第 1 トランジスタ）3 7 のエミッタが接続されている。P N P トランジスタ 3 7 のコレクタ（電流入力端子）は、N P N トランジスタ（第 2 トランジスタ）3 8 のベース及びツェナーダイオード 3 6 のカソードに接続されている。P N P トランジスタ 3 7 のベースはN P N トランジスタ 3 8 のコレクタに接続され、N P N トランジスタ 3 8 のエミッタ（電流出力端子）は抵抗 3 9 の一端に接続されている。抵抗 3 9 の他端は接地されている。

20

【 0 0 8 3 】

ここで、P N P トランジスタ 3 7 とN P N トランジスタ 3 8 はサイリスタを構成しており、抵抗 3 9 はサイリスタのラッチアップを防止するために設けられている。また、P N P トランジスタ 3 7 は、特開 2 0 0 0 - 1 8 3 3 4 1 において公開されているように、I G B T 1 の寄生 P N P トランジスタを用いて構成することができる。

【 0 0 8 4 】

ツェナーダイオード 3 6 のアノードにはツェナーダイオード 3 5 のカソードが接続され、ツェナーダイオード 3 5 のアノードは、ツェナーダイオード 3 4 のカソードに接続されている。ツェナーダイオード 3 4 のアノードは、抵抗 2 9 の一端、P M O S トランジスタ（第 3 トランジスタ、トランジスタ）2 7 のドレイン（電流出力端子）、及びツェナーダイオード 3 3 （第 3 クランプ素子）のカソードに接続されている。ツェナーダイオード 3 3 のアノードは接地されている。

30

【 0 0 8 5 】

その他の構成は実施の形態 3 と同様であり、同一の構成には同一の符号を付し、重複する説明は省略する。

【 0 0 8 6 】

次に本実施の形態に係る半導体装置の動作について説明する。まず通常動作時の動作について説明する。入力端子 1 0 からオン信号が入力されると、I G B T 1 はオフ状態からオン状態に遷移する。この時、タイマー回路 7 から L レベルの信号が出力され、N M O S トランジスタ 2 6 はオフ状態になる。

40

【 0 0 8 7 】

I G B T 1 がオン状態に遷移することにより、電源 1 2 から I G B T 1 を介してコレクタ電流 I C が徐々に流れ始める。この時、コレクタ電流 I C の一部はN P N トランジスタ 3 7 のエミッタ電流となり、N P N トランジスタ 3 7 及びP N P トランジスタ 3 8 から構成されるサイリスタがオン状態に遷移する。そしてN P N トランジスタ 3 7 、P N P トランジスタ 3 8 及び抵抗 3 9 を介して接地電位へ電流が流れる。

【 0 0 8 8 】

50

次に IGBT 1 がオフ状態に遷移すると、コレクタ電流 IC が急激に遮断され、コレクタ・エミッタ間電圧 VCE が上昇する。この時コレクタ電流 IC が遮断されるので、PNPトランジスタ 37 には電流が流れず、サイリスタはオフ状態になる。そのため、IGBT 1 のオフ状態では、ツェナーダイオード 33 ~ 36 部分は装置から切り離される。従って、電圧 VCE は、ツェナーダイオード 3 によってクランプされることになる。電圧 VCE がツェナーダイオード 3 のクランプ電圧程度まで上昇すると、点火プラグ 13 でアーク放電が行われる。

【 0089 】

次に、本実施の形態に係る保護動作時の動作について説明する。所定時間以上オン信号が入力された場合、タイマー回路 7 は H レベルの信号を出力する。タイマー回路 7 の出力は、ゲート駆動回路 9 及びバッファ 25 を介して NMOSトランジスタ 26 のゲートに 10 入力される。

【 0090 】

タイマー回路 7 から H レベルの信号が入力されることにより、NMOSトランジスタ 26 はオン状態に遷移する。PMOSトランジスタ 27 のゲートが NMOSトランジスタ 26 を介して接地され、PMOSトランジスタ 27 がオン状態に遷移する。その結果、ツェナーダイオード 34 ~ 36 が IGBT 1 のゲート・コレクタ間に PNPトランジスタ 37 を介して接続される。

【 0091 】

また、ゲート駆動回路 9 にタイマー回路 7 から H レベルの信号が入力されることにより、ゲート駆動回路 9 は IGBT 1 をオフ状態に駆動する。そのため、コレクタ電流 IC は急激に遮断され、コレクタ・エミッタ間電圧 VCE が上昇する。 20

【 0092 】

ここで、IGBT 1 のゲート・コレクタ間に PNPトランジスタ 37 を介してツェナーダイオード 34 ~ 36 が接続されている。そして、PNPトランジスタ 37 がオン状態にあることにより、PNPトランジスタ 37 のコレクタ電圧 (NPNトランジスタ 38 のベース電圧) は、ほぼ IGBT 1 のコレクタ - エミッタ間電圧 VCE に等しくなっている。そのため、IGBT 1 のコレクタ・エミッタ間電圧 VCE はツェナーダイオード 34 ~ 36 による降伏電圧でクランプされる。ここで使用されるツェナーダイオードの段数は、所望の電圧値にあわせて変えてかまわない。 30

【 0093 】

なお、ツェナーダイオード 34 ~ 36 を流れる電流は、NPNトランジスタ 37 及び PNPトランジスタ 38 によって構成されるサイリスタによって制限されるため、大電流が流れることによってツェナーダイオード 34 ~ 36 が破壊されることはない。

【 0094 】

本実施の形態に係る半導体装置では、PNPトランジスタ 37 として、IGBT 1 の寄生 PNPトランジスタを利用することで回路面積を縮小することができる。

【 0095 】

また、実施の形態 2 の半導体装置では、IGBT 1 のオフ動作時にコレクタ・エミッタ間電圧 VCE が上昇することで、PMOSトランジスタ 27 のソース・ドレイン間に高電圧が印加される。そのため、PMOSトランジスタ 27 として高耐圧のものを用いる必要があり、回路面積が大きくなる。 40

【 0096 】

本実施の形態では、ツェナーダイオード 33 によって、PMOSトランジスタ 27 に印加される電圧がツェナーダイオード 33 の降伏電圧以下に抑えられるので PMOSトランジスタ 27 として低耐圧の PMOSトランジスタを用いることができる。その結果、回路面積を縮小することができる。

【 0097 】

以上の構成では、スイッチング素子として IGBT を用いた例を示したが、本発明は、パワー MOSFET 等を用いた半導体装置にも適用することができる。また、負荷コイル 50

2以外を同一半導体基板上に形成することにより、回路面積を縮小することができる。

【0098】

<実施の形態5>

図11は、本実施の形態に係る半導体装置の構成を示す回路図である。過電圧検出回路40の入力がツェナーダイオード33のカソードに接続されている。過電圧検出回路40の出力がゲート駆動回路9に出力されている。

【0099】

その他の構成は実施の形態4と同様であり、同一の構成には同一の符号を付し、重複する説明は省略する。

【0100】

10

図12は、過電圧検出回路40の構成を示す回路図である。コンパレータ42のプラス端子に抵抗44の一端及び、ツェナーダイオード33のカソードが接続されている。抵抗44の他端は接地されている。

【0101】

また、コンパレータ42のマイナス端子には参照電源43が接続されている。参照電源43の電圧は、ツェナーダイオード33の降伏電圧より小さい値に設定されている。コンパレータ42の出力はラッチ回路41の入力に接続され、ラッチ回路41の出力はゲート駆動回路9に出力されている。

【0102】

20

次に、図13を参照して本実施の形態に係る半導体装置の動作について説明する。IGBT1がオン動作中、IGBT1のコレクタ・エミッタ間電圧VCEがツェナーダイオード33から36によって与えられる降伏電圧（例えば約30V）以下の場合は、コンパレータ42のプラス端子に入力される電圧は、約0ボルトとなり、参照電位に比べて低い電圧となっている。その結果、コンパレータ42はLレベルの信号を出力する。ラッチ回路41もまたLレベルの信号を出力し続ける。

【0103】

30

そして、何らかの異常が発生し、IGBT1がオン動作中にコレクタ・エミッタ間電圧VCEが、ツェナーダイオード33から36によって与えられる降伏電圧（例えば約30V）以上に上昇すると、IGBT1のコレクタからPNPトランジスタ37及びツェナーダイオード34～36を介してツェナーダイオード33及び抵抗44へ電流が流れる。その結果、比較器42のプラス端子にツェナーダイオード33の降伏電圧に相当する電圧が入力される。

【0104】

コンパレータ42のプラス端子への入力電圧が参照電圧よりも大きくなり、コンパレータ42はHレベルの信号を出力する。ラッチ回路41は、コンパレータ42の出力を受け、Hレベルの信号を出力する。その後、IGBT1のコレクタ・エミッタ間電圧VCEが低くとってもラッチ回路41はHレベルの信号を出力し続ける。

【0105】

ゲート駆動回路9は、過電圧検出回路40の出力（コンパレータ42の出力）を受け、IGBT1をオフ状態に駆動する。その他の動作は実施の形態3と同様のため、詳細な説明は省略する。

40

【0106】

IGBT1がオン状態のときに、IGBT1のコレクタ・エミッタ間電圧VCEが大きくなると、大電流のコレクタ電流ICがIGBT1に流れ込むことになり、IGBT1が熱破壊に至る可能性がある。

【0107】

本実施の形態では、タイマー回路7がHレベルの信号を出力する前に、ツェナーダイオード33の逆導通電圧を過電圧検出回路40により検知した場合、ゲート駆動回路9がオフ信号を出力し、IGBT1がオフ状態に遷移する構成となっている。その結果、IGBT1の燃焼による破壊を防止することができる。

50

【0108】

以上の構成では、スイッチング素子としてIGBTを用いた例を示したが、本発明は、パワーMOSFET等を用いた半導体装置にも適用することができる。また、負荷コイル2以外を同一半導体基板上に形成することにより、回路面積を縮小することができる。

【0109】

なお、本実施の形態では、実施の形態4の構成(図10参照)に対して、過電圧検出回路40を付加した構成にしている。しかし、実施の形態4の構成に限られるものではなく、他の構成に適用することもできる。ツエナーダイオード33のカソードに過電圧検出回路40の一端が接続され、過電圧検出回路40の出力によってIGBT1がオフに駆動されればよく、その他の構成が異なっていても同様の効果を有する。

10

【図面の簡単な説明】**【0110】**

【図1】実施の形態1に係る半導体装置の構成を示す回路図である。

【図2】実施の形態1に係る半導体装置に用いられるゲート駆動回路の構成を示す回路図である。

【図3】実施の形態1に係る半導体装置の動作を説明するため波形図である。

【図4】従来の半導体装置の構成を示す回路図である。

【図5】従来の半導体装置に用いられるゲート駆動回路の構成を示す回路図である。

【図6】実施の形態1に係る半導体装置の別の構成を示す回路図である。

【図7】実施の形態2に係る半導体装置の構成を示す回路図である。

20

【図8】実施の形態3に係る半導体装置の構成を示す回路図である。

【図9】実施の形態3に係る半導体装置の別の構成を示す回路図である。

【図10】実施の形態4に係る半導体装置の構成を示す回路図である。

【図11】実施の形態5に係る半導体装置の構成を示す回路図である。

【図12】実施の形態5に係る半導体装置に用いられる過電圧検出回路の構成を示す回路図である。

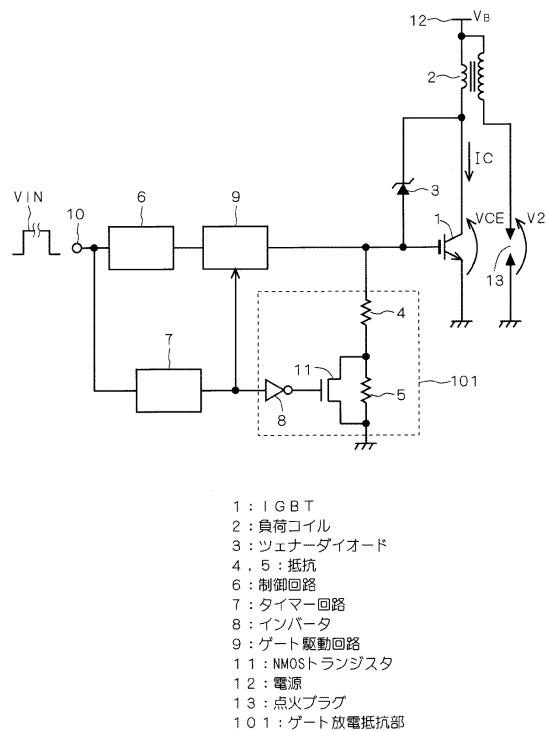
【図13】実施の形態5に係る半導体装置の動作を説明するための波形図である。

【符号の説明】**【0111】**

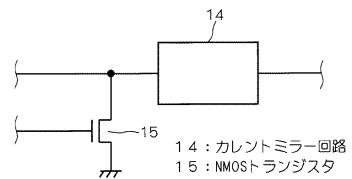
1 IGBT、2 負荷コイル、3, 28, 33, 34, 35, 36 ツエナーダイオード、6 制御回路、7 タイマー回路、9 ゲート駆動回路、13 点火プラグ、40 過電圧検出回路、101 ゲート放電抵抗部。

30

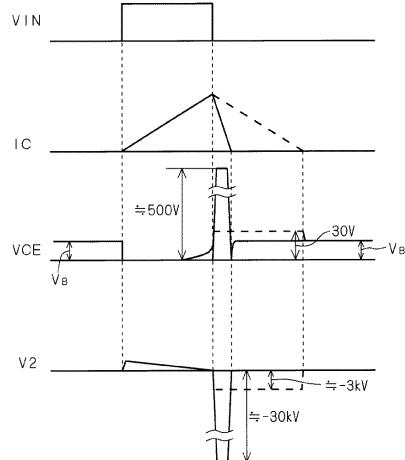
【図1】



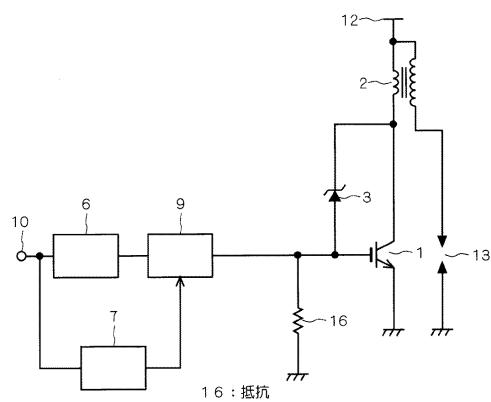
【図2】



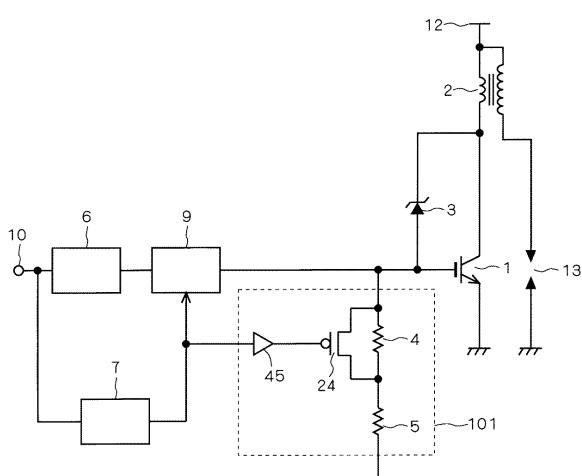
【図3】



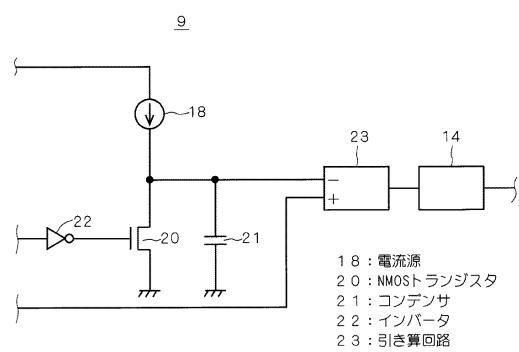
【図4】



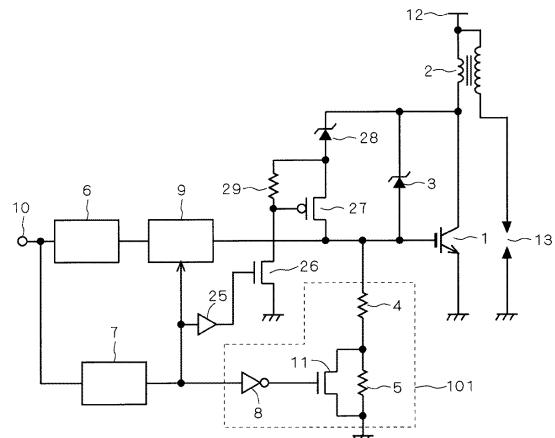
【図6】



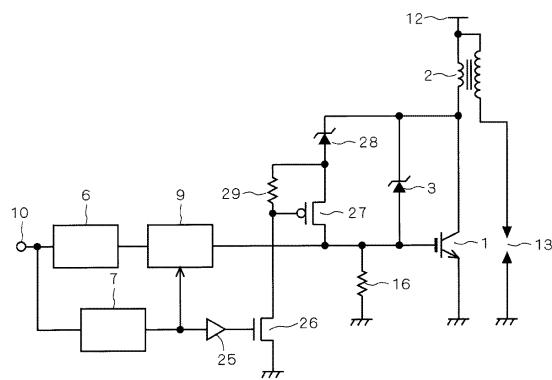
【図5】



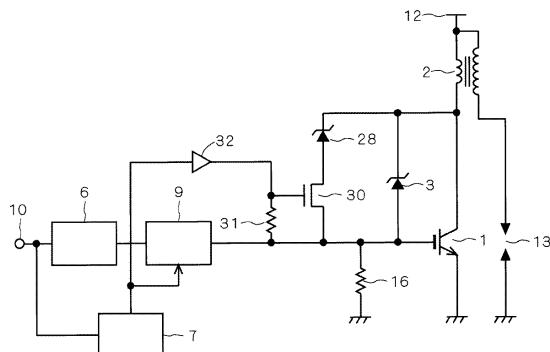
【図7】



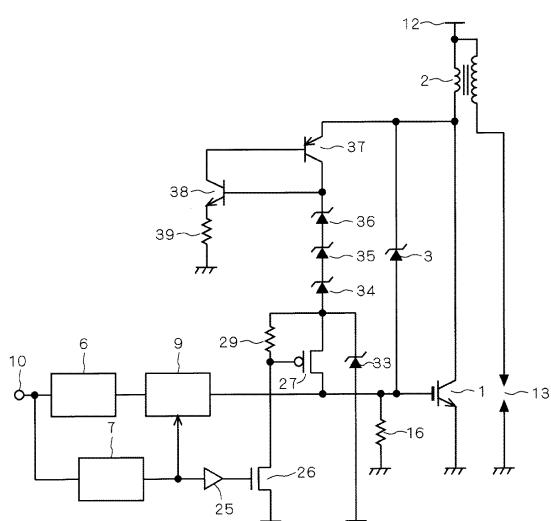
【図8】



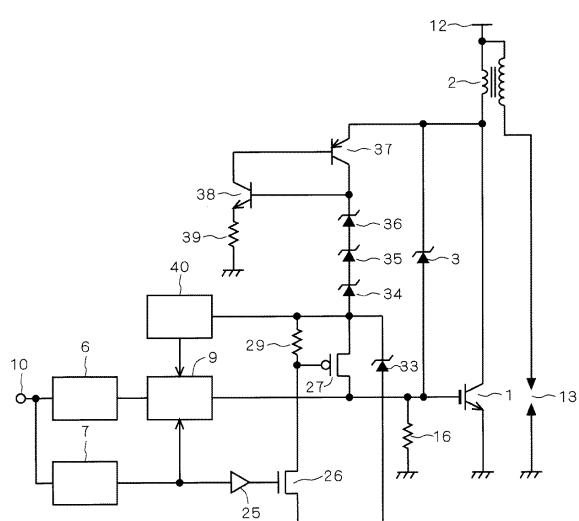
【図9】



【図10】



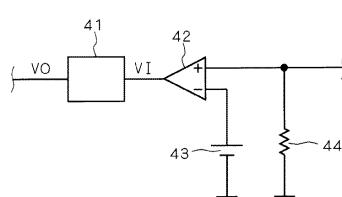
【図11】



37 : PNPトランジスタ
38 : NPNトランジスタ

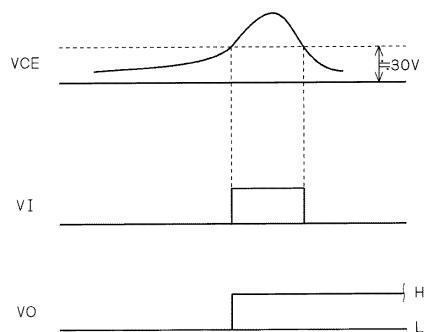
40 : 過電圧検出回路

【図12】



41 : ラッチ回路
42 : コンパレータ
43 : 参照電源

【図 1 3】



フロントページの続き

(56)参考文献 米国特許第05569982(US,A)
特開平08-028415(JP,A)
特開昭47-014540(JP,A)
特開昭50-044341(JP,A)
特開2002-004991(JP,A)
特開2002-235643(JP,A)
国際公開第03/034590(WO,A1)
特開2002-371945(JP,A)
特開平09-280147(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00 - 17/70
F02P 3/04