



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2007년09월11일  
(11) 등록번호 10-0757335  
(24) 등록일자 2007년09월04일

(51) Int. Cl.

H01L 27/115(2006.01)

(21) 출원번호 10-2006-0101158

(22) 출원일자 2006년10월18일

심사청구일자 2006년10월18일

(56) 선행기술조사문헌

KR1019990013319 A

(뒷면에 계속)

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박정현

서울 강북구 번2동 521-12

지정근

서울 서초구 잠원동 신반포한신아파트 317동 902호

(뒷면에 계속)

(74) 대리인

박영우

전체 청구항 수 : 총 20 항

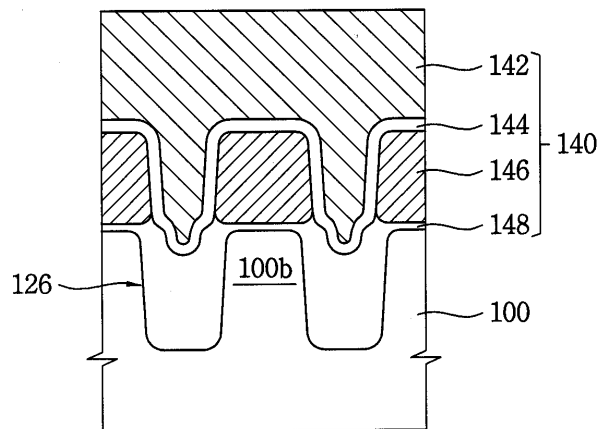
심사관 : 정병홍

(54) 불휘발성 메모리 장치 및 이를 제조하는 방법

(57) 요약

불휘발성 메모리 장치 및 그의 제조 방법에서, 기판의 액티브 영역 상에는 터널 절연막이 형성되며, 상기 액티브 영역은 상기 기판의 표면 부위들에 필드 절연 패턴들에 의해 한정된다. 상기 필드 절연 패턴들의 상부 표면 부위들 각각에는 상부 리세스가 형성된다. 상기 터널 절연막 상에는 플로팅 게이트 전극, 블록킹 막 및 컨트롤 게이트 전극을 포함하는 적층 구조물이 형성되며, 상기 적층 구조물과 인접하는 상기 액티브 영역의 표면 부위들에는 불순물 확산 영역들이 형성된다. 상기 액티브 영역과 상기 컨트롤 게이트 전극 사이에는 충분한 간격이 확보될 수 있으며, 이에 따라 상기 액티브 영역과 컨트롤 게이트 전극 사이에서의 전기적 장애가 감소될 수 있다.

대표도 - 도13



(72) 발명자

**김형기**

경기 수원시 영통구 영통동 1042-11

**형용우**

경기 용인시 수지구 삼성5차아파트 520-1404

**장원준**

서울 동대문구 제기동 벽산아파트 101동 1903호

(56) 선행기술조사문헌

KR1020060007982 A

KR1020060008594 A

KR1019990039228 A

US05751012 A

US06841821 B2

## 특허청구의 범위

### 청구항 1

기판의 액티브 영역 상에 형성된 터널 절연막;

상기 액티브 영역을 한정하기 위하여 상기 기판의 표면 부위들에 형성되며, 각각의 상부 표면 부위들에는 상부 리세스가 형성된 필드 절연 패턴들;

상기 터널 절연막 상에 형성되며, 플로팅 게이트 전극, 블록킹 막 및 컨트롤 게이트 전극을 포함하는 적층 구조물; 및

상기 적층 구조물과 인접하는 상기 액티브 영역의 표면 부위들에 형성된 불순물 확산 영역들을 포함하는 불휘발성 메모리 장치.

### 청구항 2

제1항에 있어서, 상기 상부 리세스는 곡면 형태의 바닥면(curved bottom surface)을 갖는 것을 특징으로 하는 불휘발성 메모리 장치.

### 청구항 3

제1항에 있어서, 상기 블록킹 막은 상기 필드 절연 패턴들의 상부 표면들을 따라 연속적으로 연장하는 것을 특징으로 하는 불휘발성 메모리 장치.

### 청구항 4

제3항에 있어서, 상기 상부 리세스는 상기 컨트롤 게이트 전극에 의해 매립되어 있는 것을 특징으로 하는 불휘발성 메모리 장치.

### 청구항 5

기판의 액티브 영역 상에 터널 절연막을 형성하는 단계;

상기 액티브 영역을 한정하기 위하여 상기 기판의 표면 부위들에 필드 절연 패턴들을 형성하되, 상기 필드 절연 패턴들의 상부 표면 부위들 각각에는 상부 리세스가 형성되도록 하는 단계;

상기 터널 절연막 상에 플로팅 게이트 전극, 블록킹 막 및 컨트롤 게이트 전극을 포함하는 적층 구조물을 형성하는 단계; 및

상기 적층 구조물과 인접하는 상기 액티브 영역의 표면 부위들에 불순물 확산 영역들을 형성하는 단계를 포함하는 불휘발성 메모리 장치의 제조 방법.

### 청구항 6

제5항에 있어서, 상기 상부 리세스는 곡면 형태의 바닥면을 갖는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

### 청구항 7

제5항에 있어서, 상기 기판의 표면 부위들에 매립된 하부 패턴들과 상기 기판으로부터 돌출된 상부 패턴들을 포함하며, 상기 액티브 영역을 노출시키는 개구를 한정하는 예비 필드 절연 패턴들을 형성하는 단계를 더 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

### 청구항 8

제7항에 있어서, 상기 예비 필드 절연 패턴들을 형성하는 단계는,

상기 기판 상에 마스크 패턴들을 형성하는 단계;

상기 마스크 패턴들을 이용하여 상기 기판의 표면 부위들에 트렌치들을 형성하는 단계;

상기 마스크 패턴들 및 상기 기판 상에 상기 트렌치들을 매립하는 필드 절연막을 형성하는 단계;

상기 마스크 패턴들이 노출되도록 상기 필드 절연막을 평탄화시켜 상기 예비 필드 절연 패턴들을 형성하는 단계; 및

상기 마스크 패턴들을 제거하여 상기 개구를 형성하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

#### 청구항 9

제7항에 있어서, 상기 개구가 매립되도록 상기 터널 절연막 및 상기 예비 필드 절연 패턴들 상에 플로팅 게이트 도전막을 형성하는 단계; 및

상기 예비 필드 절연 패턴들이 노출되도록 상기 플로팅 게이트 도전막을 평탄화시켜 상기 개구 내에 플로팅 게이트 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

#### 청구항 10

제9항에 있어서, 상기 필드 절연 패턴들을 형성하는 단계는,

상기 예비 필드 절연 패턴들의 상부 패턴들을 제거하여 상기 플로팅 게이트 패턴의 측면들을 노출시키는 단계;

상기 플로팅 게이트 패턴의 결함 사이트들을 제거하기 위하여 재산화 공정을 수행하는 단계;

상기 재산화 공정에 의해 상기 플로팅 게이트 패턴 상에 형성된 산화막을 일차 제거하기 위하여 이방성 식각 공정을 수행하는 단계; 및

상기 이방성 식각 공정을 수행한 후 잔류하는 산화막 부분들을 제거하기 위하여 등방성 식각 공정을 수행하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

#### 청구항 11

제9항에 있어서, 상기 적층 구조물을 형성하는 단계는,

상기 플로팅 게이트 패턴 및 상기 필드 절연 패턴들 상에 블록킹 막을 형성하는 단계;

상기 블록킹 막 상에 컨트롤 게이트 도전막을 형성하는 단계; 및

상기 컨트롤 게이트 도전막, 블록킹 막, 플로팅 게이트 패턴 및 터널 산화막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

#### 청구항 12

제11항에 있어서, 상기 블록킹 막은 상기 플로팅 게이트 패턴 및 상기 필드 절연 패턴들의 표면들을 따라 연속적으로 연장하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

#### 청구항 13

제12항에 있어서, 상기 컨트롤 게이트 도전막은 상기 필드 절연 패턴들의 상부 리세스들이 매립되도록 형성되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

#### 청구항 14

제5항에 있어서, 상기 터널 절연막의 결함 사이트들을 제거하기 위하여 질소를 포함하는 가스 분위기에서 일차 열처리를 수행하는 단계; 및

상기 일차 열처리 후 상기 터널 절연막의 잔류 결함 사이트들을 제거하기 위하여 염소를 포함하는 가스 분위기에서 이차 열처리를 수행하는 단계를 더 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

#### 청구항 15

제14항에 있어서, 상기 일차 열처리는  $N_2$  및 NO를 포함하는 반응 가스를 이용하여 수행되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

**청구항 16**

제14항에 있어서, 상기 이차 열처리 는 O<sub>2</sub> 및 HCl을 포함하는 반응 가스를 이용하여 수행되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

**청구항 17**

제14항에 있어서, 상기 일차 열처리 및 이차 열처리는 800 내지 1050℃의 온도에서 수행되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

**청구항 18**

제5항에 있어서, 상기 블록킹 막은 하부 유전막, 중간 유전막 및 상부 유전막을 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

**청구항 19**

제18항에 있어서, 상기 하부 및 상부 유전막들은 각각 실리콘 산화물을 포함하며, 상기 중간 유전막은 실리콘 질화물 또는 실리콘 질화물보다 높은 유전율을 갖는 금속 산화물을 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

**청구항 20**

제19항에 있어서, 상기 금속 산화물은 하프늄(Hf), 지르코늄(Zr), 탄탈륨(Ta), 알루미늄(Al), 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb) 및 루테튬(Lu)으로 이루어진 군으로부터 선택된 적어도 하나를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <12> 본 발명은 불휘발성 메모리 장치 및 이를 제조하는 방법에 관한 것이다. 보다 상세하게는, 플로팅 게이트 전극을 포함하는 불휘발성 메모리 장치와 이를 제조하는 방법에 관한 것이다.
- <13> 반도체 메모리 장치는 DRAM(dynamic random access memory) 및 SRAM(static random access memory)과 같이 데이터의 입·출력이 상대적으로 빠른 반면, 시간이 경과됨에 따라 데이터가 소실되는 휘발성(volatile) 메모리 장치와, ROM(read only memory)과 같이 데이터의 입·출력이 상대적으로 느리지만, 데이터를 영구 저장이 가능한 불휘발성(non-volatile) 메모리 장치로 구분될 수 있다. 상기 불휘발성 메모리 장치의 경우, 전기적으로 데이터의 입·출력이 가능한 EEPROM(electrically erasable programmable read only memory) 또는 플래시 EEPROM 메모리에 대한 수요가 늘고 있다.
- <14> 상기 플래시 EEPROM 메모리 장치는 F-N 터널링(Fowler-Nordheim tunneling) 또는 채널 열전자 주입(channel hot electron injection)을 이용하여 전기적으로 데이터의 프로그래밍(programming) 및 소거(erasing)를 수행한다. 상기 플래시 메모리 장치는 플로팅 게이트 타입의 불휘발성 메모리 장치와 SONOS(silicon oxide nitride oxide semiconductor) 또는 MONOS(metal oxide nitride oxide semiconductor) 타입의 불휘발성 메모리 장치로 크게 구분될 수 있다.
- <15> 상기 플로팅 게이트 타입 불휘발성 메모리 장치는 게이트 구조물과 소스/드레인 영역들을 포함할 수 있다. 상기 게이트 구조물은 터널 절연막 패턴, 플로팅 게이트 전극, 블록킹 막 패턴 및 컨트롤 게이트 전극을 포함할 수 있다. 상기 터널 절연막으로는 열산화 공정에 의해 형성된 실리콘 산화막 패턴이 사용될 수 있으며, 상기 블록킹 막으로는 하부 실리콘 산화막, 실리콘 질화막 및 상부 실리콘 산화막을 포함하는 다층 유전막이 사용될 수 있다. 또한, 상기 플로팅 게이트 전극 및 컨트롤 게이트 전극은 각각 불순물 도핑된 폴리실리콘을 포함할 수 있

다.

<16> 상기 터널 절연막은 상기 반도체 기관의 액티브 영역 상에 형성되며, 상기 액티브 영역은 상기 반도체 기관의 표면 부위들에 형성된 필드 절연 패턴들에 의해 한정된다. 상기 블로킹 막은 상기 필드 절연 패턴들의 상부면을 따라 연장하며, 상기 컨트롤 게이트 전극은 블로킹 막 상에서 상기 액티브 영역의 연장 방향에 대하여 실질적으로 수직하는 방향으로 연장한다.

<17> 한편, 상기 불휘발성 메모리 장치의 커플링 비율을 개선하기 위하여 상기 필드 절연 패턴들의 상부면들 높이가 낮아짐에 따라 상기 액티브 영역과 상기 컨트롤 게이트 전극 사이에서 전기적 장애(electrical disturbance)가 발생될 수 있으며, 이에 따라 상기 불휘발성 메모리 장치의 신뢰성이 저하될 수 있다.

**발명이 이루고자 하는 기술적 과제**

<18> 상기와 같은 문제점을 해결하기 위한 본 발명의 제1 목적은 개선된 신뢰성을 갖는 불휘발성 메모리 장치를 제공하는데 있다.

<19> 상기와 같은 문제점을 해결하기 위한 본 발명의 제2 목적은 개선된 신뢰성을 갖는 불휘발성 메모리 장치의 제조 방법을 제공하는데 있다.

**발명의 구성 및 작용**

<20> 상기 제1 목적을 달성하기 위한 본 발명의 일 측면에 따른 불휘발성 메모리 장치는, 기관의 액티브 영역 상에 형성된 터널 절연막과, 상기 액티브 영역을 한정하기 위하여 상기 기관의 표면 부위들에 형성되며, 각각의 상부 표면 부위들에는 상부 리세스가 형성된 필드 절연 패턴들과, 상기 터널 절연막 상에 형성되며, 플로팅 게이트 전극, 블로킹 막 및 컨트롤 게이트 전극을 포함하는 적층 구조물과, 상기 적층 구조물과 인접하는 상기 액티브 영역의 표면 부위들에 형성된 불순물 확산 영역들을 포함할 수 있다.

<21> 본 발명의 일 실시예에 따르면, 상기 상부 리세스는 곡면 형태의 바닥면(curved bottom surface)을 가질 수 있다.

<22> 본 발명의 일 실시예에 따르면, 상기 블로킹 막은 상기 필드 절연 패턴들의 상부 표면들을 따라 연장될 수 있다.

<23> 본 발명의 일 실시예에 따르면, 상기 상부 리세스는 상기 컨트롤 게이트 전극에 의해 매립될 수 있다.

<24> 상기 제2 목적을 달성하기 위한 본 발명의 다른 측면에 따른 불휘발성 메모리 장치의 제조 방법은, 기관의 액티브 영역 상에 터널 절연막을 형성하는 단계와, 상기 액티브 영역을 한정하기 위하여 상기 기관의 표면 부위들에 필드 절연 패턴들을 형성하되, 상기 필드 절연 패턴들의 상부 표면 부위들 각각에는 상부 리세스가 형성되도록 하는 단계와, 상기 터널 절연막 상에 플로팅 게이트 전극, 블로킹 막 및 컨트롤 게이트 전극을 포함하는 적층 구조물을 형성하는 단계와, 상기 적층 구조물과 인접하는 상기 액티브 영역의 표면 부위들에 불순물 확산 영역들을 형성하는 단계를 포함할 수 있다.

<25> 본 발명의 일 실시예에 따르면, 상기 상부 리세스는 곡면 형태의 바닥면을 갖도록 형성될 수 있다.

<26> 본 발명의 일 실시예에 따르면, 상기 불휘발성 메모리 장치의 제조 방법은, 상기 기관의 표면 부위들에 매립된 하부 패턴들과 상기 기관으로부터 돌출된 상부 패턴들을 포함하며, 상기 액티브 영역을 노출시키는 개구를 한정하는 예비 필드 절연 패턴들을 형성하는 단계를 더 포함할 수 있다.

<27> 본 발명의 일 실시예에 따르면, 상기 예비 필드 절연 패턴들을 형성하는 단계는, 상기 기관 상에 마스크 패턴들을 형성하는 단계와, 상기 마스크 패턴들을 이용하여 상기 기관의 표면 부위들에 트렌치들을 형성하는 단계와, 상기 마스크 패턴들 및 상기 기관 상에 상기 트렌치들을 매립하는 필드 절연막을 형성하는 단계와, 상기 마스크 패턴들이 노출되도록 상기 필드 절연막을 평탄화시켜 상기 예비 필드 절연 패턴들을 형성하는 단계와, 상기 마스크 패턴들을 제거하여 상기 개구를 형성하는 단계를 포함할 수 있다.

<28> 본 발명의 일 실시예에 따르면, 상기 불휘발성 메모리 장치의 제조 방법은, 상기 개구가 매립되도록 상기 터널 절연막 및 상기 예비 필드 절연 패턴들 상에 플로팅 게이트 도전막을 형성하는 단계와, 상기 예비 필드 절연 패턴들이 노출되도록 상기 플로팅 게이트 도전막을 평탄화시켜 상기 개구 내에 플로팅 게이트 패턴을 형성하는 단계를 더 포함할 수 있다.

- <29> 본 발명의 일 실시예에 따르면, 상기 필드 절연 패턴들을 형성하는 단계는, 상기 예비 필드 절연 패턴들의 상부 패턴들을 제거하여 상기 플로팅 게이트 패턴의 측면들을 노출시키는 단계와, 상기 플로팅 게이트 패턴의 결합 사이트들을 제거하기 위하여 재산화 공정을 수행하는 단계와, 상기 재산화 공정에 의해 상기 플로팅 게이트 패턴 상에 형성된 산화막을 일차 제거하기 위하여 이방성 식각 공정을 수행하는 단계와, 상기 이방성 식각 공정을 수행한 후 잔류하는 산화막 부분들을 제거하기 위하여 등방성 식각 공정을 수행하는 단계를 포함할 수 있다.
- <30> 본 발명의 일 실시예에 따르면, 상기 적층 구조물을 형성하는 단계는, 상기 플로팅 게이트 패턴 및 상기 필드 절연 패턴들 상에 블록킹 막을 형성하는 단계와, 상기 블록킹 막 상에 컨트롤 게이트 도전막을 형성하는 단계와, 상기 컨트롤 게이트 도전막, 블록킹 막, 플로팅 게이트 패턴 및 터널 산화막을 패터닝하는 단계를 포함할 수 있다.
- <31> 본 발명의 일 실시예에 따르면, 상기 블록킹 막은 상기 플로팅 게이트 패턴 및 상기 필드 절연 패턴들의 표면들을 따라 연속적으로 연장될 수 있으며, 상기 컨트롤 게이트 도전막은 상기 상부 리세스들이 매립되도록 형성될 수 있다.
- <32> 본 발명의 일 실시예에 따르면, 상기 불휘발성 메모리 장치의 제조 방법은, 상기 터널 절연막의 결합 사이트들을 제거하기 위하여 질소를 포함하는 가스 분위기에서 일차 열처리를 수행하는 단계와, 상기 일차 열처리 후 상기 터널 절연막의 잔류 결합 사이트들을 제거하기 위하여 염소를 포함하는 가스 분위기에서 이차 열처리를 수행하는 단계를 더 포함할 수 있다. 상기 일차 열처리는 N<sub>2</sub> 및 NO를 포함하는 반응 가스를 이용하여 수행될 수 있으며, 상기 이차 열처리는 O<sub>2</sub> 및 HCl을 포함하는 반응 가스를 이용하여 수행될 수 있다. 또한, 상기 일차 열처리 및 이차 열처리는 800 내지 1050℃의 온도에서 수행될 수 있다.
- <33> 본 발명의 일 실시예에 따르면, 상기 블록킹 막은 하부 유전막, 중간 유전막 및 상부 유전막을 포함할 수 있다. 상기 하부 및 상부 유전막들은 각각 실리콘 산화물을 포함할 수 있으며, 상기 중간 유전막은 실리콘 질화물 또는 실리콘 질화물보다 높은 유전율을 갖는 금속 산화물을 포함할 수 있다. 상기 금속 산화물은 하프늄(Hf), 지르코늄(Zr), 탄탈륨(Ta), 알루미늄(Al), 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등을 포함할 수 있다.
- <34> 상기와 같은 본 발명의 실시예들에 의하면, 상기 플로팅 게이트 패턴 상에 형성된 산화막은 일차 이방성 식각 공정과 이차 이방성 식각 공정에 의해 제거될 수 있다. 따라서, 상기 액티브 영역과 상기 컨트롤 게이트 전극 사이의 간격이 충분히 확보될 수 있으며, 이에 따라 상기 액티브 영역과 상기 컨트롤 게이트 전극 사이에서의 전기적인 장애가 감소될 수 있다.
- <35> 이하, 본 발명에 따른 실시예들을 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다. 그러나, 본 발명은 하기의 실시예들에 한정되지 않고 다른 형태로 구현될 수도 있다. 여기서 소개되는 실시예들은 개시된 내용이 보다 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상과 특징이 충분히 전달될 수 있도록 하기 위해 제공된다. 도면들에 있어서, 각 장치 또는 막(층) 및 영역들의 두께는 본 발명의 명확성을 기하기 위하여 과장되게 도시되었으며, 또한 각 장치는 본 명세서에서 설명되지 아니한 다양한 부가 장치들을 구비할 수 있으며, 막(층)이 다른 막(층) 또는 기판 상에 위치하는 것으로 언급되는 경우, 다른 막(층) 또는 기판 상에 직접 형성되거나 그들 사이에 추가적인 막(층)이 개재될 수 있다.
- <36> 도 1 내지 도 14는 본 발명의 일 실시예에 따른 불휘발성 메모리 장치의 제조 방법을 설명하기 위한 단면도들이다.
- <37> 도 2 내지 도 13은 불휘발성 메모리 장치의 워드 라인의 연장 방향을 따라 절개된 단면도들이며, 도 14는 불휘발성 메모리 장치의 액티브 영역의 연장 방향을 따라 절개된 단면도들이다.
- <38> 도 1을 참조하면, 실리콘웨이퍼와 같은 반도체 기판(100) 상에 패드 산화막(102)을 형성하고, 상기 패드 산화막(102) 상에 마스크층(104)을 형성한다.
- <39> 상기 패드 산화막(102)은 열산화(thermal oxidation) 공정, 화학 기상 증착(chemical vapor deposition; CVD) 공정 등을 통해 약 70Å 내지 100Å 정도로 형성될 수 있다. 상기 패드 산화막(102)은 반도체 기판(100)의 표면 처리를 위해 약 750℃ 내지 900℃ 정도의 온도에서 형성되는 것이 바람직하다.
- <40> 상기 마스크층(104)은 실리콘 질화물로 이루어질 수 있으며, SiH<sub>2</sub>Cl<sub>2</sub> 가스, SiH<sub>4</sub> 가스, NH<sub>3</sub> 가스 등을 이용하는



저압 화학 기상 증착(Low Pressure Chemical Vapor Deposition; LPCVD) 공정 또는 플라즈마 강화 화학 기상 증착(plasma enhanced chemical vapor deposition; PECVD) 공정을 통해 약 1500Å 정도의 두께로 형성될 수 있다.

- <41> 도 2를 참조하면, 상기 마스크층(104) 상에 포토리소그래피 공정을 통해 상기 마스크층(104)의 표면을 노출시키는 포토레지스트 패턴들(106)을 형성하고, 상기 포토레지스트 패턴들(106)을 식각 마스크로 하는 식각 공정을 통해 상기 마스크층(104) 및 패드 산화막(102)을 순차적으로 식각함으로써 반도체 기판(100) 상에 반도체 기판(100)의 소자 분리 영역(100a)을 노출시키는 제1 개구들(112)을 한정하는 마스크 패턴들(108)과 패드 산화막 패턴들(110)을 형성한다.
- <42> 상기 식각 공정의 예로는 플라즈마를 이용하는 건식 식각 공정(dry etching process), 반응성 이온 식각 공정(reactive ion etching process) 등이 있다. 상기 포토레지스트 패턴들(106)은 상기 마스크 패턴들(108)을 형성한 후 애싱 공정(ashing process) 및 스트립 공정을 통해 제거된다.
- <43> 상기 마스크 패턴들(108)은 각각 경사진 측면들을 가질 수 있다. 예를 들면, 도 2에 도시된 바와 같이, 상기 마스크 패턴들(108)의 상부들(upper portions) 사이의 간격이 상기 마스크 패턴들(108)의 하부들(lower portions) 사이의 간격보다 넓게 형성될 수 있다.
- <44> 도 3을 참조하면, 상기 마스크 패턴들(108)을 식각 마스크로 사용하는 식각 공정을 수행하여 상기 반도체 기판(100)의 소자 분리 영역들(100a)을 식각함으로써 반도체 기판(100)을 가로지르는 제1방향으로 트렌치들(114)을 형성한다. 상기 트렌치들(114)은 상기 반도체 기판(100)의 표면으로부터 약 1000Å 내지 5000Å 정도의 깊이를 갖도록 형성될 수 있다.
- <45> 상기 트렌치들(114)을 형성하기 위한 식각 공정을 수행하는 동안, 고에너지의 이온 충격으로 인해 야기된 실리콘 손상을 치유하고, 누설 전류 발생을 방지하기 위해 상기 트렌치들(114)의 내측 표면들에 대한 열산화 처리를 수행할 수 있다. 상기 열산화 처리에 의해 상기 트렌치들(114)의 내측 표면들 상에는 약 50Å 내지 250Å 정도의 두께를 갖는 트렌치 산화막(미도시)이 형성된다.
- <46> 또한, 후속하여 형성되는 막, 예를 들면 필드 절연막(미도시)으로부터 탄소 또는 수소와 같은 불순물들이 상기 트렌치들(114)에 의해 정의된 액티브 영역들(100b)로 확산되는 것을 방지하기 위해 상기 트렌치 산화막 상에 라이너 절화막(미도시)을 약 50Å 내지 100Å 정도의 두께로 형성할 수 있다.
- <47> 본 발명의 다른 실시예에 따르면, 상기 트렌치들(114)은 상기 포토레지스트 패턴을 식각 마스크로 이용하는 식각 공정을 통해 형성될 수도 있다.
- <48> 도 4를 참조하면, 상기 트렌치들(114)이 형성된 반도체 기판(100) 상에 필드 절연막을 형성하여 상기 트렌치들(114)을 채운다. 상기 필드 절연막으로는 실리콘 산화막이 사용될 수 있으며, 상기 실리콘 산화막의 예로는 USG(undoped silicate glass), TEOS(tetra-ethyl-ortho-silicate) 또는 HDP(high density plasma) 산화막 등이 있다. 바람직하게는, SiH<sub>4</sub>, O<sub>2</sub> 및 Ar 가스를 플라즈마 소스로 이용하여 형성된 HDP 산화막이 사용될 수 있다.
- <49> 이어서, 상기 필드 절연막의 표면 부위를 화학적 기계적 연마(chemical mechanical polishing; CMP) 공정과 같은 평탄화 공정을 통해 상기 마스크 패턴들(108)의 표면이 노출되도록 제거함으로써 상기 트렌치들(114) 내에 소자 분리막으로서 기능하며 반도체 기판(100)의 액티브 영역들(100b)을 정의하는 예비 필드 절연 패턴들(116)을 완성한다. 상세히 도시되지는 않았으나, 상기 평탄화 공정을 수행하는 동안 상기 마스크 패턴들(108)이 부분적으로 제거될 수도 있다.
- <50> 각각의 예비 필드 절연 패턴(116)은 상기 반도체 기판(100)으로부터 돌출된 상부 패턴(116a, upper pattern)과 상기 반도체 기판(100)의 표면 부위에 매립된 하부 패턴(116b, lower pattern)을 포함할 수 있다.
- <51> 도 5를 참조하면, 상기 마스크 패턴들(108) 및 패드 산화막 패턴들(110)을 제거하여 반도체 기판의 액티브 영역들(100b)을 노출시키는 제2개구들(118)을 형성한다. 구체적으로, 상기 마스크 패턴들(108)은 인산을 포함하는 식각액을 이용하여 제거될 수 있으며, 상기 패드 산화막 패턴들(110)은 희석된 불산 용액을 이용하여 제거될 수 있다. 한편, 도 5에 도시된 바와 같이, 상기 마스크 패턴들(108) 및 패드 산화막 패턴들(110)을 제거하는 동안 상기 필드 절연 패턴들(116)의 상부 패턴들(116a)의 표면 부위들이 다소 제거될 수 있다.
- <52> 또한, 상기 예비 필드 절연 패턴들(116)의 상부 패턴들(116a)은 경사진 측면들을 가질 수 있다. 예를 들면, 도 5에 도시된 바와 같이, 상기 제2 개구(118)의 상부 폭보다 하부 폭이 더 넓게 형성될 수 있다.



- <53> 도 6을 참조하면, 상기 노출된 액티브 영역들(100b) 상에 터널 절연막(120)을 형성한다. 상기 터널 절연막(120)은 실리콘 산화물을 포함할 수 있으며, 상기 액티브 영역(100b) 상에 약 30 내지 150Å 정도의 두께로 형성될 수 있다. 예를 들면, 상기 터널 절연막(120)은 O<sub>2</sub> 가스 또는 H<sub>2</sub>O 증기를 이용하는 열 산화 공정을 통해 상기 액티브 영역(100b) 상에 약 75Å 정도의 두께로 형성될 수 있다.
- <54> 본 발명의 다른 실시예에 따르면, 상기 터널 절연막(120)은 O<sub>2</sub> 가스 및 H<sub>2</sub> 가스를 이용하는 라디칼 산화 공정을 통해 약 800 내지 1050℃의 온도, 예를 들면 약 900℃ 정도의 온도에서 형성될 수 있다.
- <55> 또한, 상기 터널 절연막(120)에 대한 일차 및 이차 열처리들이 수행될 수 있다. 상기 일차 열처리는 상기 터널 절연막(120)을 치밀화시키고 상기 액티브 영역(100b)으로의 불순물 침투를 방지하기 위하여 질소를 포함하는 가스 분위기를, 예를 들면, N<sub>2</sub> 가스 및 NO 가스를 포함하는 가스 분위기에서 수행될 수 있다. 또한, 상기 일차 열처리를 수행하는 동안 상기 터널 절연막(120) 내의 결함 사이트들이 제거될 수 있다. 예를 들면, 상기 터널 절연막(120) 내의 실리콘 덩글링 결합들, 불안정한 실리콘-수소 결합들은 상기 일차 열처리에 의해 제거될 수 있다. 상기 이차 열처리는 상기 일차 열처리 후 잔류하는 결함 사이트들을 제거하기 위하여 O<sub>2</sub> 가스 및 HCl 가스를 포함하는 가스 분위기에서 이차 열처리될 수 있다. 상기 일차 및 이차 열처리 공정들은 약 800 내지 1050℃ 정도의 온도, 예를 들면 약 900℃ 정도의 온도에서 수행될 수 있다. 상기 터널 절연막(120)을 형성하기 위한 산화 공정과 상기 일차 및 이차 열처리 공정들은 인시튜 방식으로 수행될 수 있다.
- <56> 도 7을 참조하면, 상기 터널 절연막(120) 및 상기 예비 필드 절연 패턴들(116) 상에 상기 제2 개구들(118)이 충분히 매립되도록 플로팅 게이트 도전막(미도시)을 형성한다. 상기 플로팅 게이트 도전막은 불순물 도핑된 폴리실리콘을 포함할 수 있으며, SiH<sub>4</sub> 가스 및 PH<sub>3</sub> 가스를 이용하여 약 580℃ 내지 620℃의 온도에서 형성될 수 있다.
- <57> 상기 플로팅 게이트 도전막을 형성한 후, 상기 예비 필드 절연 패턴들(116)이 노출되도록 에치 백 또는 화학적 기계적 연마와 같은 평탄화 공정을 수행하여 상기 제2 개구들(118) 내에 플로팅 게이트 패턴들(122)을 형성한다. 상기 평탄화 공정을 수행하는 동안 상기 예비 필드 절연 패턴들(116)의 상부 패턴들(116a)이 부분적으로 제거될 수도 있다.
- <58> 본 발명의 다른 실시예에 따르면, 플로팅 게이트 패턴은 반도체 기판 상에 터널 절연막과 플로팅 게이트 도전막을 형성하고, 상기 플로팅 게이트 도전막을 패터닝함으로써 형성될 수 있다. 본 발명의 다른 실시예에 따른 플로팅 게이트 패턴의 형성 방법을 상세하게 설명하면 다음과 같다.
- <59> 먼저, 반도체 기판 상에 터널 절연막과 플로팅 게이트 도전막을 형성한다. 상기 플로팅 게이트 도전막 상에는 산화물 또는 질화물로 이루어진 마스크 패턴이 형성되며, 상기 마스크 패턴을 식각 마스크로 이용하는 이방성 식각을 수행함으로써 반도체 기판 상에 플로팅 게이트 패턴과 터널 절연막 패턴 및 액티브 영역을 한정하는 트렌치가 형성될 수 있다. 이어서, 상기 트렌치를 매립하는 필드 절연막을 형성하고, 상기 플로팅 게이트 패턴이 노출될 때까지 상기 필드 절연막을 화학적 기계적으로 연마하여 예비 필드 절연 패턴을 형성할 수 있다.
- <60> 도 8을 참조하면, 상기 예비 필드 절연 패턴들(116)의 상부 패턴들(116a)을 제거하여 상기 플로팅 게이트 패턴들(122)의 측면들을 노출시킨다. 상기 예비 필드 절연 패턴들(116)의 상부 패턴들(116a)은 등방성 또는 이방성 식각 공정을 통해 제거될 수 있으며, 상기 식각 공정은 상기 플로팅 게이트 패턴들(122)의 하부 에지 부위들이 노출되도록 수행될 수 있다.
- <61> 본 발명의 다른 실시예에 따르면, 상기 예비 필드 절연 패턴들(116)의 상부 패턴들(116a)은 일차 식각 및 이차 식각을 통해 제거될 수도 있다. 상기 일차 식각은 상기 반도체 기판(100)의 셀 영역 및 주변 영역 모두에 대하여 수행될 수 있으며, 상기 이차 식각은 상기 셀 영역에 대하여 선택적으로 수행될 수 있다.
- <62> 상기 노출된 플로팅 게이트 패턴들(122)은 경사진 측면들을 가질 수 있다. 예를 들면, 도 8에 도시된 바와 같이, 각각의 플로팅 게이트 패턴들(122)은 상부 폭보다 넓은 하부 폭을 가질 수 있다.
- <63> 도 9를 참조하면, 상기 플로팅 게이트 패턴들(122)의 결함 사이트들, 예를 들면, 상기 플로팅 게이트 패턴들(122)의 표면 부위들에 존재하는 실리콘 덩글링 결합들, 불안정한 실리콘-수소 결합들 등을 제거하기 위한 재산화 공정이 수행될 수 있다. 또한, 상기 재산화 공정은 상기 플로팅 게이트 패턴들(122)의 하부 에지 부위들을 라운딩 처리하기 위하여 수행될 수 있다.

- <64> 상기 재산화 공정에 의해 상기 플로팅 게이트 패턴들(122) 상에는 실리콘 산화막(124)이 형성될 수 있다.
- <65> 예를 들면, O<sub>2</sub> 가스 및 H<sub>2</sub> 가스를 이용하는 라디칼 산화 공정이 약 800 내지 1050℃, 예를 들면, 약 900℃ 정도의 온도에서 수행될 수 있다. 이와 다르게, O<sub>2</sub> 가스 또는 H<sub>2</sub>O 증기를 이용하는 열 산화 공정이 수행될 수도 있다.
- <66> 도 10을 참조하면, 상기 플로팅 게이트 패턴들(122) 상에 형성된 실리콘 산화막(124)을 제거하기 위하여 일차 이방성 식각 공정을 수행한다. 상기 이방성 식각에 의해 상기 플로팅 게이트 패턴들(122)의 상부면들 상에 형성된 실리콘 산화막(124) 부위들은 충분히 제거되며, 상기 플로팅 게이트 패턴들(122)의 측면들 상에 형성된 실리콘 산화막(124) 부위들은 부분적으로 제거될 수 있다.
- <67> 도 11을 참조하면, 상기 플로팅 게이트 패턴들(122)의 측면들 상의 잔류 실리콘 산화막(124) 부분들을 충분히 제거하기 위하여 이차 등방성 식각 공정을 수행한다. 예를 들면, 도 11에 도시된 바와 같이, 상기 이차 등방성 식각 공정에 의해 상기 플로팅 게이트 패턴들(122)의 측면들 상의 실리콘 산화막(124) 부분들은 충분히 제거될 수 있다. 한편, 상기 일차 이방성 식각 공정과 상기 이차 등방성 식각 공정에 의해 상기 액티브 영역들(100b)을 서로 전기적으로 절연시키는 필드 절연 패턴들(126)이 완성될 수 있으며, 상기 필드 절연 패턴들(126)의 상부면 부위들에는 상부 리세스들(128)이 형성될 수 있다. 상기 상부 리세스들(128)은 상기 일차 이방성 식각 공정과 이차 등방성 식각 공정에 의해 형성될 수 있으며, 각각의 상부 리세스들은 곡면 형태의 바닥면(curved bottom surface)을 가질 수 있다.
- <68> 상기 플로팅 게이트 패턴들(122) 상의 실리콘 산화막(124)을 등방성 식각 공정에 의해서 제거할 경우, 상기 액티브 영역(100b)과 후속하여 형성될 컨트롤 게이트 전극 사이의 간격이 좁아질 수 있으며, 이에 따라 상기 액티브 영역(100b)과 상기 컨트롤 게이트 전극 사이에서 전기적인 장애가 발생할 수 있다. 그러나, 본 발명의 일 실시예에 따르면, 상기 플로팅 게이트 패턴들(122) 상의 실리콘 산화막(124)은 일차 이방성 식각과 이차 등방성 식각에 의해 제거될 수 있으며, 이에 따라 상기 액티브 영역(100b)과 컨트롤 게이트 전극 사이의 간격이 충분히 확보될 수 있다. 따라서, 상기 액티브 영역(100b)과 컨트롤 게이트 전극 사이에서의 전기적인 장애를 감소시킬 수 있다.
- <69> 도 12를 참조하면, 상기 플로팅 게이트 패턴들(122) 및 상기 필드 절연 패턴들(126) 상에 블록킹 막(130)을 형성한다. 상세히 도시되지는 않았으나, 상기 블록킹 막(130)은 하부 실리콘 산화막, 실리콘 질화막 및 상부 실리콘 산화막을 포함할 수 있다. 또한, 상기 블록킹 막(130)은 상기 플로팅 게이트 패턴들(122) 및 상기 필드 절연 패턴들(126)의 표면들을 따라 연속적으로 형성될 수 있다.
- <70> 상기 하부 실리콘 산화막은 중온 산화물 증착(middle temperature oxide(MTO) deposition) 방법 또는 고밀도 플라즈마 증착(high density plasma(HDP) deposition) 방법에 의해 형성될 수 있으며, 상기 플로팅 게이트 패턴들(122) 및 상기 필드 절연 패턴들(126) 상에 약 30 내지 150Å 정도의 두께로 형성될 수 있다.
- <71> 상기 실리콘 질화막은 저압 화학 기상 증착을 이용하여 상기 하부 실리콘 산화막 상에 약 30 내지 150Å 정도의 두께로 형성될 수 있다.
- <72> 상기 상부 실리콘 산화막은 중온 산화물 증착 방법 또는 고밀도 플라즈마 증착 방법에 의해 형성될 수 있으며 상기 실리콘 질화막 상에 약 30 내지 150Å 정도의 두께로 형성될 수 있다.
- <73> 본 발명의 다른 실시예에 따르면, 블록킹 막(130)은 하부 실리콘 산화막, 금속 산화막 및 상부 실리콘 산화막을 포함할 수 있다. 상기 금속 산화막은 실리콘 질화물보다 높은 유전 상수를 가지며, 원자층 증착 또는 화학 기상 증착에 의해 약 20 내지 100Å 정도의 두께로 형성될 수 있다. 상기 금속 산화막은 하프늄(Hf), 지르코늄(Zr), 탄탈륨(Ta), 알루미늄(Al), 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀름(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등을 포함할 수 있다. 예를 들면, 상기 금속 산화막은 하프늄 산화물(HfO<sub>2</sub>), 지르코늄 산화물(ZrO<sub>2</sub>), 알루미늄 산화물(Al<sub>2</sub>O<sub>3</sub>), 하프늄 알루미늄 산화물(HfAlO), 란탄 산화물(La<sub>2</sub>O<sub>3</sub>), 하프늄 란탄 산화물(HfLaO), 알루미늄 란탄 산화물(AlLaO) 등을 포함할 수 있다.
- <74> 본 발명의 또 다른 실시예에 따르면, 블록킹 막(130)은 하부 유전막, 중간 유전막 및 상부 유전막을 포함할 수 있다. 상기 중간 유전막은 상기 하부 유전막보다 낮은 에너지 밴드 갭을 갖는 물질로 이루어질 수 있으며, 상기 상부 유전막은 상기 하부 유전막과 실질적으로 동일한 물질로 이루어질 수 있다. 예를 들면, 상기 하부 유전막은 알루미늄 산화물을 포함할 수 있으며, 상기 중간 유전막은 하프늄 산화물 또는 지르코늄 산화물 등을 포함할

수 있다.

- <75> 도 13을 참조하면, 상기 블록킹 막(130) 상에 컨트롤 게이트 도전막(미도시)을 형성한다. 결과적으로, 상기 플로팅 게이트 패턴들(122) 사이의 공간들 및 상기 상부 리세스들(128)은 상기 컨트롤 게이트 도전막에 의해 충분히 매립된다. 상기 컨트롤 게이트 도전막은 불순물 도핑된 폴리실리콘, 금속, 금속 실리사이드 등을 포함할 수 있다. 예를 들면, 상기 컨트롤 게이트 도전막은 불순물 도핑된 폴리실리콘막과 상기 폴리실리콘막 상에 형성된 금속막 또는 금속 실리사이드막을 포함할 수 있다. 상기 금속막은 텅스텐을 포함할 수 있으며, 상기 금속 실리사이드로는 텅스텐 실리사이드(WSix), 티타늄 실리사이드(TiSix), 코발트 실리사이드(CoSix), 탄탈륨 실리사이드(TaSix) 등이 사용될 수 있다.
- <76> 본 발명의 다른 실시예에 따르면, 컨트롤 게이트 도전막은 불순물 도핑된 폴리실리콘막, 오믹 막(ohmic layer), 금속 장벽막 및 금속막을 포함할 수 있다. 상기 오믹 막으로는 금속 실리사이드막이 사용될 수 있으며, 상기 금속 장벽막으로는 금속 질화막이 사용될 수 있다.
- <77> 상기 컨트롤 게이트 도전막, 블록킹 막(130), 플로팅 게이트 패턴들(122) 및 터널 절연막(120)을 패터닝하여 상기 반도체 기판(100)의 액티브 영역(100b) 상에 상기 제1 방향과 다른 제2 방향, 예를 들면, 상기 제1 방향에 대하여 실질적으로 수직하는 제2 방향으로 연장하는 적층 구조물들, 예를 들면, 게이트 구조물들(140)을 형성한다. 상기 게이트 구조물들(140)을 형성하기 위한 패터닝 공정은 상기 액티브 영역들(100b)이 노출될 때까지 수행될 수 있다. 상기 게이트 구조물들(140)은 상기 액티브 영역(100b)의 채널 영역(100c) 상에 형성될 수 있다.
- <78> 각각의 게이트 구조물들(140)은 컨트롤 게이트 전극(142), 블록킹 막 패턴(144), 플로팅 게이트 전극(146) 및 터널 절연막 패턴(148)을 포함할 수 있다. 상기 컨트롤 게이트 전극(142)은 폴리실리콘막 패턴 및 금속막 패턴을 포함할 수 있다. 상기 금속막 패턴은 워드 라인으로서 기능할 수 있다.
- <79> 상기 게이트 구조물들(140)은 이방성 식각에 의해 형성될 수 있다. 예를 들면, 상기 컨트롤 게이트 도전막 상에 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 이용하는 반응성 이온 식각 공정을 수행함으로써 상기 게이트 구조물들(140)을 형성할 수 있다.
- <80> 본 발명의 다른 실시예에 따르면, 상기 컨트롤 게이트 도전막 상에 산화물 또는 질화물을 포함하는 마스크 패턴을 형성하고, 상기 마스크 패턴을 이용하여 상기 게이트 구조물들(140)을 형성할 수도 있다.
- <81> 상기 반응성 이온 식각에 의해 상기 게이트 구조물들(140)의 표면 부위들 및 상기 기판(100)의 표면 부위들이 손상될 수 있다. 즉, 상기 게이트 구조물(140)의 표면 부위들에는 다량의 결합 사이트들이 식각에 의해 생성될 수 있다. 특히, 상기 터널 절연막 패턴(148)의 에지 부위들에는 실리콘 덩글링 결합들과 불안정한 실리콘-산소 및 실리콘-수소 결합들이 생성될 수 있다. 상기와 같은 결합 사이트들은 불휘발성 메모리 장치의 프로그램 또는 소거 동작에서 전자 또는 정공의 트랩 사이트들로서 작용할 수 있으며, 이에 따라 불휘발성 메모리 장치의 데이터 유지 특성 및 신뢰성이 저하될 수 있다. 따라서, 상기 게이트 구조물들(140)의 손상을 치유하기 위한 재산화 공정이 수행될 수 있다. 상기 재산화 공정에 의해 상기 게이트 구조물들(140) 및 반도체 기판(100)의 표면 부위들 상에는 산화막이 형성될 수 있다.
- <82> 도 14를 참조하면, 상기 채널 영역(100c) 상의 게이트 구조물들(140)과 인접하는 액티브 영역(100b)의 표면 부위들에 소스/드레인으로서 기능하는 불순물 확산 영역들(150)을 형성함으로써 상기 반도체 기판(100) 상에 불휘발성 메모리 장치(10)를 완성한다. 상기 불순물 확산 영역들(150)은 이온 주입 공정 및 불순물 활성화를 위한 열처리에 의해 형성될 수 있다. 또한, 상기 불순물 확산 영역들(150)을 형성하기 전에 상기 게이트 구조물들(140)의 측면들 상에 스페이서들을 형성할 수도 있다.

**발명의 효과**

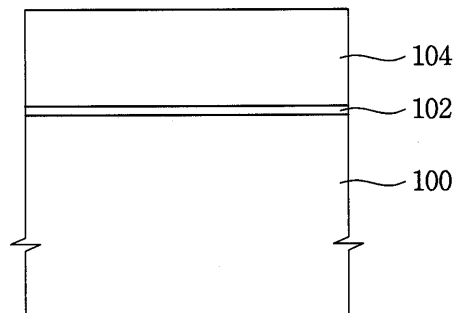
- <83> 상기와 같은 본 발명의 실시예들에 따르면, 상기 플로팅 게이트 패턴들에 대한 재산화 공정에 의해 형성된 실리콘 산화막을 일차 이방성 식각 및 이차 등방성 식각을 통해 제거함으로써 상기 액티브 영역과 컨트롤 게이트 전극 사이의 간격을 충분히 확보할 수 있다. 따라서, 상기 액티브 영역과 상기 컨트롤 게이트 전극 사이에서의 전기적 장애를 감소시킬 수 있으며, 이에 따라 상기 불휘발성 메모리 장치의 신뢰성이 개선될 수 있다.
- <84> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**도면의 간단한 설명**

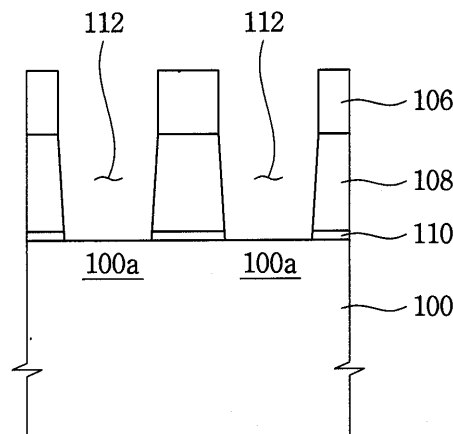
- <1> 도 1 내지 도 14는 본 발명의 일 실시예에 따른 불휘발성 메모리 장치의 제조 방법을 설명하기 위한 단면도들이다.
- <2> \* 도면의 주요부분에 대한 부호의 설명 \*
- <3> 10 : 불휘발성 메모리 장치 100 : 반도체 기판
- <4> 100a : 소자 분리 영역 100b : 액티브 영역
- <5> 100c : 채널 영역 108 : 마스크 패턴
- <6> 114 : 트렌치 116 : 예비 필드 절연 패턴
- <7> 116a : 상부 패턴 116b : 하부 패턴
- <8> 120 : 터널 절연막 122 : 플로팅 게이트 패턴
- <9> 124 : 실리콘 절연막 126 : 필드 절연 패턴
- <10> 128 : 상부 리세스 130 : 블록킹 막
- <11> 140 : 게이트 구조물 150 : 불순물 확산 영역

**도면**

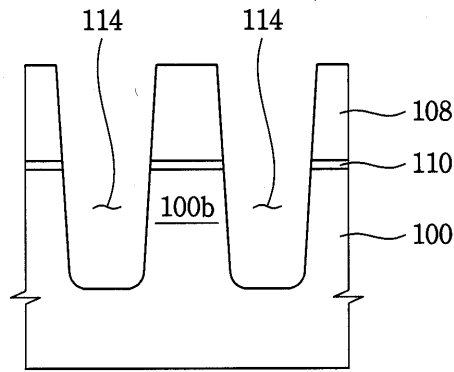
**도면1**



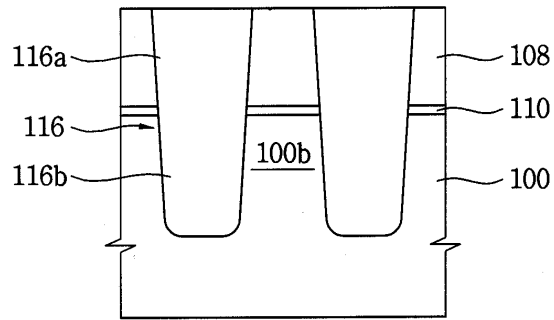
**도면2**



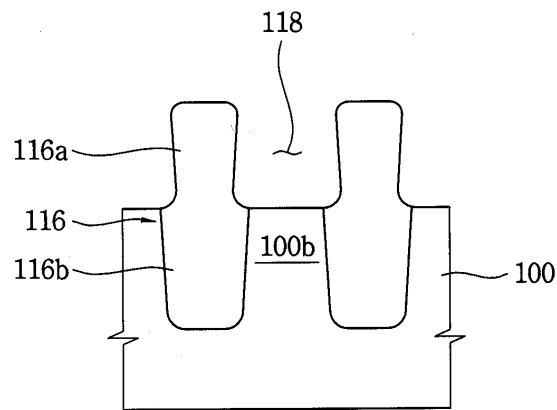
도면3



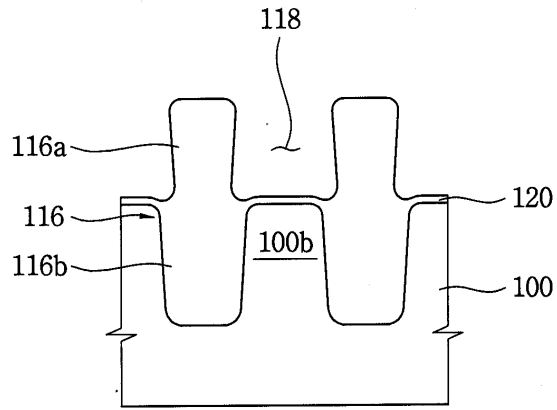
도면4



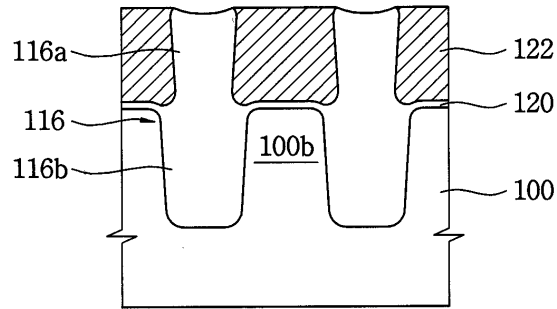
도면5



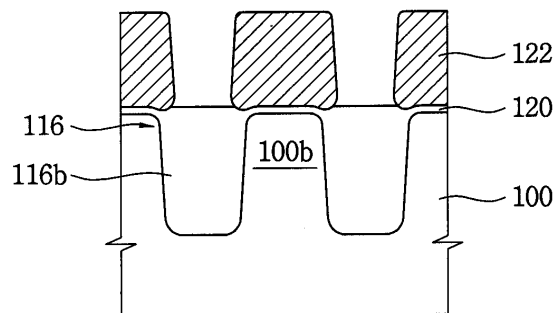
도면6



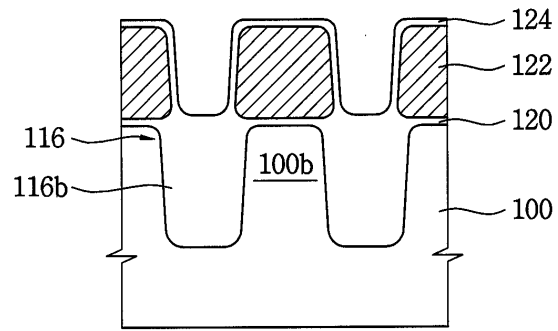
도면7



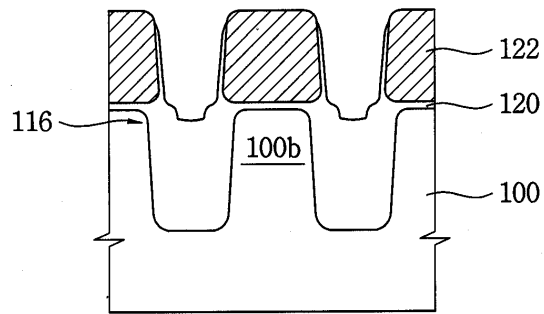
도면8



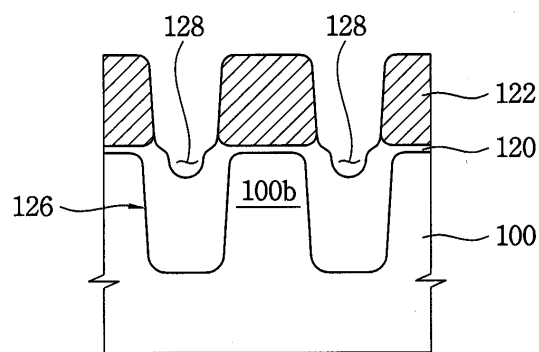
도면9



도면10

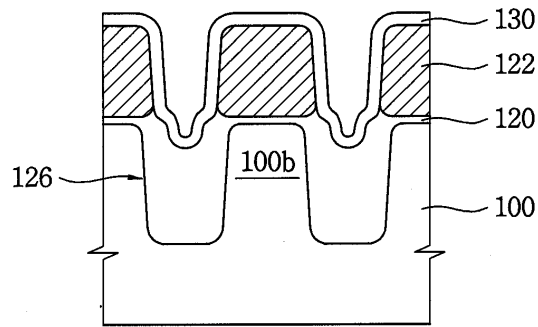


도면11

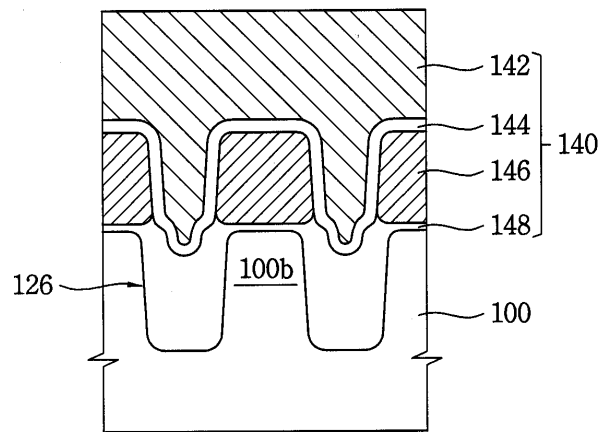




도면12



도면13



도면14

