

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年7月28日(28.07.2016)



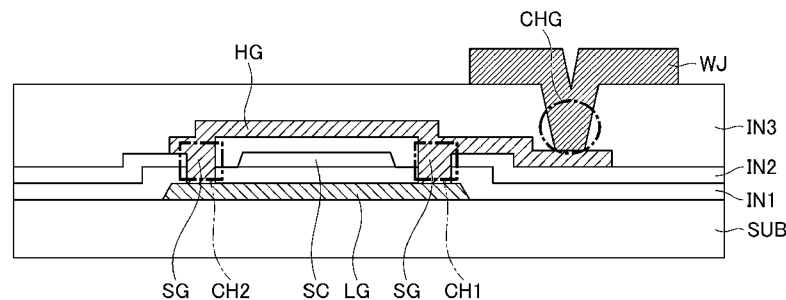
(10) 国際公開番号
WO 2016/117609 A1

- (51) 国際特許分類:
G09F 9/30 (2006.01) H01L 29/49 (2006.01)
G02F 1/1368 (2006.01) H01L 29/786 (2006.01)
H01L 29/423 (2006.01) H01L 51/50 (2006.01)
- (21) 国際出願番号: PCT/JP2016/051586
- (22) 国際出願日: 2016年1月20日(20.01.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-009212 2015年1月21日(21.01.2015) JP
- (71) 出願人: 株式会社ジャパンディスプレイ(JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).
- (72) 発明者: 佐藤 敏浩(SATO, Toshihiro); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).
- (74) 代理人: 特許業務法人はるか国際特許事務所(HARUKA PATENT & TRADEMARK ATTORNEYS); 〒1600023 東京都新宿区西新宿三丁目1番4号 ウエル新都心ビル4階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: The purpose of the present invention is to suppress occurrence of a kink phenomenon and improve the image quality of a display device. The display device includes a thin-film transistor provided in a pixel. The thin-film transistor has a semiconductor layer (SC), a first insulating layer (IN1) provided below the semiconductor layer (SC), a second insulating layer (IN2) provided above the semiconductor layer (SC), and a gate electrode (LG, HG, SG) that faces the semiconductor layer (SC) across a gap therebetween. The gate electrode includes a first gate electrode part (LG) that faces the lower surface of the semiconductor layer (SC), a second gate electrode part (HG) that faces the upper surface of the semiconductor layer (SC), and third gate electrode parts (SG) that face side surfaces of the semiconductor layer (SC) and are connected to the first gate electrode part (LG) and the second gate electrode part (HG). A laminated portion in which the first insulating layer (IN1) and the second insulating layer (IN2) are laminated on one another is provided around the semiconductor layer (SC). A part of the laminated portion is located between the side surfaces of the semiconductor layer (SC) and the third gate electrode parts (SG).

(57) 要約: キンク現象の発生を抑え、表示装置の画質を向上させること。表示装置は、画素に設けられた薄膜トランジスタを有する。薄膜トランジスタは、半導体層(SC)と、半導体層(SC)の下に設けられた第1絶縁層(IN1)と、半導体層(SC)の上に設けられた第2絶縁層(IN2)と、半導体層(SC)に間隔をあけて対向するゲート電極(LG、HG、SG)と、を有する。ゲート電極は、半導体層(SC)の下面と対向する第1ゲート電極部(LG)と、半導体層(SC)の上面と対向する第2ゲート電極部(HG)と、半導体層(SC)の側面と対向して第1ゲート電極部(LG)及び第2ゲート電極部(HG)に接続する第3ゲート電極部(SG)と、を含む。半導体層(SC)の周囲に、第1絶縁層(IN1)及び第2絶縁層(IN2)とが互いに積層する積層部を有する。積層部の一部が半導体層(SC)の側面と第3ゲート電極部(SG)との間に位置する。

WO 2016/117609 A1

WO 2016/117609 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は表示装置に関する。

背景技術

[0002] 液晶表示装置や有機EL表示装置など、薄膜トランジスタを有する画素により構成される表示装置が普及している。

[0003] 特許文献1には、半導体層の下にあるバックゲート電極と、半導体層の上にあるフロントゲート電極とを含む薄膜トランジスタが開示されている。特許文献2には、半導体薄膜の上方のゲート電極と、下方のバックゲート電極とが設けられた薄膜トランジスタが開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2009-43748号公報

特許文献2：特開平5-114732号公報

発明の概要

発明が解決しようとする課題

[0005] 近年の表示装置は高精細化が求められており、それによって画素のサイズが小さくなってきている。画素が小さくなると薄膜トランジスタを配置するスペースが減少し、小さなサイズのトランジスタで電流を制御する際に問題となるキンク（Kink）現象がより発生しやすくなっている。ここで、キンク現象は、 $V_d - I_d$ 特性が一般的な薄膜トランジスタと異なってしまう現象であり、ドレイン端の強電界でホットエレクトロンが大量に発生するインパクトイオン現象とも言われている。この時余剰となるホールがゲート下に蓄積されたホールアキュミュレーションの状態となる現象、すなわちキンク現象が発生すると、薄膜トランジスタの特性のばらつきが大きくなり、画質の悪化が生じる。

[0006] 本発明は上記課題を鑑みてなされたものであって、その目的は、薄膜トランジスタにおけるキンク現象の発生を抑え、表示装置の画質を向上させる技術を提供することにある。

課題を解決するための手段

[0007] 本出願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下の通りである。

[0008] 表示装置は、マトリクス状に配置された複数の画素の各々に設けられた薄膜トランジスタを有し、前記薄膜トランジスタは、半導体層と、前記半導体層の下層に設けられた第1絶縁層と、前記半導体層の上層に設けられた第2絶縁層と、前記半導体層に間隔をあけて対向するゲート電極と、を有し、前記半導体層は、ソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域の間にあるチャネル領域とを含み、且つ上面と、下面と、前記上面と前記下面とに接続すると共に前記チャネル領域に含まれる部分を有する側面とを備え、前記ゲート電極は、前記第1絶縁層を介して前記半導体層の前記下面に対向する第1ゲート電極部と、前記第2絶縁層を介して前記半導体層の前記上面に対向する第2ゲート電極部と、前記半導体層の前記側面に対向すると共に、前記第1ゲート電極部及び前記第2ゲート電極部に接する第3ゲート電極部と、を含み、前記半導体層の周囲に、前記第1絶縁層と前記第2絶縁層とが互いに積層する積層部を備え、前記積層部の一部が、前記半導体層の前記側面と前記第3ゲート電極部との間に位置する。

発明の効果

[0009] 本発明によれば、キンク現象の発生を抑え、表示装置の画質を向上させることができる。

図面の簡単な説明

[0010] [図1]第1の実施形態にかかる有機EL表示装置の等価回路の一例を示す回路図である。

[図2]第1の実施形態にかかる画素回路の一例を示す平面図である。

[図3]図2に示す画素回路のIII-III切断線における断面図である。

[図4]第1の実施形態にかかる薄膜トランジスタの一例を示す平面図である。

[図5]図4に示す薄膜トランジスタのV-V切断線における断面図である。

[図6]薄膜トランジスタの他の一例を示す平面図である。

[図7]薄膜トランジスタの他の一例を示す平面図である。

[図8]図7に示す薄膜トランジスタのVIII-VIII切断線における断面図である。

[図9]薄膜トランジスタの他の一例を示す平面図である。

[図10]薄膜トランジスタの他の一例を示す平面図である。

[図11]第2の実施形態にかかる画素回路の一例を示す平面図である。

[図12]図11に示す画素回路のXII-XII切断線における断面図である。

[図13]第2の実施形態にかかる薄膜トランジスタの一例を示す平面図である。

[図14]図13に示す薄膜トランジスタのXIV-XIV切断線における断面図である。

[図15]第3の実施形態にかかる画素回路の一例を示す平面図である。

[図16]第3の実施形態にかかる薄膜トランジスタの一例を示す平面図である。

[図17]図16に示す薄膜トランジスタのXVII-XVII切断線における断面図である。

[図18]薄膜トランジスタの他の一例を示す平面図である。

[図19]薄膜トランジスタの他の一例を示す平面図である。

[図20]薄膜トランジスタの他の一例を示す平面図である。

[図21]図20に示す薄膜トランジスタのXXI-XXI切断線における断面図である。

発明を実施するための形態

[0011] 以下では、本発明の実施形態について図面に基づいて説明する。出現する構成要素のうち同一機能を有するものには同じ符号を付し、その説明を省略する。以下では、本発明の実施形態として、表示装置の一種である有機EL

表示装置に本発明を適用した場合の例について説明するが、表示装置は、液晶表示装置など、薄膜トランジスタを含む画素回路を有する他の種類の表示装置であってもよい。

[0012] [第1の実施形態]

本発明の第1の実施形態にかかる有機EL表示装置は、アレイ基板SUB（図3参照）と、アレイ基板SUBに対向する対向基板と、アレイ基板SUBに接続されるフレキシブル回路基板と、ドライバ集積回路とを含む。対向基板にカラーフィルタが設けられ、カラーフィルタと白色OLED（Organic Light Emitting Diode）との組合せによりフルカラー表示が実現される。白色OLEDの代わりにRGB等のそれぞれの色を発光する発光素子を用いる場合には、対向基板およびカラーフィルタは存在しなくてもよい。

[0013] 図1は、第1の実施形態にかかる有機EL表示装置の等価回路の一例を示す回路図である。図1に示す回路は、物理的にはアレイ基板SUB（図3参照）上やドライバ集積回路内に形成されている。アレイ基板SUB上には、複数の画素回路PC、複数のゲート信号線GL、複数のデータ信号線SL、電源線PLが配置されている。複数の画素回路PCは、アレイ基板SUBの表示領域内にマトリクス状に配置されている。画素回路PCはそれぞれ1つの表示画素に相当する。画素回路PCの行につき1本のゲート信号線GLが設けられており、ゲート信号線GLのそれぞれは対応する行を構成する画素回路PCに接続されている。また画素回路PCの列につき1本のデータ信号線SLが設けられており、データ信号線SLのそれぞれは対応する列を構成する画素回路PCに接続されている。また、複数のゲート信号線GLの一端は駆動回路YDVに接続され、複数のデータ信号線SLの一端は駆動回路XDVに接続されている。駆動回路YDVはゲート信号線GLに走査信号を出力し、駆動回路XDVは、画素の表示階調に応じた映像信号の電位をデータ信号線SLに供給する。

[0014] 画素回路PCのそれぞれは、薄膜トランジスタTFT1、薄膜トランジスタTFT2、キャパシタCS、発光素子LEを含む。薄膜トランジスタTFT

T 1 はゲート信号線 G L から供給される走査信号に応じてオンになり、その際にデータ信号線 S L から供給される映像信号に基づく電位をキャパシタ C S に記憶させる。薄膜トランジスタ T F T 2 はキャパシタ C S に記憶された電位差に基づいてソースとドレインとの間を流れる電流の量を制御する。発光素子 L E は O L E D であり、薄膜トランジスタ T F T 2 が制御する電流の量に応じた強さで発光する。薄膜トランジスタ T F T 2 は P チャネル型であるので、薄膜トランジスタ T F T 2 のソース電極は電源線 P L に接続され、ドレイン電極は発光素子 L E に接続される。またキャパシタ C S は薄膜トランジスタ T F T 2 のゲート電極とソース電極との間に設けられている。なお、画素回路 P C は図 1 に示すものには限られず、薄膜トランジスタ T F T 2 が発光素子 L E にかかる電圧を制御するような画素回路 P C であってもよい。

[0015] 図 2 は、第 1 の実施形態にかかる画素回路 P C の一例を示す平面図である。図 3 は、図 2 に示す画素回路 P C の III－III 切断線における断面図である。画素回路 P C のそれぞれは、主に隣り合うデータ信号線 S L と隣り合うゲート信号線 G L とにより囲まれた領域に配置されている。また電源線 P L はデータ信号線 S L のそれぞれの左側に隣接し上下方向に延びている。アレイ基板 S U B 上の画素回路 P C が形成される領域には、画素回路 P C を構成する要素として、チャネル半導体膜 S C、S D、上ゲート電極 H G、下ゲート電極 L G、横ゲート電極 S G（図 3 参照）、第 1 のキャパシタ電極 C E 1、第 2 のキャパシタ電極 C E 2、第 3 のキャパシタ電極 C E 3、陽極 P E、図 3 に示すようにバンク開口 O P が形成されたバンク B K が配置されている。チャネル半導体膜 S D は、ゲート信号線 G L のうちチャネル半導体膜 S D の上にある部分とともに薄膜トランジスタ T F T 1 を構成している。チャネル半導体膜 S C、上ゲート電極 H G、下ゲート電極 L G、横ゲート電極 S G（図 3 参照）は薄膜トランジスタ T F T 2 を構成している。第 1 のキャパシタ電極 C E 1、第 2 のキャパシタ電極 C E 2、第 3 のキャパシタ電極 C E 3 はキャパシタ C S を構成し、キャパシタ C S の一方の電極は第 2 のキャパシタ

電極C E 2、他方の電極は第1のキャパシタ電極C E 1および第3のキャパシタ電極C E 3に対応する。第1のキャパシタ電極C E 1は下ゲート電極L Gと一体的に形成され、第2のキャパシタ電極C E 2はチャネル半導体膜S Cに電源線P Lを介して電氣的に接続され、第3のキャパシタ電極C E 3は上ゲート電極H Gと一体的に形成されている。

[0016] 図3に示すように、アレイ基板S U B上には、アンダーコートU C、後述する第1の導電層、第1のゲート絶縁層I N 1、後述する半導体層、第2のゲート絶縁層I N 2、後述する第2の導電層、層間絶縁層I N 3、後述する第3の導電層、平坦化層P I、陽極P Eを含む層、バンクB Kを含む層の順に積層されている。また図示していないが、バンクB Kを含む層の上にO L E D層、陰極の層、封止層等も積層されている。なお、バンクB Kのない部分をバンク開口O Pと呼び、バンク開口O Pでは陽極P EがバンクB Kから露出している。第1の導電層は下ゲート電極L Gおよび第1のキャパシタ電極C E 1を含み、半導体層はチャネル半導体膜S C、チャネル半導体膜S D（図2参照）、第2のキャパシタ電極C E 2を含み、第2の導電層はゲート信号線G L、上ゲート電極H G、第3のキャパシタ電極C E 3を含む。また第2の導電層は、コンタクトホールC H 1、C H 2に充填される導電体からなる横ゲート電極S Gを含む。第3の導電層は、ジャンパ配線W J、電源線P L（図2参照）、データ信号線S L（図2参照）を含む。図示しないO L E D層はバンク開口O Pにおいて陽極P Eと接触しており、陽極P Eと接触する領域は有機E L素子が発光する領域である。

[0017] チャネル半導体膜S Dは、画素回路P Cの中央からみて図2の上側にあるゲート信号線G Lのさらに上側でデータ信号線S LとコンタクトホールC H 4を介して接続している。チャネル半導体膜S DはコンタクトホールC H 4の位置から図中右方向に延び、ゲート信号線G Lの一部（上に延びる突起）の下をくぐった後に下方向に向かい、ゲート信号線G Lの下をくぐった先まで延びている。その延びている先の部分の上層にはコンタクトホールC H 3が形成されている。

[0018] チャネル半導体膜 S C は図 2 でみて画素回路 P C の中央よりやや上を図中左右に延びる。チャネル半導体膜 S C の右端は電源線 P L とコンタクトホール C H S を介して接続される。チャネル半導体膜 S C の左端は上方へ少し屈曲し、屈曲した先は陽極 P E とコンタクトホール C H D を介して接続される。下ゲート電極 L G および上ゲート電極 H G は、チャネル半導体膜 S C の左右に延びる領域のうち端を除く部分と平面的に重なるように設けられている。下ゲート電極 L G および上ゲート電極 H G はチャネル半導体膜 S C の側方であって、チャネル半導体膜 S C の延びる方向に直交する方向に設けられた横ゲート電極 S G により接続されている（図 3 参照）。横ゲート電極 S G は、主にコンタクトホール C H 1, C H 2 の中に設けられている。上ゲート電極 H G はチャネル半導体膜 S C からみて図 2 の上側のコンタクトホール C H 1 を超えた位置からさらに図 2 の上側に突出している。その突出した部分は、上層にあるジャンパ配線 W J とコンタクトホール C H G を介して接続され、ジャンパ配線 W J はコンタクトホール C H 3 を介してチャネル半導体膜 S D に接続されている。

[0019] 第 1 のキャパシタ電極 C E 1 は図 2 でみて画素回路 P C（図 1 参照）の下側の端から上に延びており、矩形に対し薄膜トランジスタ T F T 1 のある領域に切り欠きが設けられた形状である。コンタクトホール C H 2 より図 2 の下側で第 1 のキャパシタ電極 C E 1 と下ゲート電極 L G とが一体化している。第 2 のキャパシタ電極 C E 2 は第 1 のキャパシタ電極 C E 1 に対向し、平面的に重なるように設けられ、図 2 でみて第 1 のキャパシタ電極 C E 1 の下端より少し上からコンタクトホール C H 2 の手前まで延びている。第 2 のキャパシタ電極 C E 2 はコンタクトホール C H 6 を介して電源線 P L に接続されている。これにより、電源線 P L を介して薄膜トランジスタ T F T 2 のソースと第 2 のキャパシタ電極 C E 2 とが電氣的に接続されている。ここで、第 2 のキャパシタ電極 C E 2 は、チャネル半導体膜 S C のソース側の端と直接接続されていてもよい。第 3 のキャパシタ電極 C E 3 は図 2 でみて第 2 のキャパシタ電極 C E 2 の下端より少し上から上に向かって延びている。第 3 の

キャパシタ電極C E 3は矩形に対し薄膜トランジスタT F T 1のある領域に切り欠きが設けられた形状を有する。コンタクトホールC H 2より図2の下側で第3のキャパシタ電極C E 3と上ゲート電極H Gとが一体化している。第1のキャパシタ電極C E 1と第2のキャパシタ電極C E 2とは横ゲート電極S G（図3参照）を介して電氣的に接続されており、これによりキャパシタC Sはサンドイッチ構造を有し、単に2つの電極を対向させる場合よりキャパシタの容量が大きい。

[0020] 次に薄膜トランジスタT F T 2の構造についてさらに詳細に説明する。図4は第1の実施形態にかかる薄膜トランジスタT F T 2の一例を示す平面図であり、図5は、図4に示す薄膜トランジスタT F T 2のV-V切断線における断面図である。図4および5は、キャパシタC Sを構成する電極を除いた薄膜トランジスタT F T 2単体を示す図である。なお、図5ではアンダーコートU Cの記載を省略している。

[0021] チャネル半導体膜S Cは、コンタクトホールC H Dを介して陽極P Eに接するドレイン端から、コンタクトホールC H Sを介して電源線P Lに接するソース端まで延びている。ソース端とドレイン端の間にあるチャネル部分は平面的にみて帯状である。ここでは、チャネル半導体膜S Cのソース端からドレイン端までの領域のうち、下ゲート電極L Gまたは上ゲート電極H Gと平面的に重なる部分をチャネル領域、チャネル領域よりドレイン端側の部分をドレイン領域、チャネル領域よりソース側の領域をソース領域と記載する。

[0022] 下ゲート電極L G、上ゲート電極H Gおよび横ゲート電極S Gは薄膜トランジスタT F T 2のゲート電極を構成する。下ゲート電極L Gはチャネル半導体膜S Cに下方でゲート絶縁層I N 1を介して対向し、上ゲート電極H Gはチャネル半導体膜S Cに上方でゲート絶縁層I N 2を介して対向する。横ゲート電極S Gはソース領域からドレイン領域に向けてチャネル半導体膜S Cが延びる方向に直交する方向かつチャネル半導体膜S Cの側方（以下では「幅方向」と記載する）で対向する。横ゲート電極S Gは下ゲート電極L G

と上ゲート電極HGとを接続する。ソース領域からド레인領域に向けてチャネル半導体膜SCが延びる方向はチャネル半導体膜SCに対してソース領域とド레인領域との間の方向であり、以下ではこの方向を「チャネル半導体膜SCが延びる方向」とも記載する。

[0023] ここで、ゲート絶縁層IN1とゲート絶縁層IN2との間に半導体膜がなく、互いに積層する部分が存在する。この部分を積層部とよぶ。積層部では、ゲート絶縁層IN1の上面とゲート絶縁層IN2の下面とが接する。積層部の一部は、チャネル半導体膜SCと横ゲート電極SGとの間に介在し、チャネル半導体膜SCと横ゲート電極SGとが電氣的に接続することを妨げている。

[0024] チャネル半導体膜SCのうちチャネル領域は、下ゲート電極LGおよび上ゲート電極HGの両方に対向する重畳対向領域と、下ゲート電極LGおよび上ゲート電極HGのうち一方のみに対向する片側対向領域とを含み、チャネル半導体膜SCが延びる方向について片側対向領域は、重畳対向領域の両側にある。見方を変えると、平面的にみて、ソース領域とド레인領域との間の方向についてチャネル半導体膜SCの両端（ソース領域側およびド레인領域側の端）は、上ゲート電極HGおよび下ゲート電極LGから突出している。また、平面的にみて、チャネル半導体膜SCが下ゲート電極LGから突出する第1の位置と、上ゲート電極HGから突出する第2の位置はずれている。図4や図5の例では、チャネル半導体膜SCが延びる方向について第1の位置は第2の位置より外側にあり、また下ゲート電極LGのその延びる方向の長さは、上ゲート電極HGのその方向の長さより大きい。平面的にみて、下ゲート電極LGは、上ゲート電極HGの全体に対向する部分を超える大きさを有する。

[0025] ここで、上ゲート電極HGと下ゲート電極LGとの関係が図4の例と異なってもよい。例えば、チャネル半導体膜SCが延びる方向について第2の位置は第1の位置より外側にあり、また下ゲート電極LGのその延びる方向の長さは、上ゲート電極HGのその方向の長さより小さくてもよい。この

場合、平面的にみて、上ゲート電極HGは、下ゲート電極LGの全体に対向する部分を超える大きさを有する。

[0026] 積層部には、コンタクトホールCH1、CH2が設けられている。コンタクトホールCH1、CH2は、幅方向でみてチャネル半導体膜SCの両側に対向している。図4においてコンタクトホールCH1はチャネル半導体膜SCの下側に、コンタクトホールCH2はチャネル半導体膜SCの上側にある。コンタクトホールCH1、CH2のそれぞれはチャネル半導体膜SCに沿って連続的に長く延びる形状を有し、積層部を貫通する。チャネル半導体膜SCが延びる方向について、コンタクトホールCH1、CH2のそれぞれの長さは上ゲート電極HGの長さより短く、コンタクトホールCH1、CH2のそれぞれの端は、平面的にみて上ゲート電極HG（下ゲート電極LGおよび上ゲート電極HGのうち小さい方）の両端より内側にある。より厳密には、下ゲート電極LGのうちチャネル半導体膜SCに対向する領域を第1領域、上ゲート電極HGのうちチャネル半導体膜SCに対向する領域を第2領域、横ゲート電極SGのうちチャネル半導体膜SCに対向する領域を第3領域とすると、チャネル半導体膜SCが延びる方向について、第3領域の両端が、第1領域および第2領域の内側にある。横ゲート電極SGはコンタクトホールCH1、CH2の内部に設けられている。横ゲート電極SGは上ゲート電極HGを含む第2の導電層を形成する際に、第2の導電層を構成する金属がコンタクトホールCH1、CH2に充填されることによって形成される。よって、横ゲート電極SGは、幅方向でみてチャネル半導体膜SCの両側に対向している。

[0027] これにより、チャネル半導体膜SCの上方、下方、幅方向にゲート電極が存在することになり、幅方向にゲート電極がない場合に比べ、より低い電圧で薄膜トランジスタTF T2を駆動することが可能になる。駆動電圧を下げることで、キンク現象の発生が抑えられる。

[0028] 薄膜トランジスタTF T2の形状は上述のものとは異なってもよい。図6は、薄膜トランジスタTF T2の他の一例を示す平面図である。図6に示

す薄膜トランジスタTF T2を構成する各層の順序は図5の例と同様であり、特に記述のない限り以下の他の例および他の実施形態でも同様である。図6の例は、図4の例と異なり、チャネル半導体膜SCが延びる方向について、コンタクトホールCH1、CH2の両端は、下ゲート電極LGおよび上ゲート電極のうち一方の両端の外側にあり、他方の両端の内側にある。横ゲート電極SGは、平面的にみてコンタクトホールCH1、CH2のそれぞれと上ゲート電極HGとが重なる領域に形成されていてもよいし、コンタクトホールCH1、CH2の全体の領域に形成されていてもよい。図6に示す構成では横ゲート電極SGをより長くすることができ、これにより、駆動電圧を図4の例よりさらに低下させ、キンク現象を抑えることができる。

[0029] 薄膜トランジスタTF T2に形成される横ゲート電極SGが、幅方向でみてチャネル半導体膜SCの片側のみに対向してもよい。図7は、薄膜トランジスタTF T2の他の一例を示す平面図であり、図8は、図7に示す薄膜トランジスタTF T2のVIII-VIII切断線における断面図である。図7、8の例では、図4、5の例と異なり、図7でみてチャネル半導体膜SCの上側にはコンタクトホールCH2が存在せず、横ゲート電極SGはコンタクトホールCH1の内部のみに設けられている。図7、8に示す構成でもキンク現象を抑えることができる。なお、他の例において、図7、8に示す例のようにコンタクトホールCH2内の横ゲート電極SGをなくしてもよい。

[0030] 薄膜トランジスタTF T2に形成される横ゲート電極SGが、チャネル半導体膜SCが延びる方向に連続的に形成されていなくてもよい。図9は、薄膜トランジスタTF T2の他の一例を示す平面図である。図9のV-V切断線における断面は図5と同様である。図9の例では、図4の例と異なり、チャネル半導体膜SCが延びる方向に並び互いに離間する5つの部分から構成されている。これにより、コンタクトホールCH1およびコンタクトホールCH2の内部に形成される横ゲート電極SGは断続的に設けられている。コンタクトホールCH1およびコンタクトホールCH2のそれぞれが断続的に設けられている。より具体的には、チャネル半導体膜SCの幅方向の片側に

位置する横ゲート電極 S G は、チャネル半導体膜 S C が延びる方向に並び互いに離間する複数の部分から構成されている。なお、この部分の数は図 9 に示すものと異なってもよい。コンタクトホール C H 1 のみ、あるいはコンタクトホール C H 2 のみが断続的に形成されていてもよい。また他の例におけるコンタクトホール C H 1 , C H 2 の少なくとも一方が断続的に形成されてもよい。

[0031] 薄膜トランジスタ T F T 2 に形成される下ゲート電極 L G および上ゲート電極 H G のうち一方が、切り欠きを有していてもよい。図 10 は、薄膜トランジスタ T F T 2 の他の一例を示す平面図である。図 10 に示す薄膜トランジスタは、図 4 の例と異なり、上ゲート電極 H G が、チャネル半導体膜 S C の延びる方向でみてチャネル半導体膜 S C と対向する領域が途中で途切れるように切り欠きを有する。平面的にみて、上ゲート電極 H G のうちチャネル半導体膜 S C に対向する領域は、切り欠きにより、チャネル半導体膜 S C が延びる方向に並ぶ複数の部分領域に分けられている。図 10 では上ゲート電極 H G のうちチャネル半導体膜 S C に対向する領域が 2 つの部分領域に分けられている。それぞれの部分領域は、上ゲート電極 H G の部分領域より図 10 の下側の領域により、コンタクトホール C H G を介して配線 W G に接続されている。それぞれの部分領域の幅方向でみた両側には横ゲート電極 S G の部分が設けられ、横ゲート電極 S G の部分の数は、部分領域の数に 2 を掛けた数である。チャネル半導体膜 S C が延びる方向について、横ゲート電極 S G の部分のそれぞれの両端はその部分に対向する領域を含む部分領域の両端の内側にある。なお、切り欠きは下ゲート電極 L G に設けられていてもよいし、切り欠きが他の例と組み合わせられてもよい。

[0032] [第 2 の実施形態]

次に本発明の第 2 の実施形態にかかる有機 E L 表示装置について説明する。以下では第 2 の実施形態にかかる有機 E L 表示装置のうち、第 1 の実施形態と異なる部分を中心に説明する。

[0033] 図 11 は、第 2 の実施形態にかかる画素回路 P C の一例を示す平面図であ

る。図 1 2 は、図 1 1 に示す画素回路 P C の XII-XII 切断線における断面図である。図 1 1 の平面図をみると、図 2 に対してコンタクトホール C H 1, C H 2 が図 1 1 に存在しない点が第 1 の実施形態との大きな相違である。これは、横ゲート電極 S G がコンタクトホール C H 1, C H 2 を用いずに形成されているからである。他の相違としては、第 2 の実施形態にかかる画素回路 P C では、チャネル半導体膜 S C と第 2 のキャパシタ電極 C E 2 とが同じ層で接続していることがある。

[0034] 図 1 2 をみると、ゲート絶縁層 I N 1, I N 2 が形成される領域が、第 1 の実施形態と異なっている。第 2 の実施形態では、コンタクトホール C H 1, C H 2 の溝を形成する代わりに、ゲート絶縁層 I N 1, I N 2 をチャネル半導体膜 S C の近傍やキャパシタ C S が形成される領域など、必要性の高い領域のみ残し、ゲート絶縁層 I N 1, I N 2 の残された領域の端にある段差の側面を覆う第 2 の導電層の金属膜を形成することにより横ゲート電極 S G が形成されている。また下ゲート電極 L G は、チャネル半導体膜 S C の幅方向についてゲート絶縁層 I N 1, I N 2 から突出する突出領域を有し、その突出領域で横ゲート電極 S G は下ゲート電極 L G と接続している。

[0035] 図 1 3 は、第 2 の実施形態にかかる薄膜トランジスタ T F T 2 の一例を示す平面図である。図 1 4 は、図 1 3 に示す薄膜トランジスタ T F T 2 の XIV-XIV 切断線における断面図である。図 1 3 および図 1 4 に示す薄膜トランジスタ T F T 2 は、図 1 1, 1 2 の例と異なり、キャパシタ C S が存在しない場合の例であるが、キャパシタ C S と組合せられていてもよい。図 1 3 では、他の平面図と異なり、ゲート絶縁層 I N 1, I N 2 も図示されている。図 1 3 の例では、下ゲート電極 L G は、チャネル半導体膜 S C の幅方向についてゲート絶縁層 I N 1, I N 2 から突出する突出領域を有する。そして、突出領域で下ゲート電極 L G は横ゲート電極 S G と接続している。平面的にみて、ゲート絶縁層 I N 1, I N 2 のうちチャネル半導体膜 S C を囲む領域は島状になっている。また、平面的にみてゲート絶縁層 I N 1, I N 2 のうちチャネル半導体膜 S C のチャネル領域を囲む領域の外形は、チャネル領域から

幅方向に一定の幅をもっており、その外形の外側に接するように横ゲート電極SGが形成されている。

[0036] また、図14を見ればわかるように、ゲート絶縁層IN1、IN2は、横ゲート電極SGからみてチャネル半導体膜SCとは反対側を避けて設けられており、チャネル半導体膜SCからみて横ゲート電極SGの向こう側にある接触領域CA1、CA2で、下ゲート電極LGと、第2の導電層の領域とが接している。この第2導電層の領域は、同層の横ゲート電極SGに接続している。

[0037] [第3の実施形態]

次に本発明の第3の実施形態にかかる有機EL表示装置について説明する。本実施形態ではチャネル領域にホールアキュムレーション抑制のための構造が設けられている。以下では第3の実施形態にかかる有機EL表示装置のうち、第1の実施形態と異なる部分を中心に説明する。

[0038] 図15は、第3の実施形態にかかる画素回路PCの一例を示す平面図である。図15をみると、図2に対してチャネル半導体膜SCがチャネル領域内で図15の上方向にも分岐し、電源線PLを介してソース領域と電氣的に接続されている点が大きな相違である。また、コンタクトホールCH1は分岐されたチャネル半導体膜SCを避けて設けられている。

[0039] 図16は、第3の実施形態にかかる薄膜トランジスタTF T2の一例を示す平面図である。図17は、図16に示す薄膜トランジスタTF T2のXVII-XVII切断線における断面図である。図16に示す薄膜トランジスタTF T2は、図15に示すものに対し、以下の4点が異なる。1つめは、キャパシタCSと接続する部分が含まれない点である。2つめは、チャネル半導体膜SCが分岐して延びる方向がコンタクトホールCHGと反対方向である点である。3つめは、横ゲート電極SG（コンタクトホール）が幅方向で見てチャネル半導体膜SCの片側にしか設けられていない点である。4つめは、分岐先が配線WDを介してドレイン領域に電氣的に接続されている点である。これらの相違点があるが、第3の実施形態にかかる薄膜トランジスタTF T

2もホールアキュムレーション抑制の効果を奏する。なお、配線WSはコンタクトホールCHSを介してチャネル半導体膜SCのソース端に接しており、配線WGはコンタクトホールCHGを介して配線WGに接している。

[0040] 図16, 17の例では、チャネル半導体膜SCはチャネル領域において幅方向に分岐する分岐部BRを有する。チャネル半導体膜SCの形状は、T字型である。分岐部BRはコンタクトホールCHHを介して配線WDに接続され、配線WDはコンタクトホールCHDを介してチャネル半導体膜SCのドレイン領域に接続されている。なお、分岐部BRは配線WSを介してソース領域と接続されていてもよい。なお、分岐部BRは、ゲート電極の信号電位が印加されるチャネル領域（分岐チャネル領域とよぶ）を含む。分岐チャネル領域はチャネル領域から分岐し、また上ゲート電極HGおよび下ゲート電極LGのいずれかに平面的に重なっている。

[0041] 図16の例では、下ゲート電極LGは分岐部BRに対向するように分岐するゲート分岐部を有する。これにより、分岐チャネル領域はコンタクトホールCHHの辺りまで続いている。なお、下ゲート電極LGではなく上ゲート電極HGが分岐部BRに対向するように分岐するゲート分岐部を有してもよい。図18の例では上ゲート電極HGは矩形であり、上ゲート電極HGの外形は、下ゲート電極LGの外形に囲まれている。図4の例と同様に、チャネル半導体膜SCがソース端からドレイン端に延びる方向について、チャネル半導体膜SCの両端は、上ゲート電極HGおよび下ゲート電極LGから突出している。また、平面的にみて、チャネル半導体膜SCが下ゲート電極LGから突出する第1の位置は、上ゲート電極HGから突出する第2の位置より外側にある。なお、このチャネルの分岐は、薄膜トランジスタTF T2の他の例と組み合わされていてもよい。

[0042] 図18は、薄膜トランジスタTF T2の他の一例を示す平面図である。図18の例では図16の例と異なり、上ゲート電極HGが下ゲート電極LGのうちゲート分岐部を除く領域を覆うように設けられている。図18の例では

、上ゲート電極HGは矩形であり、上ゲート電極HGの外形は、下ゲート電極LGのうちゲート分岐部およびコンタクトホールCHGへの配線を除く領域を囲んでいる。図16の例と異なり、平面的にみて、チャネル半導体膜SCが上ゲート電極HGから突出する第2の位置は、下ゲート電極LGから突出する第1の位置より外側にある。図18の例では、図16の例と比べ、チャネル半導体膜SCのチャネル領域に当たる光が減少し、薄膜トランジスタTF T 2の特性がより安定する。

[0043] 図19は、薄膜トランジスタTF T 2の他の一例を示す平面図である。図19の例では、図16に示す薄膜トランジスタTF T 2に比べて、チャネル半導体膜SCのチャネル領域からみてコンタクトホールCHHの方向にコンタクトホールCH2が設けられている。コンタクトホールCH2はチャネル半導体膜SCの分岐部BRを避けるように、2つの領域に断続的に設けられている。コンタクトホールCH1、CH2には横ゲート電極SGが設けられており、幅方向についてチャネル半導体膜SCのチャネル領域の両側に横ゲート電極SGが存在する。

[0044] 図20は、薄膜トランジスタTF T 2の他の一例を示す平面図である。図21は、図20に示す薄膜トランジスタTF T 2のXXI-XXI切断線における断面図である。図20、21の例では、チャネル半導体膜SCの分岐部BRの代わりに、チャネル領域の下にホットキャリア除去用の配線を接続している。図20の例は、下ゲート電極LGに切り欠きがある。平面的にみて、下ゲート電極LGの切り欠きはチャネル領域の中央の位置に向かってコンタクトホールCHH側から設けられる。上ゲート電極は矩形に幅方向の一方の側から切り欠きが設けられた形状をしている。下ゲート電極LGのうちチャネル半導体膜SCに対向する領域は、切り欠きにより、チャネル半導体膜SCが延びる方向に並ぶ複数の部分領域に分けられる。そのそれぞれの部分領域について、幅方向でみてその部分領域を挟むようにコンタクトホールCH1、CH2が設けられている。

[0045] 平面的にみて下ゲート電極LGの切り欠きの領域の中には、下ゲート電極

L Gと離間しかつ下ゲート電極L Gと同層の配線W Cが設けられ、配線W Cは、配線W Dと接続されるコンタクトホールC H Hからチャネル半導体膜S Cのチャネル領域の中央の下まで延びている。配線W Cは、チャネル領域の中央の下に設けられたコンタクトホールC H Cによりチャネル半導体膜S Cの下面と接し、配線W Cとチャネル半導体膜S Cとは電氣的に接続される。なお、配線W Cは配線W Sと電氣的に接続されてもよい。

[0046] なお、切り欠きは上ゲート電極H Gに設けられてもよい。この場合、平面的にみて、上ゲート電極H Gの切り欠きはチャネル領域の中央の位置に向かってコンタクトホールC H H側から設けられる。上ゲート電極H Gは図20における下ゲート電極L Gの平面的な形状に相当する。上ゲート電極H Gの形状は、矩形に幅方向の一方の側から切り欠きが設けられ、さらに幅方向の一方の側から配線W Gに向かう領域が設けられた形状をしている。上ゲート電極H Gの切り欠きの中には、上ゲート電極H Gと同層の配線W Cが設けられ、配線W Cは、配線W Dと接続されるコンタクトホールC H Hからチャネル半導体膜S Cのチャネル領域の中央の上まで延びている。配線W Cは、チャネル領域の中央の上に設けられたコンタクトホールC H Cによりチャネル半導体膜S Cの上面と接し、配線W Cとチャネル半導体膜S Cとは電氣的に接続される。

[0047] 本発明のこれまでに説明した複数の実施形態においては、チャネル半導体膜S Cの表面と側面にレーザー等で酸化膜を成長させることでゲート絶縁層を形成してもよい。このような構造では、チャネル半導体膜S Cの側面についても精度よく膜厚がコントロールでき、コンタクトホールを形成するより製造マージンを増やすことが出来る。

請求の範囲

[請求項1] マトリクス状に配置された複数の画素の各々に設けられた薄膜トランジスタを有し、

前記薄膜トランジスタは、半導体層と、前記半導体層の下層に設けられた第1絶縁層と、前記半導体層の上層に設けられた第2絶縁層と、前記半導体層に間隔をあけて対向するゲート電極と、を有し、

前記半導体層は、ソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域の間にあるチャネル領域とを含み、且つ上面と、下面と、前記上面と前記下面とに接続すると共に前記チャネル領域に含まれる部分を有する側面とを備え、

前記ゲート電極は、前記第1絶縁層を介して前記半導体層の前記下面に対向する第1ゲート電極部と、前記第2絶縁層を介して前記半導体層の前記上面に対向する第2ゲート電極部と、前記半導体層の前記側面に対向すると共に、前記第1ゲート電極部及び前記第2ゲート電極部に接する第3ゲート電極部と、を含み、

前記半導体層の周囲に、前記第1絶縁層と前記第2絶縁層とが互いに積層する積層部を備え、

前記積層部の一部が、前記半導体層の前記側面と前記第3ゲート電極部との間に位置する、

ことを特徴とする表示装置。

[請求項2] 前記半導体層は、

平面的に見て、前記第1ゲート電極と前記第2ゲート電極部の一方のみと重畳する第1の部分と、

平面的に見て、前記第1の部分から前記半導体層とは反対の側に突出し、前記第1ゲート電極と前記第2ゲート電極部のどちらとも重畳しない第2の部分、とを備えている、

ことを特徴とする請求項1に記載の表示装置。

[請求項3] 前記半導体層の前記チャネル領域は、

平面的に見て、前記第1ゲート電極部と前記第2ゲート電極部の両方と重畳する一対の第1の重畳領域と、

平面的に見て、前記第1ゲート電極部と前記第2ゲート電極部の一方のみと重畳する一対の第2の重畳領域と、を含み、

前記一対の第1の重畳領域は、互いに前記ソース領域と前記ドレイン領域とを結ぶ方向に互いに対向して位置し、

前記一対の第2の重畳領域の各々は、前記一対の第1の重畳領域の各々に隣接して位置する、

ことを特徴とする請求項1に記載の表示装置。

[請求項4] 前記第1ゲート電極部と前記第2ゲート電極部の一方は、前記ソース領域と前記ドレイン領域とを結ぶ方向に交差する方向へ窪む切り欠きを有し、

前記切り欠きの内側に位置し、且つ平面的に見て前記一方と重畳していない非重畳領域には、前記半導体層の一部が位置している

ことを特徴とする請求項1に記載の表示装置。

[請求項5] 前記非重畳領域には、配線が位置し、

前記配線は、前記上面又は前記下面の前記一方と対向する面で、前記半導体層に電氣的に接続する、

ことを特徴とする請求項4に記載の表示装置。

[請求項6] 前記配線は、前記ソース領域と前記ドレイン領域の一方に電氣的に接続する、

ことを特徴とする請求項5に記載の表示装置。

[請求項7] 前記積層部は、前記半導体層の前記側面と対向する位置にコンタクトホールを有し、

前記第3ゲート電極部は、コンタクトホール内に設けられる、

ことを特徴とする請求項1に記載の表示装置。

[請求項8] 前記第1ゲート電極部は、前記半導体層と対向する第1領域を有し、

前記第 2 ゲート電極部は、前記半導体層と対向する第 2 領域を有し、

前記コンタクトホールは、前記ソース領域と前記ドレイン領域とを結ぶ方向に位置する一対の端部を有し、

前記コンタクトホールの前記一対の端部は、平面的に見て、前記第 1 領域と前記第 2 領域の一方と重畳し、他方とは重畳しない、
ことを特徴とする請求項 7 に記載の表示装置。

[請求項 9] 前記第 1 ゲート電極部は、平面的に見て、前記第 1 絶縁層と前記第 2 絶縁層とから突出する突出領域を有し、

前記第 3 ゲート電極部は、前記突出領域で前記第 1 ゲート電極部に接続する、

ことを特徴とする請求項 1 に記載の表示装置。

[請求項 10] 前記第 1 絶縁層及び前記第 2 絶縁層は、前記第 3 ゲート電極部の前記半導体層とは反対側の面と接していない

ことを特徴とする請求項 1 に記載の表示装置。

[請求項 11] 前記 3 ゲート電極部は、前記ソース領域と前記ドレイン領域とを結ぶ方向に位置する一対の端部を有し、

前記 3 ゲート電極部の前記一対の端部は、平面的に見て、前記第 1 ゲート電極部と前記第 2 ゲート電極部とに重畳する、

ことを特徴とする請求項 1 に記載の表示装置。

[請求項 12] 前記第 1 ゲート電極部は、前記半導体層と対向する第 1 領域を有し、

前記第 2 ゲート電極部は、前記半導体層と対向する第 2 領域を有し、

前記第 3 ゲート電極部は、前記半導体層と対向する第 3 領域を有し、

前記第 3 領域は、前記ソース領域と前記ドレイン領域とを結ぶ方向の両側に位置する一対の端部を有し、

前記第 3 領域の前記一对の端部は、平面的に見て、前記第 1 領域と前記第 2 領域とに重畳する、

ことを特徴とする請求項 1 1 に記載の表示装置。

[請求項13] 前記半導体層の前記側面は、第 1 の側面と、前記第 1 の側面と前記チャンネル領域を介して対向する第 2 の側面と、を含み、

前記第 3 ゲート電極部は、前記第 1 の側面と前記第 2 の側面の両方と対向する、

ことを特徴とする請求項 1 に記載の表示装置。

[請求項14] 前記半導体層の前記側面は、第 1 の側面と、前記第 1 の側面と前記チャンネル領域を介して対向する第 2 の側面と、を含み、

前記第 3 ゲート電極部は、前記第 1 の側面と前記第 2 の側面の一方みに対向する、

ことを特徴とする請求項 1 に記載の表示装置。

[請求項15] 前記半導体層の前記側面は、第 1 の側面と、前記第 1 の側面と前記チャンネル領域を介して対向する第 2 の側面と、を含み、

前記第 3 ゲート電極部は、前記第 1 の側面と対向する互いに離間した複数の第 1 離間部分を含む、

ことを特徴とする請求項 1 に記載の表示装置。

[請求項16] 前記第 3 ゲート電極部は、前記第 2 の側面と対向する互いに離間した複数の第 2 離間部分を含む、

ことを特徴とする請求項 1 5 に記載の表示装置。

[請求項17] 前記半導体層は、前記ソース領域と前記ドレイン領域とを結ぶ方向に交差する方向に分岐する分岐部を有し、

前記分岐部は、前記チャンネル領域から分岐している、

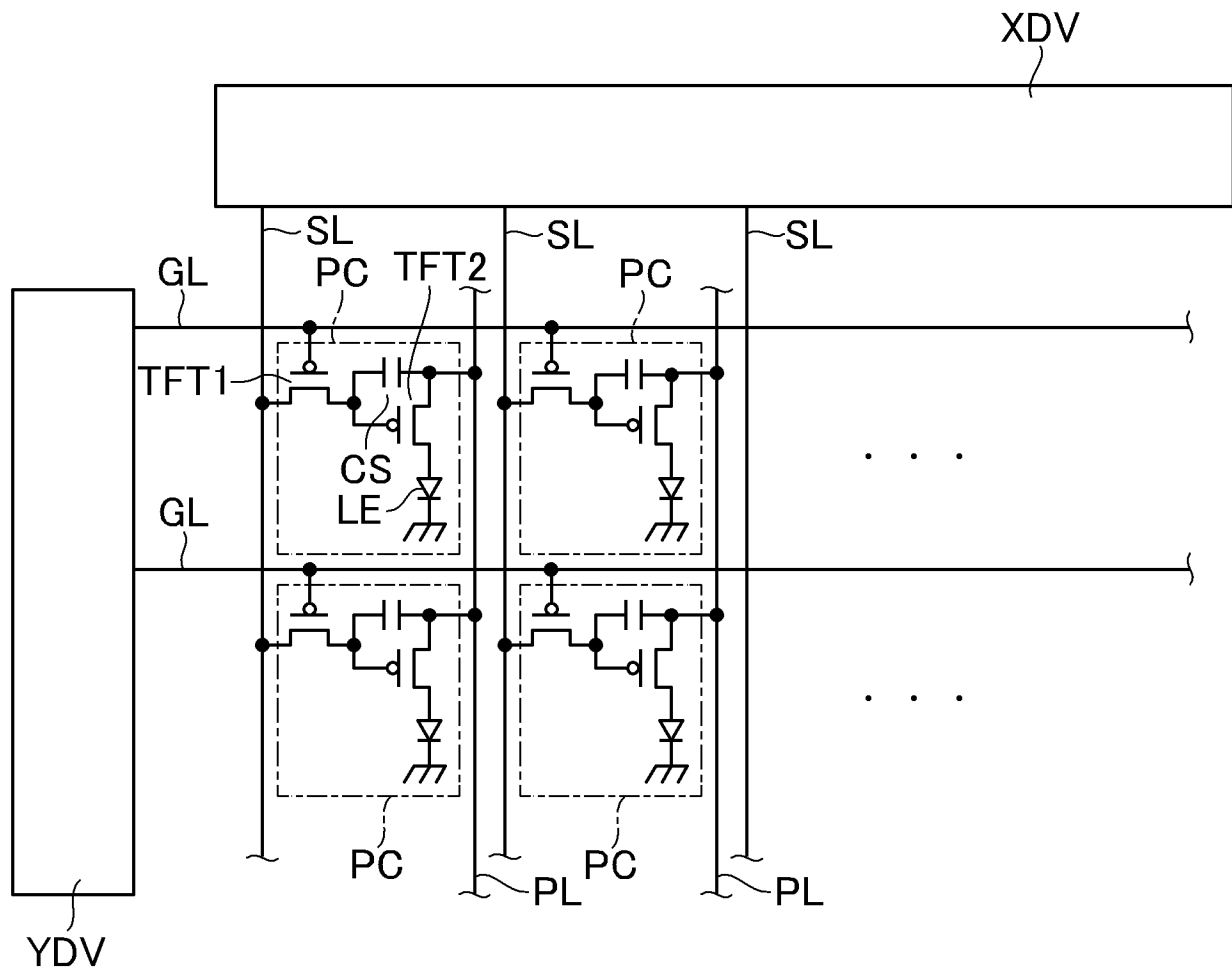
ことを特徴とする請求項 1 に記載の表示装置。

[請求項18] 前記第 1 ゲート電極部及び前記第 2 ゲート電極部の少なくとも一方は、前記分岐部に対向する分岐ゲート電極部を有する、

ことを特徴とする請求項 1 7 に記載の表示装置。

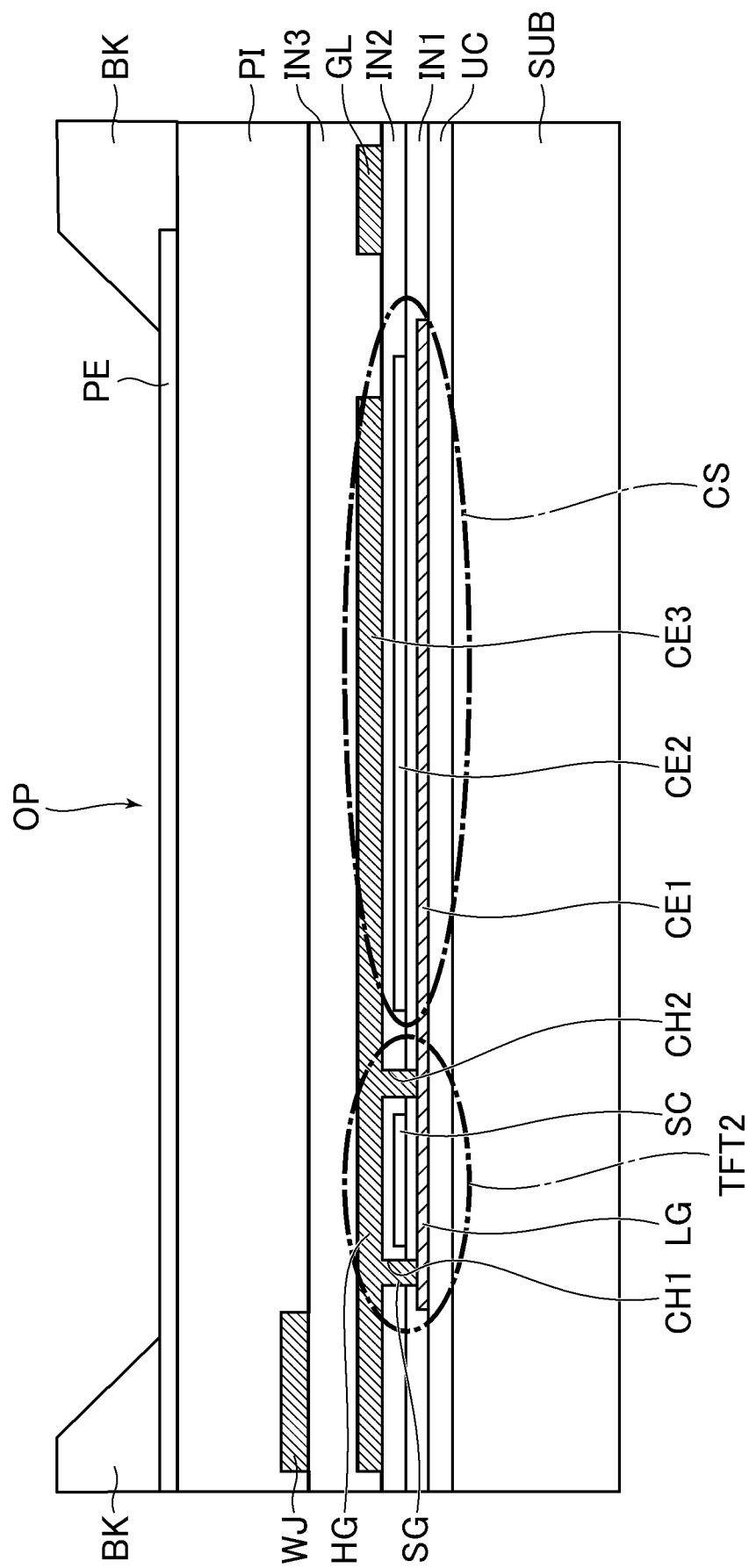
[請求項19] 前記分岐部は、前記ソース領域と前記ドレイン領域の一方と電氣的に接続する、
 ことを特徴とする請求項 17 に記載に表示装置。

[図1]

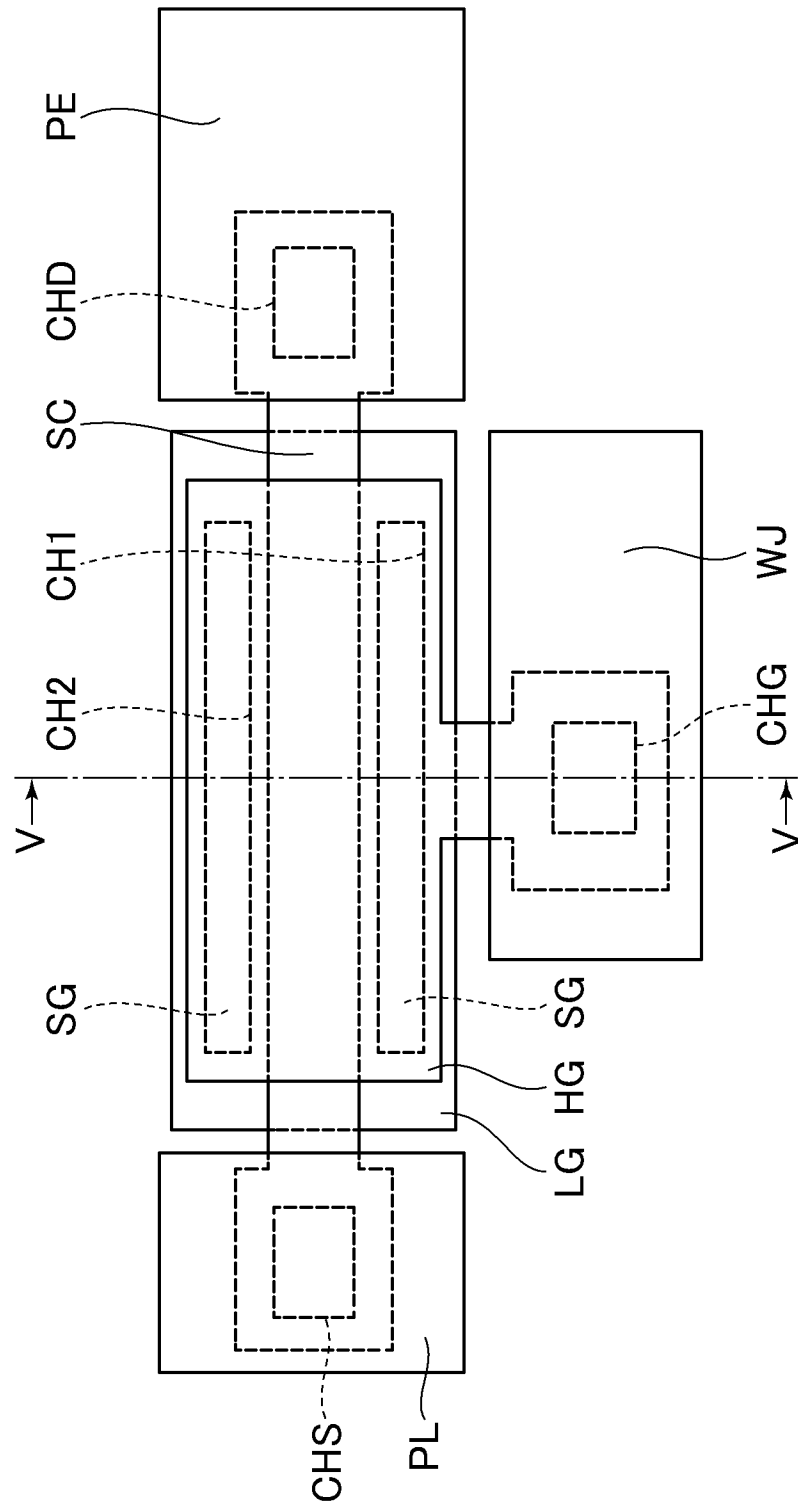


[illegible]

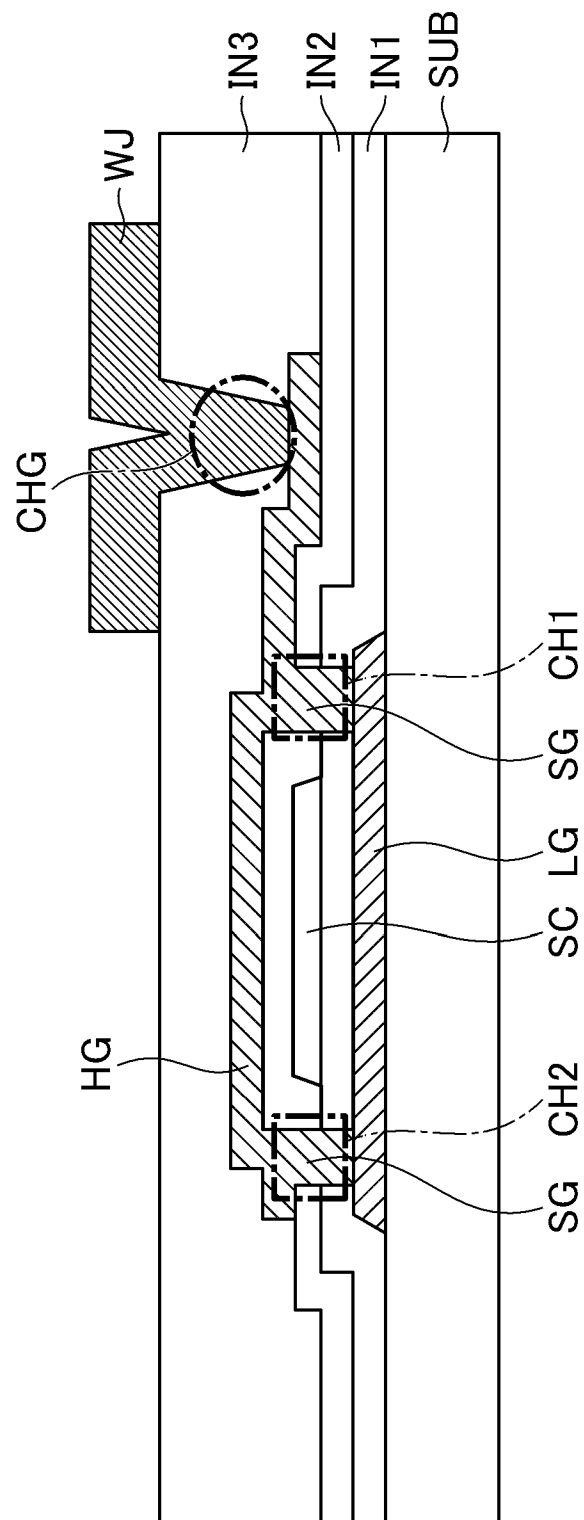
[図3]



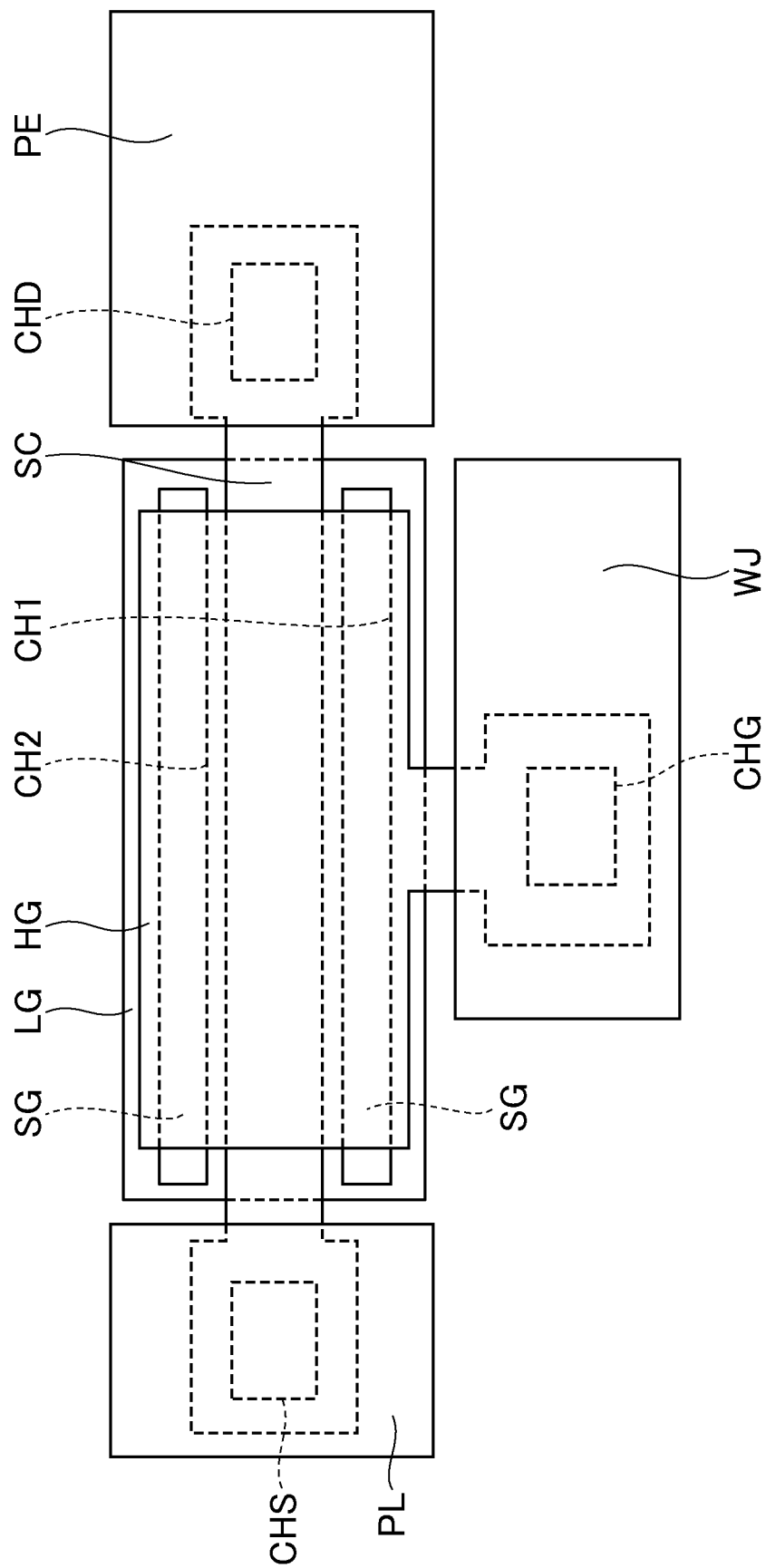
[図4]



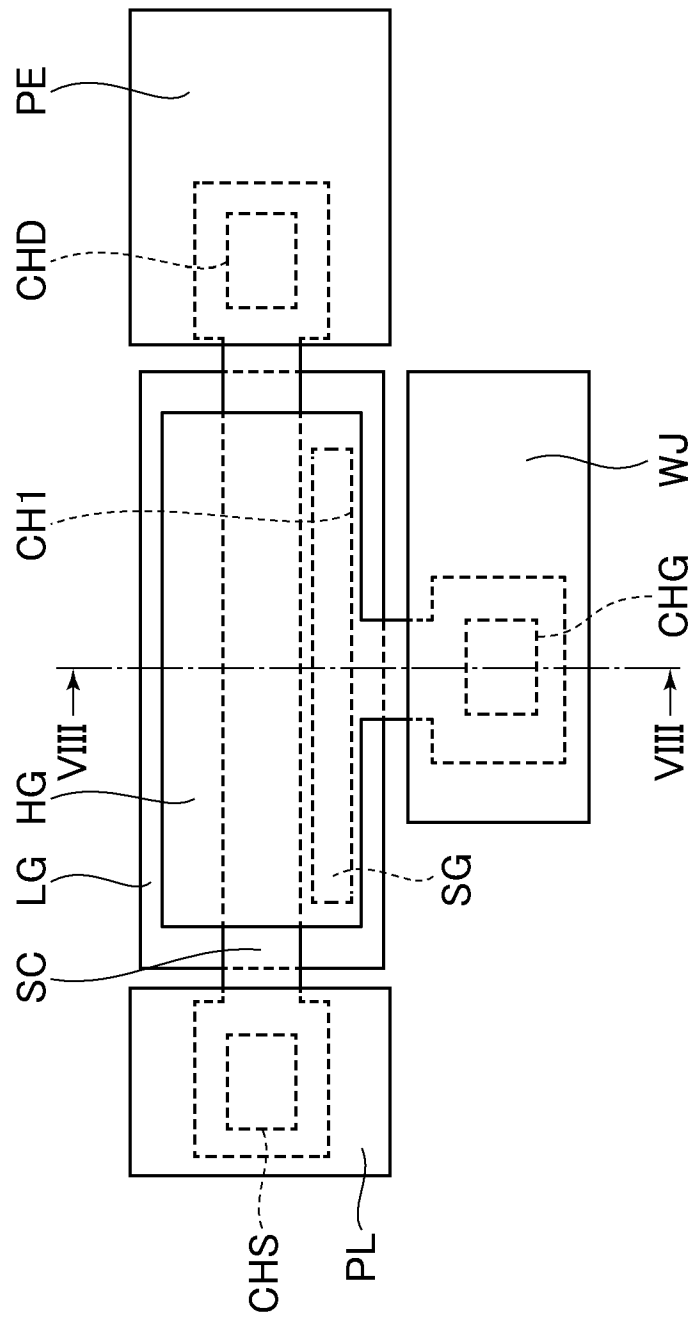
[図5]



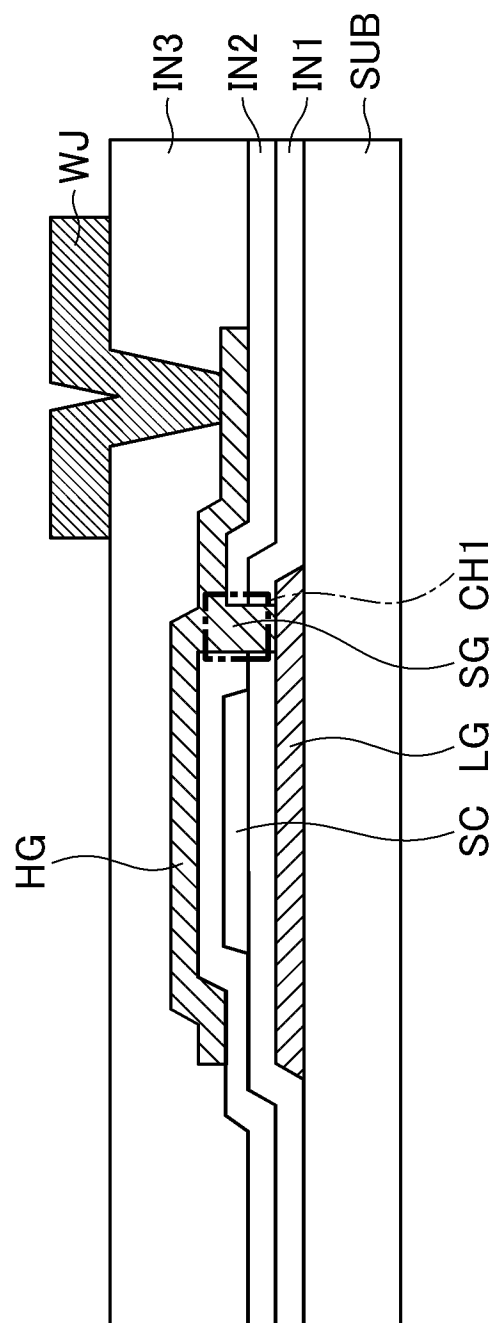
[図6]



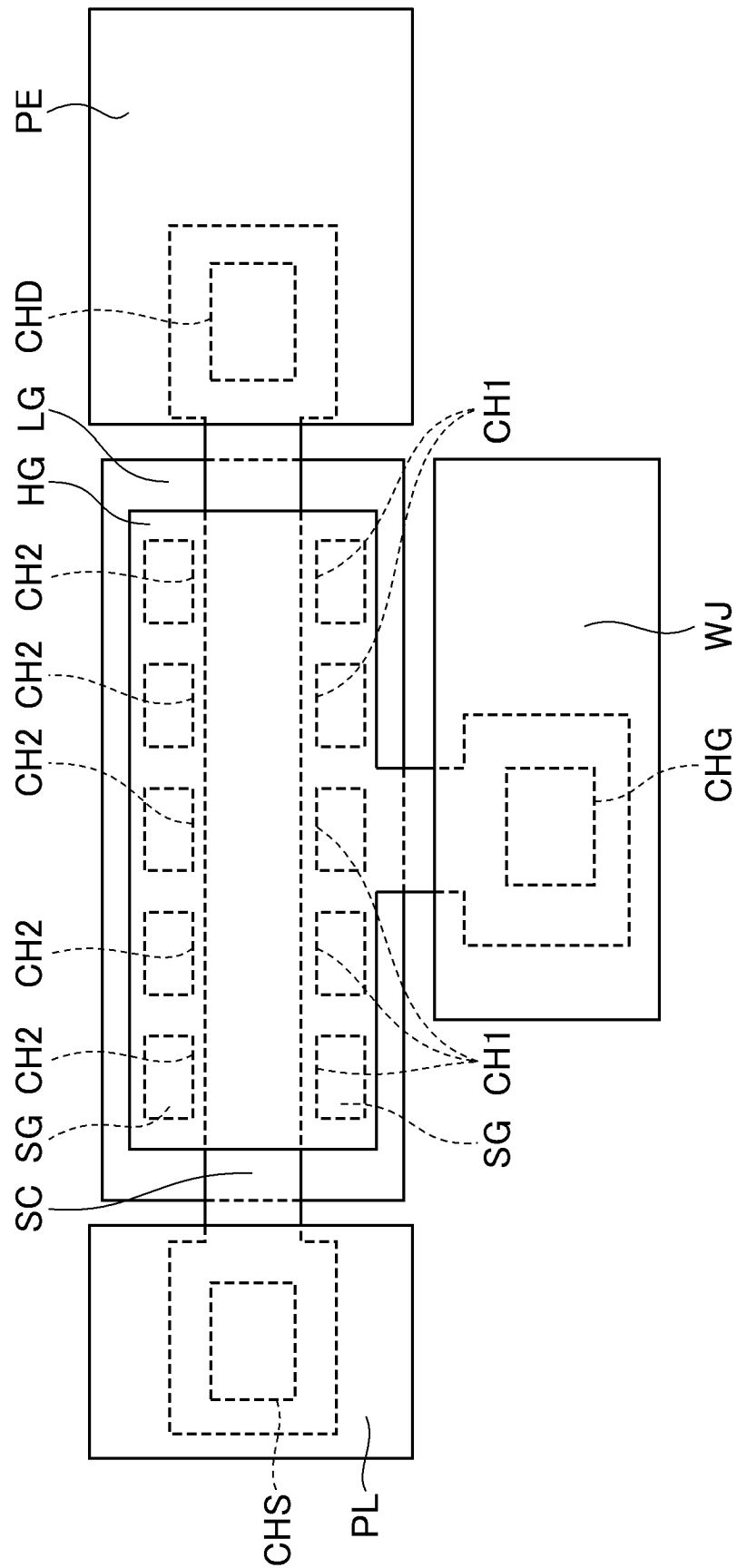
[図7]



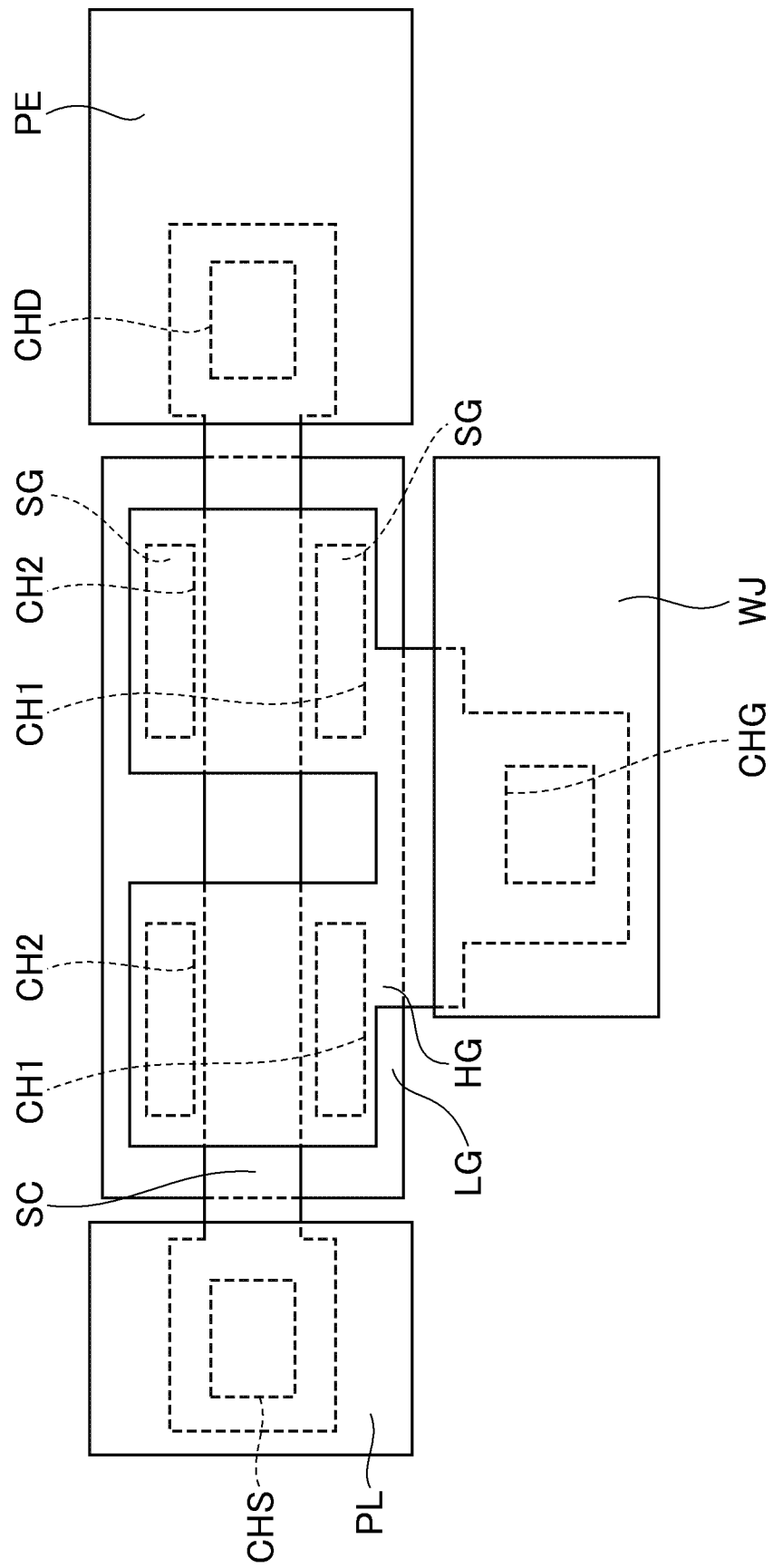
[図8]



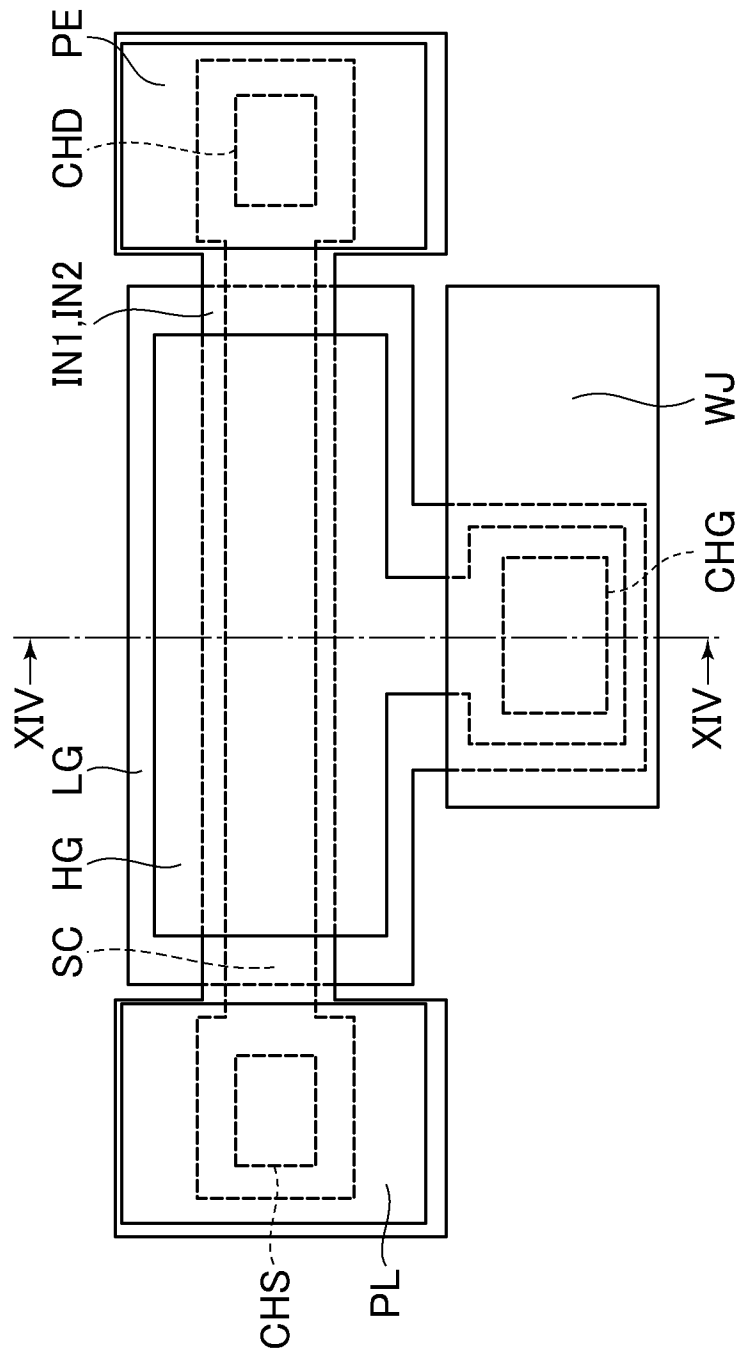
[図9]



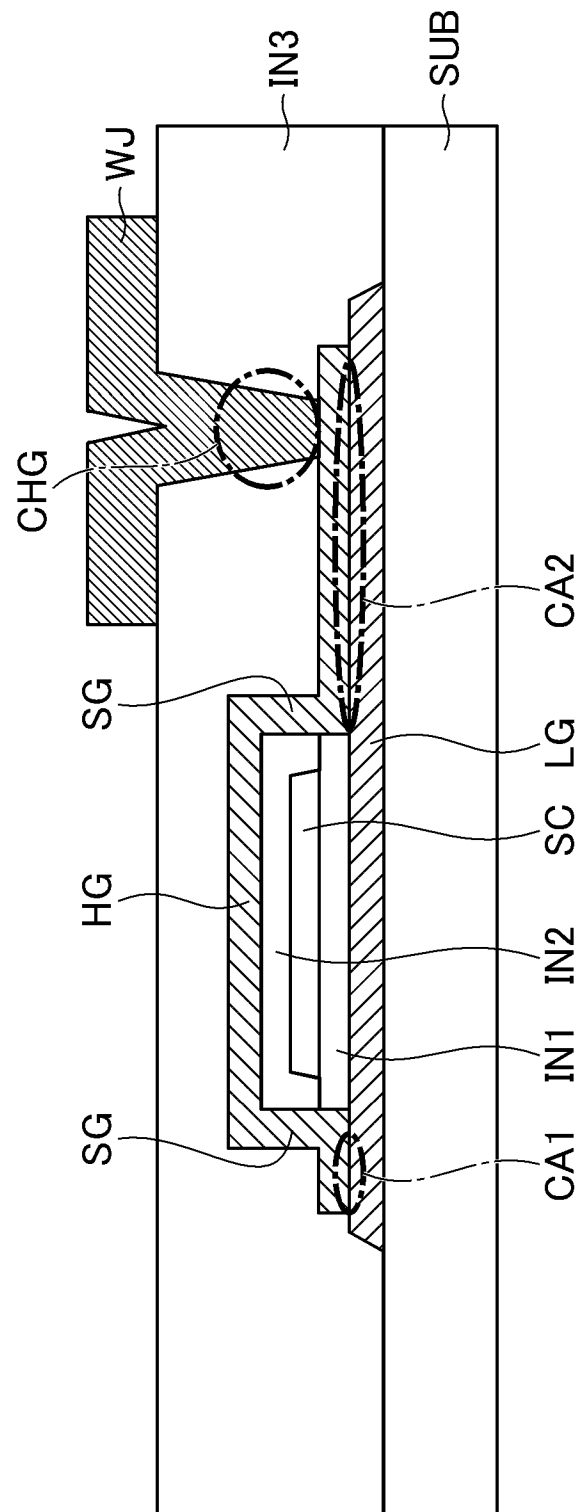
[図10]



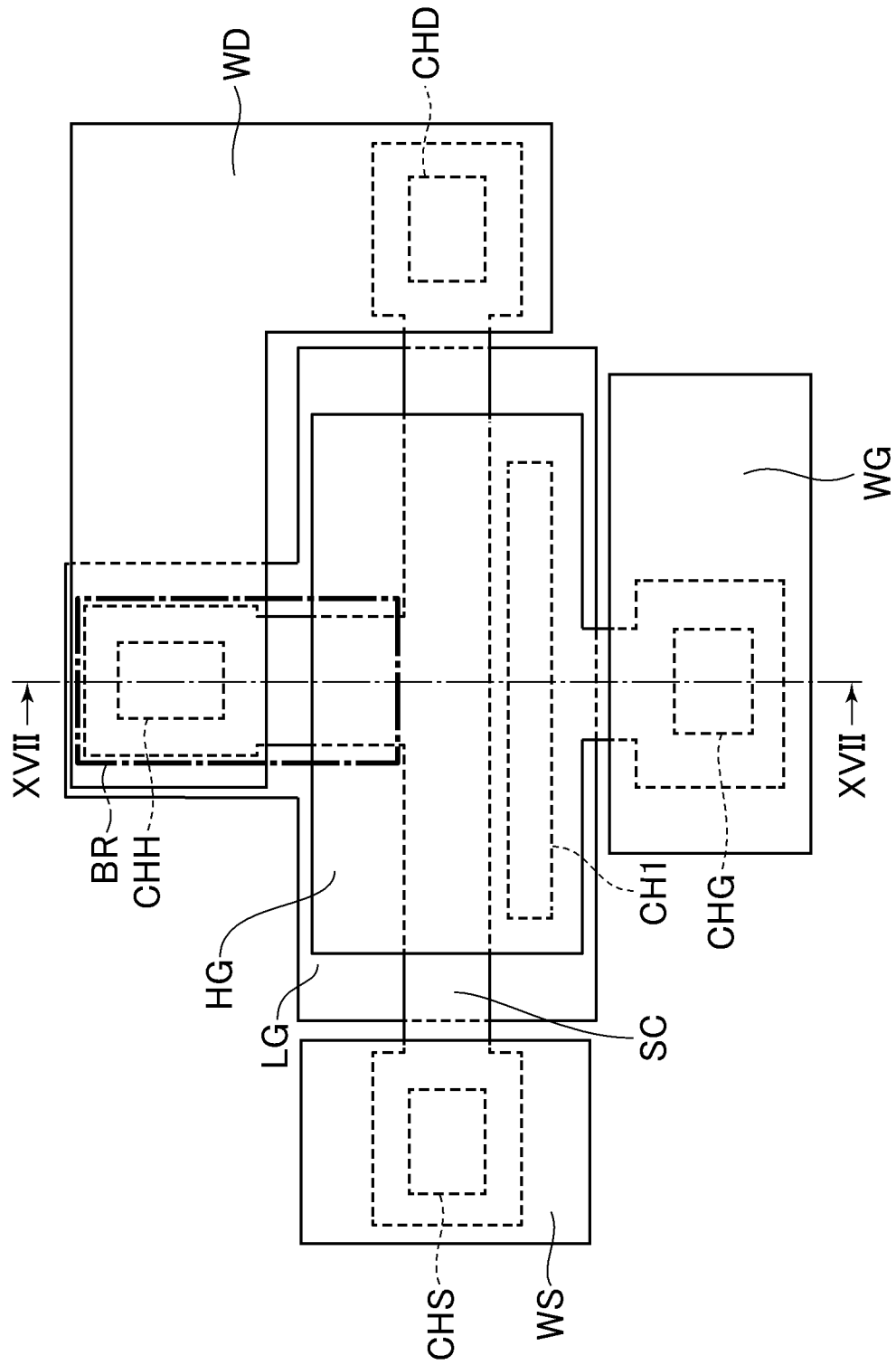
[図13]



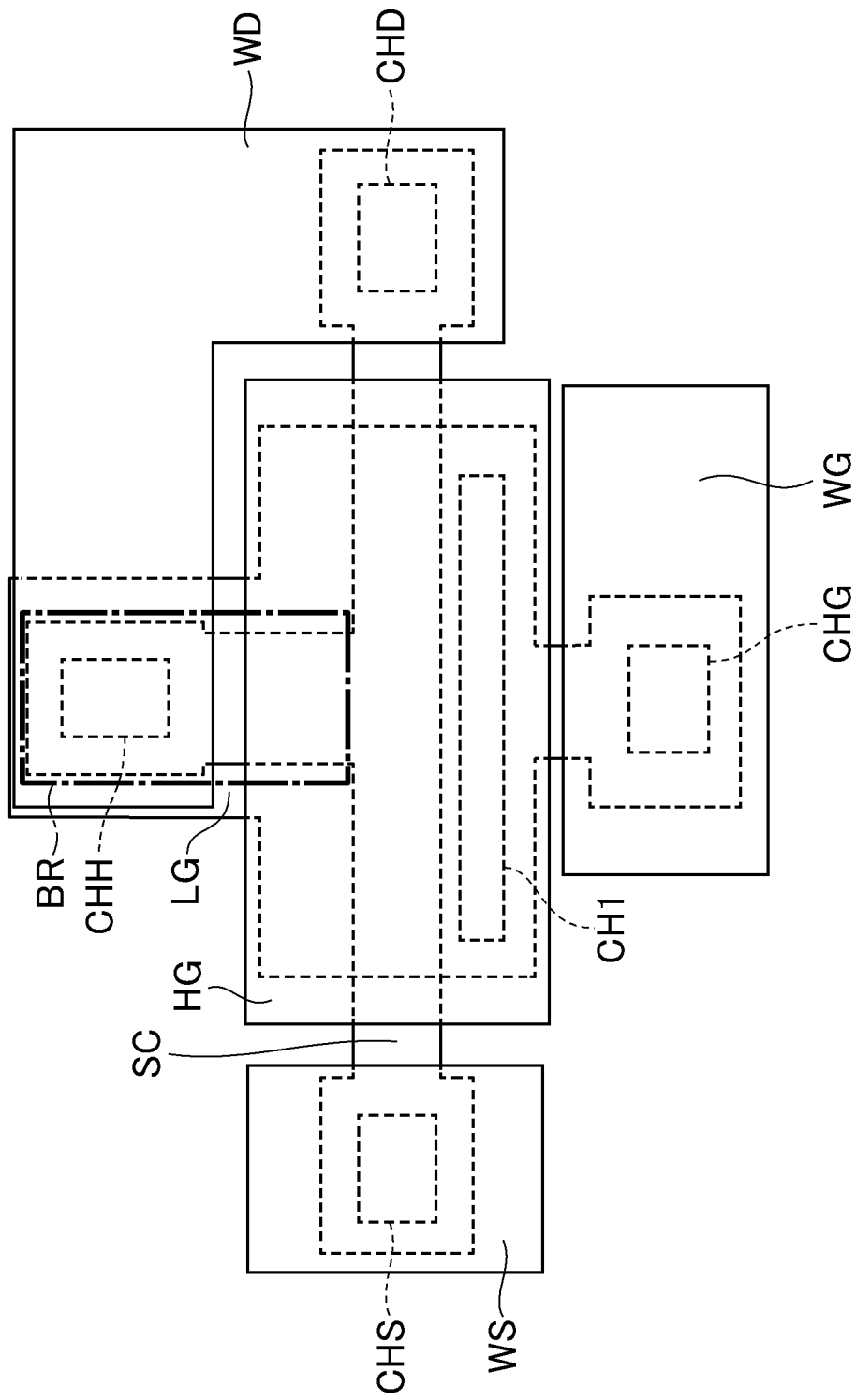
[図14]



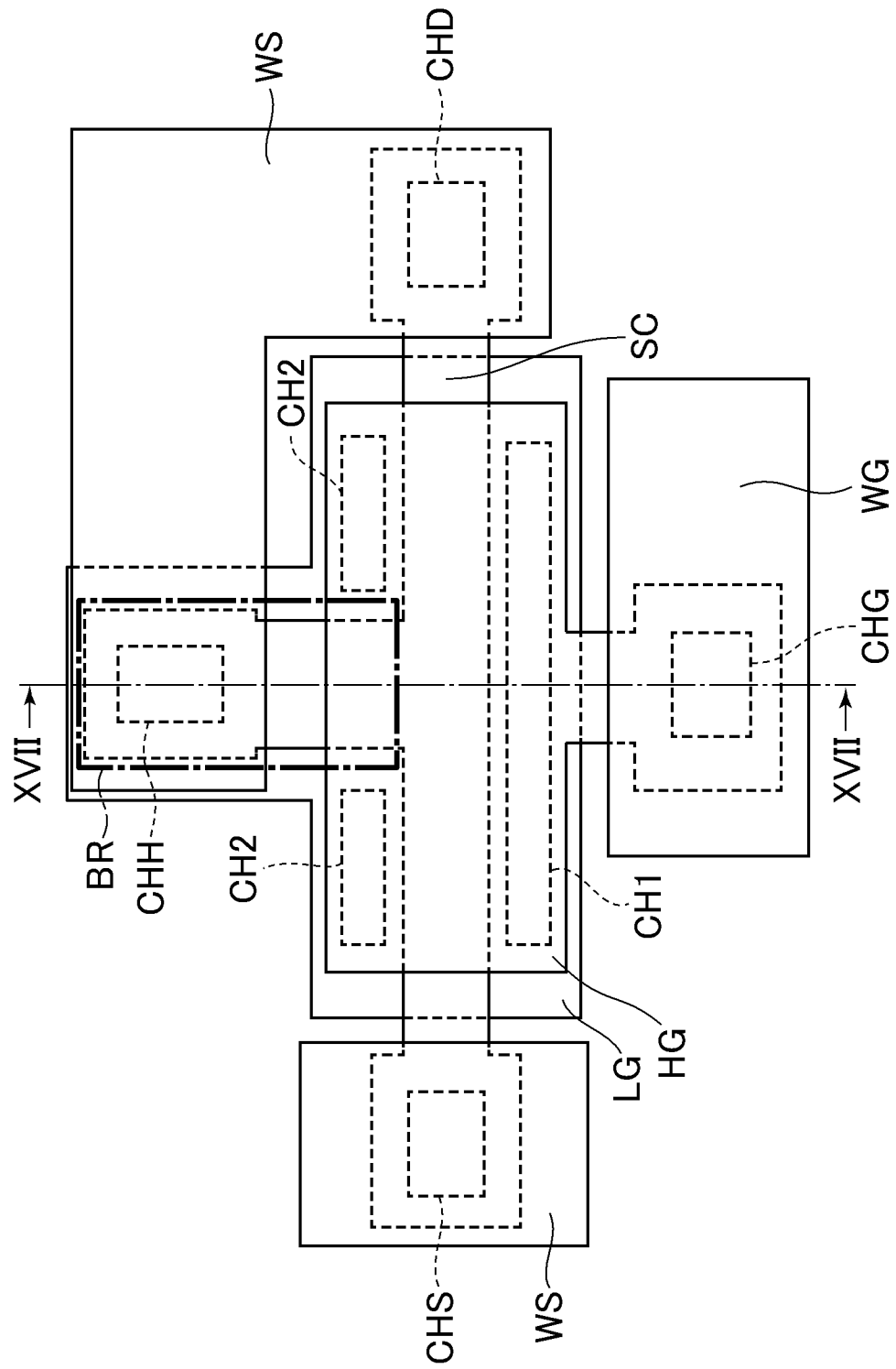
[図16]



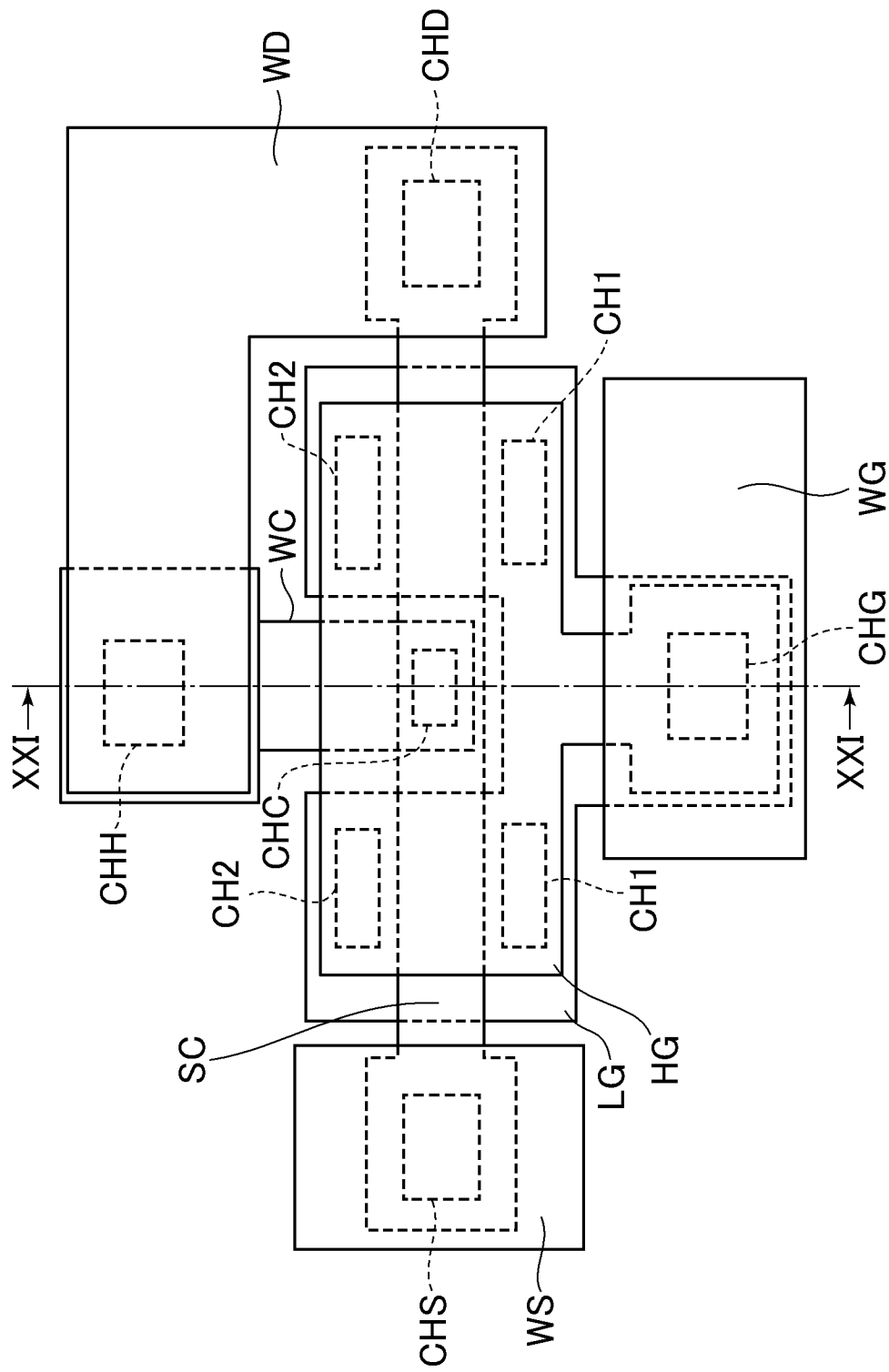
[図18]



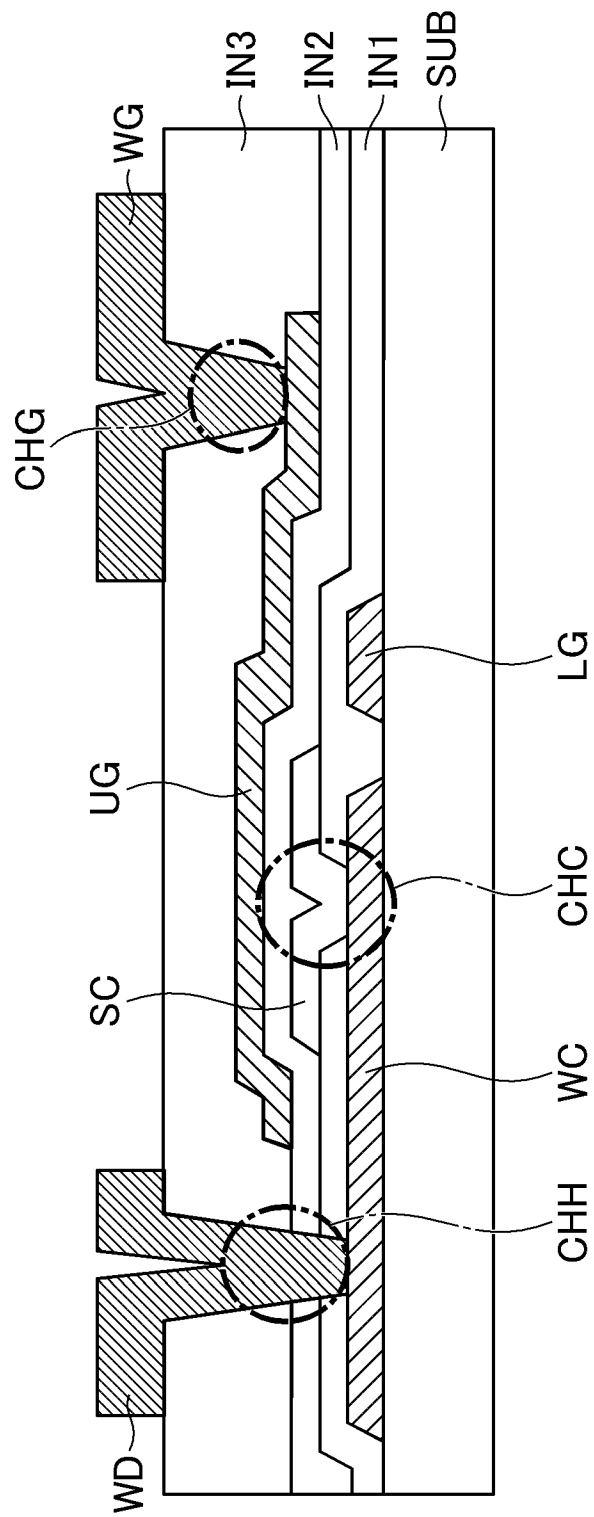
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/051586

A. CLASSIFICATION OF SUBJECT MATTER

G09F9/30(2006.01)i, G02F1/1368(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/786(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/30-9/46, H01L27/32, G02F1/136-1/1368, H01L51/50, H05B33/00-33/28, H01L21/28-21/288, 21/329, 21/44-21/445, 29/40-29/49, 29/872, H01L21/336, 29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2009-122253 A (Seiko Epson Corp.), 04 June 2009 (04.06.2009), paragraphs [0105] to [0132]; fig. 8 to 13 (Family: none)	1-2, 7, 11-16 9-10 3-6, 8, 17-19
Y A	JP 2011-181913 A (Semiconductor Energy Laboratory Co., Ltd.), 15 September 2011 (15.09.2011), paragraphs [0024] to [0102]; fig. 1, 3 & US 2011/0193077 A1 paragraphs [0036] to [0114]; fig. 1A to 1C, 3A1 to 3E2 & WO 2011/096263 A1 & TW 201203544 A & KR 10-2012-0117914 A	9-10 1-8, 11-19

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
06 April 2016 (06.04.16)

Date of mailing of the international search report
19 April 2016 (19.04.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/051586

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-290012 A (NEC Corp.), 27 October 1998 (27.10.1998), entire text; all drawings (Family: none)	1-19
A	JP 04-217230 A (NEC Corp.), 07 August 1992 (07.08.1992), entire text; all drawings (Family: none)	1-19
A	JP 2002-118255 A (Toshiba Corp.), 19 April 2002 (19.04.2002), entire text; all drawings (Family: none)	1-19
A	JP 2013-251526 A (Samsung Display Co., Ltd.), 12 December 2013 (12.12.2013), entire text; all drawings & US 2013/0320328 A1 entire text; all drawings & KR 10-2013-0136063 A & CN 103456793 A	1-19
A	JP 2011-139051 A (Semiconductor Energy Laboratory Co., Ltd.), 14 July 2011 (14.07.2011), entire text; all drawings & US 2011/0136302 A1 entire text; all drawings & WO 2011/068037 A1 & EP 2507823 A1 & CN 102640272 A & KR 10-2012-0104572 A & TW 201131664 A	1-19
A	JP 2007-233270 A (Sanyo Electric Co., Ltd.), 13 September 2007 (13.09.2007), entire text; all drawings (Family: none)	1-19

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G09F9/30(2006.01)i, G02F1/1368(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/786(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G09F9/30-9/46, H01L27/32, G02F1/136-1/1368, H01L51/50, H05B33/00-33/28, H01L21/28-21/288, 21/329, 21/44-21/445, 29/40-29/49, 29/872, H01L21/336, 29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 6 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2009-122253 A (セイコーエプソン株式会社) 2009.06.04, 段落 [0105] ~ [0132]、図8~図13 (ファミリーなし)	1-2, 7, 11-16 9-10 3-6, 8, 17-19
Y A	JP 2011-181913 A (株式会社半導体エネルギー研究所) 2011.09.15, 段落 [0024] ~ [0102]、図1、図3 & US 2011/0193077 A1, pars. [0036]-[0114], figs. 1A-1C, 3A1-3E2 & WO 2011/096263 A1 & TW 201203544 A & KR 10-2012-0117914 A	9-10 1-8, 11-19

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

0 6 . 0 4 . 2 0 1 6

国際調査報告の発送日

1 9 . 0 4 . 2 0 1 6

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

請園 信博

2 1

4 7 4 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 10-290012 A (日本電気株式会社) 1998. 10. 27, 全文、全図 (ファミリーなし)	1-19
A	JP 04-217230 A (日本電気株式会社) 1992. 08. 07, 全文、全図 (ファミリーなし)	1-19
A	JP 2002-118255 A (株式会社東芝) 2002. 04. 19, 全文、全図 (ファミリーなし)	1-19
A	JP 2013-251526 A (三星ディスプレイ株式會社) 2013. 12. 12, 全文、全図 & US 2013/0320328 A1, entire text, all drawings & KR 10-2013-0136063 A & CN 103456793 A	1-19
A	JP 2011-139051 A (株式会社半導体エネルギー研究所) 2011. 07. 14, 全文、全図 & US 2011/0136302 A1, entire text, all drawings & WO 2011/068037 A1 & EP 2507823 A1 & CN 102640272 A & KR 10-2012-0104572 A & TW 201131664 A	1-19
A	JP 2007-233270 A (三洋電機株式会社) 2007. 09. 13, 全文、全図 (ファミリーなし)	1-19