

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 6 月 11 日 (11.06.2020)



(10) 国际公布号
WO 2020/113402 A1

(51) 国际专利分类号:
G05F 1/56 (2006.01)

(21) 国际申请号: PCT/CN2018/119067

(22) 国际申请日: 2018 年 12 月 4 日 (04.12.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: 王丁丁 (WANG, Dingding); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 深圳市深佳知识产权代理事务所 (普通合伙) (SHENPAT INTELLECTUAL PROPERTY AGENCY); 中国广东省深圳市罗湖区南湖

街道春风路庐山大厦 B 座 18C2、18D、18E、18E2, Guangdong 518001 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: COMBINED SOFT-START CIRCUIT, COMBINED SOFT-START CHIP AND ELECTRONIC DEVICE

(54) 发明名称: 一种合路缓启电路、合路缓启芯片以及电子设备

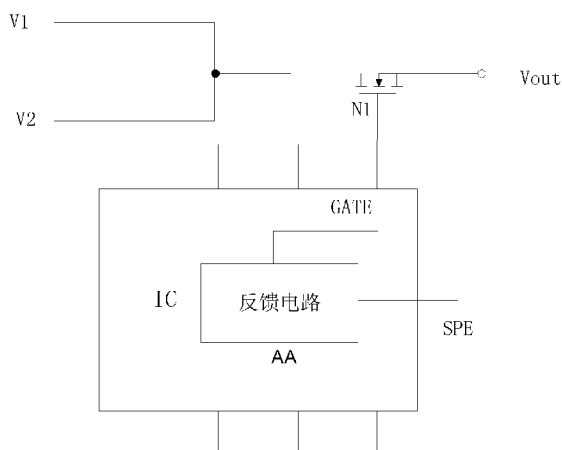


图 2

AA Feedback circuit

(57) Abstract: A combined soft-start circuit, a combined soft-start chip (IC), and an electronic device, which are used for improving the surge handling capability. The combined soft-start circuit comprises at least one input power supply (V1, V2), a first metal oxide semiconductor (mos) transistor (N1), a combined soft-start chip (IC) and an output voltage terminal (Vout); the combined soft-start chip (IC) comprises a feedback circuit; an output terminal of the at least one input power supply (V1, V2) is connected to a drain of the first mos transistor (N1), a gate of the first mos transistor (N1) is connected to a first control pin (GATE) of the combined soft-start chip (IC), and a source of the first mos transistor (N1) is the output voltage terminal (Vout); an input terminal (SPE) of the feedback circuit is connected to the output voltage terminal (Vout), and an output terminal of the feedback circuit is connected to the first control pin (GATE); an output voltage of the output voltage terminal (Vout) is input to the feedback circuit, and the feedback circuit generates a control voltage, and outputs same to the gate of the first mos transistor (N1) by means of the first control pin (GATE); and when the at least one input power supply (V1, V2) inputs a voltage higher than a threshold, the control voltage outputted from the feedback circuit decreases, and a gate input voltage of the first

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

mos transistor (N1) decreases, so that the first mos transistor (N1) is not completely turned on.

(57) 摘要：一种合路缓启电路、合路缓启芯片(IC)以及电子设备，用于提高抗浪涌冲击能力。合路缓启电路包括：至少一个输入电源(V1, V2)、第一金属氧化物半导体mos管(N1)、合路缓启芯片(IC)与输出电压端(Vout)；合路缓启芯片(IC)包括反馈电路；至少一个输入电源(V1, V2)的输出端连接第一mos管(N1)的漏极，第一mos管(N1)的栅极连接合路缓启芯片(IC)的第一控制引脚(GATE)，第一mos管(N1)的源极为输出电压端(Vout)；反馈电路的输入端(SPE)连接输出电压端(Vout)，反馈电路的输出端连接第一控制引脚(GATE)；输出电压端(Vout)的输出电压输入至反馈电路，反馈电路生成控制电压，并通过第一控制引脚(GATE)输出至第一mos管(N1)的栅极；当至少一个输入电源(V1, V2)输入高于阈值的电压时，反馈电路输出的控制电压降低，第一mos管(N1)的栅极输入电压降低，以使第一mos管(N1)不完全导通。

一种合路缓启电路、合路缓启芯片以及电子设备

技术领域

本申请涉及电路领域，特别涉及一种合路缓启电路、合路缓启芯片以及电子设备。

5 背景技术

合路缓启电路是需要热插拔的电子设备中非常常见的电路，合路缓启电路包括多种功能，第一是将输入的多路电源合路为一路输出；第二是在热插拔时，通过缓慢控制输出电压启动过程，从而减少对输入电源母线的冲击；第三是电流限制，通过电流检测通道，如果电流超过阈值一定时间则关断控制，从而达到保护上级电源和本板电路的目的。

10 示例性地，现有方案的合路缓启电路如图 1 所示，该合路缓启电路包括至少两个电源 V1 与 V2、合路缓启芯片 IC1、三个金属氧化物半导体（metal oxide semiconductor, MOS）管 N1、N2 与 N3，输出 Vout 等等。V1 接入 N1 的源极，N1 的栅极与 IC1 的 OG1 引脚连接，V2 接入 N2 的源极，N1 的栅极与 IC1 的 OG2 引脚连接，N1 的漏极与 N2 的漏极连接，并合路接入 N3 的漏极，N3 的栅极接入 IC1 的 GATE 引脚，该 GATE 引脚可以理解为 IC1 控制 N3 15 的控制端，N3 的源极接入输出端 Vout。上电时，通过控制 N3 栅极电压上升速度从而控制输出电压 Vout 的上升速度，进而控制对输入母线的影响，减少对输入电源母线的冲击。其次是输入两路的电源 V1 与 V2 中任一路电压跌落时会控制切换到另外一路，达到输入两路合路的作用。然后对于限流的作用，当输出电流超过阈值达到一定时间时会将 N3 栅极电压拉低，从而切断 N3 的输出，达到保护上级电源和本合路缓启电路的目的。

20 然而，现有实现方案基本上是对输入电压的透传，输入电压在芯片设计范围内都会传到下一级。因此如果上级存在浪涌冲击时，即瞬间出现超出稳定电压的冲击电压，冲击电压就传到了下一级，后级的所有电源设计就必须满足上级最高电压的要求而采用比较高耐压的工艺。例如，若电源输出到多个设备，那么，该多个设备则都需要耐高压。而高耐压工艺的芯片存在成本更高、效率更低的缺点。

25

发明内容

本申请实施例提供了一种合路缓启电路、合路缓启芯片以及电子设备，用于提高合路缓启电路的抗浪涌冲击能力，降低使用合路缓启电路的后级设备成本。

有鉴于此，本申请第一方面一种合路缓启电路，包括：至少一个输入电源、第一金属氧化物半导体 mos 管、合路缓启芯片与输出电压端；其中，合路缓启芯片还包括反馈电路； 30 该至少一个输入电源的输出端连接该第一 mos 管的漏极，该第一 mos 管的栅极连接该合路缓启芯片的第一控制引脚，该第一 mos 管的源极为输出电压端；该反馈电路的输入端连接该输出电压端，该反馈电路的输出端连接该第一控制引脚；

该输出电压端的输出电压输入至该反馈电路，该反馈电路根据该输出电压得到控制电压，并通过该第一控制引脚输出至该第一 mos 管的栅极； 35

当该至少一个输入电源输入高于阈值的电压时，该反馈电路输出的控制电压降低，该第一 mos 管的栅极输入电压降低，以使该第一 mos 管不完全导通。

-2-

在本申请实施例中，当至少一个输入电源输入高于阈值的电压时，反馈电路输出的控制电压降低，从而使输入到第一 mos 管栅极的电压降低，以控制第一 mos 管不完全导通或者截止。因此，输出电压端输出的电压也降低。因此，当输入电压存在浪涌时，通过反馈电路控制第一 mos 管的不完全导通或截止，使第一 mos 管源极的输出电压降低，因此得到

5 输出电压降低，可以抑制浪涌冲击。

可选地，在一些可能的实施例中，反馈电路可以包括运算放大器与第二 mos 管；

该运算放大器的同相输入端连接该输出电压端，该运算放大器的反相输入的接入参考电源，该运算放大器的输出端连接该第二 mos 管的栅极，该第二 mos 管的漏极连接该第一 mos 管的栅极，该第二 mos 管的源极接地。

10 在本申请实施例中，当输出电压过高时，经过运算放大器反馈到第二 mos 管的栅极，从而控制第二 mos 管导通，而第二 mos 管的源极接地，因此，相当于将第一 mos 管的栅极接地。从而降低了第一 mos 管的栅极的电压，使第一 mos 管不完全导通或截止，进而使第一 mos 管源极输出的电压降低。因此得到输出电压降低，可以抑制浪涌冲击。

可选地，在一些可能的实施例中，该合路缓启电路还可以包括：第一电阻与第二电阻；

15 该输出电压端连接该第一电阻的一端，该第一电阻的另一端连接该运算放大器的同相输入端与该第二电阻的一端，该第二电阻的另一端接地。

在本申请实施例中，可以通过配置第一电阻与第二电阻的值，来确定本申请实施例中电压钳位的具体值，并可以通过两个电阻将分压后的电压输入至运算放大器中，实现反馈电路的输入，从而控制第一 mos 管的导通与截止，进而控制输出电压端的输出电压。

20 可选地，在一些可能的实施例中，该至少一个输入电源中包括第一输入电源与第二输入电源，该合路缓启电路还包括第三 mos 管与第四 mos 管；

该第一输入电源的输出端连接该第三 mos 管的源极，该第三 mos 管的栅极连接该合路缓启芯片的第二控制引脚，该第三 mos 管的漏极连接该第一 mos 管的漏极；

25 该第二输入电源的输出端连接该第四 mos 管的源极，该第四 mos 管的栅极连接该合路缓启芯片的第三控制引脚，该第四 mos 管的漏极连接该第一 mos 管的漏极。

在本申请实施例中，可以通过第二控制引脚与第三控制引脚，控制第二 mos 管与第三 mos 管的导通或截止。从而避免第一输入电源或第二输入电源的输出电压过大，而导致电路中的元件损耗等。

30 可选地，在一些可能的实施例中，该合路缓启电路还包括第一电容，该第一电容的一端连接该输出电压端，该电容的另一端接地。

可选地，在一些可能的实施例中，该合路缓启电路还包括第二电容与第三电阻；

该第二电容的一端连接该第一 mos 管的栅极，该第二电容的另一端连接该第三电阻的一端，该第三电阻的另一端接地。

35 在本申请实施例中，通过接入第二电容与第三电阻，实现对第一 mos 管的延迟控制，实现缓启动的效果。

可选地，在一些可能的实施例中，该合路缓启电路还包括第四电阻；

该第四电阻的一端连接该第一 mos 管的漏极，该第四电阻的另一端连接该第二 mos 管

—3—

的漏极与该第三 mos 管的漏极。

本申请第二方面提供一种合路缓启芯片，应用于合路缓启电路，该合路缓启电路包括至少一个输入电源、第一金属氧化物半导体 mos 管、合路缓启芯片与输出电压端，该合路缓启芯片包括反馈电路、第一控制引脚；

5 该至少一个输入电源的输出端连接该第一 mos 管的漏极，该第一 mos 管的栅极连接该第一控制引脚，该第一 mos 管的源极为输出电压端；

该反馈电路的输入端连接该输出电压端，该反馈电路的输出端连接该第一控制引脚；

该输出电压端的输出电压输入至该反馈电路，该反馈电路根据该输出电压得到控制电压，并通过该第一控制引脚输出至该第一 mos 管的栅极；

10 当该至少一个输入电源输入高于峰值的高电压时，该控制电压降低，该第一 mos 管的栅极输入电压降低，以使该第一 mos 管截止。

可选地，在一些可能的实施例中，该反馈电路包括运算放大器与第二 mos 管；

该运算放大器的同相输入端连接该输出电压端，该运算放大器的反相输入的接入参考电源，该运算放大器的输出端连接该第二 mos 管的栅极，该第二 mos 管的漏极连接该第一 mos 管的栅极，该第四 mos 管的源极接地。

可选地，在一些可能的实施例中，该合路缓启电路还包括：第一电阻与第二电阻；

该输出电压端连接该第一电阻的一端，该第一电阻的另一端连接该运算放大器的同相输入端与该第二电阻的一端，该第二电阻的另一端接地。

可选地，在一些可能的实施例中，该至少一个输入电源中包括第一输入电源与第二输入电源，该合路缓启电路还可以包括第三 mos 管与第四 mos 管，该合路缓启芯片还包括第二控制引脚与第三控制引脚；

该第一输入电源的输出端连接该第三 mos 管的源极，该第三 mos 管的栅极连接该第二控制引脚，该第三 mos 管的漏极连接该第一 mos 管的漏极；

该第二输入电源的输出端连接该第四 mos 管的源极，该第四 mos 管的栅极连接该第三控制引脚，该第四 mos 管的漏极连接该第一 mos 管的漏极。

本申请第三方面提供一种电子设备，该电子设备包括如前述第一方面中任一实施例中的合路缓启电路。

本申请第四方面提供一种电子设备，其特征在于，该电子设备包括前述第二方面中任一实施例中的合路缓启芯片。

30 本申请实施例提供的技术方案中，在本申请实施例中，当输入高于阈值的输入电压时，通过反馈电路输出的控制电压，控制第一 mos 管栅极的输入电压降低，从而使第一 mos 管不完全导通或截止，以避免高于阈值的输入电压输出到输出电压端。因此，本申请实施例通过加入反馈电路，将输出电压控制在一定范围内，抑制浪涌冲击，后级接收输出电压端的设备降低耐高压工艺的电压，无需进行过高耐高压工艺制造，降低了后级设备的成本，
35 提高制造效率。

附图说明

图 1 为现有方案中合路缓启电路的一个实施例的示意图；

图 2 为本申请实施例中提供的合路缓启电路的一种实施例示意图；

图 3 为本申请实施例中提供的合路缓启电路的另一种实施例示意图

5 图 4 为本申请实施例中提供的合路缓启电路的输入电压与输出电压对比图；

图 5 为本申请实施例中提供的合路缓启电路的控制电压示意图。

具体实施方式

10 本申请提供一种合路缓启电路、合路缓启芯片以及电子设备，用于提高合路缓启电路的抗浪涌冲击能力，降低使用合路缓启电路的成本。

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

15 本申请实施例提供的合路缓启芯片可以应用于合路缓启电路，该合路缓启电路或该合路缓启芯片还可以应用于各种电子设备，例如，移动电话、路由器等等。

下面对本申请实施例提供的合路缓启电路以及合路缓启芯片进行结合说明，请参阅图 2，本申请实施例提供的合路缓启电路。该合路缓启电路包括至少一个输入电源、第一 mos 管 N1、合路缓启芯片 IC 与输出电压端 Vout；其中，合路缓启芯片还包括反馈电路。

20 其中，该至少一个输入电源，可以包括一个或多个输入电源，该多个为两个或两个以上。下面以两个输入电源 V1 与 V2 为例进行说明。

第一 mos 管 N1 以 N 型金属氧化物半导体 (N-Metal-Oxide-Semiconductor, NMOS) 为例进行说明，该第一 mos 管也可以是 P 型金属氧化物半导体 (P-Metal-Oxide-Semiconductor, PMOS)，具体可以根据实际应用场景调整，此处仅以 NMOS 进行示例性说明。

25 输入电源 V1 的输出端与 V2 的输出端合路后，连接到 N1 的漏极，N1 的源极连接到输出电压端，该输出电压端输出该合路缓启电路的输出电压。N1 的栅极连接到合路缓启芯片的第一控制引脚，该第一控制引脚连接到反馈电路的输出端，并且反馈电路的输入端连接输出电压端。

30 可以理解为，合路缓启芯片增加了一个引脚，即 SPE 引脚，反馈电路的输入端为合路缓启芯片的 SPE 引脚，反馈电路的输出端连接合路缓启芯片的第一控制引脚，即图 2 中的 GATE 引脚。

输出电压端的输出电压通过 SPE 引脚输入值反馈电路，反馈电路根据该输出电压端输出的电压得到控制电压，并通过 GATE 引脚输入到 N1 的栅极，以控制 N1 的导通或截止。

具体地，当该至少一个输入电源中任一输入电源输入高于阈值的输入电压时，反馈电路输出的控制电压降低，从而输入到 N1 栅极的电压降低，进而控制 N1 不完全导通或截止，以降低输出电压端的输出电压。

应理解，本申请实施例中的合路缓启芯片除了前述的 GATE 引脚与 SPE 引脚外，还可以

包括其他的引脚（图中未示出），例如，电源引脚、接地引脚等等，具体可以根据实际应用场景调整。

因此，在本申请实施例中，当输入高于阈值的输入电压时，通过反馈电路输出的控制电压，控制第一 mos 管栅极的输入电压降低，从而使第一 mos 管不完全导通或截止，以避免高于阈值的输入电压输出到输出电压端。因此，本申请实施例通过加入反馈电路，将输出电压控制在一定范围内，抑制浪涌冲击，后级接收输出电压端的设备降低耐高压工艺的电压，无需进行过高耐高压工艺制造，降低了后级设备的成本，提高制造效率。

更具体地，下面对本申请实施例提供的合路缓启电路进行更进一步地说明，请参阅图 3。

其中，还是以两个电源 V1、V2 进行示例性说明。

反馈电路包括运算放大器 F1 与第二 mos 管 N2。

N2 可以是 NMOS，也可以是 PMOS，此处仅以 NMOS 进行示例性说明，当 N2 为 PMOS 的连接结构与 NMOS 类似，此处不再赘述。

F1 的同相输入端连接 SPE 引脚，SPE 引脚连接输出电压端，F1 的反相输入端输入参考电压 V_i ，F1 的输出端连接 N2 的栅极。N2 的源极接地，N2 的漏极连接 GATE 端，即第一控制端。

当 F1 的同相输入端接收从输出电压端输入的电压时，将该电压与参考电压 V_i 对比，并进行放大运算，输出到 N2 的栅极，从而控制 N2 的截止或导通。当存在浪涌时，输出电压端的输出电压增高，通过 SPE 引脚反馈到运算放大器 F1 的同相输入端，若输出电压过高，则运算放大器 F1 的输出电压经过放大也增高，然后 F1 的输出电压反馈到 N2 的栅极，当高于 N2 的开启电压时，N2 导通。此时，可以相当于逐渐将 N1 的栅极导通至接地，从而降低 N1 栅极的输入电压，控制 N1 不完全导通或截止，从而避免浪涌冲击输出到后级设备。当 N1 截止，输出电压端的输出电压降低，反馈到运算放大器 F1，使 F1 的输出电压降低，当降低至 N2 的开启电压以下时，N2 截止，合路缓启芯片内部的电流源输出电流至 N1 的栅极，从而控制 N1 导通。因此，在本申请实施例中，通过反馈电路，实时对输出电压端的输出电压进行反馈，控制 N1 的导通或截止，从而使输出电压端的输出电压控制在预设范围内。

可选地，合路缓启芯片内部还设置有电流源 I_s ， I_s 的一端连接到 GATE 引脚。当 N2 截止时， I_s 的输出电流导通至 N1 的栅极，且输入至 N1 栅极的电压高于 N1 的开启电压，从而使 N1 导通。因此，当输出电压端的输出电压处于正常电压范围内时，N2 截止，N1 导通。从而使输出电压稳定输出。

可选地，合路缓启电路还包括第一电阻 R1 与第二电阻 R2。R1 一端连接输出电压端，另一端连接 SPE 引脚与 R2 的一端，R2 的另一端接地。因此，输入到 SPE 的电压的值为： $V = (R2 / (R1 + R2)) * V_{out}$ 。因此，可以降低输入到运算放大器中的电压值。

在本申请实施例中，可以通过配置 R1 与 R2 的值，来确定本申请实施例中电压钳位的具体值，并通过两个电阻将分压后的电压输入至 SPE 引脚，实现反馈电路的输入，从而控制 N1 的导通与截止，进而控制输出电压端的输出电压。

可选地，合路缓启电路还可以包括第一电容 C1。该第一电容 C1 的一端连接至 N1 的源

—6—

极, C2 的另一端接地。以对输出电压进行过滤, 使输出电压更稳定。

可选地, 合路缓启电路还可以包括第二电容 C2 与第三电阻 R3。C2 的一端连接 N1 的栅极, C2 的另一端连接 R3 的一端, R3 的另一端接地。在本申请实施例中, 可以通过 C2 的充电与放电之间的时延, 从而实现对 N1 的控制的时延, 从而实现缓启。

5 可选地, V1、V2 与 N1 之间还可以包括第三 mos 管 N3 与第四 mos 管 N4。

V1 的输入至 N3 的源极, N3 的栅极连接合路缓启芯片的第二控制引脚 IN2, N3 的漏极连接至 N1 的漏极。

V2 的输入至 N4 的源极, N4 的栅极连接合路缓启芯片的第三控制引脚 IN3, N4 的漏极连接至 N1 的漏极。

10 应理解, 在本申请中, 前述的 N1、N2、N3、N4 中除了可以都为 NMOS, 还可以是其中一个或多个为 PMOS, 其连接结构与前述图 2 或图 3 中的合路缓启电路类似, 本申请实施例不再赘述。

因此, 在本申请实施例中, 可以通过合路缓启芯片的 IN2 与 IN3 引脚, 控制 N3 与 N4 的导通或截止。从而避免 V1 或 V2 的输出电压过大, 而导致电路中的元件损耗等。

15 可选地, 合路缓启电路还可以包括第四电阻 R4。R4 的一端连接 N1 的漏极, R3 的另一端连接 N3 与 N4 的漏极。

示例性地, 输入电压与输出电压的对比可以如图 4 所示。其中, 当输入电压存在浪涌时, 通过控制 N1 的栅极, 使 N1 输出的电压提升的幅度明显较低, 可以使输出电压控制在预设范围内。对应的, 输入到 N1 栅极的电压可以如图 5 所示。当输入电压存在浪涌时, 拉
20 低 N1 栅极的输入电压, 以控制 N1 的不完全导通或截止, 进而避免输出电压过高。

可以理解为, 在本申请实施例中, 通过两个电阻 R1 与 R2 对输出电压进行分压, 并将分压后的电压输入至运算放大器。反馈电路对输入的电压进行处理后, 输出到 N2, 从而控制 N2 的导通与截止。当 N2 导通时, N1 的栅极相当于接地, 因此, 拉低了 N1 栅极输入的电压值, 使, N1 不完全导通或截止。当 N2 截止时, N1 接收合路缓启芯片内部输入的电压,
25 且该电压大于 N1 的开启电压, N1 导通。因此, 可以通过反馈电路来控制 N1 的导通截止, 当输出电压过高时, N1 截止, 输出电压低于阈值时, N1 导通, 可以避免浪涌冲击的冲击电压对输出电压的影响。此外, 还可以通过配置两个电阻 R1 与 R2 的值, 来配置输入至反馈电路的电压, 从而控制输出电压端的输出电压。

本申请实施例还提供一种电子设备, 该电子设备可以包括前述图 2 或图 3 中任一实施例中的合路缓启电路。该电子设备可以是移动电话、平板电脑、路由器等等。该电子设备
30 还可以包括处理器、存储器、显示器等等, 具体本申请实施例不作限定。

本申请实施例还提供另一种电子设备, 该电子设备可以包括前述图 2 或图 3 中任一实施例中的合路缓启芯片。该电子设备可以是移动电话、平板电脑、路由器等等。该电子设备
还可以包括处理器、存储器、显示器等等, 具体本申请实施例不作限定。

35 本申请的说明书和权利要求书及附图中的术语“第一”、“第二”、“第三”、“第四”等(如果存在)是用于区别类似的对象, 而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换, 以便这里描述的实施例能够以除了在这里

—7—

图示或描述的内容以外的顺序实施。此外，术语“包括”和“具有”以及他们的任何变形，意图在于覆盖不排他的包含，例如，包含了一系列步骤或单元的过程、方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元，而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

—8—

权 利 要 求

1、一种合路缓启电路，其特征在于，包括：至少一个输入电源、第一金属氧化物半导体mos管、合路缓启芯片与输出电压端；其中，所述合路缓启芯片还包括反馈电路；

所述至少一个输入电源的输出端连接所述第一mos管的漏极，所述第一mos管的栅极连接所述合路缓启芯片的第一控制引脚，所述第一mos管的源极为输出电压端；

所述反馈电路的输入端连接所述输出电压端，所述反馈电路的输出端连接所述第一控制引脚；

所述输出电压端的输出电压输入至所述反馈电路，所述反馈电路根据所述输出电压得到控制电压，并通过所述第一控制引脚输出至所述第一mos管的栅极；

当所述至少一个输入电源输入高于阈值的电压时，所述反馈电路输出的所述控制电压降低，所述第一mos管的栅极输入电压降低，以使所述第一mos管不完全导通。

2、根据权利要求1所述的合路缓启电路，其特征在于，所述反馈电路包括运算放大器与第二mos管；

所述运算放大器的同相输入端连接所述输出电压端，所述运算放大器的反相输入的接入参考电源，所述运算放大器的输出端连接所述第二mos管的栅极，所述第二mos管的漏极连接所述第一mos管的栅极，所述第二mos管的源极接地。

3、根据权利要求2所述的合路缓启电路，其特征在于，所述合路缓启电路还包括：第一电阻与第二电阻；

所述输出电压端连接所述第一电阻的一端，所述第一电阻的另一端连接所述运算放大器的同相输入端与所述第二电阻的一端，所述第二电阻的另一端接地。

4、根据权利要求1-3中任一项所述的合路缓启电路，其特征在于，所述至少一个输入电源中包括第一输入电源与第二输入电源，所述合路缓启电路还包括第三mos管与第四mos管；

所述第一输入电源的输出端连接所述第三mos管的源极，所述第三mos管的栅极连接所述合路缓启芯片的第二控制引脚，所述第三mos管的漏极连接所述第一mos管的漏极；

所述第二输入电源的输出端连接所述第四mos管的源极，所述第四mos管的栅极连接所述合路缓启芯片的第三控制引脚，所述第四mos管的漏极连接所述第一mos管的漏极。

5、根据权利要求1-4中任一项所述的合路缓启电路，其特征在于，所述合路缓启电路还包括第一电容，所述第一电容的一端连接所述输出电压端，所述电容的另一端接地。

6、根据权利要求1-5中任一项所述的合路缓启电路，其特征在于，所述合路缓启电路还包括第二电容与第三电阻；

所述第二电容的一端连接所述第一mos管的栅极，所述第二电容的另一端连接所述第三电阻的一端，所述第三电阻的另一端接地。

7、根据权利要求2所述的合路缓启电路，其特征在于，所述合路缓启电路还包括第四电阻；

所述第四电阻的一端连接所述第一mos管的漏极，所述第四电阻的另一端连接所述第二mos管的漏极与所述第三mos管的漏极。

-9-

8、一种合路缓启芯片，应用于合路缓启电路，其特征在于，所述合路缓启电路包括至少一个输入电源、第一金属氧化物半导体 mos 管、合路缓启芯片与输出电压端，所述合路缓启芯片包括反馈电路、第一控制引脚；

所述至少一个输入电源的输出端连接所述第一 mos 管的漏极，所述第一 mos 管的栅极连接所述第一控制引脚，所述第一 mos 管的源极为输出电压端；

所述反馈电路的输入端连接所述输出电压端，所述反馈电路的输出端连接所述第一控制引脚；

所述输出电压端的输出电压输入至所述反馈电路，所述反馈电路根据所述输出电压得到控制电压，并通过所述第一控制引脚输出至所述第一 mos 管的栅极；

当所述至少一个输入电源输入高于峰值的高电压时，所述控制电压降低，所述第一 mos 管的栅极输入电压降低，以使所述第一 mos 管不完全导通。

9、根据权利要求 8 所述的合路缓启芯片，其特征在于，所述反馈电路包括运算放大器与第二 mos 管；

所述运算放大器的同相输入端连接所述输出电压端，所述运算放大器的反相输入的接入参考电源，所述运算放大器的输出端连接所述第二 mos 管的栅极，所述第二 mos 管的漏极连接所述第一 mos 管的栅极，所述第二 mos 管的源极接地。

10、根据权利要求 9 所述的合路缓启芯片，其特征在于，所述合路缓启电路还包括：第一电阻与第二电阻；

所述输出电压端连接所述第一电阻的一端，所述第一电阻的另一端连接所述运算放大器的同相输入端与所述第二电阻的一端，所述第二电阻的另一端接地。

11、根据权利要求 8 或 9 所述的合路缓启芯片，其特征在于，所述至少一个输入电源中包括第一输入电源与第二输入电源，所述合路缓启电路还包括第三 mos 管与第四 mos 管，所述合路缓启芯片还包括第二控制引脚与第三控制引脚；

所述第一输入电源的输出端连接所述第三 mos 管的源极，所述第三 mos 管的栅极连接所述第二控制引脚，所述第三 mos 管的漏极连接所述第一 mos 管的漏极；

所述第二输入电源的输出端连接所述第四 mos 管的源极，所述第四 mos 管的栅极连接所述第三控制引脚，所述第四 mos 管的漏极连接所述第一 mos 管的漏极。

12、一种电子设备，其特征在于，所述电子设备包括如权利要求 1-7 中任一项所述的合路缓启电路。

13、一种电子设备，其特征在于，所述电子设备包括如权利要求 8-11 中任一项所述的合路缓启芯片。

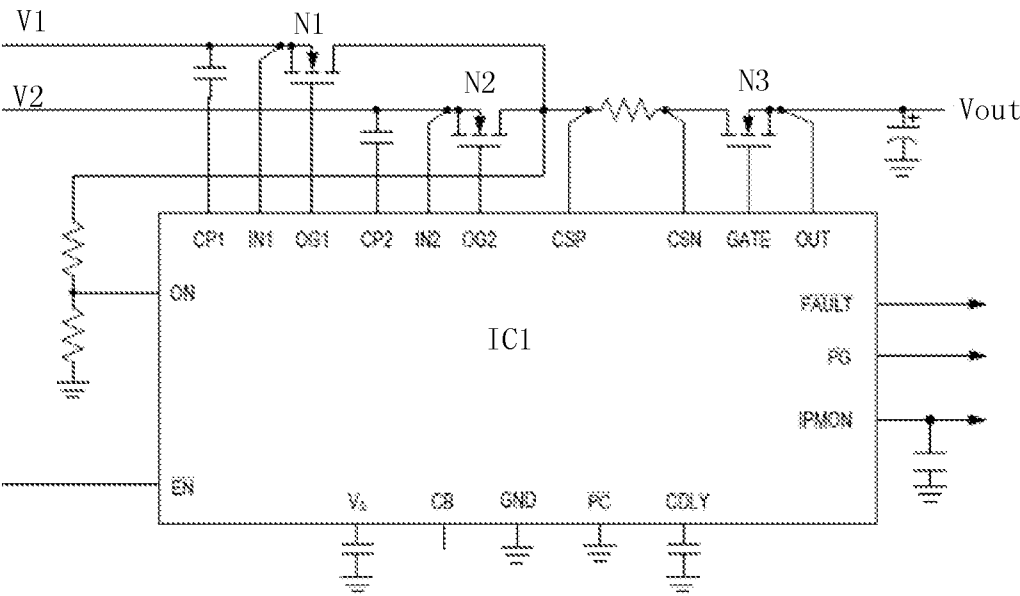


图 1

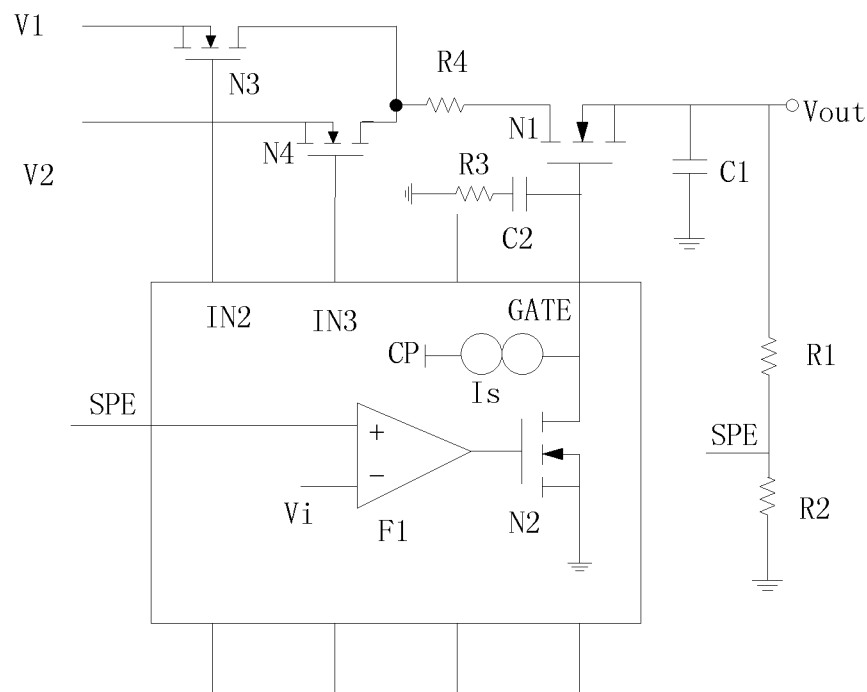


图 3

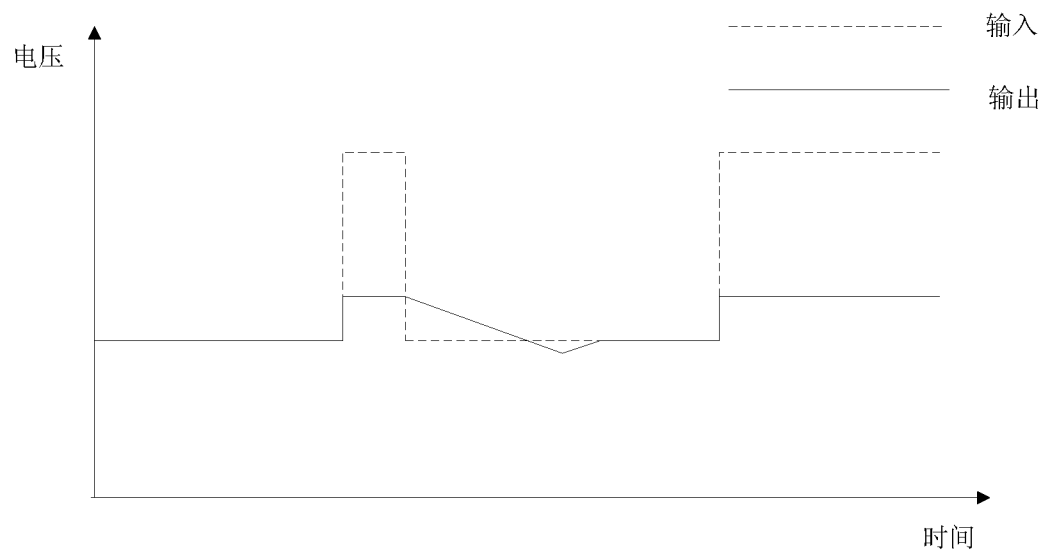


图 4

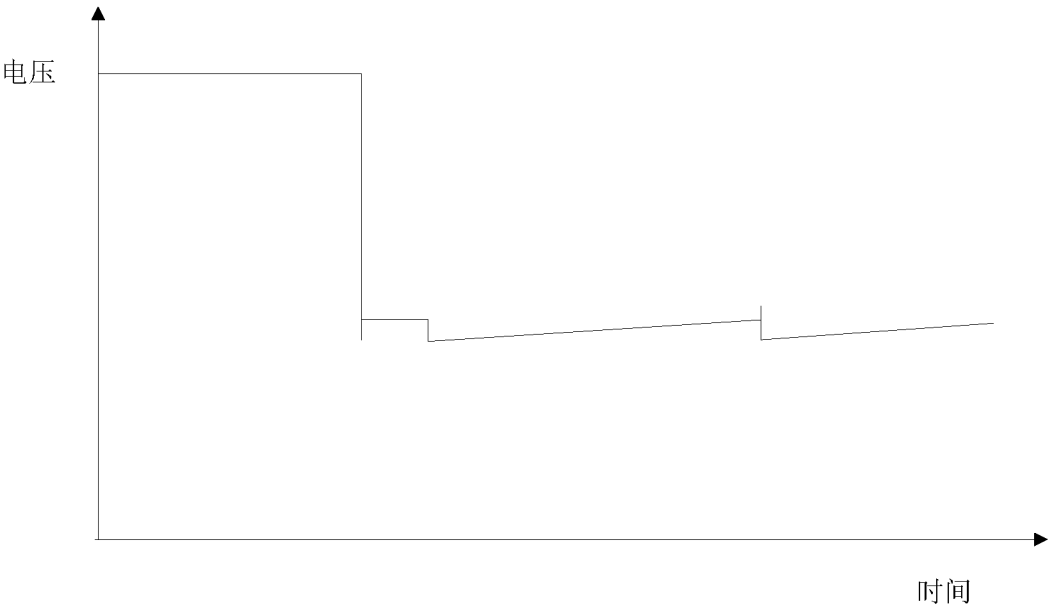


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/119067

A. CLASSIFICATION OF SUBJECT MATTER

G05F 1/56(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G05F; H02M; H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: 金属氧化物半导体, 场效应管, 合路, 多输入, 多电源, 缓启, 反馈, 阈值, 电压, 电容, 电阻, MOS, FET, multi-power, multi-input, delay, feedback, threshold, voltage, capacitor, resist+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 103324233 A (KUNSHAN BRANCH, INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES) 25 September 2013 (2013-09-25) description, paragraphs 39-82, and figures 1-4	1-13
Y	CN 103218003 A (WUXI VIMICRO CORP.) 24 July 2013 (2013-07-24) description, paragraphs 29-52	1-13
A	CN 104699153 A (SPREADTRUM COMMUNICATIONS (SHANGHAI) INC.) 10 June 2015 (2015-06-10) entire document	1-13
A	CN 105446404 A (CSMC TECHNOLOGIES FAB1 CO., LTD.) 30 March 2016 (2016-03-30) entire document	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

26 July 2019

Date of mailing of the international search report

28 August 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/119067

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103324233	A	25 September 2013	CN	103324233	B	24 September 2014
CN	103218003	A	24 July 2013	CN	103218003	B	10 June 2015
CN	104699153	A	10 June 2015	CN	104699153	B	08 February 2017
CN	105446404	A	30 March 2016	US	9952609	B2	24 April 2018
				WO	2016026416	A1	25 February 2016
				CN	105446404	B	08 August 2017
				US	2017212539	A1	27 July 2017

国际检索报告

国际申请号

PCT/CN2018/119067

A. 主题的分类 G05F 1/56 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																	
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G05F; H02M; H03K 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, WPI, EPODOC, CNKI: 金属氧化物半导体, 场效应管, 合路, 多输入, 多电源, 缓启, 反馈, 阈值, 电压, 电容, 电阻, MOS, FET, multi-power, multi-input, delay, feedback, threshold, voltage, capacitor, resist+																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 103324233 A (中科院微电子研究所昆山分所) 2013年 9月 25日 (2013 - 09 - 25) 说明书第39-82段, 附图1-4</td> <td>1-13</td> </tr> <tr> <td>Y</td> <td>CN 103218003 A (无锡中星微电子有限公司) 2013年 7月 24日 (2013 - 07 - 24) 说明书第29-52段</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 104699153 A (展讯通信上海有限公司) 2015年 6月 10日 (2015 - 06 - 10) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 105446404 A (无锡华润上华半导体有限公司) 2016年 3月 30日 (2016 - 03 - 30) 全文</td> <td>1-13</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 103324233 A (中科院微电子研究所昆山分所) 2013年 9月 25日 (2013 - 09 - 25) 说明书第39-82段, 附图1-4	1-13	Y	CN 103218003 A (无锡中星微电子有限公司) 2013年 7月 24日 (2013 - 07 - 24) 说明书第29-52段	1-13	A	CN 104699153 A (展讯通信上海有限公司) 2015年 6月 10日 (2015 - 06 - 10) 全文	1-13	A	CN 105446404 A (无锡华润上华半导体有限公司) 2016年 3月 30日 (2016 - 03 - 30) 全文	1-13
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
Y	CN 103324233 A (中科院微电子研究所昆山分所) 2013年 9月 25日 (2013 - 09 - 25) 说明书第39-82段, 附图1-4	1-13															
Y	CN 103218003 A (无锡中星微电子有限公司) 2013年 7月 24日 (2013 - 07 - 24) 说明书第29-52段	1-13															
A	CN 104699153 A (展讯通信上海有限公司) 2015年 6月 10日 (2015 - 06 - 10) 全文	1-13															
A	CN 105446404 A (无锡华润上华半导体有限公司) 2016年 3月 30日 (2016 - 03 - 30) 全文	1-13															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件													
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
国际检索实际完成的日期	国际检索报告邮寄日期																
2019年 7月 26日	2019年 8月 28日																
ISA/CN的名称和邮寄地址	受权官员																
中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	武晓冬																
传真号 (86-10)62019451	电话号码 86-(10)-53961385																

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/119067

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	103324233	A	2013年 9月 25日	CN 103324233 B	2014年 9月 24日
CN	103218003	A	2013年 7月 24日	CN 103218003 B	2015年 6月 10日
CN	104699153	A	2015年 6月 10日	CN 104699153 B	2017年 2月 8日
CN	105446404	A	2016年 3月 30日	US 9952609 B2	2018年 4月 24日
				WO 2016026416 A1	2016年 2月 25日
				CN 105446404 B	2017年 8月 8日
				US 2017212539 A1	2017年 7月 27日