

(21)申請案號：101114252

(22)申請日：中華民國 101 (2012) 年 04 月 20 日

(51)Int. Cl. : H01L23/48 (2006.01)

H01L23/52 (2006.01)

(30)優先權：2011/04/22 美國

13/092,495

(71)申請人：泰斯拉公司 (美國) TESSERA, INC. (US)

美國

(72)發明人：穆翰米德 艾里亞斯 MOHAMMED, ILYAS (US)；哈巴 比加希姆 HABA, BELGACEM (US)；攸柔 賽普倫 UZOH, CYPRIAN (US)；賽維拉亞 琵悠許 SAVALIA, PIYUSH (IN)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：83 項 圖式數：9 共 86 頁

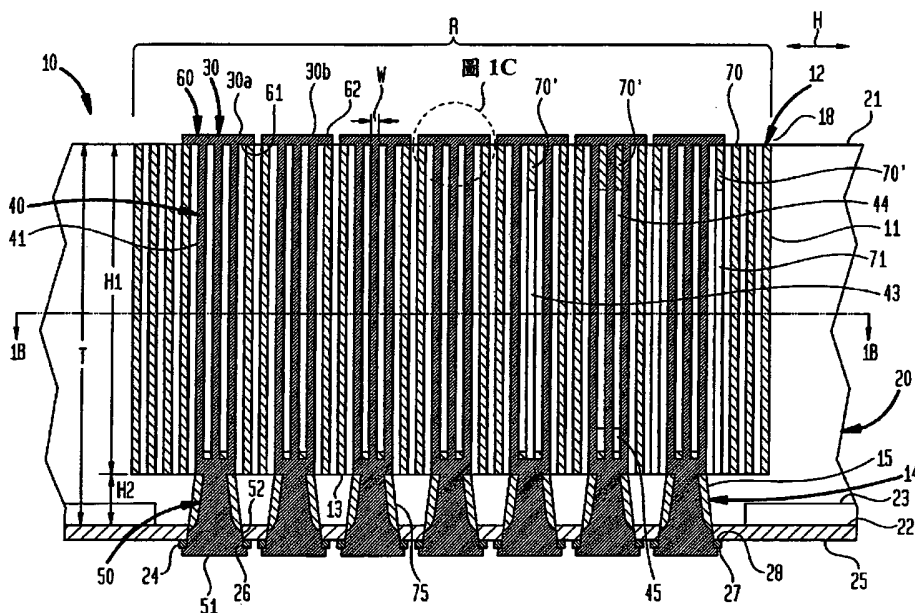
(54)名稱

多孔基材中之通路

VIAS IN POROUS SUBSTRATES

(57)摘要

本發明揭示一種微電子單元，其可包含：一基材，其中具有前表面及後表面以及主動半導體裝置，該基材具有配置成跨越該後表面之一面積之一對稱或非對稱分佈之複數個開口；第一及第二導電通路，其連接至曝露於該前表面處之第一及第二墊；複數個第一及第二導電互連件，其在該等開口中之各別者內延伸；及第一及第二導電觸點，其經曝露以用於與一外部元件互連。該複數個第一導電互連件可藉由該複數個開口中之至少一者而與該複數個第二導電互連件分離，該至少一個開口至少部分地填充有一絕緣材料。該等開口之該分佈可包含在一第一方向上間隔開之至少 m 個開口及在橫向於該第一方向之一第二方向上間隔開之 n 個開口。



10：微電子單元

11：內表面

12：開口/細孔

13：底表面

14：孔口

15：內表面

18：外周邊

20：矽基材/基材

21：第一表面/後表面/表面

22：第二表面/前表面

23：作用半導體區域

24：導電墊/墊

25：介電層/鈍化層

26：內表面
27：頂表面
28：底表面
30：穿矽通路
30a：穿矽通路
30b：穿矽通路
40：導電互連件/第一
導電互連件/第二導電
互連件
41：部分/垂直延伸部
分
43：空隙
44：空隙
45：部分
50：導電通路/第一導
電通路
51：觸點部分
52：外表面
60：導電觸點/第一導
電觸點/觸點
61：底表面
62：頂表面
70：絕緣介電材料/介
電材料/保形介電塗層/
保形介電材料
70'：絕緣介電材料
71：空隙
75：絕緣介電層/介電
層
H：水平方向
H1：高度/長度
H2：高度
R：多孔矽區域
T：厚度
W：寬度

(21)申請案號：101114252

(22)申請日：中華民國 101 (2012) 年 04 月 20 日

(51)Int. Cl. : **H01L23/48 (2006.01)**

H01L23/52 (2006.01)

(30)優先權：2011/04/22 美國

13/092,495

(71)申請人：泰斯拉公司 (美國) TESSERA, INC. (US)

美國

(72)發明人：穆翰米德 艾里亞斯 MOHAMMED, ILYAS (US)；哈巴 比加希姆 HABA, BELGACEM (US)；攸柔 賽普倫 UZOH, CYPRIAN (US)；賽維拉亞 琵悠許 SAVALIA, PIYUSH (IN)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：83 項 圖式數：9 共 86 頁

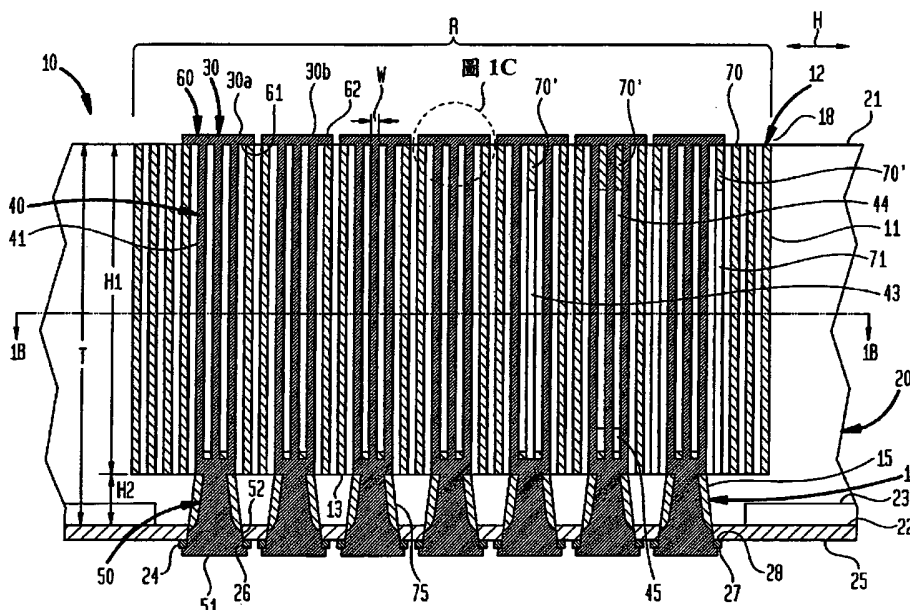
(54)名稱

多孔基材中之通路

VIAS IN POROUS SUBSTRATES

(57)摘要

本發明揭示一種微電子單元，其可包含：一基材，其中具有前表面及後表面以及主動半導體裝置，該基材具有配置成跨越該後表面之一面積之一對稱或非對稱分佈之複數個開口；第一及第二導電通路，其連接至曝露於該前表面處之第一及第二墊；複數個第一及第二導電互連件，其在該等開口中之各別者內延伸；及第一及第二導電觸點，其經曝露以用於與一外部元件互連。該複數個第一導電互連件可藉由該複數個開口中之至少一者而與該複數個第二導電互連件分離，該至少一個開口至少部分地填充有一絕緣材料。該等開口之該分佈可包含在一第一方向上間隔開之至少 m 個開口及在橫向於該第一方向之一第二方向上間隔開之 n 個開口。



10：微電子單元

11：內表面

12：開口/細孔

13：底表面

14：孔口

15：內表面

18：外周邊

20：矽基材/基材

21：第一表面/後表面/表面

22：第二表面/前表面

23：作用半導體區域

24：導電墊/墊

25：介電層/鈍化層

六、發明說明：

【發明所屬之技術領域】

本發明係關於微電子裝置之封裝，且尤其係關於半導體裝置之封裝。

【先前技術】

微電子元件通常包括通常稱為一晶粒或一半導體晶片之一半導體材料(諸如矽或砷化鎵)之一薄板。半導體晶片通常係提供作為個別經預封裝單元。在某些單元設計中，將半導體晶片安裝至一基材或晶片載體，又將該基材或晶片載體安裝於一電路面板(諸如一印刷電路板)上。

主動電路係製作於半導體晶片之一第一面(例如，一前表面)中。為促進至主動電路之電連接，晶片在同一面上具備接合墊。接合墊通常在晶粒之邊緣周圍或對於諸多記憶體裝置在晶粒中心處放置成一規則陣列。接合墊通常由大約0.5 μm 厚之一導電金屬(諸如銅或鋁)製成。接合墊可包含一單個金屬層或多個金屬層。接合墊之大小將隨裝置類型而變化但通常將在一側上量測為數十至數百微米。

使用穿矽通路(TSV)來連接接合墊與半導體晶片之與該第一面對置之一第二面(例如，一後表面)。一習用通路包含穿透半導體晶片之一孔及自該第一面至該第二面延伸穿過該孔之一導電材料。接合墊可電連接至通路以允許接合墊與半導體晶片之該第二面上之導電元件之間的通信。

習用TSV孔可減小可用以含納主動電路的該第一面之部分。可用於主動電路的該第一面上之可用空間之此一減小

可增加製作每一半導體晶片所需之矽量，藉此潛在地增加每一晶片之成本。

習用通路可因通路內部之一非最佳應力分佈及例如一半導體晶片與晶片接合至之結構之間的熱膨脹係數(CTE)之一不匹配而具有可靠性挑戰。舉例而言，當一半導體晶片內之導電通路由一相對薄且硬的介電材料絕緣時，通路內可存在大量應力。另外，當半導體晶片接合至一聚合基材之導電元件時，晶片與基材之較高CTE結構之間的電連接將因CTE不匹配而處於應力下。

大小在任何晶片實體配置中皆係一重要考量。對於更緊密實體晶片配置的需求已隨著可攜式電子裝置之迅速發展而變得甚至更加強烈。僅以舉例方式，通常稱為「智慧型電話」之裝置將一蜂巢式電話之功能與強大的資料處理器、記憶體及輔助裝置(諸如全球定位系統接收器、電子攝影機及區域網路連接)以及高解析度顯示器及相關聯影像處理晶片整合在一起。此等裝置可將諸如全網際網路連接性、包含全解析度視訊之娛樂、導航、電子銀行業務等等能力全部提供於一袖珍型裝置中。複雜的可攜式裝置需要將眾多晶片封裝至一小的空間中。此外，該等晶片中之某些晶片具有通常稱為「I/O」之諸多輸入及輸出連接。此等I/O必須與其他晶片之I/O互連。該等互連件應較短且應具有低阻抗以使信號傳播延遲最小化。形成該等互連件之組件不應大大增加總成之大小。類似需要出現於其他應用中，如(舉例而言)資料伺服器，諸如用於網際網路搜索

引擎中之彼等資料伺服器。舉例而言，在複雜晶片之間提供眾多短的低阻抗互連件之結構可增加搜索引擎之頻寬並減小其電力消耗。

雖然在半導體通路形成及互連方面已取得之進步，但仍需要改良以使半導體晶片之大小最小化，同時增強電互連可靠性。本發明之此等屬性可藉由如下文中所闡述之微電子封裝之構造達成。

【發明內容】

根據本發明之一態樣，一種微電子單元可包含：一半導體基材，其具有一前表面及遠離該前表面之一後表面且其中體現複數個主動半導體裝置，該基材具有曝露於該前表面處之複數個導電墊及配置成跨越該後表面之一面積之一對稱或非對稱分佈之複數個開口；第一及第二導電通路，其與該複數個導電墊中之各別第一及第二墊電連接；複數個第一及第二導電互連件，其在該等開口中之各別者內延伸；及第一及第二導電觸點，其曝露於該後表面處以用於與一外部元件互連。

該等開口之該分佈可包含沿該後表面在一第一方向上間隔開之至少 m 個開口及沿該後表面在橫向於該第一方向之一第二方向上間隔開之至少 n 個開口。 M 及 n 中之每一者皆可大於1。每一第一導電互連件可連接至該第一導電通路。每一第二導電互連件可連接至該第二導電通路。該等第一及第二導電觸點可分別電連接至該等第一及第二導電互連件。該複數個第一導電互連件可藉由該複數個開口中

之至少一者而在實質上平行於該前表面之一水平方向上與該複數個第二導電互連件分離。該至少一個開口可至少部分地填充有一絕緣介電材料。

在一特定實施例中，每一導電互連件可包含在實質上垂直於該前表面之一垂直方向上延伸之一部分。該複數個第一導電互連件可藉由該半導體基材之材料而在該水平方向上彼此分離。在一項實施例中，每一導電互連件可在該水平方向上具有5微米或更小之一寬度。在一例示性實施例中，每一導電通路可具有一截頭圓錐形狀。在一特定實施例中，該等第一及第二導電觸點可在實質上垂直於該前表面之一垂直方向上與該各別複數個第一及第二導電互連件對準。在一項實施例中，每一墊可具有曝露於該前表面處之一頂表面及遠離該頂表面之一底表面。該等第一導電通路可自該等各別第一及第二墊之該底表面至該頂表面延伸穿過該等各別第一及第二墊。

在一例示性實施例中，該等第一及第二導電通路可不延伸穿過該等各別第一及第二墊。在一特定實施例中，該微電子單元亦可包含至少一個孔口。每一孔口可自該等開口中之兩者或兩者以上延伸至該等墊中之一各別者之至少一底表面。該等第一及第二導電通路可在該至少一個孔口中之各別第一及第二孔口內延伸。在一項實施例中，該等第一及第二導電通路可包含經摻雜半導體材料。在一例示性實施例中，該等第一及第二導電通路可分別直接連接至該等第一及第二墊。在一特定實施例中，該等第一及第二導

電通路可透過在其間延伸之中間導電結構而與該等各別第一及第二墊電連接。

根據本發明之另一態樣，一種互連件基材可包含：一基材，其具有小於8 ppm/°C之一有效CTE、具有一第一表面及遠離該第一表面之一第二表面且具有在該第一表面與該第二表面之間延伸之複數個開口；複數個第一及第二導電互連件，每一導電互連件在該等開口中之一各別者內延伸且具有毗鄰該等第一及第二表面之端；及若干組第一導電觸點及若干組第二導電觸點，其曝露於該等第一及第二表面處以用於與一外部元件互連。該等開口可配置成跨越該第一表面之一面積之一對稱或非對稱分佈。該等開口中之至少m個開口可沿該第一表面在一第一方向上間隔開，且該等開口中之至少n個開口可沿該第一表面在橫向於該第一方向之一第二方向上間隔開。m及n中之每一者皆可大於1。

每一組該等第一導電觸點可包含曝露於該第一表面處之一第一導電觸點及曝露於該第二表面處之一第一導電觸點，其中該複數個第一導電互連件電連接此組。每一組該等第二導電觸點可包含曝露於該第一表面處之一第二導電觸點及曝露於該第二表面處之一第二導電觸點，其中該複數個第二導電互連件電連接此組。該複數個第一導電互連件可藉由在介於該第一表面與該第二表面之間且至少部分地填充有一絕緣介電材料之該複數個開口中之至少一者內延伸之一絕緣部件而在實質上平行於該第一表面之一水平

方向上與該複數個第二導電互連件分離。

在一項實施例中，每一導電互連件可包含在實質上垂直於該第一表面之一垂直方向上延伸之一部分。該複數個第一導電互連件可藉由該半導體基材之材料而在該水平方向上彼此分離。在一特定實施例中，每一導電互連件可在該水平方向上具有5微米或更小之一寬度。在一例示性實施例中，該若干組第一及第二導電觸點可在實質上垂直於該第一表面之一垂直方向上與該各別複數個第一及第二導電互連件對準。在一項實施例中，每一開口可襯有一介電層。

根據本發明之又一態樣，一種互連件基材可包含：一基材，其具有小於8 ppm/°C之一有效CTE、具有一第一表面及遠離該第一表面之一第二表面且具有在該第一表面與該第二表面之間延伸之複數個開口；複數個導電互連件，其在該等開口之一第一子組中之各別者內延伸；及一絕緣介電材料，其至少部分地在該等開口之一第二子組中之各別者內延伸。在一特定實施例中，該絕緣介電材料可完全地填充該等開口之該第二子組中之各別者。在一項實施例中，該等開口之該第二子組可比該等開口之該第一子組包含較多開口。

根據本發明之再一態樣，一種互連件基材可包含具有小於8 ppm/°C之一有效CTE、具有一第一表面及遠離該第一表面之一第二表面之一基材，該基材具有在該第一表面與該第二表面之間延伸穿過一第一材料區域之複數個開口，

每一開口具有分別毗鄰該等第一及第二表面之第一及第二端。該互連件基材亦可包含在該等開口之一第一子組中之各別者內延伸之複數個導電互連件，每一導電互連件具有毗鄰該等第一及第二表面之第一及第二端。該互連件基材亦可包含在該等開口之一第二子組中之各別者內延伸之複數個絕緣部件，每一絕緣部件具有毗鄰該等第一及第二表面之各別開口內對置之第一及第二端部分，該等第一及第二端部分基本上由一介電材料組成，該介電材料不同於該第一材料。

該等導電互連件中之至少兩者可藉由該等絕緣部件中之至少一者而彼此分離，使得無電流可流動穿過該至少兩個導電互連件之間的該絕緣部件且無電流可流動穿過該第一端部分與該第二端部分之間的該絕緣部件。在一項實施例中，該等絕緣部件可包含該第一端部分與該第二端部分之間的空隙。在一特定實施例中，該基材可基本上由半導體材料組成。在一例示性實施例中，該基材可基本上由玻璃或陶瓷材料組成。

本發明之其他態樣提供連同其他電子裝置一起併入根據本發明之前述態樣之導電通路結構、根據本發明之前述態樣之複合晶片或兩者之系統。舉例而言，該系統可安置於可係一可攜式外殼之一單個外殼中。根據本發明之此態樣中之較佳實施例之系統可比相當的習用系統更緊密。

根據本發明之另一態樣，一種製作一微電子單元之方法可包含：形成自一半導體基材之一第一表面朝向遠離該第

一表面之一第二表面延伸之複數個開口，該基材具有曝露於該第二表面處之複數個導電墊；形成在該等開口中之各別者內延伸之複數個第一及第二導電互連件；及與該複數個導電墊中之各別第一及第二墊電連接地形成第一及第二導電通路。可將該等開口配置成跨越該第一表面之一面積之一對稱或非對稱分佈。可將該等開口中之至少 m 個開口沿該第一表面在一第一方向上間隔開，且可將該等開口中之至少 n 個開口沿該第一表面在橫向於該第一方向之一第二方向上間隔開。 m 及 n 中之每一者皆可大於 1。該基材可體現複數個主動半導體裝置。可將每一第一導電互連件電連接至該第一導電通路。可將每一第二導電互連件電連接至該第二導電通路。

在一例示性實施例中，該方法亦可包含沈積至少部分地填充該複數個開口中之至少一者之一絕緣介電材料。可藉由該複數個開口中之該至少一者而將該複數個第一導電互連件在實質上平行於該第一表面之一水平方向上與該複數個第二導電互連件分離。在一特定實施例中，每一導電互連件可包含在實質上垂直於該第一表面之一垂直方向上延伸之一部分。可藉由該半導體基材之材料而將該複數個第一導電互連件在實質上平行於該第一表面之一水平方向上彼此分離。

根據本發明之又一態樣，一種製作一微電子單元之方法可包含：形成自一半導體基材之一第一表面朝向遠離該第一表面之一第二表面延伸之複數個開口，該基材具有曝露

於該第二表面處之複數個導電墊；移除在該等開口之一第一及第二子組中之各別者之間延伸之該半導體基材之材料以形成佔據與該等開口之該等各別第一及第二子組共延伸之面積之各別第一及第二腔；形成在該等各別第一及第二腔內延伸之第一及第二導電互連件；及與該複數個導電墊中之各別第一及第二墊電連接地形成第一及第二導電通路。

可將該等開口配置成跨越該第一表面之一面積之一對稱或非對稱分佈。可將該等開口中之至少 m 個開口沿該第一表面在一第一方向上間隔開，且可將該等開口中之至少 n 個開口沿該第一表面在橫向於該第一方向之一第二方向上間隔開。 m 及 n 中之每一者皆可大於1。該基材可體現複數個主動半導體裝置。可將該等第一及第二導電通路與該等各別第一及第二導電互連件電連接。

在一特定實施例中，該方法亦可包含沈積至少部分地填充該複數個開口中之至少一者之一絕緣介電材料。可藉由該複數個開口中之該至少一者而將該第一導電互連件在實質上平行於該第一表面之一水平方向上與該第二導電互連件至少部分地分離。在一項實施例中，該方法亦可包含形成經曝露以用於與一外部元件互連之第一及第二導電觸點，該等第一及第二導電觸點分別電連接至該等第一及第二導電互連件。在一例示性實施例中，可將該等第一及第二導電觸點在實質上垂直於該第一表面之一垂直方向上與該等各別第一及第二導電互連件對準。在一特定實施例

中，該方法亦可包含藉由對該等各別第一及第二墊施加之處理來形成自該第二表面上方延伸穿過該等墊之第一及第二孔口。

在一項實施例中，該等第一及第二導電通路可在該等各別第一及第二孔口內形成且延伸穿過該等各別第一及第二墊。在一例示性實施例中，可在該第二表面處曝露每一導電通路之一接觸部分以用於與一外部元件互連。在一特定實施例中，形成該等第一及第二孔口之該步驟可包含自該半導體基材移除材料使得該等孔口部分地延伸穿過該半導體基材之一厚度。在一項實施例中，可執行形成該等第一及第二孔口之該步驟使得該等各別第一及第二導電互連件中之每一者之一表面曝露在該各別孔口內。在一例示性實施例中，可形成該複數個開口使得該等第一及第二導電通路曝露在該複數個開口中之某些開口內，且該等第一及第二導電互連件係分別與該等第一及第二導電通路接觸地形成。

根據本發明之再一態樣，一種製作一互連件基材之方法可包含：形成自具有小於 $8 \text{ ppm}/^{\circ}\text{C}$ 之一有效CTE之一基材之一第一表面朝向遠離該第一表面之一第二表面延伸之複數個開口；形成複數個第一及第二導電互連件；及形成曝露於該等第一及第二表面處以用於與一外部元件互連之若干組第一導電觸點及若干組第二導電觸點。可將該等開口配置成跨越該第一表面之一面積之一對稱或非對稱分佈。可將該等開口中之至少 m 個開口沿該第一表面在一第一方

向上間隔開，且可將該等開口中之至少 n 個開口沿該第一表面在橫向於該第一方向之一第二方向上間隔開。 M 及 n 中之每一者皆可大於1。

每一導電互連件可在該等開口中之一各別者內延伸且可具有毗鄰該等第一及第二表面之端。每一組該等第一導電觸點可包含曝露於該第一表面處之一第一導電觸點及曝露於該第二表面處之一第一導電觸點，其中該複數個第一導電互連件電連接此組。每一組該等第二導電觸點可包含曝露於該第一表面處之一第二導電觸點及曝露於該第二表面處之一第二導電觸點，其中該複數個第二導電互連件電連接此組。

在一項實施例中，該方法亦可包含沈積至少部分地填充該複數個開口中之至少一者之一絕緣介電材料。可藉由該複數個開口中之該至少一者而將該複數個第一導電互連件在實質上平行於該第一表面之一水平方向上與該複數個第二導電互連件分離。在一特定實施例中，每一導電互連件可包含在實質上垂直於該第一表面之一垂直方向上延伸之一部分。可藉由該基材之材料而將該複數個第一導電互連件在實質上平行於該第一表面之一水平方向上彼此分離。

根據本發明之另一態樣，一種製作一互連件基材之方法可包含：形成自具有小於 $8\text{ ppm}/^{\circ}\text{C}$ 之一有效CTE之一基材之一第一表面朝向遠離該第一表面之一第二表面延伸之複數個開口；移除在該等開口之一第一及第二子組中之各別者之間延伸之該半導體基材之材料以形成佔據與該等開口

之該等各別第一及第二子組共延伸之面積之各別第一及第二腔；形成在該等各別第一及第二腔內延伸之第一及第二導電互連件；及形成曝露於該等第一及第二表面處以用於與一外部元件互連之若干組第一導電觸點及若干組第二導電觸點。

可將該等開口配置成跨越該第一表面之一面積之一對稱或非對稱分佈。可將該等開口中之至少 m 個開口沿該第一表面在一第一方向上間隔開，且可將該等開口中之至少 n 個開口沿該第一表面在橫向於該第一方向之一第二方向上間隔開。 m 及 n 中之每一者皆可大於1。該等第一及第二導電互連件中之每一者可具有毗鄰該等第一及第二表面之端。每一組該等第一導電觸點可包含曝露於該第一表面處之一第一導電觸點及曝露於該第二表面處之一第一導電觸點，其中該第一導電互連件電連接此組。每一組該等第二導電觸點可包含曝露於該第一表面處之一第二導電觸點及曝露於該第二表面處之一第二導電觸點，其中該第二導電互連件電連接此組。

在一項實施例中，該方法亦可包含沈積至少部分地填充該複數個開口中之至少一者之一絕緣介電材料。可藉由該複數個開口中之該至少一者而將該第一導電互連件在實質上平行於該第一表面之一水平方向上與該第二導電互連件至少部分地分離。在一例示性實施例中，該方法亦可包含，在形成該等導電觸點之該步驟之前，自該第二表面移除材料使得該第一表面與該第二表面之間的該半導體基材

之一厚度減小，且使得每一導電互連件之一表面曝露在該第二表面處。在一特定實施例中，該基材可基本上由半導體材料組成。在一項實施例中，該基材可基本上由玻璃或陶瓷材料組成。

在一例示性實施例中，可藉由各向異性蝕刻來執行形成該複數個開口之該步驟，以便產生自該基材之該第一表面延伸之一多孔矽區域。在一項實施例中，該等開口之該對稱或非對稱分佈之位置可不藉由一遮罩判定。在一特定實施例中，該等第一及第二導電通路可連接至各別第一及第二電位。在一例示性實施例中，可在形成該等導電互連件之該等步驟之前執行沈積該絕緣介電材料之該步驟。

【實施方式】

如圖1A及圖1B中所圖解說明，一微電子單元10可包含具有一後表面或第一表面21及遠離該後表面或第一表面之一前表面或第二表面22之一矽基材20以及延伸穿過前表面與後表面之間的複數個穿矽通路30(「TSV」)。

在某些實施例中，微電子單元10可係一半導體晶片、一品圓或類似物。基材20較佳地具有小於 $8 \times 10^{-6}/^{\circ}\text{C}$ (或 $\text{ppm}/^{\circ}\text{C}$)之一熱膨脹係數(「CTE」)。在一特定實施例中，基材20可具有小於 $7 \times 10^{-6}/^{\circ}\text{C}$ 之一CTE。基材20可基本上由一無機材料(諸如矽)組成。在其中基材20係由一半導體(諸如矽)製成之實施例中，複數個主動半導體裝置(例如，電晶體、二極體等)可安置於其位於前表面22處及/或前表面22下方之一作用半導體區域23中。前表面22與後表面21之

間的基材20之厚度通常小於200 μm ，且可明顯更小，例如130 μm 、70 μm 或甚至更小。

在圖1A中，平行於後表面21之方向在本文中稱為「水平」或「橫向」方向，而垂直於該後表面之方向在本文中稱為向上或向下方向且在本文中亦稱為「垂直」方向。本文中所提及之方向係在所提及之結構之參考框架中。因此，此等方向可以任何定向位於正常或重力參考框架中。一個特徵安置於「一表面上方」比另一特徵大之一高度處的一陳述意指在相同正交方向上與該另一特徵相比，該一個特徵位於遠離該表面之一更大距離處。相比而言，一個特徵安置於「一表面上方」比另一特徵小之一高度處的一陳述意指在相同正交方向上與該另一特徵相比，該一個特徵位於遠離該表面之一更小距離處。

基材20亦可包含曝露於前表面22處之複數個導電墊24。儘管未在圖1A及圖1B中具體展示，但作用半導體區域23中之主動半導體裝置通常以導電方式連接至導電墊24。因此，可透過經併入以在基材20之一或多個介電層內或在其上方延伸之佈線以導電方式接達該等主動半導體裝置。在某些實施例(未展示)中，導電墊24可不直接曝露於基材20之前表面22處。而是，導電墊24可電連接至延伸至曝露於基材20之前表面22處之端子之跡線。導電墊24及本文中所揭示之其他導電結構中之任一者可由任何導電金屬(包含例如銅、鋁或金)製成。導電墊24及本文揭示之導電墊中之任一者可具有任何俯視形狀，包含一圓形、卵形、三角

形、正方形、矩形或任何其他形狀。

如本發明中所使用，一導電元件「曝露於」一基材之一表面「處」的一陳述指示該導電元件可用於與一理論點接觸，該理論點在垂直於該基材之該表面之一方向上自該基材外側朝向該基材之該表面移動。因此，曝露於一基材之一表面處之一端子或其他導電元件可自此表面突出；可與此表面齊平；或者可相對於此表面凹入且透過該基材中之一孔或凹陷部曝露。

基材20可進一步包含位於前表面22與導電墊24之間的一介電層25。介電層25將導電墊24與矽基材20電絕緣。此介電層25可稱為微電子單元10之一「鈍化層」。介電層25可包括一無機或有機介電材料或兩者。介電層25可包含一經電沈積保形塗層或其他介電材料，例如一可光成像聚合材料(例如一焊料遮罩材料)。基材20可進一步包含上覆於後表面21上之另一介電層(未展示)。此一介電層可將導電元件與基材20之後表面21電絕緣。

在本文中所闡述之實施例中，介電層25可具有實質上小於基材20之一厚度之一厚度，使得甚至在介電層25之CTE實質上高於基材材料之CTE之情況下，該基材亦可具有約等於該基材之材料之CTE之一有效CTE。在一項實例中，基材20可具有小於 $8 \times 10^{-6}/^{\circ}\text{C}$ (或 $\text{ppm}/^{\circ}\text{C}$)之一有效CTE。

基材20亦可包含自後表面21朝向前表面22部分地延伸穿過矽基材20之複數個開口12。如圖1B中所展示，開口12可配置成一 $m \times n$ 陣列， m 及 n 中之每一者皆大於1。在特定實

例中，該複數個開口可配置成跨越後表面21之一面積之一對稱或非對稱分佈，其中至少m在一第一方向D1上延伸且n在橫向於該第一方向之一第二方向D2上延伸，m及n中之每一者皆大於1。

在一特定實施例(在圖2D中展示)中，開口12可配置成一個以上陣列，包含微電子元件10之一區域A中之一 $m_1 \times n_1$ 陣列及該微電子元件之一區域B中之一 $m_2 \times n_2$ 陣列，其中 m_1 可相同或不同於 m_2 且 n_1 可相同或不同於 n_2 。在其中 m_1 與 m_2 相同且 n_1 與 n_2 相同之一項實例中， $m_1 \times n_1$ 陣列可在實質上平行於基材20之後表面21之一水平方向D3上自 $n_2 \times m_2$ 陣列偏移。

基材20可進一步包含部分地延伸穿過基材20之一厚度T之複數個孔口14，每一孔口自開口12中之兩者或兩者以上延伸穿過導電墊24中之一對應者。每一孔口14包含自導電墊24以與由前表面22界定之水平平面成介於0度與90度之間的一角度延伸穿過基材20之一內表面15。內表面15可具有一恆定斜率或一變化之斜率。舉例而言，內表面15相對於由前表面22界定之水平平面之角度或斜率可隨著該內表面朝向後表面21進一步穿透而在量值上降低(亦即，變成較小正值或較小負值)。在一特定實施例中，每一孔口14可在自對應導電墊24朝向開口12之一方向上漸細。在某些實例中，每一孔口14可具有任何三維形狀，包含(舉例而言)一截頭圓錐形狀、一圓柱體、一立方體或一棱柱等等。

開口12可自後表面21朝向前表面22延伸超過一半，使得在垂直於後表面21之一方向上該等開口之一高度H1大於孔口14之部分延伸穿過基材20之一高度H2。

複數個穿矽通路30可包含：複數個導電互連件40，其在開口12中之各別者內延伸；複數個導電通路50，其在孔口14中之各別者內延伸；及複數個導電觸點60，其曝露於後表面21處以用於與一外部元件互連。在一特定實施例中，複數個TSV 30之第一TSV 30a及第二TSV 30b可連接至各別第一及第二電位。

每一TSV 30可包含各自電連接至一單個共同導電通路50及一單個共同導電觸點60之複數個導電互連件40。在一特定實施例中，一第一TSV 30a可包含在開口12中之各別者內延伸之複數個第一導電互連件40，該等第一導電互連件中之每一者連接至一單個共同第一導電通路50及一單個共同第一導電觸點60，且一第二TSV 30b可包含在該等開口中之各別者內延伸之複數個第二導電互連件，該等第二導電互連件中之每一者連接至一單個共同第二導電通路及一單個共同第二導電觸點。

在一項實施例中，一特定TSV 30之複數個導電互連件40中之每一者可包含在實質上垂直於後表面21之一垂直方向V上延伸之一部分41，該複數個導電互連件藉由矽基材20之材料在實質上平行於該後表面之一水平方向H上彼此分離。在此一實施例中，導電互連件40中之每一者之垂直延伸部分41可直接接觸毗鄰於其之矽基材20之材料。在一特

定實例中，每一導電互連件40可在水平方向H上具有5微米或更小之一寬度W。

每一TSV 30亦可包含一對應導電通路50。每一導電通路50可在一對應孔口14內延伸且可與一對應導電墊24電連接。如圖1A中所展示，每一導電通路50可延伸穿過一對應導電墊24且可具有曝露於基材20之前表面22處之一觸點部分51。在此一實施例中，每一導電通路50之一外表面52可直接接觸曝露於對應孔口14內的導電墊24之一內表面26。導電墊24之此一內表面26可在曝露於基材20之前表面22處的該導電墊之一頂表面27與遠離該頂表面之一底表面28之間延伸。在一項實施例中，每一導電通路50可自一對應導電墊24之底表面28至頂表面27延伸穿過該對應導電墊。

導電通路50中之每一者(或本文中所闡述之其他導電觸點中之任一者)與在微電子單元10外部之組件之間的連接可透過導電塊或導電接合材料(未展示)實現。此類導電塊可包括具有一相對低熔化溫度之一可熔金屬，例如，焊料、錫或包含複數種金屬之一共熔混合物。另一選擇係，此類導電塊可包含一可潤濕金屬，例如，銅或其他貴金屬或者具有高於焊料或另一可熔金屬之彼熔化溫度之一熔化溫度之非貴金屬。此類可潤濕金屬可與一對應特徵(例如，一互連元件之一可熔金屬特徵)連結。在一特定實施例中，此類導電塊可包含穿插於一介質中之一導電材料，例如，一導電膏(例如，填充有金屬之膏、填充有焊料之膏或各向同性導電黏合劑或者各向異性導電黏合劑)。

類似於對應孔口14，每一導電通路50之外表面52可自導電墊24以與由前表面22界定之水平平面成介於0度與90度之間的一角度延伸穿過基材20。外表面52可具有一恆定斜率或一變化之斜率。舉例而言，外表面52相對於由前表面22界定之水平平面之角度或斜率可隨著該外表面朝向後表面21進一步穿透而在量值上降低。在一特定實施例中，每一導電通路50可在自對應導電墊24朝向開口12之一方向上漸細。在某些實例中，每一導電通路50可具有任何三維形狀，包含(舉例而言)一截頭圓錐形狀、一圓柱體、一立方形或一棱柱等等。

如圖1A中所展示，導電通路50係實心的。在其他實施例(未展示)中，每一導電通路50可包括填充有一介電材料之一內部空間。取決於製程條件，可將導電通路50形成為實心或空心的。在適當製程條件下，可製作包含一內部空間之一導電通路50且可接著用一介電材料來填充該內部空間。

每一TSV 30可進一步包含曝露於後表面21處以用於與一外部元件互連之一對應導電觸點60。每一導電觸點60可電連接至其TSV 30之導電互連件40中之每一者於該導電觸點之一底表面61處。在一項實施例中，每一導電觸點60可在垂直方向V上與其TSV 30之各別複數個導電互連件40對準。在此一實施例中，如圖1B中所展示，導電觸點60可在第一方向D1上及橫向於該第一方向之第二方向D2上上覆於所有導電互連件40上。

在一特定實施例中，由導電觸點60之一頂表面62界定之一平面可實質上平行於由基材20之後表面21界定之平面。如所展示，導電觸點60之底表面61係位於大約由基材20之後表面21界定之一平面處。在其他實施例中，導電觸點60之底表面61可位於由後表面21界定之平面上方或下方。在某些實施例(未展示)中，如上文所闡述之一導電塊或導電接合材料可曝露於導電觸點60之頂表面62處以便互連至一外部元件。

如所展示，導電觸點60具有一導電接合墊之形狀，例如，一薄扁平部件。在特定實例中，導電觸點60中之每一者(及本文中所闡述之其他導電觸點中之任一者)可具有任何俯視形狀，包含(舉例而言)一圓形墊形狀、一矩形形狀、一卵形形狀、一正方形形狀、一三角形形狀或一更複雜形狀。導電觸點60中之每一者可具有任何三維形狀，包含(舉例而言)一截頭圓錐形導電柱。可使用導電柱之實例，如於2010年7月8日提出申請之第12/832,376號共同擁有之美國專利申請案中所展示及所闡述。

微電子單元10可進一步包含在複數個開口12中之每一者內延伸之一絕緣介電材料70。此一介電材料70可在位於一第一TSV 30a之複數個第一導電互連件40與一第二TSV 30b之複數個第二導電互連件40之間的開口12中之至少某些開口內延伸，使得含有該介電材料之開口中之至少一者可將該複數個第一導電互連件與該複數個第二導電互連件在水平方向H上分離。介電材料70可將第一TSV 30a之導電互連

件40與第二TSV 30b之導電互連件40至少部分地電絕緣。介電材料70亦可在位於基材20之一多孔矽區域R之一外周邊18附近的開口12中之至少某些開口內延伸。絕緣介電材料70可包含一無機或有機介電材料或兩者。在一特定實施例中，絕緣介電材料70可包含一順從介電材料，使得該絕緣介電材料具有一充分低彈性模數及充分厚度使得該模數之產物及該厚度提供順從性。

在一特定實施例中，可用一絕緣介電材料70'僅部分地填充位於一特定TSV 30之導電互連件40周圍的開口12中之某些開口，使得一空隙71位於該介電材料與各別開口12之底表面13之間。可用空氣填充此等空隙71（及本文中所闡述之所有其他空隙），或在特定實施例中，可用一介電材料（諸如絕緣介電材料70）填充此等空隙。

在一項實例中，可使下伏於一特定TSV 30之導電觸點60下之開口12中之一或多者保持打開而非用一導電互連件40填充，使得一空隙43位於該開口內。可用一絕緣介電材料70'部分地填充此等開口12，使得空隙43可位於該介電材料與各別開口之底表面13之間。在一特定實例中，可用一絕緣介電材料70全部地填充下伏於一特定TSV 30之導電觸點60下之開口12中之一或多者。

在一例示性實施例中，可移除一特定TSV 30之導電互連件40中之毗鄰者之間的基材20之材料中之某些材料，使得一空隙44沿該等導電互連件之高度H1之至少一部分在該等導電互連件中之兩個或兩個以上毗鄰者之間延伸。在此一

實施例中，在此等毗鄰導電互連件40之間延伸之基材20之材料之一部分45可保留，使得空隙44不一直向下延伸至開口12之底表面13之深度。在一特定實施例中，可用一絕緣介電材料70'部分地或全部地填充此一空隙44。在一項實施例中，絕緣介電材料70'可係環氧樹脂。

在例示性實施例中，此等空隙71、43及44可給導電互連件40提供額外空間以在不與不存在該等空隙之情況下在基材20內及/或抵靠觸點60及/或抵靠導電通路50產生一樣多的應力之情況下擴展。在此等實施例中，特別當在基材20之材料之CTE與導電互連件40之材料之CTE之間存在一相對大的不匹配時，此等空隙可改良微電子單元10之效能。

微電子單元10可進一步包含在孔口14中之每一者內延伸且上覆於每一孔口之內表面15上之一絕緣介電層75。在一項實施例中，此一絕緣介電層75可保形地塗佈曝露於孔口14內之內表面15。每一絕緣介電層75可將一導電通路50與孔口14之內表面15分離且電絕緣，使得該導電通路與基材20之材料至少部分地電絕緣。在一特定實施例中，絕緣介電層75亦可上覆於對應導電墊24之內表面26上。在此一實施例中，導電通路50可在導電墊24之頂表面27處而非在內表面26處接觸該導電墊。絕緣介電層75可包含一無機或有機介電材料或兩者。在一特定實施例中，絕緣介電層75可包含一順從介電材料。

如圖1C中所展示，微電子單元10可進一步包含上覆於基材20之後表面21上之一絕緣介電層76，使得導電觸點60上

覆於絕緣介電層76上。在一項實例中，此一絕緣介電層76可保形地塗佈在毗鄰開口12之間延伸之後表面21之部分。絕緣介電層76可將導電觸點60與基材20之材料分離且電絕緣。絕緣介電層76可包含一無機或有機介電材料或兩者。在一特定實施例中，絕緣介電層76可包含一順從介電材料。

微電子單元10可進一步包含上覆於開口12之內表面11上之一絕緣介電層(未展示)，使得導電互連件40在此一絕緣介電層內延伸。在一項實例中，此一絕緣介電層可保形地塗佈開口12之內表面11。該絕緣介電層可將導電互連件40與基材20之材料分離且電絕緣。該絕緣介電層可包含一無機或有機介電材料或兩者。在一特定實施例中，該絕緣介電層可包含一順從介電材料。

現在將參考圖2A至圖2I闡述製作微電子單元10(圖1A及圖1B)之一方法。如圖2A中所圖解說明，一矽基材20可具有位於前表面22處及/或該前表面下方之其之一作用半導體區域23。基材20亦可包含曝露於前表面22處之複數個導電墊24。基材20可進一步包含位於前表面22與導電墊24之間的一介電層25。

如圖2B中所圖解說明，可減小基材20在前表面22與一初始後表面21'之間的厚度，藉此曝露一最終後表面21。可使用對初始後表面21'之研磨、磨光或拋光或者其之一組合來減小基材20之厚度。在此步驟期間，作為一實例，可將基材20之初始厚度T1(圖2A中所展示)自約700 μm 減小至約

130 μm 或更小之一厚度T2 (圖2B中所展示)。

此後，如圖2C中所圖解說明，可自後表面21移除基材20之材料以形成自第一表面朝向前表面22延伸之複數個開口12。在一特定實例中，可將開口12配置成 $m \times n$ 陣列， m 及 n 中之每一者皆大於1，每一開口在垂直方向V上延伸。在一項實施例中，可將複數個開口12配置成跨越後表面21之一面積之一對稱或非對稱分佈，其中至少 m 在一第一方向D1上延伸且 n 在橫向於該第一方向之一第二方向D2上延伸(圖1B)， m 及 n 中之每一者皆大於1。

在一項實例中，開口12中之每一者可在水平方向H上具有5微米或更小之一寬度 W' 。每一開口12可在垂直方向V上具有一長度H1。在一項實施例中，每一開口12之長度H1與寬度 W' 之比率可係至少10。在一特定實例中，每一開口12之長度H1可係至少150微米。在另一實例中，開口12可在水平方向H上界定10微米或更小之一節距。

在一特定實施例中，開口12可係藉由各向異性蝕刻形成之複數個細孔，使得產生自基材20之後表面21延伸之一多孔矽區域R。在此一各向異性蝕刻製程中，可藉由在基於氫氟酸之一溶液中電化學溶解矽基材20來形成該多孔矽區域R。可將欲使其成為多孔的矽基材20之後表面21與同一第一電極接觸之氫氟酸接觸地放置，同時可將前表面22接觸至一第二電極以形成一陽極化電路。

在一高陽極電流下，矽基材20之後表面21可經歷電解拋光。當該電流係低時，表面21之形態可變得由深度地穿透

至矽基材之主體中之一密集開口或細孔12陣列支配。最初，細孔12可開始以一隨機分佈之陣列形成。當毗鄰細孔12生長時，其空乏區重疊且此可使在水平方向H上之橫向蝕刻停止。該蝕刻可僅在垂直方向V上繼續進行，因此自各向同性移位成各向異性。此製程可係自調節的，此乃因最後，細孔12之直徑由於充當沿該等細孔之內表面11之蝕刻停止件之空乏區而無法進一步增加。此迫使該蝕刻僅發生於該等細孔之底部處。在此一實施例中，開口12之對稱或非對稱分佈之位置並非藉由一遮罩判定。

在此一各向異性蝕刻製程之後，可將第一開口12配置成 $m \times n$ 陣列， m 及 n 中之每一者皆大於1。在一特定實施例中，可將開口12配置成一個以上陣列(如圖2D中所展示)，包含基材20之一第一區域A中之一 $m_1 \times n_1$ 陣列及該基材之一第二區域B中之一 $m_2 \times n_2$ 陣列，其中 m_1 可相同或不同於 m_2 且 n_1 可相同或不同於 n_2 。

在一特定實施例(未展示)中，在形成開口12之後，可將一絕緣介電層(未展示)沈積成上覆於開口12之內表面11上，使得當在該等開口內沈積導電互連件40(圖2G)時，該等導電互連件將在此一絕緣介電層內延伸。

在具有上覆於開口12之內表面11上之一絕緣介電層之一項實施例中，可將一遮罩施加至具有其中不期望形成此一介電層之開口的基材之後表面21之部分。可稍後用具有直接接觸基材20之材料之部分之導電互連件40填充開口12之此等未經塗佈開口。此等導電互連件40可包含於可包含導

電墊24中之一接地墊之一特定TSV 30中。

可使用各種方法來形成上覆於開口12之內表面11上之此一絕緣介電層，且下文參考圖2F闡述此等方法。在特定實例中，可使用化學汽相沈積(CVD)或原子層沈積(ALD)來將一薄絕緣介電層沈積成上覆於開口12之內表面11上。在一項實例中，在一低溫製程期間可使用正矽酸四乙酯(TEOS)來沈積此一絕緣介電層。在例示性實施例中，可將一個二氧化矽層、硼磷矽酸玻璃(BPSG)、硼矽酸玻璃(BSG)或磷矽酸玻璃(PSG)沈積成上覆於開口12之內表面11上，且此玻璃可係經摻雜或未經摻雜的。

此後，如圖2E中所圖解說明，可將一遮罩層17沈積成上覆於特定開口12或開口12之群組上於彼處當形成導電互連件40(圖2G)時期望防止沈積金屬的基材20之後表面21處。舉例而言，可沈積一遮罩層17(諸如一可光成像層，例如，一光阻劑層)且將該遮罩層圖案化以僅覆蓋後表面21之部分。

此後，如圖2F中所圖解說明，可形成在未被遮罩層17覆蓋之開口12內延伸之一絕緣介電材料70。此一介電材料70可在位於稍後將包含一第一TSV 30a之複數個第一導電互連件40及一第二TSV 30b之複數個第二導電互連件40之開口12之間的開口12中之至少某些開口內延伸，使得含有絕緣介電材料70之該等開口中之至少一者可將該複數個第一導電互連件與該複數個第二導電互連件在水平方向H上分離。

可使用各種方法來形成絕緣介電材料70。在一項實例中，可將一可流動介電材料施加至基材20之後表面21，且可接著在一「旋塗」操作期間使該可流動材料更均勻地跨越開口12之內表面11分佈，後續接著可包含加熱之一乾燥循環。在另一實例中，可將一介電材料熱塑性膜施加至後表面21，之後將該總成加熱或在一真空環境中將其加熱，亦即，將其放置於在低於周圍壓力下之一環境中。在另一實例中，可使用汽相沈積來形成絕緣介電材料70。

在再一實例中，可將包含基材20之總成浸入於一介電沈積浴液中以形成一保形介電塗層或絕緣介電材料70。如本文中所使用，一「保形塗層」係與被塗佈之表面之一輪廓一致之一特定材料之一塗層，諸如在絕緣介電材料70與開口12之內表面11之一輪廓一致時。可使用一電化學沈積方法來形成保形介電材料70，包含(舉例而言)電泳沈積或電解沈積。

在一項實例中，可使用一電泳沈積技術來形成一保形介電塗層，使得該保形介電塗層僅沈積至總成之經曝露導電表面及半導體表面上。在沈積期間，將半導體裝置晶圓保持於一所期望電位下並將一電極浸入至浴液中以將該浴液保持於一不同所期望電位下。接著，在適當條件下將總成保持於浴液中達一充分時間以在導電或半導體的基材之經曝露表面上(包含(但不限於)沿開口12之內表面11)形成一經電沈積保形介電材料70。只要在欲藉此塗佈之表面與該浴液之間維持一充分強電場，便發生電泳沈積。由於經電

泳沈積塗層係自限制的，因此在其達到由其沈積物之參數（例如，電壓、濃度等）管控之某一厚度之後，沈積便停止。

電泳沈積在基材 20 之導電及/或半導體外部表面上形成一連續且均勻厚的保形塗層。另外，該電泳塗層可經沈積使得其由於其介電（不導電）性質而不形成於上覆於基材 20 之後表面 21 上之一剩餘鈍化層上。換言之，電泳沈積之一性質係其通常不形成於一介電材料層上，且其不形成於上覆於一導體上之一介電層上，限制條件係該介電材料層鑒於其介電性質而具有充分厚度。通常，電泳沈積將不會發生於具有大於約 10 微米至幾十微米之厚度之介電層上。一保形介電材料 70 可由一陰極環氧樹脂沈積前體形成。另一選擇係，可使用一聚胺基甲酸酯或丙烯酸沈積前體。多種電泳塗層前體組合物及供應源列於下表 1 中。

表 1

電泳塗料名稱	POWERCRON 645	POWERCRON 648	CATHOGUARD 325
製造商			
MFG	PPG	PPG	BASF
類型	陰極式	陰極式	陰極式
聚合物基底	環氧樹脂	環氧樹脂	環氧樹脂
位置	巴拿馬，匹茲堡	巴拿馬，匹茲堡	密歇根州，南菲爾德市
施加資料			
無Pb/Pf	無Pb	無Pb或Pf	無Pb
HAP，g/L		60-84	順從的
VOC，g/L（沒有水）		60-84	<95

固化	20分鐘/175C	20分鐘/175C	
膜性質			
色彩	黑色	黑色	黑色
厚度， μm	10-35	10-38	13-36
鉛筆硬度		2H+	4H
浴液特性			
固體，重量百分比	20 (18-22)	20 (19-21)	17.0-21.0
pH (25C)	5.9 (5.8-6.2)	5.8 (5.6-5.9)	5.4-6.0
導電率(25C) μS	1000-1500	1200-1500	1000-1700
P/B比率	0.12-0.14	0.12-0.16	0.15-0.20
操作溫度，C	30-34	34	29-35
時間，秒	120-180	60-180	120+
陽極	SS316	SS316	SS316
伏		200-400	>100
電泳塗料名稱	ELECTROLAC	LECTRASEAL DV494	LECTROBASE 101
製造商			
MFG	MACDERMID	LVH塗層	LVH塗層
類型	陰極式	陽極式	陰極式
聚合物基底	聚胺基甲酸酯	胺基甲酸酯	胺基甲酸酯
位置	沃特伯裏，康涅狄格州	伯明翰，英國	伯明翰，英國
施加資料			
無Pb/Pf		無Pb	無Pb
HAP，g/L			
VOC，g/L (沒有水)			
固化	20分鐘/149C	20分鐘/175C	20分鐘/175C
膜性質			
色彩	透明(+經染色)	黑色	黑色
厚度， μm		10-35	10-35

鉛筆硬度	4H		
浴液特性			
固體，重量百分比	7.0 (6.5-8.0)	10-12	9-11
pH (25C)	5.5-5.9	7-9	4.3
導電率(25C) μ S	450-600	500-800	400-800
P/B比率			
操作溫度，C	27-32	23-28	23-28
時間，秒			60-120
陽極	SS316	316SS	316SS
伏	40，最大值		50-150

在另一實例中，可以電解方式形成介電材料70。此製程類似於電泳沈積，惟經沈積層之厚度不受與該經沈積層由其形成之導電或半導體表面之接近度限制除外。以此方式，可將一經電解沈積介電層形成為基於要求而選擇之一厚度，且處理時間係所達成之厚度之一因數。

此後，如圖2G中所圖解說明，可自後表面21移除遮罩層17，且可形成在開口12（其在於該等開口中之某些開口中形成介電材料70之後保持未被佔據）內延伸之複數個導電互連件40。導電互連件40可上覆於開口12之內表面11上。

為形成導電互連件40（及本文中所闡述之其他導電元件中之任一者），一例示性方法涉及藉由以下各項中之一或多者來沈積一金屬層：將一主要金屬層濺鍍至基材20及開口12之經曝露表面上、電鍍或機械沈積。機械沈積可涉及以高速度將一經加熱金屬顆粒串流引導至欲塗佈之表面

上。舉例而言，可藉由毯覆沈積至後表面21及內表面11上來執行此步驟。在一項實施例中，該主要金屬層包含鋁或基本上由鋁組成。在另一特定實施例中，該主要金屬層包含銅或基本上由銅組成。在又一實施例中，該主要金屬層包含鈦或基本上由鈦組成。

可在一製程中使用一或多種其他例示性金屬來形成導電互連件40（及本文中所闡述之其他導電元件中之任一者）。在特定實例中，可在先前所提及之表面中之一或多者上形成包含複數個金屬層之一堆疊。舉例而言，此等經堆疊金屬層可包含（例如）一鈦層後續接著上覆於該鈦上之一銅層（Ti-Cu）、一鎳層後續接著上覆於該鎳層上之一銅層（Ni-Cu）、以類似方式提供之鎳-鈦-銅（Ni-Ti-Cu）之一堆疊或鎳-鈳（Ni-V）之一堆疊。

儘管可使用可用於形成導電元件之基本上任何技術來形成本文中所闡述之導電元件，但可採用如2010年7月23日提出申請之第12/842,669號共同擁有之美國專利申請案中更詳細論述的特定技術，該申請案以引用之方式併入本文中。舉例而言，此等技術可包含用一雷射或用諸如碾磨或噴砂等機械製程來選擇性地處理一表面，從而不同於該表面之其他部分地處理沿在彼處欲形成導電元件之路徑的該表面之彼等部分。舉例而言，可使用一雷射或機械製程來僅沿一特定路徑自該表面燒蝕或移除一材料（諸如一犧牲層）且因此形成沿該路徑延伸之一凹槽。接著，可在該凹槽中沈積一材料（諸如一觸媒），且可在該凹槽中沈積一或

多種金屬層。

在形成導電互連件40之後，在其中一空隙44在該等導電互連件中之兩個或兩個以上毗鄰者之間延伸之一項實施例(圖1B中所展示)中，可藉由移除該等導電互連件中之毗鄰者之間的基材20之材料來形成此一空隙44。在一特定實施例中，可接著用一絕緣介電材料70'部分地或全部地填充此一空隙44。

此後，如圖2H中所圖解說明，可將一遮罩層(未展示)沈積至前表面22及導電墊24上於彼處期望保護該前表面及該等導電墊之剩餘部分之處。舉例而言，可沈積一可光成像層(例如，一光阻劑層)且將該可光成像層圖案化以僅覆蓋前表面22及導電墊24之部分。接著，可對曝露於遮罩開口內的導電墊24之部分施加一蝕刻製程從而移除下伏於遮罩開口下之該導電墊之金屬。因此，形成自導電墊24之頂表面27至底表面28延伸穿過其之一孔口14。

此後，可以選擇性地蝕刻矽基材20之一方式進行另一蝕刻製程，藉此使孔口14延伸至該基材中部分地穿過自前表面22至開口12的該基材之一厚度。在一項實施例中，可自基材20之前表面22上方對導電墊24施加此一蝕刻製程以形成孔口14。在一特定實施例中，在每一各別孔口14內曝露出一對應TSV 30之導電互連件40中之每一者之一下部表面42。

在形成孔口14期間亦移除鈍化層25之一部分，且可在蝕刻導電墊24期間、在蝕刻基材20期間或作為一單獨蝕刻步驟蝕刻穿過此部分。可使用蝕刻、雷射鑽孔、機械碾磨或

其他適當技術來移除鈍化層25之該部分。

在一特定實施例中，可將上文所闡述之用於形成延伸穿過導電墊24、穿過鈍化層25且延伸至矽基材20中之孔口14之製程步驟組合成一單個製程步驟。舉例而言，當形成孔口14時，可在一單個製程步驟中使用一雷射來穿過導電墊24、鈍化層25之一部分及基材20之一部分鑽孔。可在本文中所闡述之實施例中之任一者中使用用於形成孔口14之製程步驟之此組合。

其他可能之介電層移除技術包含本質上可係各向同性或各向異性之各種選擇性蝕刻技術。各向異性蝕刻製程包含其中將一離子串流朝向欲蝕刻之表面引導之反應性離子蝕刻製程。與各向同性蝕刻製程相比，反應性離子蝕刻製程通常選擇性較小使得離子以高入射角度撞擊之表面比順著該離子串流定向之表面蝕刻達到一較大程度。當使用一反應性離子蝕刻製程時，期望將一遮罩層沈積成上覆於鈍化層25上且在其中形成與孔口14對準之一孔口。以此一方式，該蝕刻製程避免移除除位於孔口14內之外的鈍化層25之部分。

此後，如圖2I中所圖解說明，可形成在孔口14中之每一者內延伸且上覆於每一孔口之內表面15上之一絕緣介電層75。在一項實例中，此一絕緣介電層75可保形地塗佈曝露於孔口14內之內表面15。絕緣介電層75亦可保形地塗佈在導電互連件40中之毗鄰者之間延伸的孔口14之一面向下表面19。可使用與上文關於圖2F所闡述之彼等方法類似之方

法來形成絕緣介電層75。

此後，再次參考圖1A，每一TSV 30之導電通路50及導電觸點60可各自係與導電互連件40中之對應者接觸地形成。每一導電通路50可在介電層75內延伸、在一對應孔口14內延伸且延伸穿過一對應導電墊24且可與此墊24電連接。每一導電觸點60可係在該導電觸點之一底表面61處與其TSV 30之導電互連件40中之每一者接觸地形成。可使用與上文關於圖2G中所闡述之形成導電互連件40所闡述之彼等方法類似之方法來形成導電通路50及導電觸點60。

圖3A及圖3B圖解說明具有一替代組態之圖1A及圖1B之微電子單元之一變化形式。微電子單元310與上文所闡述之微電子單元10相同，惟微電子單元310包含各自具有在一單個導電通路350與一單個導電觸點360之間延伸之一單個導電互連件340而非在一單個共同導電通路與一單個共同導電觸點之間延伸之複數個導電互連件之TSV 330除外。下文參考圖8A及圖8B闡述製作微電子單元310之導電互連件340之一方法。

如圖3A及圖3B中所展示，基材320包含類似於上文所闡述之基材20之彼多孔矽區域之一多孔矽區域R，且基材320包含自後表面321朝向前表面322延伸之複數個開口312，該等開口配置成跨越該後表面之一面積之一對稱或非對稱分佈，其中至少m在一第一方向D1上延伸且n在橫向於該第一方向之一第二方向D2上延伸，m及n中之每一者皆大於1。

每一導電互連件340在佔據實質上平行於後表面321之一水平平面中之一面積之一對應腔316內延伸，後表面321與在垂直方向V上下伏於各別導電觸點360下之開口之 $m \times n$ 分佈內之開口位置之一群組共延伸。

可藉由在位於一第一TSV 330a 及一第二TSV 330b之導電互連件340之間的開口312內延伸之介電材料370來將每一導電互連件340與一毗鄰導電互連件至少部分地電絕緣，使得含有介電材料之開口中之至少一者可在水平方向H上將導電互連件彼此分離。

在一項實施例中，導電互連件340中之每一者之一垂直延伸部分341a可直接接觸毗鄰於其的矽基材320之材料。在一特定實施例中，導電互連件340中之一或多者之一垂直延伸部分341b可直接接觸毗鄰於其的一或多個開口312之絕緣介電材料370。在此一實施例中，一或多個導電互連件340之垂直延伸部分341b可在水平方向H上部分地延伸至一或多個開口312中。

其中每一TSV包含一單個較厚導電互連件340之此等實施例可給此等TSV提供比具有複數個較厚導電互連件之TSV高之一載流量。在一特定實例中，一單個基材可包含各自具有一單個導電互連件340之一或多個TSV 330 (圖3A)以及各自具有複數個導電互連件40之一或多個TSV 30 (圖1A)。

圖4圖解說明具有一替代組態之圖3A及圖3B之微電子單元之一變化形式。微電子單元410與上文所闡述之微電子

單元310相同，惟微電子單元410包含各自具有不延伸穿過對應導電墊424之一導電通路450之TSV 430除外。

在此一實施例中，在形成複數個開口412之前，可與各別導電墊424之底表面428接觸地形成每一導電通路450 (例如，先通路處理)。在一項實例中，每一孔口414可自開口412中之兩者或兩者以上延伸至導電墊424中之一各別者之底表面428。當在各別腔416內形成延伸穿過矽基材420之導電互連件440時，可與一對應導電通路450之一上部部分453接觸地形成每一導電互連件。在一特定實例中，導電互連件440中之每一者之一底表面442可在一垂直方向V上在開口412中之每一者之一底表面413之基材420之位置下方(亦即，較靠近前表面422)延伸。

圖5圖解說明具有一替代組態之圖1A及圖1B之微電子單元之一變化形式。互連件基材510與上文所闡述之微電子單元10相同，惟互連件基材510不包含可沈積於其之一作用半導體區域或導電通路中之複數個主動半導體裝置(例如，電晶體、二極體等)且每一TSV 530包含曝露於矽基材520之每一表面處且與各別複數個導電互連件540電連接之導電觸點560a及560b除外。

在一特定實施例中，基材520可具有小於8 ppm/°C之一有效CTE。在一項實例中，基材520可基本上由半導體材料組成。在其他實例中，基材520可基本上由玻璃或陶瓷材料組成。

在圖5中所展示之實施例中，每一導電互連件540在曝露

於矽基材520之第一表面521處之一第一導電觸點560a與曝露於第二表面522處之一第二導電觸點560b之間延伸。在一項實例中，第一導電觸點560a及第二導電觸點560b可在實質上垂直於第一表面521之一垂直方向V上與對應TSV 530之對應複數個導電互連件540對準。

在一特定實施例中，可用一絕緣介電材料570'僅部分地填充位於一特定TSV 530之導電互連件540周圍的開口512中之某些開口，使得一空隙571位於介電材料570'之兩個經分離部分(位於基材520之第一表面521及第二表面522之毗鄰處)之間。

現在將參考圖6A至圖6E闡述製作微電子單元510 (圖5)之一方法。如圖6A中所圖解說明，可自基材520之第一或後表面521移除材料以形成自該第一表面朝向第二或前表面522延伸之複數個開口512。此等開口512可與上文參考圖1A、圖1B及圖2C所闡述之開口12相同。在一特定實例中，可將開口512配置成 $m \times n$ 陣列(諸如在圖1B及圖2D中)， m 及 n 中之每一者皆大於1，每一開口在垂直方向V上延伸。在一項實施例中，可將複數個開口512配置成跨越第一表面521之一面積之一對稱或非對稱分佈，其中至少 m 在一第一方向D1上延伸且 n 在橫向於該第一方向之一第二方向D2上延伸(諸如在圖1B中)， m 及 n 中之每一者皆大於1。

類似於圖1A中所展示之開口12，開口512可係藉由各向異性蝕刻形成之複數個細孔，使得產生自基材520之第一

表面521延伸之一多孔矽區域R。可使用與上文關於圖2C所闡述之彼等方法相同之方法來形成此等開口512。

此後，如圖6B中所圖解說明，可將一遮罩層517沈積成上覆於特定開口512或開口512之群組上於彼處當形成導電互連件540 (圖6D)時期望防止沈積金屬的基材520之第一表面521處。遮罩層517可與上文參考圖2E所闡述之遮罩層17相同。

此後，如圖6C中所圖解說明，可形成在未被遮罩層517覆蓋之開口512內延伸之一絕緣介電材料570。此一介電材料570可在位於稍後將包含一第一TSV 530a之複數個第一導電互連件540及一第二TSV 530b之複數個第二導電互連件540之開口512之間的開口512中之至少某些開口內延伸，使得含有絕緣介電材料570之該等開口中之至少一者可在水平方向H上將該複數個第一導電互連件與該複數個第二導電互連件分離。可使用與上文參考圖2F所闡述之彼等方法相同之方法來在開口512內形成絕緣介電材料570。

此後，如圖6D中所圖解說明，可自第一表面521移除遮罩層517，且可形成在開口512 (其在於該等開口中之某些開口中形成介電材料570之後保持未被佔據)內延伸之複數個導電互連件540。導電互連件540可上覆於開口512之內表面511上。可使用與上文參考圖2G所闡述之彼等方法相同之方法來在開口512內形成導電互連件540。

此後，如圖6E中所圖解說明，第一表面521與一初始第二表面522' (圖6D)之間的基材520之厚度可減小，藉此曝

露一最終第二表面522。可移除基材520之材料直至移除每一開口512之底表面513 (圖6D)為止，藉此曝露最終第二表面522處的導電互連件540中之每一者之一下部表面542。

可使用對初始第二表面522'之研磨、磨光或拋光或者其之一組合來減小基材520之厚度。在此步驟期間，作為一實例，可將基材520之初始厚度T3 (圖6D中所展示)自約700 μm 減小至約130 μm 或更小之一厚度T4 (圖6E中所展示)。

此後，再次參考圖5，每一TSV 530之導電觸點560a及560b可各自係在基材520之各別第一表面521及第二表面522處與導電互連件540中之對應者接觸地形成。每一導電觸點560a及560b可係在該導電觸點之一底表面561處與其TSV 530之導電互連件540中之每一者接觸地形成。可使用與上文關於圖2G中所闡述之形成導電互連件540所闡述之彼等方法類似之方法來形成導電觸點60。

圖7圖解說明具有一替代組態之圖1A及圖1B之微電子單元之一變化形式。微電子單元710與上文所闡述之微電子單元510相同，惟微電子單元710包含各自具有在曝露於基材720之各別第一表面721及第二表面722處之導電觸點760a與760b之間延伸之一單個導電互連件740而非在曝露於該等第一及第二表面處之共同導電觸點之間延伸之複數個導電互連件之TSV 730除外。

其中每一TSV包含一單個較厚導電互連件740之此等實施例可給此等TSV提供比具有複數個較厚導電互連件之

TSV高之一載流量。在一特定實例中，一單個基材可包含各自具有一單個導電互連件740之一或多個 TSV 730 (圖7) 以及各自具有複數個導電互連件540之一或多個TSV 530 (圖5)。

現在將參考圖8A及圖8B闡述製作微電子單元710 (圖7) 之導電互連件740之一方法。製作導電互連件740之方法可以上文參考圖6A至圖6C中所展示之微電子單元510所闡述之步驟開始。此後，如圖8A中所圖解說明，可自後表面721移除遮罩層517 (圖6C)，且可形成自第一表面721朝向初始第二表面722'部分地延伸穿過矽基材720之腔716。

腔716可類似於上文關於圖3A及圖3B所闡述之腔316，使得每一腔可佔據實質上平行於後表面721之一水平平面中之一面積，後表面721與開口712之 $m \times n$ 分佈內之開口位置之一群組共延伸。

舉例而言，可藉由在於期望保護矽基材720之第一表面721之剩餘部分處形成一遮罩層之後，選擇性地蝕刻該基材來形成腔716。舉例而言，可沈積一可光成像層(例如，一光阻劑層)且將該可光成像層圖案化以僅覆蓋第一表面721之部分，之後可進行一定時蝕刻製程以形成腔716。

每一腔716可具有在實質上垂直於第一表面721之一垂直方向V上延伸之一內表面706及在實質上平行於該第一表面之一水平方向H上延伸之一下部表面708。此等下部表面708可大約與腔716位於彼處的開口之 $m \times n$ 分佈內之開口位置之群組之底表面713共延伸。

每一腔716之內表面706可在一垂直或實質上垂直方向V上自第一表面721實質上與該第一表面呈直角地向下延伸。可使用各向異性蝕刻製程、雷射切割、雷射鑽孔、機械移除製程(例如，鋸割、碾磨、超聲波機械加工等等)來形成具有基本上垂直內表面706之第一腔716。

在一特定實施例(未展示)中，在形成腔716之後，可將一絕緣介電層(未展示)沈積成上覆於該等腔之內表面706上，使得當在開口內沈積導電互連件740 (圖8B)時，該等導電互連件將在此一絕緣介電層內延伸。

此後，如圖8B中所圖解說明，可形成在腔716中之各別者內延伸之導電互連件740。導電互連件740可上覆於腔716之內表面706及下部表面708上。可使用與上文關於圖2G中所展示之導電互連件40所闡述之彼等方法類似之方法來形成導電互連件740。

導電互連件740可類似於上文關於圖3A及圖3B所闡述之導電互連件340，使得每一導電互連件740可佔據實質上平行於後表面721之一水平平面中之一面積，後表面721與開口712之 $m \times n$ 分佈內之開口位置之一群組共延伸。亦可藉由在位於毗鄰導電互連件740之間的開口712內延伸之介電材料770來將每一導電互連件740與一毗鄰導電互連件至少部分地電絕緣。

此後，再次參考圖7，第一表面721與初始第二表面722' (圖8B)之間的基材720之厚度可減小，藉此曝露一最終第二表面722。可移除基材720之材料直至移除每一開口712

之底表面 713 (圖 6D)及每一腔 716之底表面 708為止，藉此曝露最終第二表面 722處之導電互連件 740中之每一者中之一下部表面 742。可使用對初始第二表面 722'之研磨、磨光或剖光或者其之一組合來減小基材 720之厚度。在此步驟期間，可將基材 720之初始厚度 T5 (圖 8B 中所展示)自約 700 μm 減小至約 130 μm 或更小之一厚度 T6 (圖 7 中所展示)。

此後，可各自在基材 720之各別第一表面 721及第二表面 722處與導電互連件 740中之對應者接觸地形成每一 TSV 730之導電觸點 760a及 760b。每一導電觸點 760a及 760b可係在該導電觸點之一底表面 761處與其 TSV 730之對應導電互連件 740接觸地形成。可使用與上文關於形成圖 2G 中所展示之導電互連件 40所闡述之彼等方法相同之方法來形成導電觸點 760a及 760b。

可在多種電子系統之構造中利用上文所闡述之微電子單元，如圖 9 中所展示。舉例而言，根據本發明之尚一實施例之一系統 900包含如上文連同其他電子組件 908及 910一起闡述之一微電子總成 906。在所繪示之實例中，組件 908係一半導體晶片而組件 910係一顯示螢幕，但可使用任何其他組件。當然，雖然為圖解說明之清楚性起見圖 9 中僅繪示兩個額外組件，但該系統可包含任何數目個此類組件。微電子總成 906可係上文所闡述之微電子單元中之任一者。在尚一變化形式中，可使用任何數目個此類微電子總成 906。

微電子總成906以及組件908及910可安裝於以虛線示意性地繪示之一共同外殼901中，且可視需要彼此電互連以形成所期望電路。在所展示之例示性系統中，該系統可包含一電路面板902（諸如一撓性印刷電路板），且該電路面板可包含將該等組件彼此互連之眾多導體904（其中僅一者繪示於圖9中）。然而，此僅係例示性的；可使用任何適合結構來進行電連接。

外殼901係繪示為可用於（舉例而言）一蜂巢式電話或個人數位助理中之類型之一可攜式外殼，且螢幕910可曝露於該外殼之表面處。當結構906包含一光敏元件（諸如一成像晶片）時，亦可提供一透鏡911或其他光學裝置來將光路由至該結構。同樣，圖9中所展示之簡化系統僅係例示性的；可使用上文所論述之結構來製作其他系統，包含通常被視為固定結構之系統，諸如桌上型電腦、路由器及類似物。

本文中所揭示之腔、孔口及導電元件可藉由諸如在以下專利申請案中更詳細地揭示之彼等製程之製程來形成：2010年7月23日提出申請之第12/842,587號、第12/842,612號、第12/842,651號、第12/842,669號、第12/842,692號及第12/842,717號同在申請中的共同受讓之美國專利申請案及在第2008/0246136號公開美國專利申請公開案，該等申請案之揭示內容以引用之方式併入本文中。

雖然本文中已參考特定實施例闡述了本發明，但應理解，此等實施例僅說明本發明之原理及應用。因此，應理

解，在不背離隨附申請專利範圍所定義之本發明之精神及範疇之情況下，可對說明性實施例做出眾多修改且可設想出其他配置。

將瞭解，可以不同於初始請求項中所呈現之方式組合各項附屬請求項及彼等附屬請求項中所闡明之特徵。亦將瞭解，與個別實施例一起闡述之特徵可與所闡述實施例中之其他實施例共用。

【圖式簡單說明】

圖1A係圖解說明根據本發明之一實施例之一通路結構的一側視剖面圖。

圖1B係沿圖1A之線1B-1B截取之圖1A之微電子單元的俯視剖面圖，其以點線展示導電觸點之位置之一突出部。

圖1C係圖1A之微電子單元之一部分剖視圖，其圖解說明包含曝露於基材之後表面處之導電觸點之一介電層下伏部分之一通路結構的一實施例。

圖2A至圖2C及圖2E至圖2I係圖解說明根據圖1A及圖1B中所繪示之本發明之實施例之製作階段的剖視圖。

圖2D係跨越線2D-2D截取之圖2C中所繪示之製作階段之一部分的一放大片段剖視圖。

圖3A係圖解說明根據另一實施例之一通路結構之一側視剖面圖。

圖3B係沿圖3A之線3B-3B截取之圖3A之微電子單元的俯視剖面圖，其以點線展示導電觸點之位置之一突出部。

圖4係圖解說明根據又一實施例之一通路結構之一剖視

圖。

圖5係圖解說明根據再一實施例之一通路結構之一剖視圖。

圖6A至圖6E係圖解說明根據圖5中所繪示之本發明之實施例之製作階段的剖視圖。

圖7係圖解說明根據另一實施例之一通路結構之一剖視圖。

圖8A及圖8B係圖解說明根據圖7中所繪示之本發明之實施例之製作階段的剖視圖。

圖9係根據本發明之一項實施例之一系統之一示意性繪示。

【主要元件符號說明】

10	微電子單元
11	內表面
12	開口/細孔
13	底表面
14	孔口
15	內表面
17	遮罩層
18	外周邊
19	面向下表面
20	矽基材/基材
21	第一表面/後表面/表面/最終後表面
21'	初始後表面

22	第二表面/前表面
23	作用半導體區域
24	導電墊/墊
25	介電層/鈍化層
26	內表面
27	頂表面
28	底表面
30	穿矽通路
30a	穿矽通路
30b	穿矽通路
40	導電互連件/第一導電互連件/第二導電互連件
41	部分/垂直延伸部分
42	下部表面
43	空隙
44	空隙
45	部分
50	導電通路/第一導電通路
51	觸點部分
52	外表面
60	導電觸點/第一導電觸點/觸點
61	底表面
62	頂表面
70	絕緣介電材料/介電材料/保形介電塗層/保

	形介電材料
70'	絕緣介電材料
71	空隙
75	絕緣介電層/介電層
76	絕緣介電層
310	微電子單元
312	開口
316	腔
320	矽基材/基材
321	後表面
322	前表面
330	穿矽通路
330a	穿矽通路
330b	穿矽通路
340	導電互連件
341a	垂直延伸部分
341b	垂直延伸部分
350	導電通路
360	導電觸點
370	絕緣介電材料/介電材料
410	微電子單元
412	開口
413	底表面
414	孔口

416	腔
420	矽基材/基材
422	前表面
424	導電墊
428	底表面
430	穿矽通路
440	導電互連件
442	底表面
450	導電通路
453	上部部分
510	互連件基材/微電子單元
511	內表面
512	開口
513	底表面
517	遮罩層
520	矽基材/基材
521	第一表面/後表面
522	第二表面/前表面/最終第二表面
522'	初始第二表面
530	穿矽通路
530a	穿矽通路
530b	穿矽通路
540	導電互連件
542	下部表面

560a	第一導電觸點/導電觸點
560b	第二導電觸點/導電觸點
561	底表面
570	絕緣介電材料/介電材料
570'	絕緣介電材料/介電材料
571	空隙
706	內表面
708	下部表面/底表面
710	微電子單元
712	開口
713	底表面
716	腔
720	矽基材/基材
721	第一表面/後表面
722	第二表面/最終第二表面
722'	第二表面/初始第二表面
730	穿矽通路
740	導電互連件
742	下部表面
760a	導電觸點
760b	導電觸點
761	底表面
770	介電材料
900	系統

901	外殼
902	電路面板
904	導體
906	微電子總成/結構
908	電子組件/組件
910	電子組件/組件/螢幕
911	透鏡
A	第一區域/區域
B	第二區域/區域
D1	第一方向
D2	第二方向
D3	水平方向
H	水平方向
H1	高度/長度
H2	高度
R	多孔矽區域
T	厚度
T1	初始厚度
T2	厚度
T3	初始厚度
T4	厚度
T5	初始厚度
T6	厚度
V	垂直方向
W	寬度

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101114252

※申請日：101.4.20

※IPC 分類：H01L 23/48 2006.01

一、發明名稱：(中文/英文)

H01L 23/52 2006.01

多孔基材中之通路

VIAS IN POROUS SUBSTRATES

二、中文發明摘要：

本發明揭示一種微電子單元，其可包含：一基材，其中具有前表面及後表面以及主動半導體裝置，該基材具有配置成跨越該後表面之一面積之一對稱或非對稱分佈之複數個開口；第一及第二導電通路，其連接至曝露於該前表面處之第一及第二墊；複數個第一及第二導電互連件，其在該等開口中之各別者內延伸；及第一及第二導電觸點，其經曝露以用於與一外部元件互連。該複數個第一導電互連件可藉由該複數個開口中之至少一者而與該複數個第二導電互連件分離，該至少一個開口至少部分地填充有一絕緣材料。該等開口之該分佈可包含在一第一方向上間隔開之至少m個開口及在橫向於該第一方向之一第二方向上間隔開之n個開口。

三、英文發明摘要：

A microelectronic unit can include a substrate having front and rear surfaces and active semiconductor devices therein, the substrate having a plurality of openings arranged in a symmetric or asymmetric distribution across an area of the rear surface, first and second conductive vias connected to first and second pads exposed at the front surface, pluralities of first and second conductive interconnects extending within respective ones of the openings, and first and second conductive contacts exposed for interconnection with an external element. The plurality of first conductive interconnects can be separated from the plurality of second conductive interconnects by at least one of the plurality of openings, the at least one opening at least partially filled with an insulating material. The distribution of the openings can include at least m openings spaced apart in a first direction and n openings spaced apart in a second direction transverse to the first direction.

七、申請專利範圍：

1. 一種微電子單元，其包括：

一半導體基材，其具有一前表面及遠離該前表面之一後表面且其中體現複數個主動半導體裝置，該基材具有曝露於該前表面處之複數個導電墊及配置成跨越該後表面之一面積之一對稱或非對稱分佈之複數個開口，其中至少m個開口沿該後表面在一第一方向上間隔開且n個開口沿該後表面在橫向於該第一方向之一第二方向上間隔開，m及n中之每一者皆大於1；

第一及第二導電通路，其與該複數個導電墊中之各別第一及第二墊電連接；

複數個第一及第二導電互連件，其在該等開口中之各別者內延伸，每一第一導電互連件連接至該第一導電通路，每一第二導電互連件連接至該第二導電通路；及

第一及第二導電觸點，其曝露於該後表面處以用於與一外部元件互連，該等第一及第二導電觸點分別電連接至該等第一及第二導電互連件，

其中該複數個第一導電互連件藉由該複數個開口中之至少一者而在實質上平行於該前表面之一水平方向上與該複數個第二導電互連件分離，該至少一個開口至少部分地填充有一絕緣介電材料。

2. 如請求項1之微電子單元，其中每一導電互連件包含在實質上垂直於該前表面之一垂直方向上延伸之一部分，該複數個第一導電互連件藉由該半導體基材之材料而在

該水平方向上彼此分離。

3. 如請求項1之微電子單元，其中每一導電互連件在該水平方向上具有5微米或更小之一寬度。
4. 如請求項1之微電子單元，其中每一導電通路具有一截頭圓錐形狀。
5. 如請求項1之微電子單元，其中該等第一及第二導電觸點在實質上垂直於該前表面之一垂直方向上與該各別複數個第一及第二導電互連件對準。
6. 如請求項1之微電子單元，其中每一墊具有曝露於該前表面處之一頂表面及遠離該頂表面之一底表面，且該等第一導電通路自該等各別第一及第二墊之該底表面至該頂表面延伸穿過該等各別第一及第二墊。
7. 如請求項1之微電子單元，其中該等第一及第二導電通路不延伸穿過該等各別第一及第二墊。
8. 如請求項1之微電子單元，其進一步包括至少一個孔口，每一孔口自該等開口中之兩者或兩者以上延伸至該等墊中之一各別者之至少一底表面，其中該等第一及第二導電通路在該至少一個孔口中之各別第一及第二孔口內延伸。
9. 如請求項1之微電子單元，其中該等第一及第二導電通路包含經摻雜半導體材料。
10. 如請求項1之微電子單元，其中該等第一及第二導電通路分別直接連接至該等第一及第二墊。
11. 如請求項1之微電子單元，其中該等第一及第二導電通

路透過在其間延伸之中間導電結構而與該等各別第一及第二墊電連接。

12. 一種包括如請求項1之結構及電連接至該結構之一或多個其他電子組件之系統。

13. 如請求項12之系統，其進一步包括一外殼，該結構及該等其他電子組件係安裝至該外殼。

14. 一種互連件基材，其包括：

一基材，其具有小於8 ppm/°C之一有效熱膨脹係數(CTE)、具有一第一表面及遠離該第一表面之一第二表面，該基材具有在該第一表面與該第二表面之間延伸之複數個開口，該等開口配置成跨越該第一表面之一面積之一對稱或非對稱分佈，其中至少m個開口沿該第一表面在一第一方向上間隔開且n個開口沿該第一表面在橫向於該第一方向之一第二方向上間隔開，m及n中之每一者皆大於1；

複數個第一及第二導電互連件，每一導電互連件在該等開口中之一各別者內延伸且具有毗鄰該等第一及第二表面之端；及

若干組第一導電觸點及若干組第二導電觸點，其曝露於該等第一及第二表面處以用於與一外部元件互連，每一組該等第一導電觸點包含曝露於該第一表面處之一第一導電觸點及曝露於該第二表面處之一第一導電觸點，其中該複數個第一導電互連件電連接此組，每一組該等第二導電觸點包含曝露於該第一表面處之一第二導電觸

點及曝露於該第二表面處之一第二導電觸點，其中該複數個第二導電互連件電連接此組，

其中該複數個第一導電互連件藉由在介於該第一表面與該第二表面之間且至少部分地填充有一絕緣介電材料之該複數個開口中之至少一者內延伸之一絕緣部件而在實質上平行於該第一表面之一水平方向上與該複數個第二導電互連件分離。

15. 如請求項14之互連件基材，其中每一導電互連件包含在實質上垂直於該第一表面之一垂直方向上延伸之一部分，該複數個第一導電互連件藉由該半導體基材之材料而在該水平方向上彼此分離。
16. 如請求項14之互連件基材，其中每一導電互連件在該水平方向上具有5微米或更小之一寬度。
17. 如請求項14之互連件基材，其中該等組第一及第二導電觸點在實質上垂直於該第一表面之一垂直方向上與該各別複數個第一及第二導電互連件對準。
18. 如請求項14之互連件基材，其中每一開口襯有一介電層。
19. 如請求項14之互連件基材，其中該基材基本上由半導體材料組成。
20. 如請求項14之互連件基材，其中該基材基本上由玻璃或陶瓷材料組成。
21. 一種包括如請求項14之結構及電連接至該結構之一或多個其他電子組件之系統。

22. 如請求項21之系統，其進一步包括一外殼，該結構及該等其他電子組件係安裝至該外殼。

23. 一種互連件基材，其包括：

一基材，其具有小於8 ppm/°C之一有效CTE、具有一第一表面及遠離該第一表面之一第二表面，該基材具有在該第一表面與該第二表面之間延伸之複數個開口；

複數個導電互連件，其在該等開口之一第一子組中之各別者內延伸；及

一絕緣介電材料，其至少部分地在該等開口之一第二子組中之各別者內延伸。

24. 如請求項23之互連件基材，其中該絕緣介電材料完全地填充該等開口之該第二子組中之各別者。

25. 如請求項23之互連件基材，其中該等開口之該第二子組比該等開口之該第一子組包含較多開口。

26. 如請求項23之互連件基材，其中該基材基本上由半導體材料組成。

27. 如請求項23之互連件基材，其中該基材基本上由玻璃或陶瓷材料組成。

28. 一種包括如請求項23之結構及電連接至該結構之一或多個其他電子組件之系統。

29. 如請求項28之系統，其進一步包括一外殼，該結構及該等其他電子組件係安裝至該外殼。

30. 一種互連件基材，其包括：

一基材，其具有小於8 ppm/°C之一有效CTE、具有一

第一表面及遠離該第一表面之一第二表面，該基材具有在該第一表面與該第二表面之間延伸穿過一第一材料區域之複數個開口，每一開口具有分別毗鄰該等第一及第二表面之第一及第二端；

複數個導電互連件，其在該等開口之一第一子組中之各別者內延伸，每一導電互連件具有毗鄰該等第一及第二表面之第一及第二端；及

複數個絕緣部件，其在該等開口之一第二子組中之各別者內延伸，每一絕緣部件具有毗鄰該等第一及第二表面之各別開口內對置之第一及第二端部分，該等第一及第二端部分基本上由一介電材料組成，該介電材料不同於該第一材料，

其中該等導電互連件中之至少兩者藉由該等絕緣部件中之至少一者而彼此分離，使得無電流可流動穿過該至少兩個導電互連件之間的該絕緣部件且無電流可流動穿過該第一端部分與該第二端部分之間的該絕緣部件。

31. 如請求項30之互連件基材，其中該等絕緣部件包含該第一端部分與該第二端部分之間的空隙。
32. 如請求項30之互連件基材，其中該基板基本上由半導體材料組成。
33. 如請求項30之互連件基材，其中該基材基本上由玻璃或陶瓷材料組成。
34. 一種包括如請求項30之結構及電連接至該結構之一或多個其他電子組件之系統。

35. 如請求項34之系統，其進一步包括一外殼，該結構及該等其他電子組件係安裝至該外殼。

36. 一種製作一微電子單元之方法，其包括：

形成自一半導體基材之一第一表面朝向遠離該第一表面之一第二表面延伸之複數個開口，該等開口配置成跨越該第一表面之一面積之一對稱或非對稱分佈，其中至少m個開口沿該第一表面在一第一方向上間隔開且n個開口沿該第一表面在橫向於該第一方向之一第二方向上間隔開，m及n中之每一者皆大於1，該基材體現複數個主動半導體裝置，該基材具有曝露於該第二表面處之複數個導電墊；

形成在該等開口中之各別者內延伸之複數個第一及第二導電互連件；及

與該複數個導電墊中之各別第一及第二墊電連接地形成第一及第二導電通路，每一第一導電互連件電連接至該第一導電通路，每一第二導電互連件電連接至該第二導電通路。

37. 如請求項36之方法，其進一步包括沈積至少部分地填充該複數個開口中之至少一者之一絕緣介電材料，其中藉由該複數個開口中之該至少一者而在實質上平行於該第一表面之一水平方向上將該複數個第一導電互連件與該複數個第二導電互連件分離。

38. 如請求項36之方法，其中每一導電互連件包含在實質上垂直於該第一表面之一垂直方向上延伸之一部分，該複

- 數個第一導電互連件藉由該半導體基材之材料而在實質上平行於該第一表面之一水平方向上彼此分離。
39. 如請求項36之方法，其進一步包括形成經曝露以用於與一外部元件互連之第一及第二導電觸點，該等第一及第二導電觸點分別電連接至該等第一及第二導電互連件。
40. 如請求項39之方法，其中將該等第一及第二導電觸點在實質上垂直於該第一表面之一垂直方向上與該等各別第一及第二導電互連件對準。
41. 如請求項36之方法，其進一步包括藉由對該等各別第一及第二墊施加之處理來形成自該第二表面上方延伸穿過該等墊之第一及第二孔口。
42. 如請求項41之方法，其中該等第一及第二導電通路係在該等各別第一及第二孔口內形成且延伸穿過該等各別第一及第二墊。
43. 如請求項41之方法，其中在該第二表面處曝露每一導電通路之一接觸部分以用於與一外部元件互連。
44. 如請求項41之方法，其中形成該等第一及第二孔口之該步驟包含：自該半導體基材移除材料，使得該等孔口部分地延伸穿過該半導體基材之一厚度。
45. 如請求項41之方法，其中執行形成該等第一及第二孔口之該步驟使得該等各別第一及第二導電互連件中之每一者之一表面曝露在該各別孔口內。
46. 如請求項36之方法，其中形成該複數個開口使得該等第一及第二導電通路曝露在該複數個開口中之某些開口

內，且該等第一及第二導電互連件係分別與該等第一及第二導電通路接觸地形成。

47. 如請求項36之方法，其中藉由各向異性蝕刻執行形成該複數個開口之該步驟，以便產生自該基材之該第一表面延伸之一多孔矽區域。

48. 如請求項36之方法，其中該等開口之該對稱或非對稱分佈之位置並非藉由一遮罩判定。

49. 如請求項36之方法，其中該等第一及第二導電通路可連接至各別第一及第二電位。

50. 如請求項37之方法，其中在形成該等導電互連件之該等步驟之前執行沈積該絕緣介電材料之該步驟。

51. 一種製作一微電子單元之方法，其包括：

形成自一半導體基材之一第一表面朝向遠離該第一表面之一第二表面延伸之複數個開口，該等開口配置成跨越該第一表面之一面積之一對稱或非對稱分佈，其中至少m個開口沿該第一表面在一第一方向上間隔開且n個開口沿該第一表面在橫向於該第一方向之一第二方向上間隔開，m及n中之每一者皆大於1，該基材體現複數個主動半導體裝置，該基材具有曝露於該第二表面處之複數個導電墊；

移除在該等開口之一第一及第二子組中之各別者之間延伸之該半導體基材之材料以形成佔據與該等開口之該等各別第一及第二子組共延伸之面積之各別第一及第二腔；

形成在該等各別第一及第二腔內延伸之第一及第二導電互連件；及

與該複數個導電墊中之各別第一及第二墊電連接地形成第一及第二導電通路，該等第一及第二導電通路與該等各別第一及第二導電互連件電連接。

52. 如請求項51之方法，其進一步包括沈積至少部分地填充該複數個開口中之至少一者之一絕緣介電材料，其中藉由該複數個開口中之該至少一者而在實質上平行於該第一表面之一水平方向上將該第一導電互連件與該第二導電互連件至少部分地分離。

53. 如請求項51之方法，其進一步包括形成經曝露以用於與一外部元件互連之第一及第二導電觸點，該等第一及第二導電觸點分別電連接至該等第一及第二導電互連件。

54. 如請求項53之方法，其中將該等第一及第二導電觸點在實質上垂直於該第一表面之一垂直方向上與該等各別第一及第二導電互連件對準。

55. 如請求項51之方法，其進一步包括藉由對該等各別第一及第二墊施加之處理來形成自該第二表面上方延伸穿過該等墊之第一及第二孔口。

56. 如請求項55之方法，其中該等第一及第二導電通路係在該等各別第一及第二孔口內形成且延伸穿過該等各別第一及第二墊。

57. 如請求項55之方法，其中在該第二表面處曝露每一導電通路之一接觸部分以用於與一外部元件互連。

58. 如請求項55之方法，其中形成該等第一及第二孔口之該步驟包含：自該半導體基材移除材料，使得該等孔口部分地延伸穿過該半導體基材之一厚度。
59. 如請求項55之方法，其中執行形成該等第一及第二孔口之該步驟使得該等各別第一及第二導電互連件之一表面曝露在該各別孔口內。
60. 如請求項51之方法，其中形成該複數個開口使得該等第一及第二導電通路曝露在該複數個開口中之某些開口內，且該等第一及第二導電互連件係分別與該等第一及第二導電通路接觸地形成。
61. 如請求項51之方法，其中藉由各向異性蝕刻執行形成該複數個開口之該步驟，以便產生自該基材之該第一表面延伸之一多孔矽區域。
62. 如請求項51之方法，其中該等開口之該對稱或非對稱分佈之位置並非藉由一遮罩判定。
63. 如請求項51之方法，其中該等第一及第二導電通路可連接至各別第一及第二電位。
64. 如請求項52之方法，其中在形成該等導電互連件之該等步驟之前執行沈積該絕緣介電材料之該步驟。
65. 一種製作一互連件基材之方法，其包括：
- 形成自具有小於8 ppm/°C之一有效CTE之一基材之一第一表面朝向遠離該第一表面之一第二表面延伸之複數個開口，該等開口配置成跨越該第一表面之一面積之一對稱或非對稱分佈，其中至少m個開口沿該第一表面在

一第一方向上間隔開且 n 個開口沿該第一表面在橫向於該第一方向之一第二方向上間隔開， m 及 n 中之每一者皆大於1；

形成複數個第一及第二導電互連件，每一導電互連件在該等開口中之一各別者內延伸且具有毗鄰該等第一及第二表面之端；及

形成曝露於該等第一及第二表面處以用於與一外部元件互連之若干組第一導電觸點及若干組第二導電觸點，每一組該等第一導電觸點包含曝露於該第一表面處之一第一導電觸點及曝露於該第二表面處之一第一導電觸點，其中該複數個第一導電互連件電連接此組，每一組該等第二導電觸點包含曝露於該第一表面處之一第二導電觸點及曝露於該第二表面處之一第二導電觸點，其中該複數個第二導電互連件電連接此組。

66. 如請求項65之方法，其進一步包括沈積至少部分地填充該複數個開口中之至少一者之一絕緣介電材料，其中藉由該複數個開口中之該至少一者而在實質上平行於該第一表面之一水平方向上將該複數個第一導電互連件與該複數個第二導電互連件分離。

67. 如請求項65之方法，其中每一導電互連件包含在實質上垂直於該第一表面之一垂直方向上延伸之一部分，該複數個第一導電互連件藉由該基材之材料而在實質上平行於該第一表面之一水平方向上彼此分離。

68. 如請求項65之方法，其進一步包括在形成該等導電觸點

之該步驟之前，自該第二表面移除材料使得該第一表面與該第二表面之間的該半導體基材之一厚度減小，且使得每一導電互連件之一表面曝露在該第二表面處。

69. 如請求項65之方法，其中該基材基本上由半導體材料組成。

70. 如請求項65之方法，其中該基材基本上由玻璃或陶瓷材料組成。

71. 如請求項65之方法，其中藉由各向異性蝕刻執行形成該複數個開口之該步驟，以便產生自該基材之該第一表面延伸之一多孔矽區域。

72. 如請求項65之方法，其中該等開口之該對稱或非對稱分佈之位置並非藉由一遮罩判定。

73. 如請求項65之方法，其中該等第一及第二導電通路可連接至各別第一及第二電位。

74. 如請求項66之方法，其中在形成該等導電互連件之該等步驟之前執行沈積該絕緣介電材料之該步驟。

75. 一種製作一互連件基材之方法，其包括：

形成自具有小於8 ppm/°C之一有效CTE之一基材之一第一表面朝向遠離該第一表面之一第二表面延伸之複數個開口，該等開口配置成跨越該第一表面之一面積之一對稱或非對稱分佈，其中至少m個開口沿該第一表面在一第一方向上間隔開且n個開口沿該第一表面在橫向於該第一方向之一第二方向上間隔開，m及n中之每一者皆大於1；

移除在該等開口之一第一及第二子組中之各別者之間延伸之該半導體基材之材料以形成佔據與該等開口之該等各別第一及第二子組共延伸之面積之各別第一及第二腔；

形成在該等各別第一及第二腔內延伸之第一及第二導電互連件，該等第一及第二導電互連件中之每一者具有毗鄰該等第一及第二表面之端；及

形成曝露於該等第一及第二表面處以用於與一外部元件互連之若干組第一導電觸點及若干組第二導電觸點，每一組該等第一導電觸點包含曝露於該第一表面處之一第一導電觸點及曝露於該第二表面處之一第一導電觸點，其中該第一導電互連件電連接此組，每一組該等第二導電觸點包含曝露於該第一表面處之一第二導電觸點及曝露於該第二表面處之一第二導電觸點，其中該第二導電互連件電連接此組。

76. 如請求項 75 之方法，其進一步包括沈積至少部分地填充該複數個開口中之至少一者之一絕緣介電材料，其中藉由該複數個開口中之至少一者而在實質上平行於該第一表面之一水平方向上將該第一導電互連件與該第二導電互連件至少部分地分離。

77. 如請求項 75 之方法，其進一步包括在形成該等導電觸點之該步驟之前，自該第二表面移除材料，使得該第一表面與該第二表面之間的該半導體基材之一厚度減小，且使得每一導電互連件之一表面曝露在該第二表面處。

- 78. 如請求項75之方法，其中該基材基本上由半導體材料組成。
- 79. 如請求項75之方法，其中該基材基本上由玻璃或陶瓷材料組成。
- 80. 如請求項75之方法，其中藉由各向異性蝕刻執行形成該複數個開口之該步驟，以便產生自該基材之該第一表面延伸之一多孔矽區域。
- 81. 如請求項75之方法，其中該等開口之該對稱或非對稱分佈之位置並非藉由一遮罩判定。
- 82. 如請求項75之方法，其中該等第一及第二導電通路可連接至各別第一及第二電位。
- 83. 如請求項76之方法，其中在形成該等導電互連件之該等步驟之前執行沈積該絕緣介電材料之該步驟。

八、圖式：

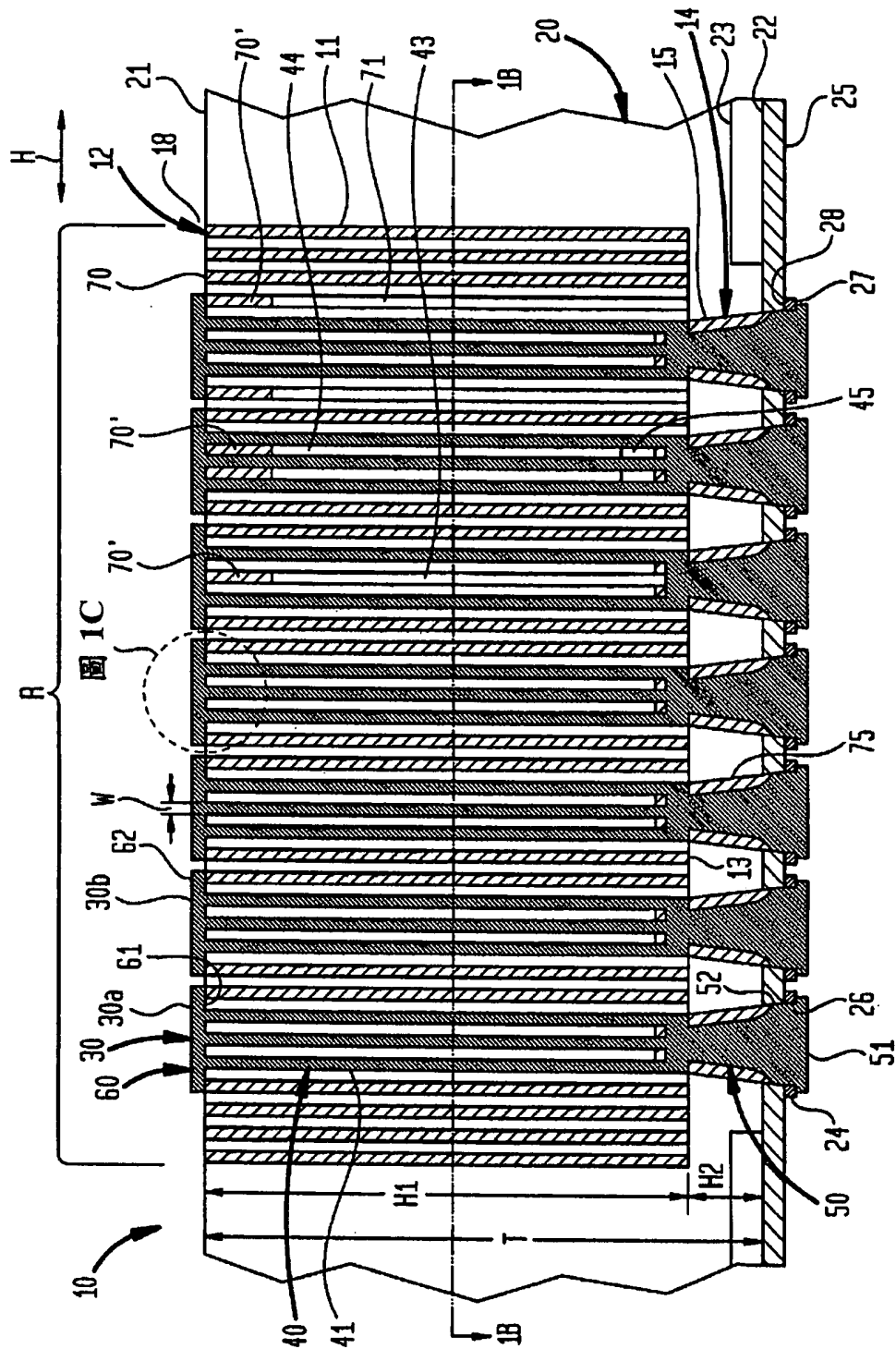


圖 1A

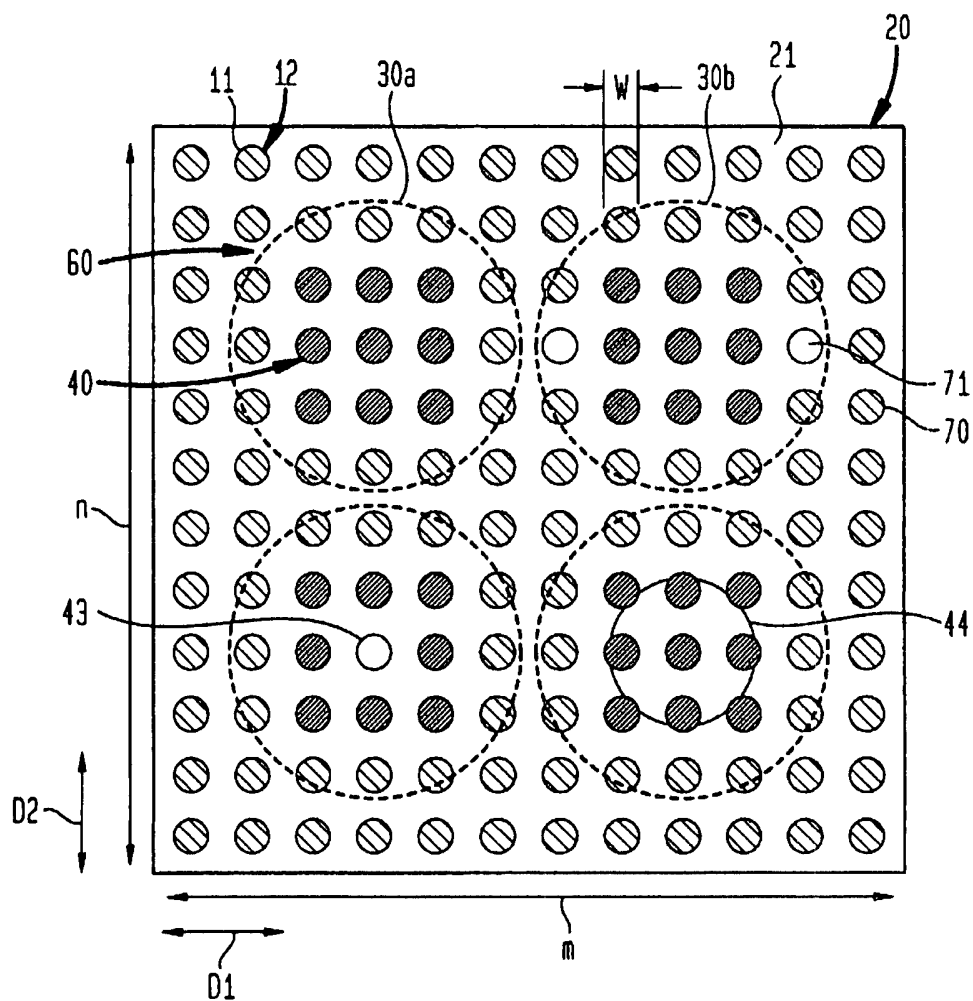


圖 1B

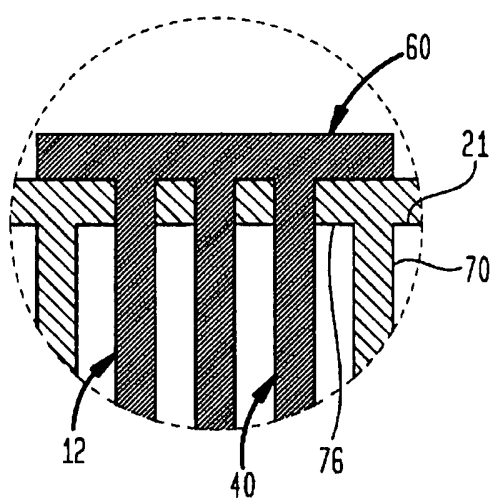


圖 1C

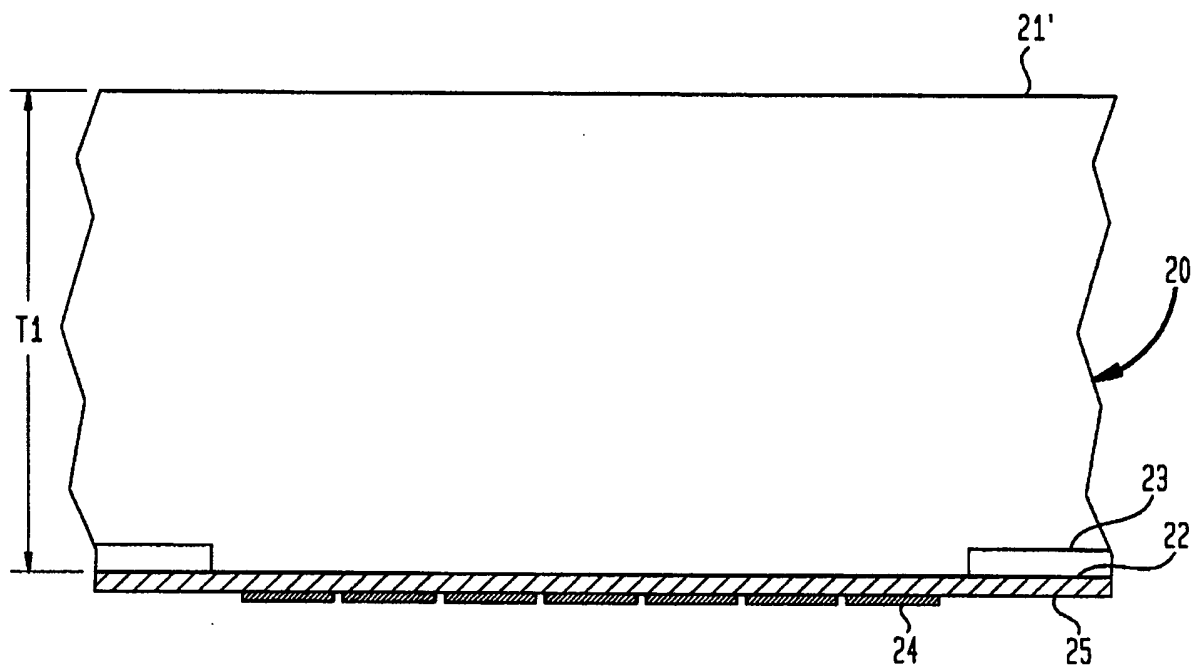


圖 2A

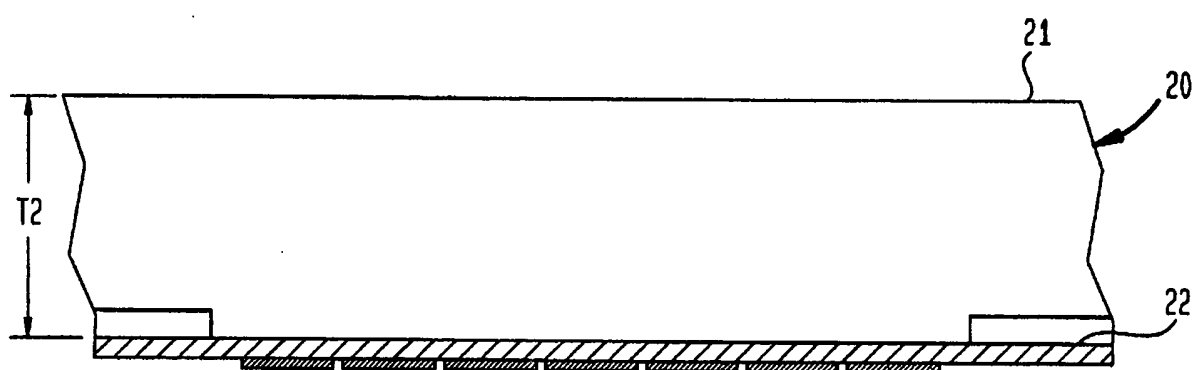


圖 2B

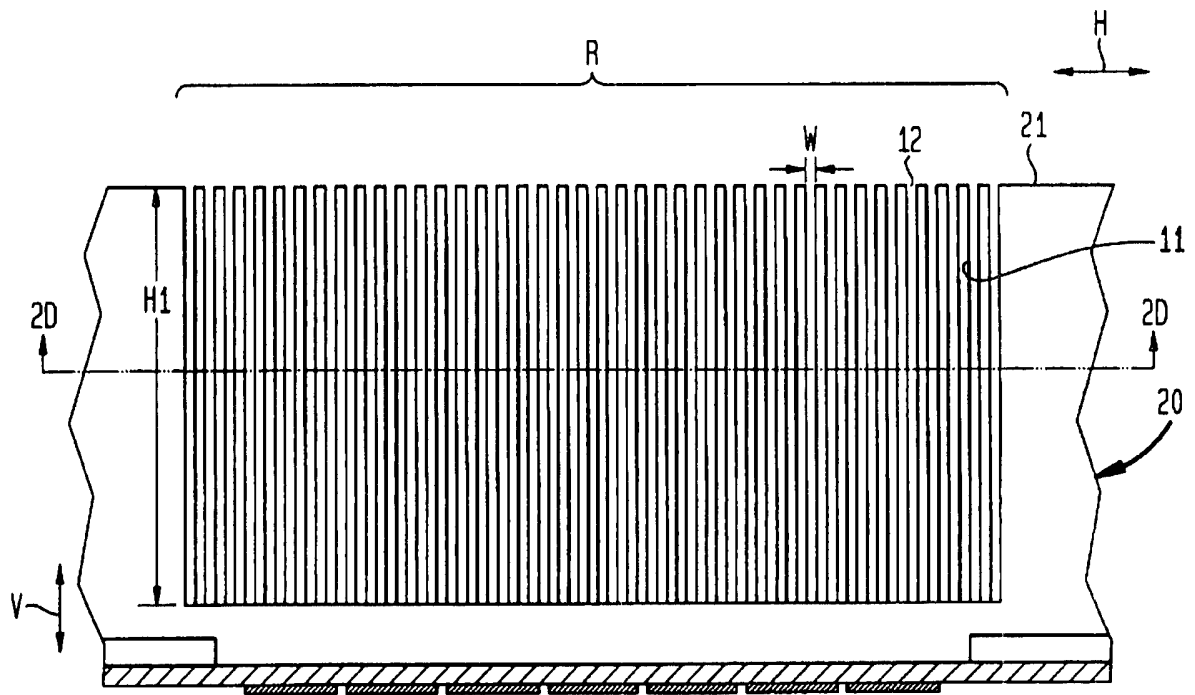


圖 2C

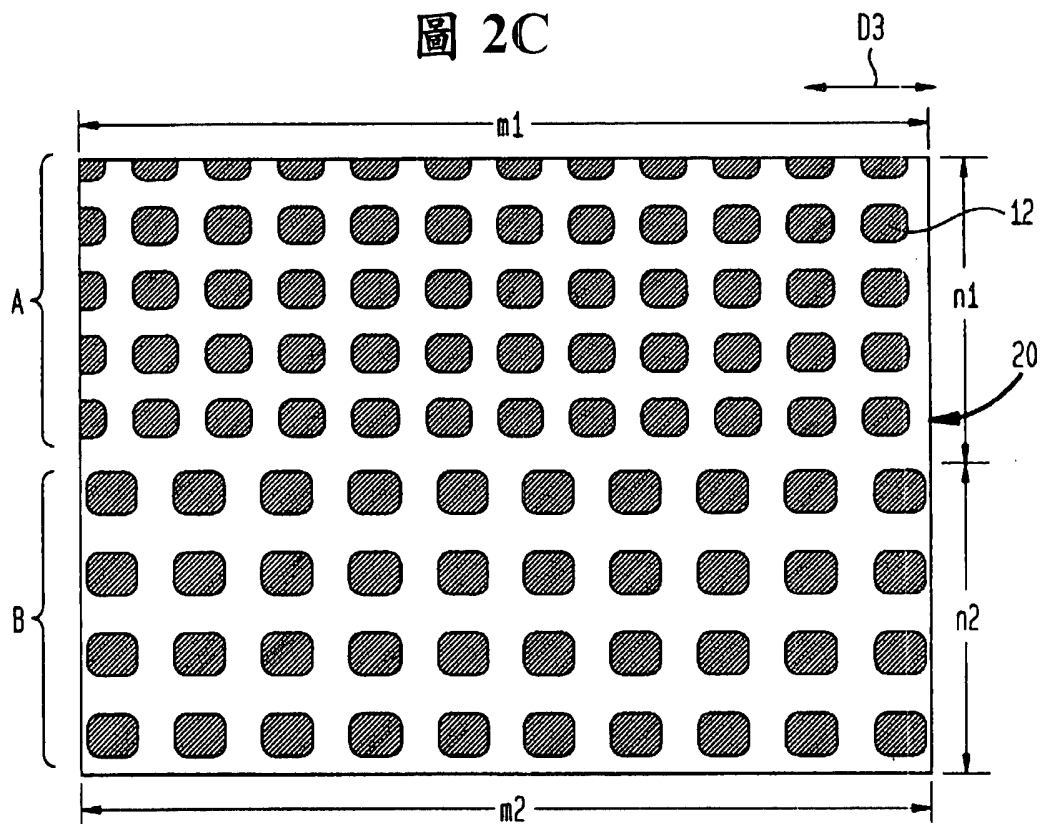


圖 2D

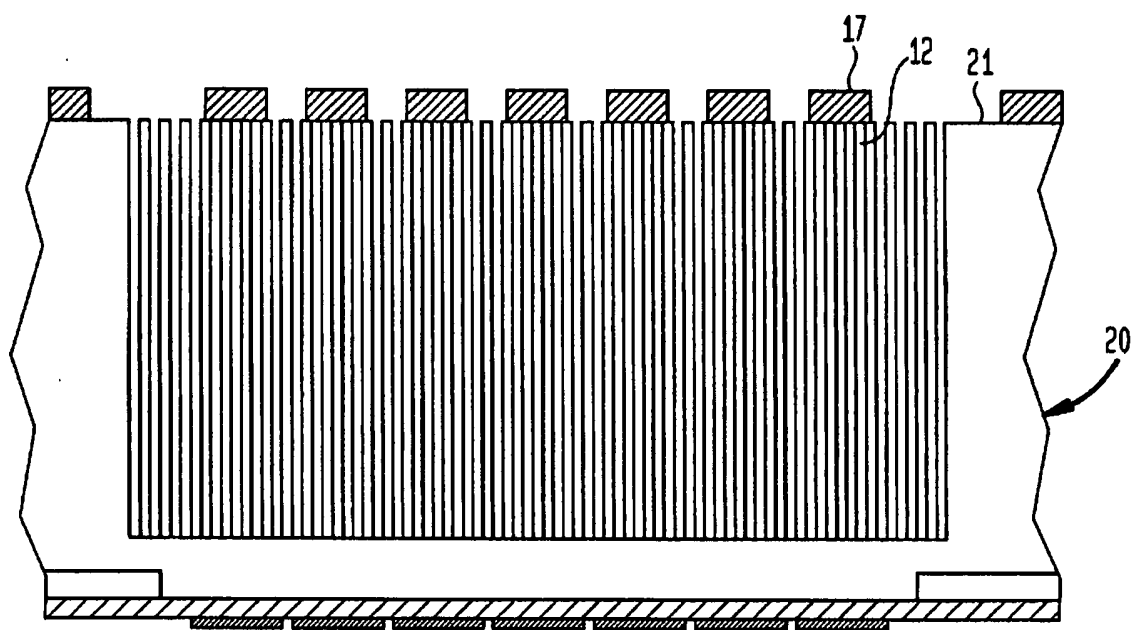


圖 2E

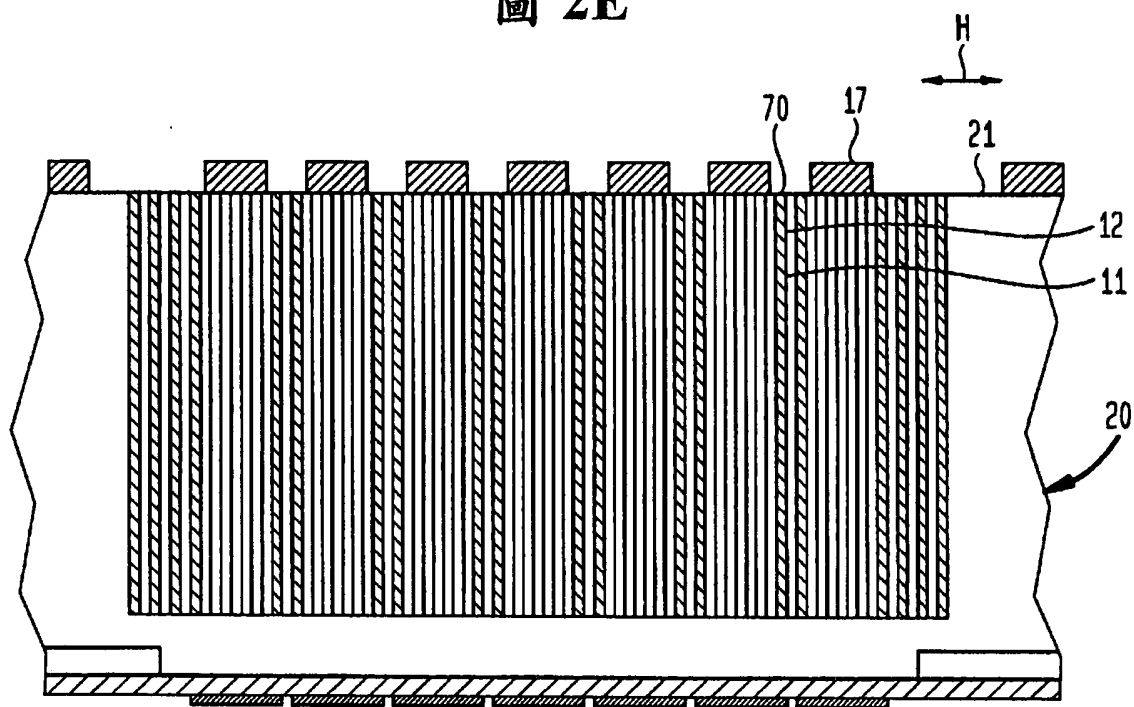


圖 2F

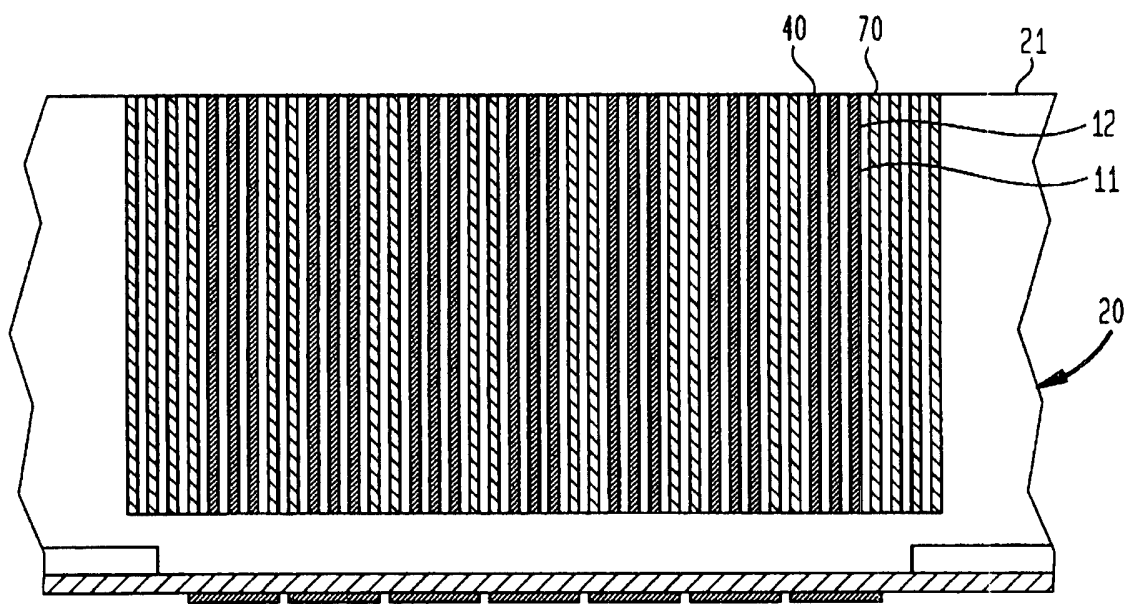


圖 2G

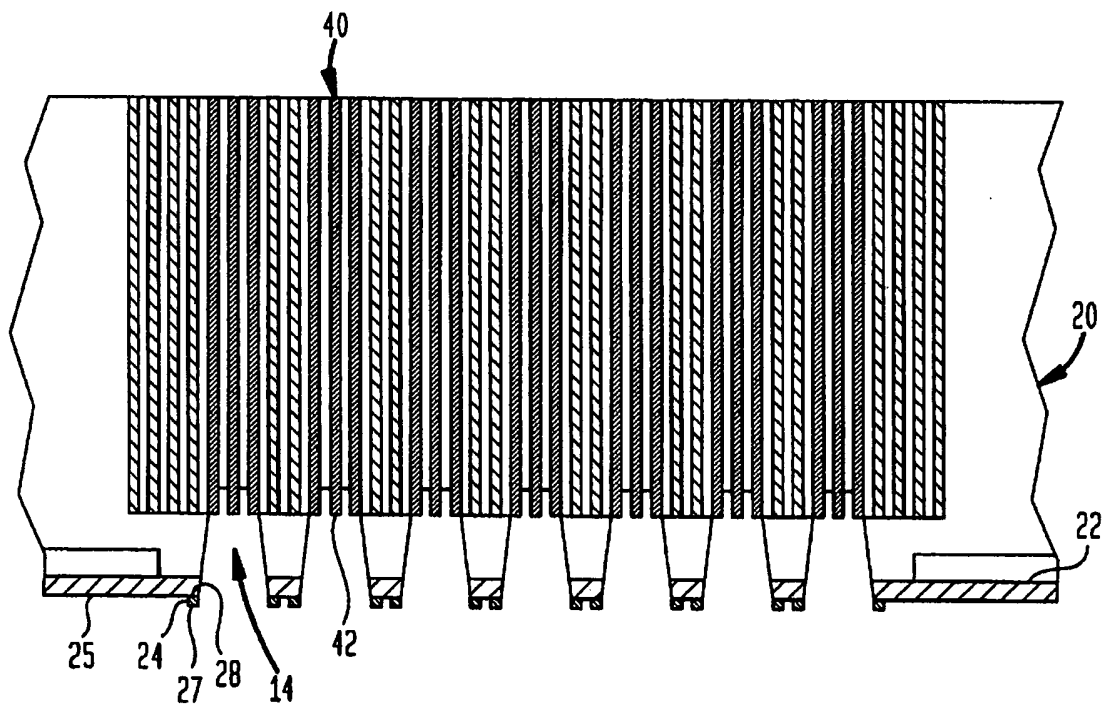


圖 2H

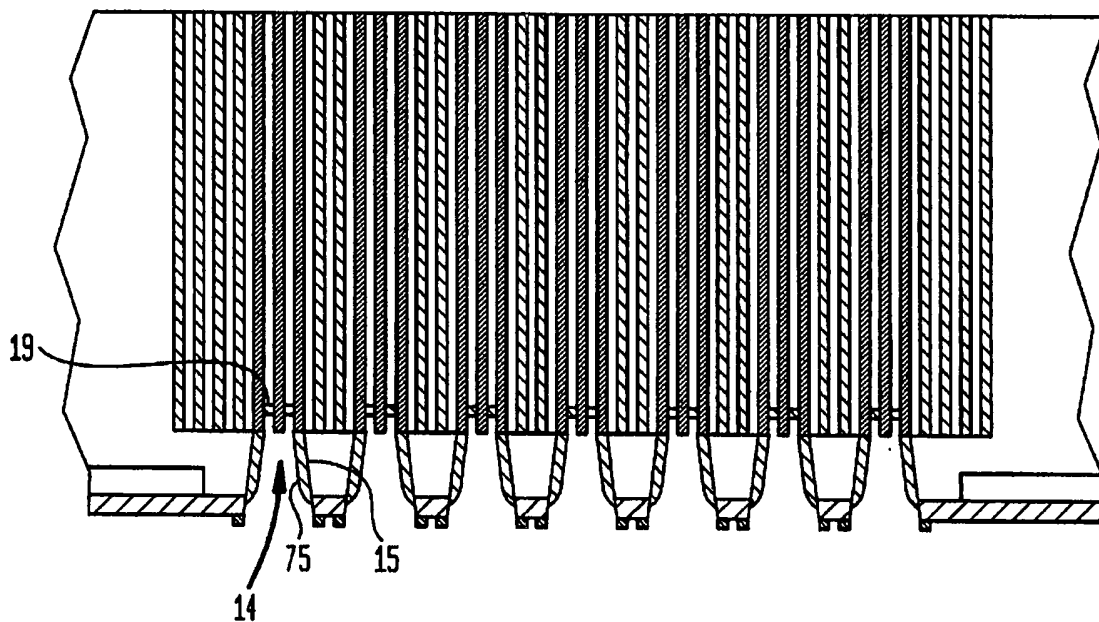


圖 2I

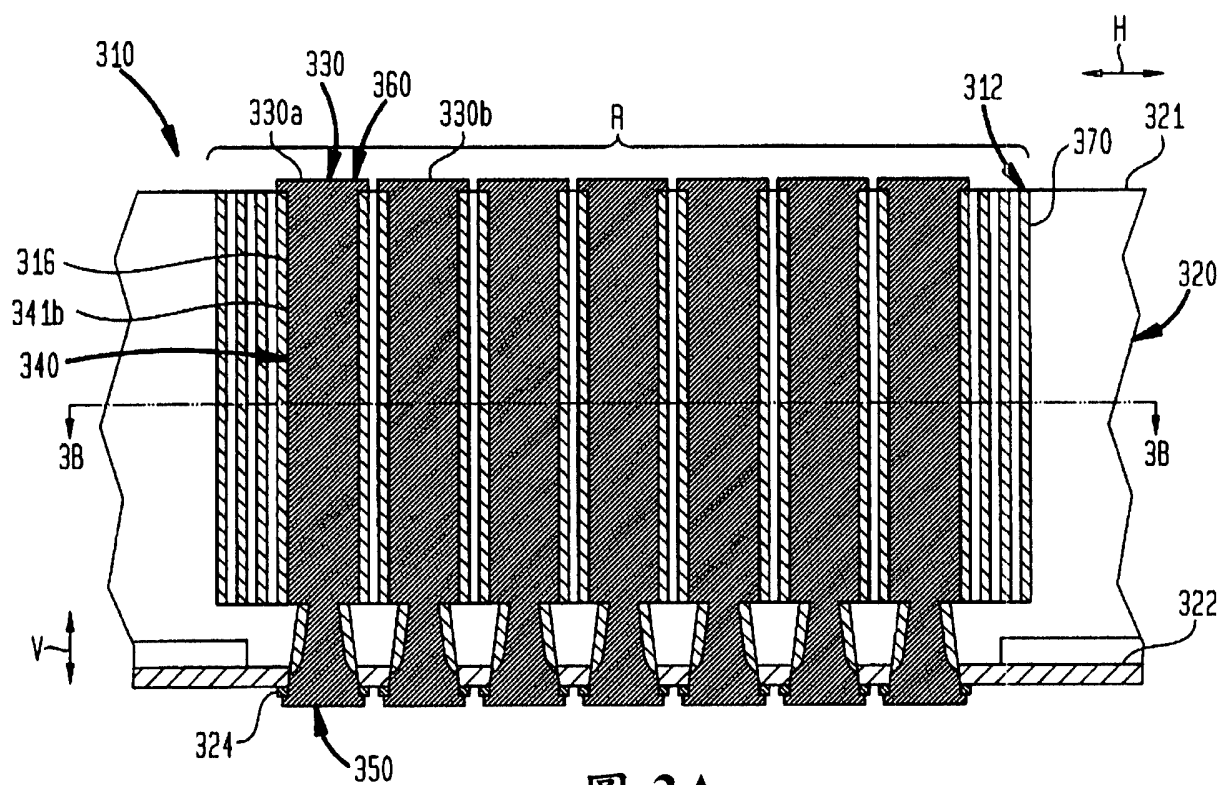


圖 3A

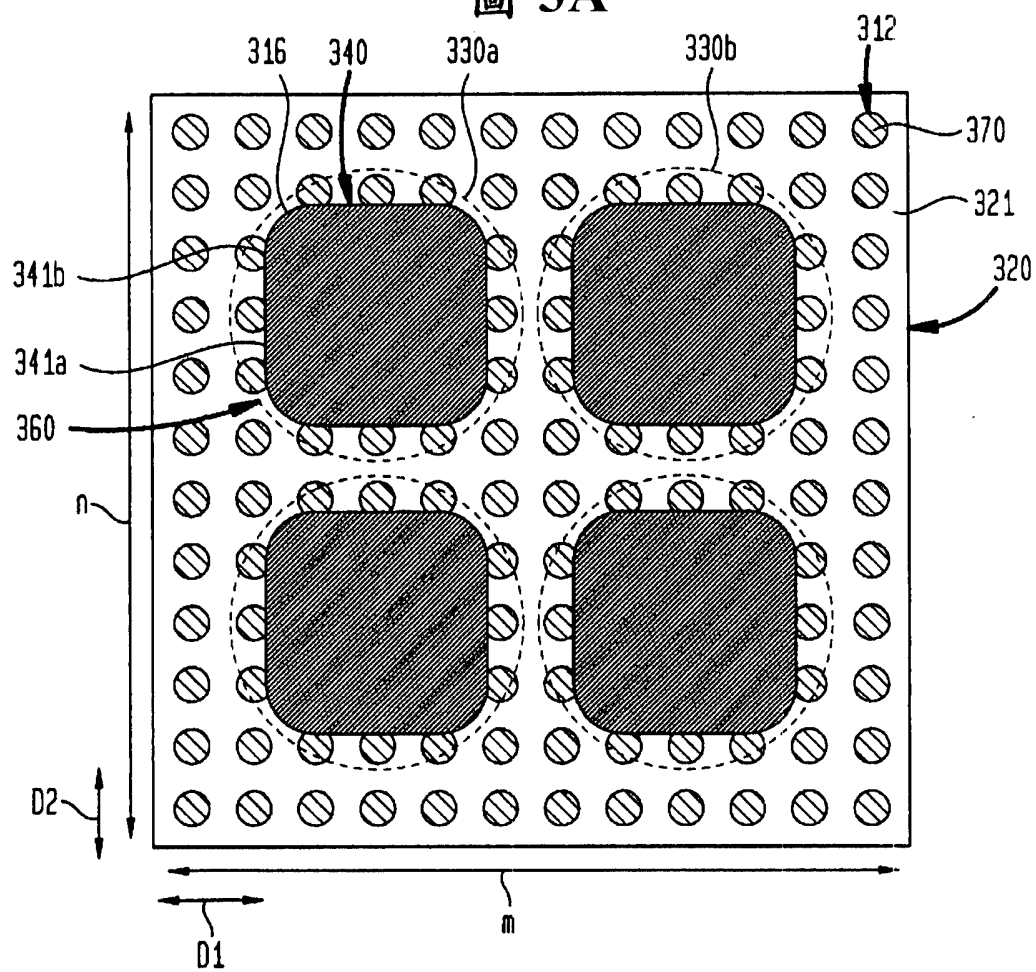


圖 3B

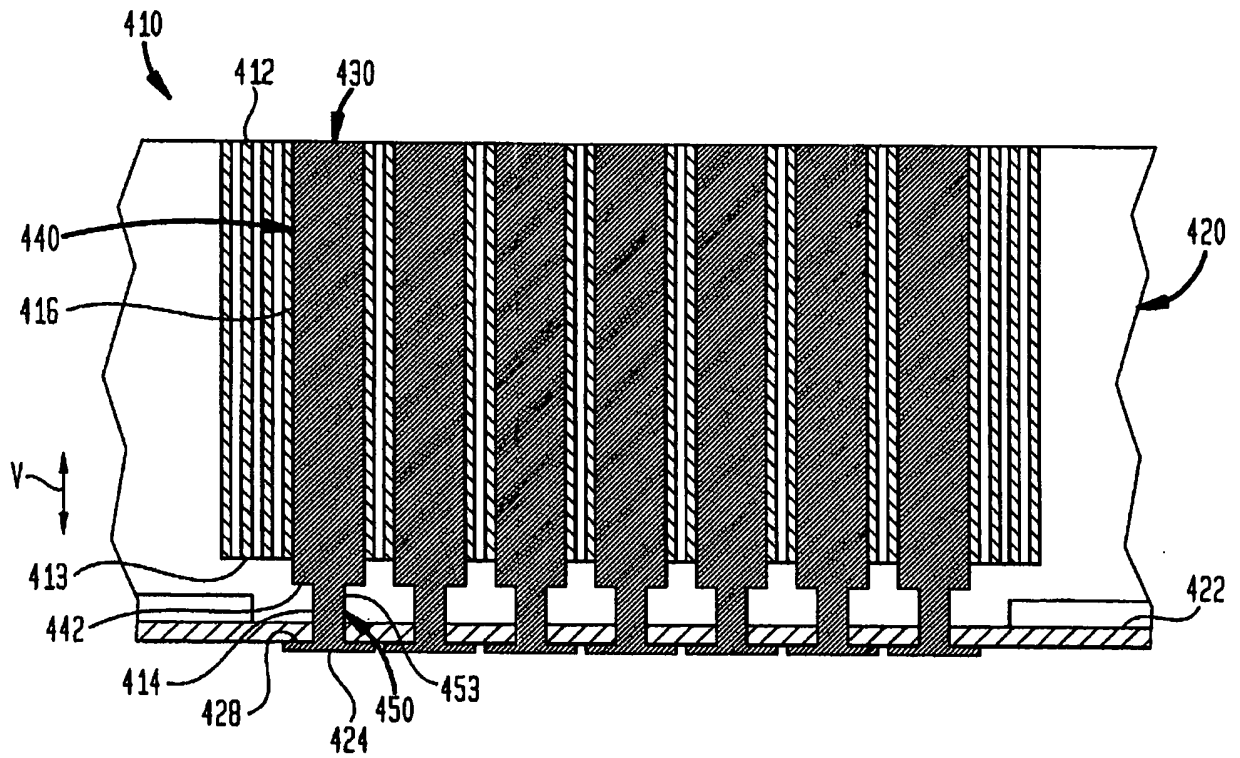


圖 4

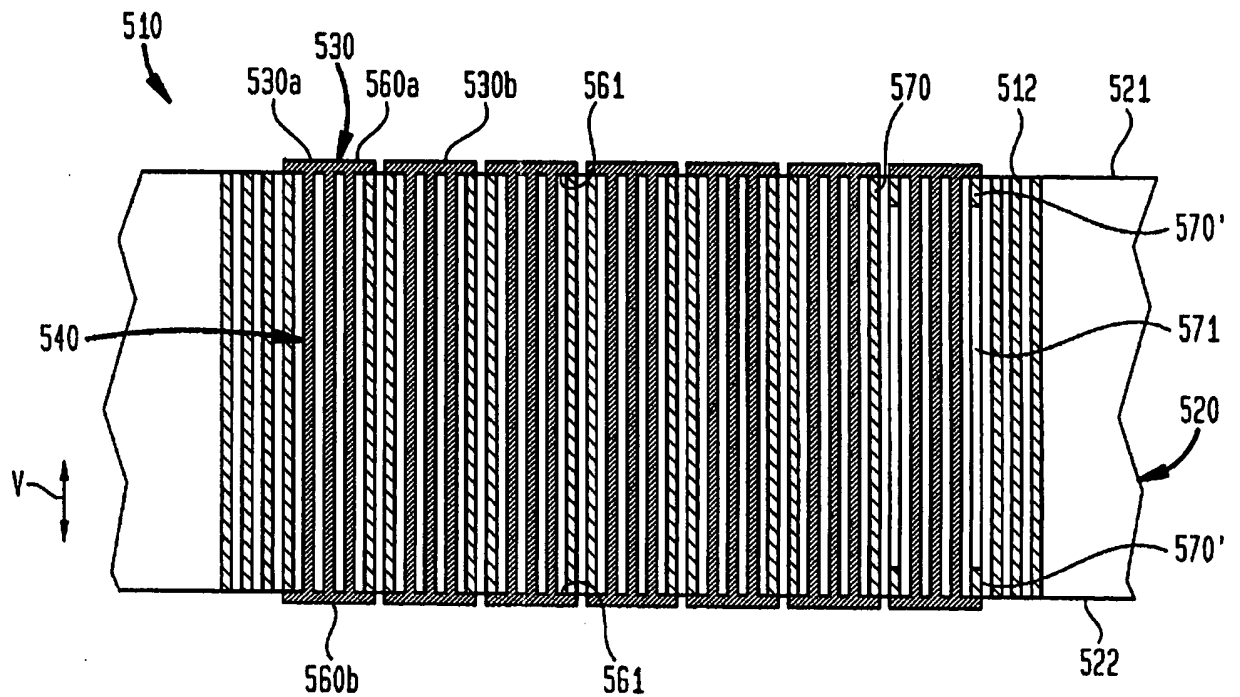


圖 5

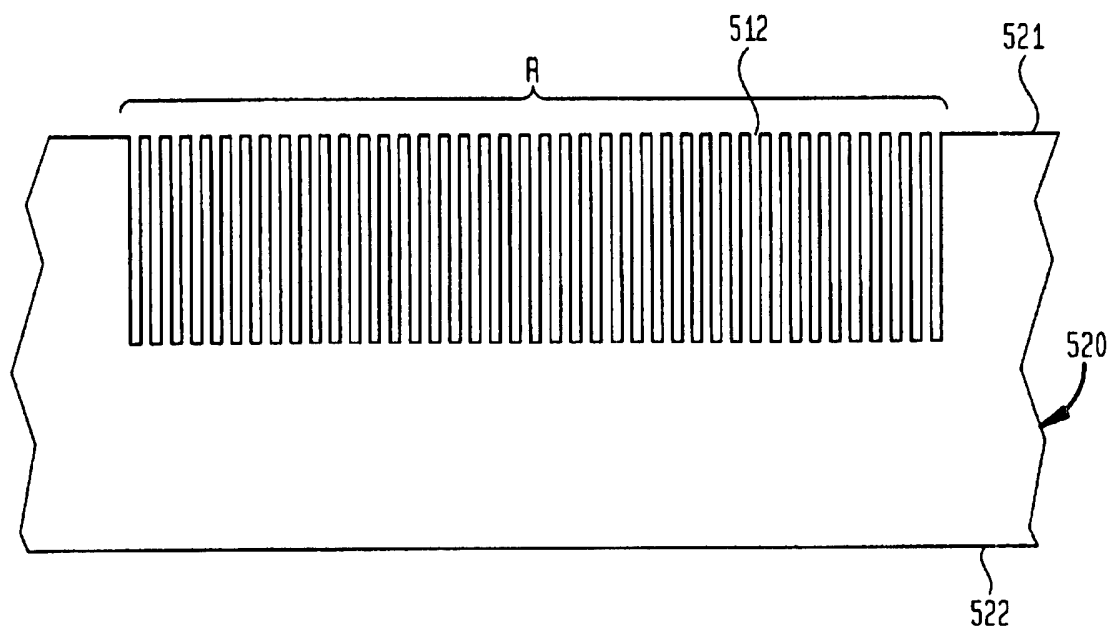


圖 6A

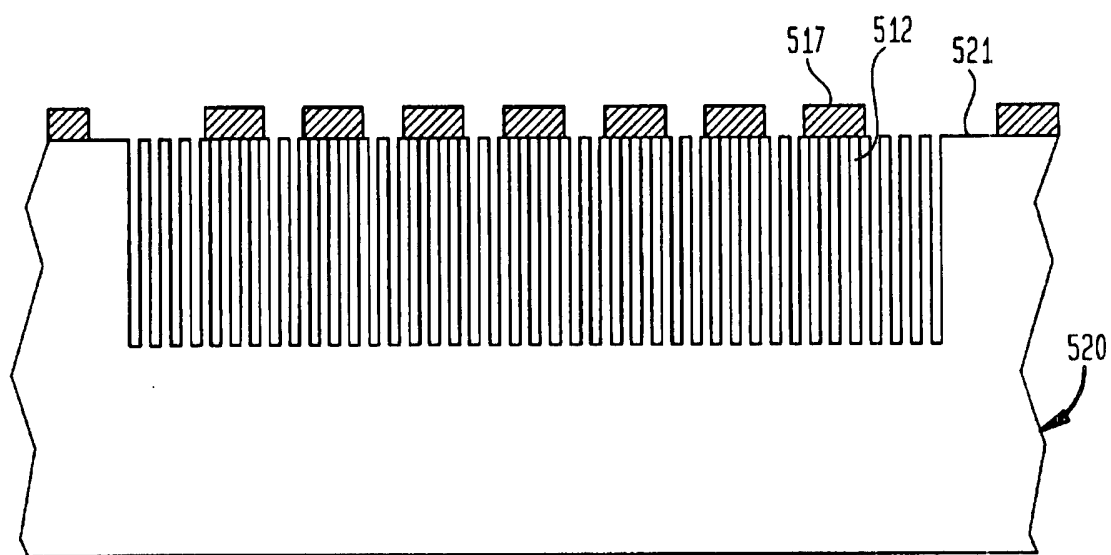


圖 6B

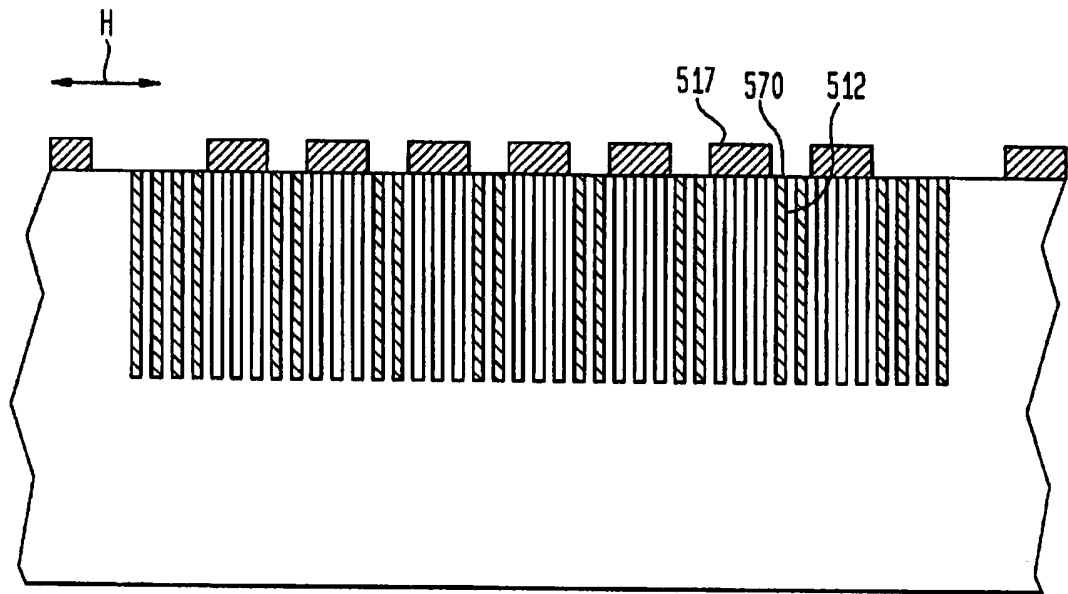


圖 6C

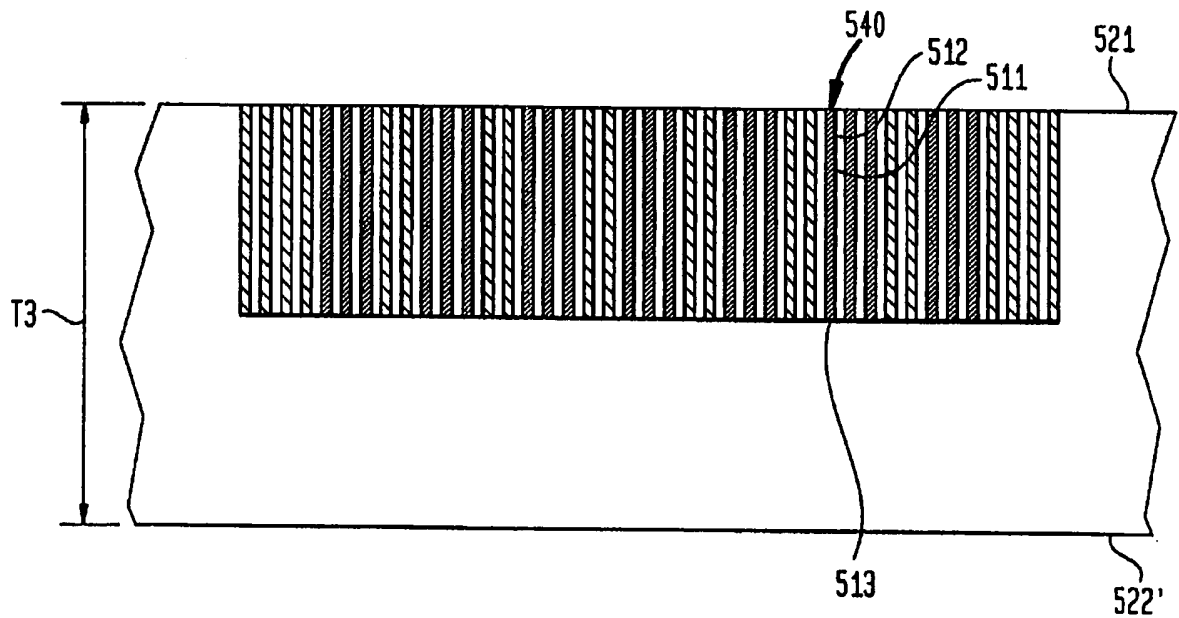


圖 6D

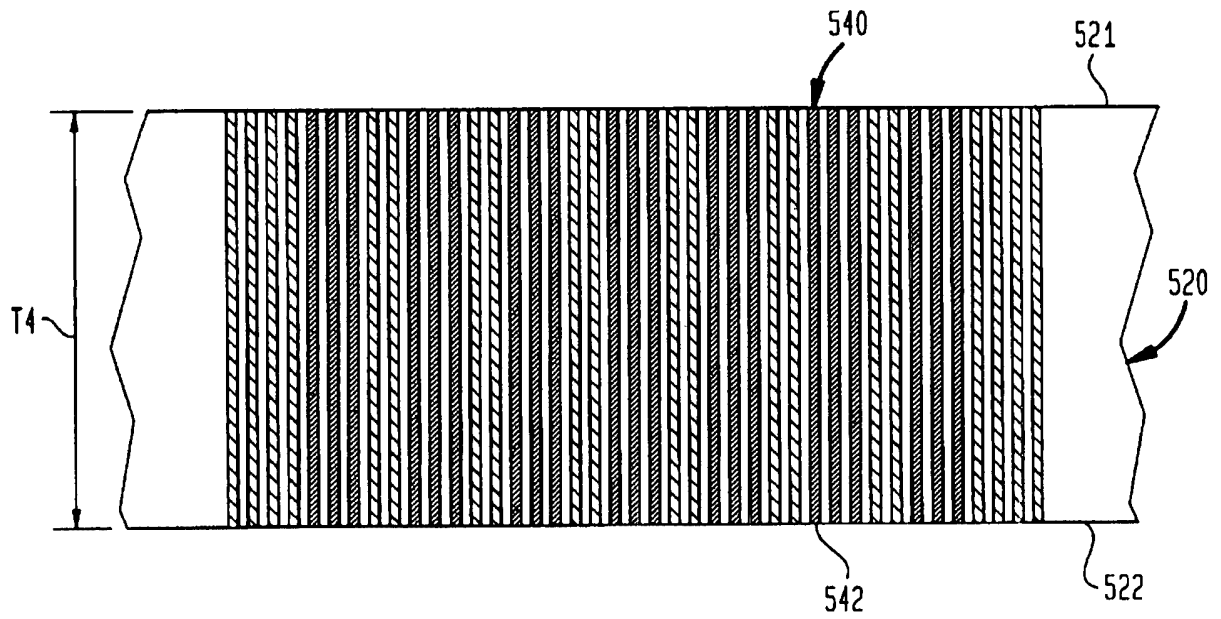


圖 6E

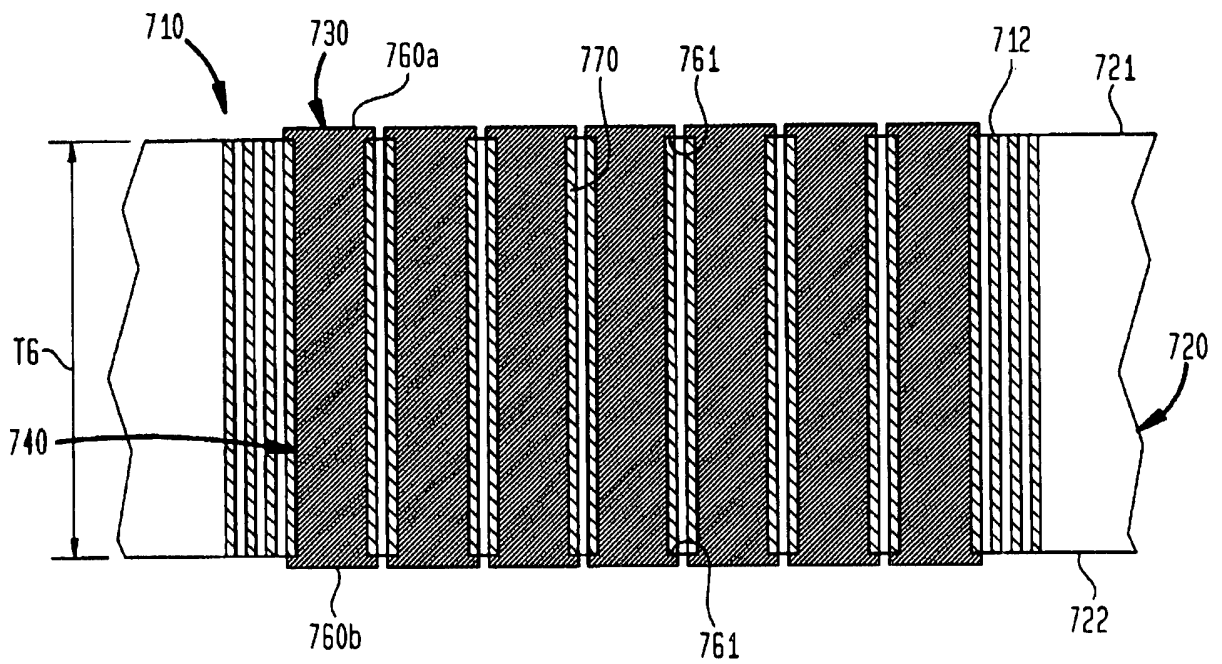


圖 7

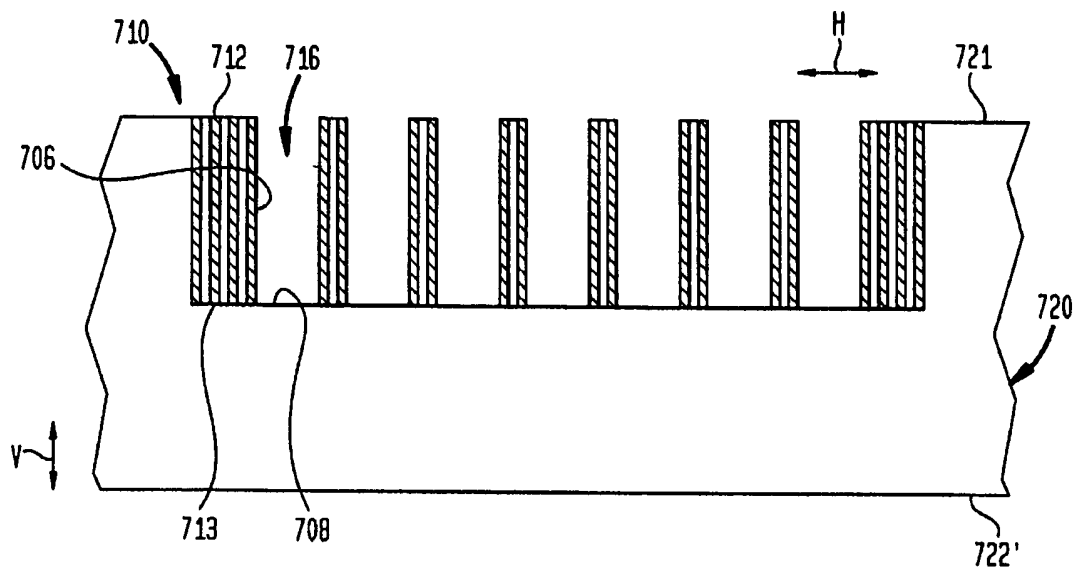


圖 8A

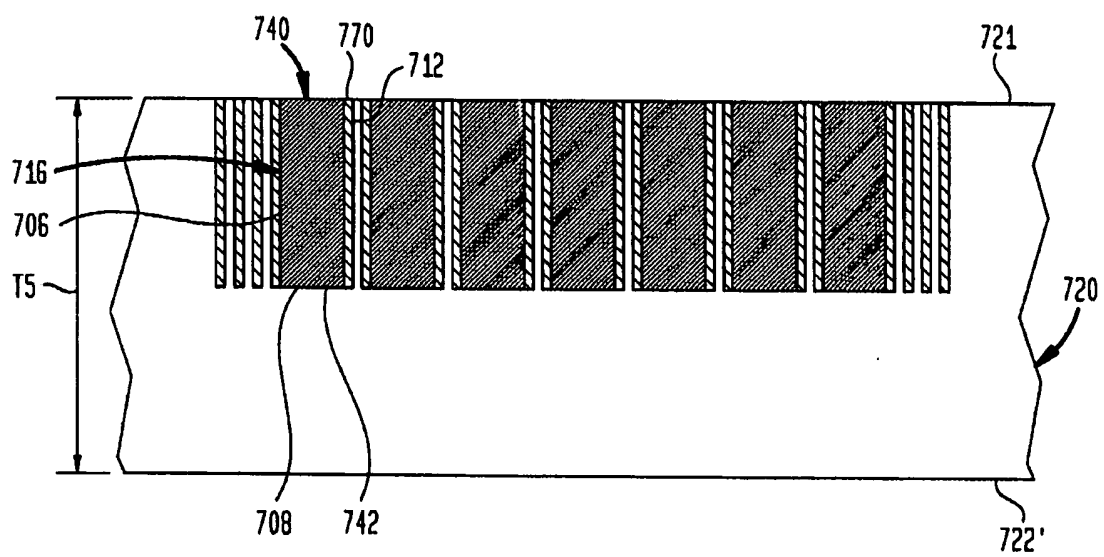


圖 8B

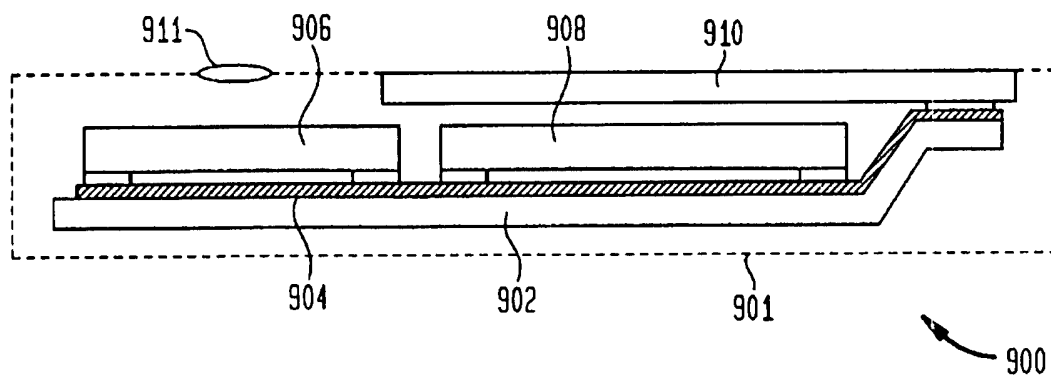


圖 9

四、指定代表圖：

(一)本案指定代表圖為：第 (1A) 圖。

(二)本代表圖之元件符號簡單說明：

10	微電子單元
11	內表面
12	開口/細孔
13	底表面
14	孔口
15	內表面
18	外周邊
20	矽基材/基材
21	第一表面/後表面/表面
22	第二表面/前表面
23	作用半導體區域
24	導電墊/墊
25	介電層/鈍化層
26	內表面
27	頂表面
28	底表面
30	穿矽通路
30a	穿矽通路
30b	穿矽通路
40	導電互連件/第一導電互連件/第二導電互連件

41	部分/垂直延伸部分
43	空隙
44	空隙
45	部分
50	導電通路/第一導電通路
51	觸點部分
52	外表面
60	導電觸點/第一導電觸點/觸點
61	底表面
62	頂表面
70	絕緣介電材料/介電材料/保形介電塗層/保形介電材料
70'	絕緣介電材料
71	空隙
75	絕緣介電層/介電層
H	水平方向
H1	高度/長度
H2	高度
R	多孔矽區域
T	厚度
W	寬度

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)