



特許協力条約に基づいて公開された国際出願

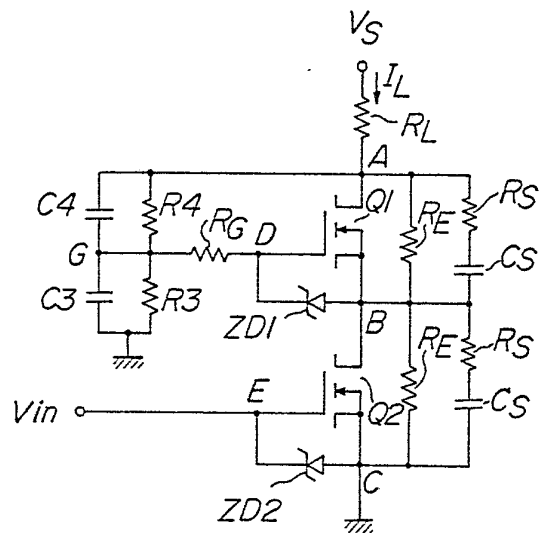
(51) 国際特許分類 3 H 03 K 17/10, 17/687	AI	(11) 国際公開番号 WO 81/01924 (43) 国際公開日 1981年7月9日 (09. 07. 81)
(21) 国際出願番号 PCT/JP79/00330 (22) 国際出願日 1979年12月28日 (28. 12. 79) (71) 出願人 (米国を除くすべての指定国について) 日本インターナショナル整流器株式会社 (INTERNATIONAL RECTIFIER CORPORATION, JAPAN, LTD.) [JP/JP] 〒257 神奈川県秦野市菅屋1204番地 Kanagawa, (JP) (72) 発明者; および (75) 発明者/ 出願人 (米国についてののみ) 本多 晃 (HONDA, Akira) [JP/JP] 〒250 神奈川県小田原市久野3123番地 Kanagawa, (JP) (74) 代理人 弁理士 谷 義一 (TANI, Yoshikazu) 〒156 東京都世田谷区経堂2丁目23番20号 経堂タウンハウス102号 谷特許事務所 Tokyo, (JP) (81) 指定国 DE (欧州特許), GB (欧州特許), JP, NL (欧州特許), SE (欧州特許), US. 添付公開書類 国案調査報告書		

(54) Title: FIELD EFFECT TRANSISTOR CIRCUIT CONFIGURATION

(54) 発明の名称 電界効果トランジスタ回路配置

(57) Abstract

A circuit configuration for a plurality of simultaneously operable FETs (field effect transistors) connected in series, which eliminates constraint of operating frequency as well as independent power sources for gate biasing, thereby facilitating simplification of circuit configuration and lower cost. A gate electrode of a FET (Q2), which is disposed on the common potential side, is supplied with gate driving pulses whereas a gate electrode of another FET (Q1) is connected to common potential through a parallel connection of a first resistor (R3) and a first capacitor (C3) and is connected to the first electrode (drain electrode, for example) thereof through a parallel connection of a second resistor (R4) and a second capacitor (C4). The capacitance of the first capacitor is selected to be larger than that of the second capacitor so that the FET (Q2) will be rendered conductive reliably when gate driving pulses are applied to the gate electrode of the FET (Q1).



(57) 要約

複数の電界効果トランジスタを直列に接続して同時に動作させる回路配置において、動作周波数の制約を受けずに、また、ゲートバイアス用として独立した電源を不必要となして回路配置の構成の簡易さとコスト低減を図ったものである。

共通電位点側の電界効果トランジスタ (Q2) のゲートにはゲートドライブパルスを供給し、他の電界効果トランジスタ (Q1) のゲートには、共通電位点側との間に第1抵抗 (R3) と第1コンデンサ (C3) との並列接続を結合し、同じく第1電極 (例えばドレイン) との間には第2抵抗 (R4) と第2コンデンサ (C4) との並列接続を結合し、第1コンデンサの容量値が第2コンデンサの容量値よりも大きくなるようにして、共通電位点側電界効果トランジスタへゲートドライブパルスが印加されたときに、他の電界効果トランジスタを十分に導通状態に移行させることができるようにする。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	KP	朝鮮民主主義人民共和国
AU	オーストラリア	LI	リヒテンシュタイン
BR	ブラジル	LU	ルクセンブルグ
CF	中央アフリカ共和国	MC	モナコ
CG	コンゴ	MG	マダガスカル
CH	スイス	MW	マラウイ
CM	カメルーン	NL	オランダ
DE	西ドイツ	NO	ノールウエー
DK	デンマーク	RO	ルーマニア
FI	フィンランド	SE	スウェーデン
FR	フランス	SN	セネガル
GA	ガボン	SU	ソヴィエト連邦
GB	イギリス	TD	チャード
HU	ハンガリー	TC	トーゴ
JP	日本	US	米国

明 細 書

電界効果トランジスタ回路配置

5 技術分野

本発明は、MOS形電界効果トランジスタ（以下 MOSFET と略記）等の絶縁ゲート形電界効果トランジスタを複数個直列に接続して高電圧動作を可能とした電界効果トランジスタ回路配置に関するものである。

10 背景技術

現在市販の MOSFET は、ドレイン－ソース間耐圧が高々 400 V 程度の素子であり、従って、実用上は 300 V 程度以上の電圧で MOSFET を動作させるためには、MOSFET を直列接続して耐圧向上を図る必要がある。そのため、従来は、例えば第 1 図および第 2 図に示されているような回路配置が用いられている。

第 1 図の回路配置では、パルストランスによつて絶縁された 2 つまたはそれ以上のゲートドライブ信号を供給する。すなわち、第 1 図において、ゲートドライブ信号 V_{in} はパルストランス PT の 1 次巻線 W_1 に供給され、その 2 次巻線 W_2 および W_3 から取り出した個別のパルス出力を直列接続の n －チャネル MOSFET Q_1 および Q_2 の各ゲートにそれぞれ供給する。ZD1 および ZD2 はゲート－ソース間電圧がゲート－ソース間絶縁破壊電圧を越えないようにゲート入力を制限する保護

用ゼナーダイオードである。MOSFET Q_1 のドレインは負荷抵抗 R_L を介して電源 V_s に接続し、同ソースは、MOSFET Q_2 のドレインと接続し、そのソースは共通電位点に接続する。このようなパルストランスを用いる
5 駆動方法は、バイポーラトランジスタをはじめとしてサイリスタ等の直列動作時によく使用されているが、パルストランスの特性によつてゲートドライブ信号 V_{in} の動作周波数範囲が限定されてしまい、特に、動作周波数が数 kHz $\sim$ 100 kHz 程度と低く、導通時間の
10 長い場合には問題となる。

第 2 図の回路配置は、直列動作の 2 素子のうちの一方にパルス状ドライブ信号を印加し、他方には直流電圧を印加しておくドライブ方法を示している。第 2 図において、第 1 図の場合と対応する個所には同一符号を付すものとする。第 2 図の従来例では、一方の MOS
15 FET Q_2 のゲートにゲートドライブ信号 V_{in} を直接に供給し、他方の MOSFET Q_1 のゲートには、抵抗 R_1 とコンデンサ C_1 との並列回路を介して直流電圧 V_{dc} を印加する。そして、MOSFET Q_1 のゲートとドレインとの間には抵抗 R_2 とコンデンサ C_2 との並列回路を接続する。
20 なお、抵抗 R_1 および R_2 は MOSFET Q_1 のゲートに印加される実際のバイアス電圧を決定する分圧器であり、コンデンサ C_1 および C_2 は MOSFET Q_1 のスイッチング時の過渡的な電圧分担の補正を行うためのものであり、
25 これら抵抗とコンデンサの各定数は $C_1/C_2 \div R_2/R_1$

となるように定め、しかもコンデンサ C1 および C2 の値は数十ピコファラッドと非常に小さな値にしていた。このドライブ方法によれば、第1図の場合と異なり、動作周波数の範囲が限定されることはないが、MOSFETの電源電圧（例えば 400 V）を考慮すると、ゲートドライブ用に別途独立した電源（例えば 10 V）を設けたり、または MOSFET の電源から、消費電力の大きい分圧回路を経て所定電圧を印加する必要がある、コストおよび簡便さの点で問題があつた。

10 発明の開示

そこで、本発明の目的は、直列接続された電界効果トランジスタを駆動するにあたって、上述した従来の駆動方法の欠点を除去し、動作周波数の制約を受けることなく、しかも別直流電源を設ける必要のないように適切に構成配置した電界効果トランジスタ回路配置を提供することにある。

このような目的を達成するために、本発明では、第1電極（ドレイン電極）、第2電極（ソース電極）および制御電極を有する複数の電界効果トランジスタを一の電源電圧点と共通電位点との間に直列に接続した電界効果トランジスタ回路配置において、共通電位点側の電界効果トランジスタの制御電極（ゲート電極）には制御パルスを印加し、残余の電界効果トランジスタの各々の制御電極と共通電位点との間には第1抵抗と第1コンデンサとの第1並列接続回路を結合し、該並

列接続と対応する電界効果トランジスタの第1電極との間に、第2抵抗と第2コンデンサとの第2並列接続回路を結合し、共通電位点側の電界効果トランジスタへ制御パルスが印加されたときに、残余の電界効果トランジスタを十分に導通状態へ移行させることができるようにする。

本発明の好適例では、電界効果トランジスタの各々の第2電極と制御電極との間には、各対応する電界効果トランジスタの制御電極と第2電極との間に印加される電圧が、当該制御電極と第2電極との間の絶縁破壊電圧を越えないように保護するゼナーダイオードを挿設する。

また、本発明では、残余の電界効果トランジスタの制御電極と第1および第2並列接続の接続点との間に、電流制限用の第3抵抗を接続するのが好適である。

また、本発明では、電界効果トランジスタの各々の第1電極と第2電極との間には、第1電極と第2電極との間のもれ電流特性の電界効果トランジスタ相互間での差異に起因する電圧分担の不均一さを補正する第4抵抗を挿設するのが好適である。

更にまた、本発明では、電界効果トランジスタの各々の第1電極と第2電極との間には、各対応する電界効果トランジスタのスイッチング特性の差異に起因する電圧分担の不均一さを補正する第5抵抗と第3コンデンサとの直列接続を接続するのが好適である。

本発明では、第 1 コンデンサの容量値を第 2 コンデンサの容量値より大きくする。そして、第 1 コンデンサの容量値を対応する電界効果トランジスタの静的入力容量の 5 ～ 10 倍程度にする。また、本発明では、第 2
5 2 コンデンサの容量値を第 1 コンデンサの容量値の約 1/2 ないし数分の一程度に選定するのが好適である。

更にまた、本発明は、第 1 電極、第 2 電極および制御電極を有する複数個の電界トランジスタおよび負荷を一の電源電圧点と共通電位点との間に直列に接続した
10 電界効果トランジスタ回路配置において、共通電位点側の電界効果トランジスタの制御電極には制御パルスを加し、残余の電界効果トランジスタのうち、前記共通電位点側の電界効果トランジスタに隣接する電界効果トランジスタの制御電極と共通電位点との間に、
15 抵抗とコンデンサとの並列接続回路を接続し、前記並列接続回路と前記電源電圧側の電界効果トランジスタの第 1 電極との間には、抵抗とコンデンサとを並列接続した回路を複数個設け、該複数個の回路を直列に接続し、その各接続点を前記残余の電界効果トランジスタの各々の制御電極に順次に対応して接続し、前記共通電位点側の電界効果トランジスタへ制御パルスが印
20 加されたときに、前記残余の電界効果トランジスタを十分に導通状態へ移行させることができるようにしたことを特徴とするものである。



図面の簡単な説明

第 1 図および第 2 図は従来の直列接続電界効果トランジスタ駆動回路の 2 例を示す回路図、第 3 図は本発明電界効果トランジスタ駆動回路の回路配置の一例を示す回路図、第 4 図は第 3 図示の回路配置の各部における電圧および電流の波形の例を示す信号波形図、第 5 図は MOSFET のターンオン時の電圧および電流波形を示す信号波形図、および第 6 図および第 7 図は本発明の他の実施例を示す回路図である。

10 発明を実施するための最良の形態

以下に、添附図面を参照して本発明を一層詳細に説明する。

本発明電界効果トランジスタ回路配置の一実施例として、2 個の MOSFET を直列に接続した場合の回路配置を第 3 図に示す。第 3 図において、第 2 図と対応する箇所には同一符号を付すことにする。第 3 図の例では、MOSFET Q2 のゲート（点 E）に対するゲートドライブ信号 V_{in} の供給は第 2 図の場合と同様であるが、MOSFET Q1 のゲートバイアス回路は次のように構成する。MOSFET Q1 のゲート（点 D）と共通電位点との間に、電流制限用抵抗 R_G および抵抗 R_3 とコンデンサ C_3 との並列回路を直列に接続し、抵抗 R_G と並列回路 R_3 , C_3 との接続点 G と MOSFET Q1 のドレインとの間に抵抗 R_4 とコンデンサ C_4 との並列回路を接続する。ここで、抵抗 R_3 と R_4 およびコンデンサ C_3 と C_4 による回路は、

MOSFET Q_1 のゲートに任意所望の期間にわたって適正な正のゲートパルスを供給するためのゲートバイアス回路で、この回路には、従来例とは異なり、別途用意された直流電源より給電することではなく、単に電源電圧 V_s と共通電位点との間に接続するのみである。なお、抵抗 R_3, R_4 の値は、MOSFET Q_1 およびゼナーダイオード ZD_1 への洩れ電流に対して十分に分圧できる程度の高抵抗とすればよい。更に第 3 図において、MOSFET Q_1 のドレイン（点 A）とソース（点 B）との間には抵抗 R_E および抵抗 R_S とコンデンサ C_S との直列回路の並列回路を接続し、MOSFET Q_2 のドレイン（点 B）とソース（点 C）との間にも、同様に、抵抗 R_E および抵抗 R_S とコンデンサ C_S との直列回路の並列回路を接続する。ここで、抵抗 R_E は、MOSFET Q_1 および Q_2 の各ドレイン - ソース間洩れ電流特性の差に起因して、これら MOSFET Q_1 と Q_2 との間で電圧分担がアンバランスになるのを補正するための抵抗である。直列回路 R_S, C_S は、MOSFET Q_1 および Q_2 の各スイッチング特性の差に起因する MOSFET Q_1 と Q_2 との間での電圧分担のアンバランスを補正するための回路である。

第 3 図示の本発明回路において、その抵抗 R_3 と R_4 およびコンデンサ C_3 と C_4 の各値を、第 2 図の抵抗 R_1 と R_2 およびコンデンサ C_1 と C_2 の各値の選定と同様の設計方法で求めると、MOSFET の Q_1 のゲート - ソース間電圧 V_{DB} は数ボルト以下の低い電圧となつてしまい、



この MOSFET Q/ を十分にオン状態にすることができず、
本発明では、これらの抵抗値および容量値、特に C3
および C4 の値を以下に説明するようにして決定する。

これら各値の本発明における決定の形態を、以下で
5 は第 3 図示の本発明回路配置の動作を説明しながら、
説明していくことにする。まず、第 3 図示の回路配置
の起動時には、コンデンサ C3 の充電電圧は抵抗 R3 と
R4 の分圧比によつて決まり、抵抗値 $R3 = R4$ の場合に
は、 $V_{GC} = \frac{1}{2} V_s$ となる。この状態で、MOSFET Q2 のゲ
10 ート - ソース間 E - C に、第 4 図に示すような正の電
圧パルスのゲートドライブ信号 V_{in} (この信号 V_{in} は
点 E と C との間の電圧でもあるので、 V_{EC} とも表わす。
以下、各点間の電圧は同様の表現で示すことにする)
を印加する場合について述べる。このゲートドライブ
15 信号 V_{in} は MOSFET Q2 のスレッショルド電圧 (約 3V)
より大きい値、例えば 10 V とする。かかるゲートドラ
イブ信号 V_{in} によつて、MOSFET Q2 は低インピーダン
ス状態となり、ドレイン電位がソース電位、すなわち
共通電位に近い値にまで瞬時に下降し、第 4 図に示す
20 ように、MOSFET Q2 のドレイン - ソース間 B - C の電
圧 V_{BC} は急激に低下する。それにより MOSFET Q/ のゲ
ート - ソース間 D - B には第 4 図に示す電圧 V_{DB} のよ
うな正の電圧が発生し、従つて、MOSFET Q/ をオン状
態にスイッチングさせる。

25 この間の動作を更に詳細に考察すると、電圧 V_{DB} は



そのパルスの最初の部分において、コンデンサ C3 の端子間電圧から抵抗 RG の端子間電圧および MOSFET Q2 のオン電圧を差引いた値になる。MOSFET Q2 の導通時の電流については、G 点電位がゼナーダイオード ZD/ のゼナー電圧 V_{z1} と MOSFET Q2 のオン電圧との和の電圧よりも高い時は、 $G \rightarrow RG \rightarrow ZD/ \rightarrow Q2$ のドレイン - ソース $\rightarrow C$ の経路を経て流れる。なお、G 点電位がゼナーダイオード ZD/ のゼナー電圧 V_{z1} と MOSFET Q2 のオン電圧との和より低いときは、電流経路は、 $G \rightarrow$
10 $RG \rightarrow Q/$ のゲート - ソース $\rightarrow Q2$ のドレイン - ソース $\rightarrow C$ となる。このようにして、MOSFET Q/ および Q2 の双方ともオン状態に移行すると、MOSFET Q2 のオン抵抗（ゲートドライブ信号 V_{in} と MOSFET Q2 の順方向伝達コンダクタンスによつて決定される）と MOSFET Q/
15 のオン抵抗（電圧 V_{DB} と MOSFET Q/ の順方向伝達コンダクタンスによつて決定される）および負荷抵抗 R_L によつて決定される負荷電流 I_L が、抵抗 R_L から MOSFET Q/ および Q2 を経て流れ込む。かかる主回路 $R_L \rightarrow Q/ \rightarrow Q2$ 中に存在する抵抗のうち、負荷抵抗 R_L は
20 固定値であり、MOSFET Q2 のオン抵抗はそのゲート - ソース間に外部から印加される正のパルス電圧 V_{in} (V_{EC}) の波高値によつて制御できる値であるから、負荷電流 I_L を十分な大きさまで流すためには、MOSFET Q/ のゲート - ソース間 D - B にゲートバイアス回路
25 R_3, R_4, C_3, C_4 により適切な正の電圧を印加する必要が



ある。

MOSFET Q/ および Q2 の双方共にオン状態に移行すると、A 点の電位は $V_s - I_L R_L$ となり、ここで、例えば $C_3 = C_4$, $R_3 = R_4$ であるとする、G 点電位は初期値から $I_L \times R_L / 2$ だけ低下してしまい、MOSFET Q/ をオン状態に保ちえなくなる場合もあり得る。それと共に、MOSFET Q/ および Q2 がオンとなることにより、コンデンサ C_3 に充電されている電荷は、 $G \rightarrow R_G \rightarrow Q/$ の入力容量を通して放電するが、この経路で放電される電荷の量は、MOSFET Q/ のゲート-ソース間 D - B およびゼナダイオード ZD/ の洩れ電流による放電を無視すれば、MOSFET Q/ の入力容量によつて決定される。一般に、MOSFET の入力容量は、ターンオン期間中に非常に大きく変化する。第 5 図に示すターンオン時のドレイン電流 I_D とドレイン-ソース間電圧 V_{DS} の波形を参照するとわかるように、MOSFET の入力容量 C_{in} は、ターンオンの 3 の期間 I , II および III のうち、期間 II において最大の容量値をとり、その値 $C_{in} (II)$ は次式で与えられる。

$$C_{in} (II) = C_{iss} - A_v C_{rss}$$

ここで、
$$A_v = \frac{\Delta V_{ds}}{\Delta V_{gs}}$$

$$C_{rss} = C_{gd}$$

C_{iss} : カタログに示されている静的入力容量

C_{gd} : カタログに示されているゲート-ドレ



イン間容量

実際の動作においては、 C_{in} (II) はゲート - ドレイン間の容量 C_{gd} に対するミラー効果により C_{iss} の 10 倍以上の値にもなり得る。従つて、例えばコンデンサ C_3 の値が小さく、 $C_3 \div C_4$ であるとする、ターンオン初期におけるコンデンサ C_4 を通つての放電と MOSFET Q_1 のダイナミック入力容量との間における電荷の再配分によつて、MOSFET Q_1 のゲート - ソース間 $D - B$ の電圧 V_{DB} を十分正にバイアスすることができず、従つて、MOSFET Q_1 を十分にオン状態に移行させることができなかった。

以上の考察に鑑みて、本発明では、オンさせようとする期間中にわたつて MOSFET Q_1 のゲート - ソース間に十分な正のバイアス電圧を与えるために、コンデンサ C_3 の値をコンデンサ C_4 の値に対して 5 ~ 10 倍程度に大きく定めて、ターンオン過渡期におけるコンデンサ C_4 を通つての放電によるコンデンサ C_3 の電圧降下率を少なくすると共に、MOSFET Q_1 のダイナミック入力容量を、適正な正の電圧にまで充電することのできる容量に定めればよい。ここで、コンデンサ C_3 の容量値としては、パルス幅に応じて MOSFET Q_1 の静的入力容量の 5 ~ 10 倍程度に定め、コンデンサ C_4 の容量値をコンデンサ C_3 の値の約 $\frac{1}{3}$ ないし数分の一程度に選ぶことにより、MOSFET Q_1 を十分にオン状態に移行させることができる。



次に、ターンオフ期間について考えてみると、コンデンサ C3 の容量がコンデンサ C4 の容量よりも大きく、さらに抵抗 R4 の値が大きいので、コンデンサ C3 の電圧上昇率が遅く、B 点の電位の方が G 点の電位よりも早く電源電圧の $\frac{1}{2}$ の値に近づく。その結果、コンデンサ C3 への充電電流は、B 点からゼナーダイオード ZD/ の導通方向（ここでの電圧降下は約 0.6 ~ 0.7 V 程度）を通り、抵抗 RG を経て流れる。これによつて、MOSFET Q/ のゲート - ソース間は約 0.6 ~ 0.7 V だけ逆バイアスされることになり、ターンオフ速度が向上する。

なお、抵抗 RG は、ターンオン期間における C3 → RG → D → B → Q2 → C への放電電流、およびターンオフ過渡期における B → ZD/ → RG → C3 への充電電流の各ピーク値を制御するためのものである。

次に、第 3 図示の回路配置における各素子の定数の具体例を示す。

電源電圧 V_s : 400 V

負荷抵抗 R_L : 30 Ω

MOSFET Q/, Q2 : HEX2

抵抗 $R_3 = R_4$: 100 k Ω

抵抗 R_G : 200 Ω

静的入力容量 (HEX2) C_{iss} : 450 pF

コンデンサ C3 = $10 \times C_{iss}$: 0.005 μ F

コンデンサ C4 = $\frac{1}{2.5} C_3$: 0.002 μ F

ゼナー電圧 V_{Z1}, V_{Z2} : 19 V



抵抗 R_s : 15Ω

コンデンサ C_s : $0.0022 \mu F$

抵抗 R_E : $20 k\Omega$

以上の各定数に対して、ゲートドライブパルス V_{in} の
5 大きさを $10 V$ とすると、 V_{AB} , V_{BC} の最大値はそれぞれ $200 V$ 、 V_{DB} の最大値は $19 V$ 、 I_L の最大値は $6 A$ と
なつた。

以上では、本発明を、2 個の MOSFET を直列に接続
した場合について述べてきたが、本発明は 2 個以上の
10 任意複数個の MOSFET の場合にも適用し得るものであることは明白である。ここで、 n 個の MOSFET を直列
接続した場合の本発明回路配置の例を第 6 図に示す。
第 6 図において、第 3 図と同様の個所には同一符号を
付すことにする。第 6 図において、 Q_3 は MOSFET $Q/$
15 と対応する MOSFET であり、 ZD_3 はゼナーダイオード
 $ZD/$ と同様の保護用ゼナーダイオードである。この
MOSFET Q_3 に対するゲートバイアス回路はコンデンサ
 C_5 と C_6 および抵抗 R_5 と R_6 より構成され、コンデン
サ C_5 および C_6 はコンデンサ C_3 および C_4 にそれぞれ
20 対応し、抵抗 R_5 および R_6 は抵抗 R_3 および R_4 にそれぞれ
対応する。そして、コンデンサ C_5 および C_6 に対
する容量値の条件は、上述したコンデンサ C_3 および
 C_4 に対する条件に対応するので、ここでは詳細につ
いて省略する。

25 第 7 図は 3 個以上の MOSFET を直列する場合の本発



明回路配置の他の例を示し、ここで、第6図と同様の個所には同一符号を付すものとする。本例では、抵抗 $R //$ とコンデンサ $C //$, 抵抗 $R /2$ とコンデンサ $C /2$, 抵抗 $R /3$ とコンデンサ $C /3$ による各並列接続回路を直列に接続し、その直列接続回路の一端 X を共通電位点に接続し、他端 Y を電源電圧側 MOSFET $Q3$ のドレインに接続する。更に、上述の並列接続回路相互間の接続点 $Z1, Z2$ をそれぞれ対応する MOSFET $Q1, Q3$ のゲートにそれぞれ順次に接続する。なお、ここで、各コンデンサ $C //$, $C /2$, $C /3$ の値は、共通電位側コンデンサ $C //$ が最大で、以下接続順に低い容量、すなわち $C // > C /2 > C /3$ とする。また、これらコンデンサ $C //$, $C /2$, $C /3$ の各容量は、MOSFET の入力容量の約5〜10倍程度の値とする。抵抗 $R //$, $R /2$, $R /3$ の値は互いに等しく選定することができる。第7図では、3個の MOSFET を直列に接続した例を示したが、更に MOSFET の個数を増加し得ることは勿論である。

なお、上述例では n チヤネル MOSFET の場合について本発明を説明してきたが、本発明は p チヤネル MOSFET , ジャンクション FET (J FET) , MNOS FET 等各種の絶縁ゲート電界効果トランジスタの直列配置に適用できること勿論のことである。

産業上の利用可能性

以上に述べたように、本発明電界効果トランジスタ回路配置では、直列接続の電界効果トランジスタの各

ゲートのオン，オフを制御するにあたり、別途の直流電源を必要としないゲートバイアス回路を用いており、従つて、パルストランスによるゲート駆動の場合と異なつて動作周波数の制約を受けることもなく、かつ別

5 電源を用意する必要もないことにより、この種回路配置のコスト低減にも寄与する。



請 求 の 範 囲

1. 第 1 電極、第 2 電極および制御電極を有する複数
個の電界効果トランジスタ (Q_1, Q_2) および負荷 (R_L) を
一の電源電圧点 (V_s) と共通電位点 (C) との間に直
5 列に接続した電界効果トランジスタ回路配置において、
共通電位点側の電界効果トランジスタ (Q_2) の制御電
極 (E) には制御パルス (V_{in}) を印加し、残余の電界
効果トランジスタ (Q_1) の各々の制御電極 (D) と共
通電位点との間には、第 1 抵抗 (R_3) と第 1 コンデン
10 サ (C_3) との第 1 並列接続回路を結合し、該並列接続
回路と前記残余の電界効果トランジスタ (Q_1) の第 1
電極 (A) との間に、第 2 抵抗 (R_4) と第 2 コンデン
サ (C_4) との第 2 並列接続回路を結合し、前記共通電
位点側の電界効果トランジスタへ制御パルスが印加さ
15 れたときに、前記残余の電界効果トランジスタを十分
に導通状態へ移行させることができるようにしたこと
を特徴とする電界効果トランジスタ回路配置。

2. 前記電界効果トランジスタ (Q_1, Q_2) の各々の第
2 電極 (B, C) と制御電極 (D, E) との間には、各対
20 応する電界効果トランジスタの制御電極と第 2 電極と
の間に印加される電圧が、当該制御電極と第 2 電極と
の間の絶縁破壊電圧を越えないように保護するゼナー
ダイオード (ZD_1, ZD_2) を挿設したことを特徴とする
請求の範囲第 1 項記載の電界効果トランジスタ回路配
25 置。



3. 前記残余の電界効果トランジスタ (Q_1) の制御電極 (D) と前記第 1 および第 2 並列接続回路の接続点 (G) との間に、電流制限用の第 3 抵抗 (R_G) を接続したことを特徴とする請求の範囲第 1 項または第 2 項
5 に記載の電界効果トランジスタ回路配置。

4. 前記電界効果トランジスタ (Q_1, Q_2) の各々の第 1 電極 (A, B) と第 2 電極 (B, C) との間には、該第 1 電極と第 2 電極との間の洩れ電流特性の前記電界効果トランジスタ相互間での差異に起因する電圧分担の
10 不均一さを補正する第 4 抵抗 (R_E) を挿設したことを特徴とする請求の範囲第 1 項, 第 2 項または第 3 項に記載の電界効果トランジスタ回路配置。

5. 前記電界効果トランジスタ (Q_1, Q_2) の各々の第 1 電極 (A, B) と第 2 電極 (B, C) との間には、各対応する電界効果トランジスタのスイッチング特性の差異に起因する電圧分担の不均一さを補正する第 5 抵抗 (R_s) と第 3 コンデンサ (C_s) との直列接続を接続したことを特徴とする請求の範囲第 1 項, 第 2 項, 第 3 項または第 4 項に記載の電界効果トランジスタ回路配
15 置。
20

6. 前記第 1 コンデンサ (C_3) の容量値が前記第 2 コンデンサ (C_4) の容量値より大きいことを特徴とする請求の範囲第 1 項, 第 2 項, 第 3 項, 第 4 項または第 5 項に記載の電界効果トランジスタ回路配置。

25 7. 前記第 1 コンデンサ (C_3) の容量値を対応する電



界効果トランジスタ (Q_1) の静的入力容量の 5 ~ 10 倍程度に定めたことを特徴とする請求の範囲第 6 項記載の電界効果トランジスタ回路配置。

8. 前記第 2 コンデンサ (C_4) の容量値を前記第 1 コンデンサ (C_3) の容量値の約 $\frac{1}{3}$ ないし数分の一程度に選定したことを特徴とする請求の範囲第 6 項または第 7 項記載の電界効果トランジスタ回路配置。

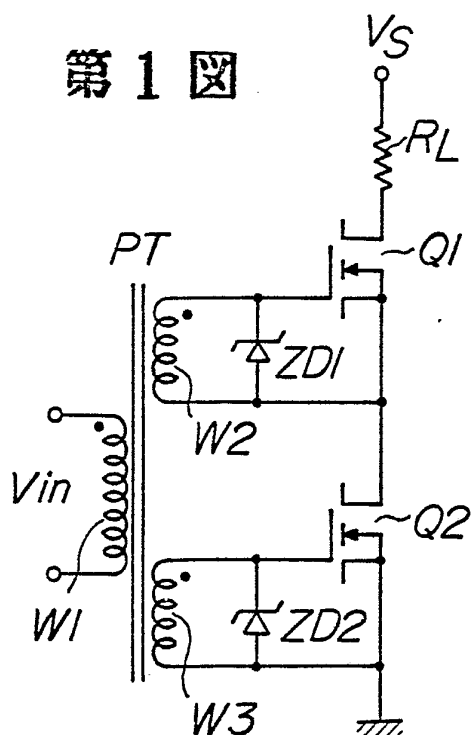
9. 第 1 電極、第 2 電極および制御電極を有する複数個の電界効果トランジスタ (Q_1, Q_2, Q_3) および負荷 (R_L) を一の電源電圧点 (V_s) と共通電位点 (C) との間に直列に接続した電界効果トランジスタ回路配置において、共通電位点側の電界効果トランジスタ (Q_2) の制御電極には制御パルス (V_{in}) を印加し、残余の電界効果トランジスタ (Q_1, Q_3) のうち、前記共通電位点側の電界効果トランジスタ (Q_2) に隣接する電界効果トランジスタ (Q_1) の制御電極と共通電位点 (X) との間に、抵抗 ($R_{//}$) とコンデンサ ($C_{//}$) との並列接続回路を接続し、前記並列接続回路と前記電源電圧側の電界効果トランジスタ (Q_3) の第 1 電極 (Y) との間には、抵抗 ($R_{/2}, R_{/3}$) とコンデンサ ($C_{/2}, C_{/3}$) とを並列接続した回路を複数個設け、該複数個の回路を直列に接続し、その各接続点 (Z_1, Z_2) を前記残余の電界効果トランジスタ (Q_1, Q_3) の各々の制御電極に順次に対応して接続し、前記共通電位点側の電界効果トランジスタへ制御パルスが印加されたときに、前

記残余の電界効果トランジスタを十分に導通状態へ移行させることができるようにしたことを特徴とする電界効果トランジスタ回路配置。

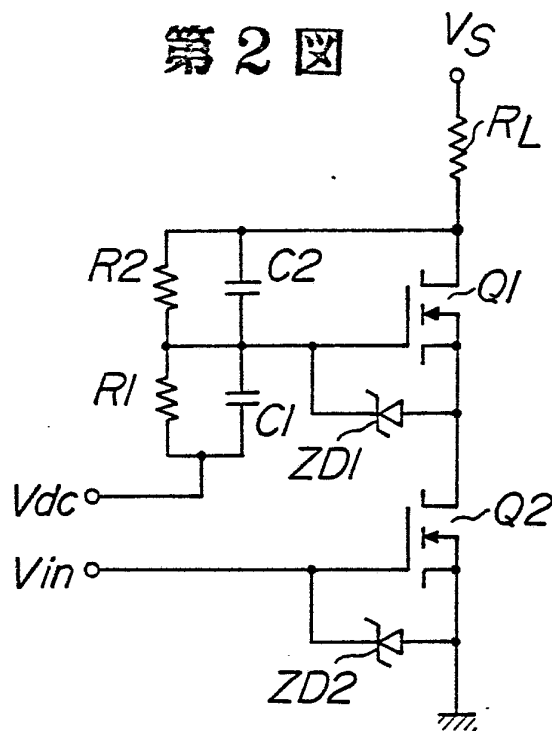


1

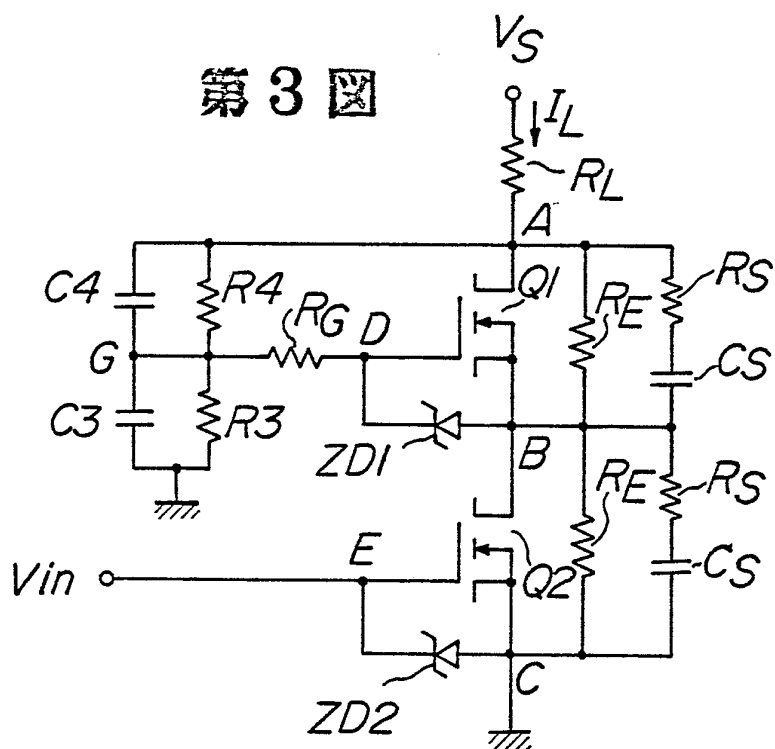
第 1 図



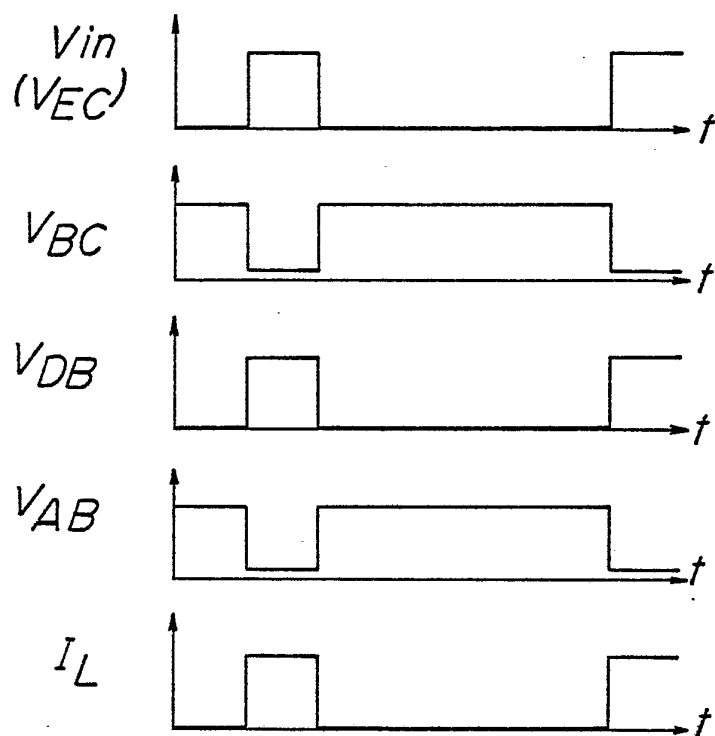
第 2 図



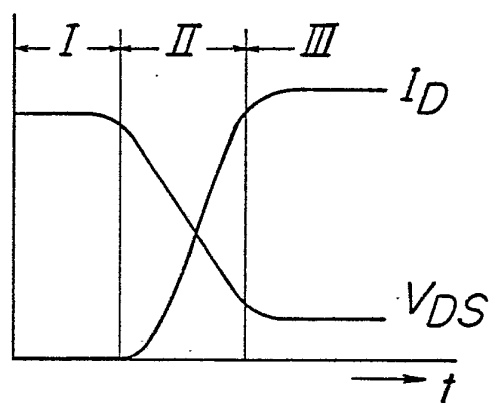
第 3 図



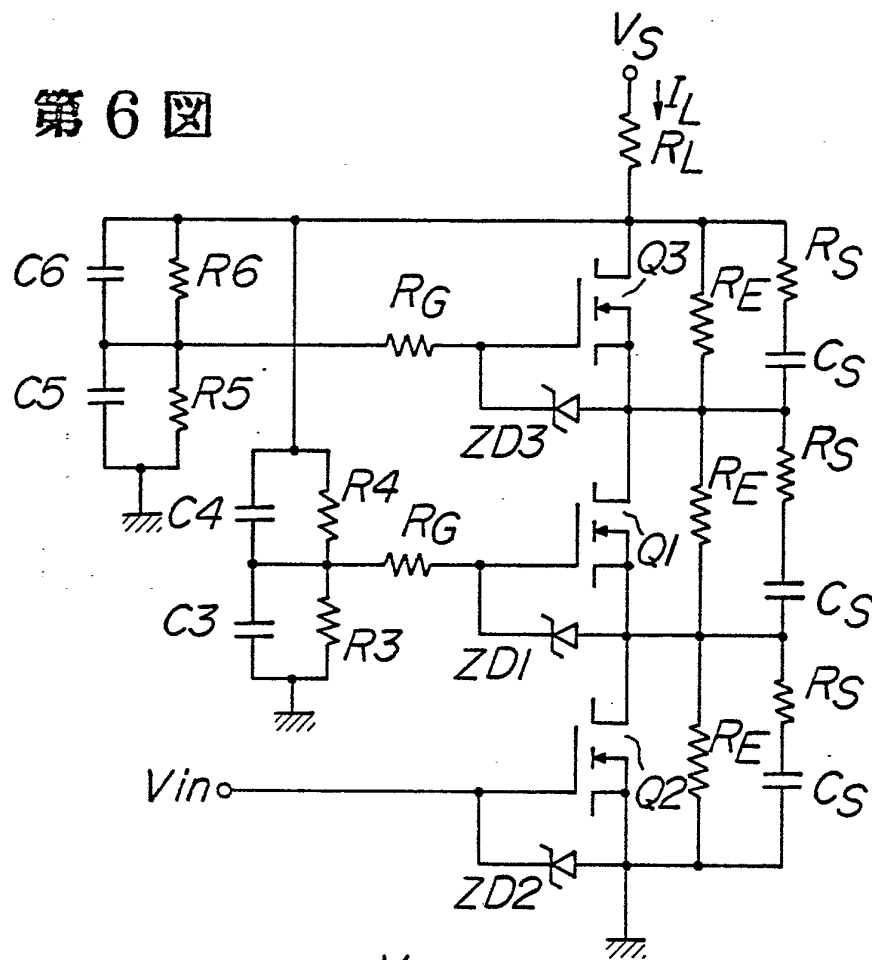
第4図



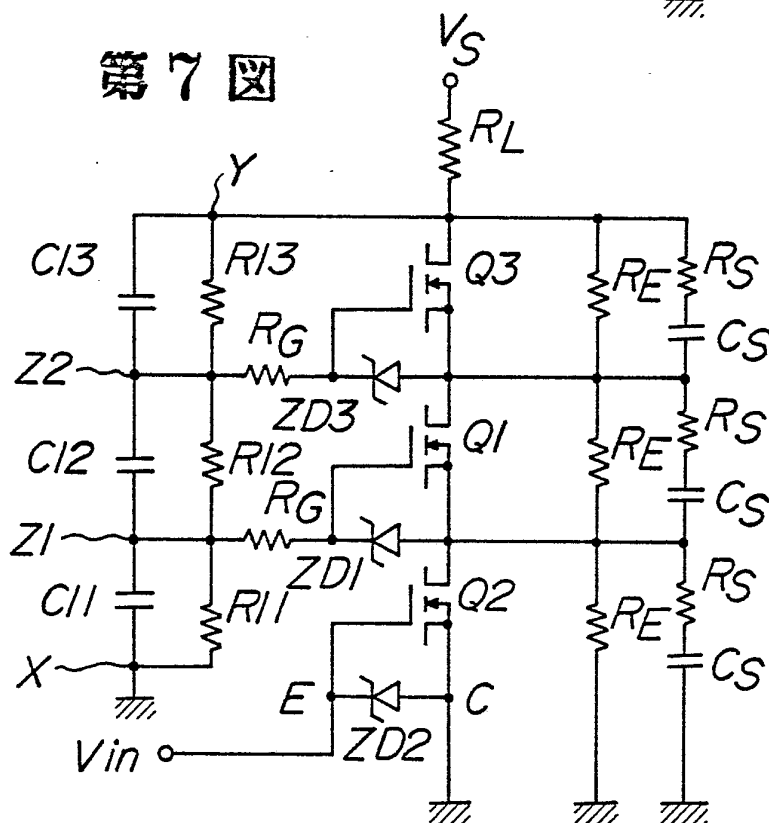
第5図



第6図



第7図



4
参 照 符 号 ・ 事 項 の 一 覧 表

参 照 符 号	事 項
PT	パルス トランス
W/	/ 次 巻 線
W2, W3	2 次 巻 線
Q/, Q2, Q3	MOSFET
ZD/, ZD2, ZD3	ゼナ ー ダイ オ ー ド
R _L	負 荷 抵 抗
V _{in}	ゲ ー ト ド ラ イ ブ 信 号
V _s	電 源 電 圧
R/, R2, R3, R4, R5, R6	抵 抗
C/, C2, C3, C4, C5, C6	コ ン デ ン サ
R _G , R _E , R _s	抵 抗
C _s	コ ン デ ン サ
V _{dc}	直 流 電 圧
I _L	負 荷 電 流
A, B, C, D, E, G	接 続 点
R //, R /2, R /3	抵 抗
C //, C /2, C /3	コ ン デ ン サ
X, Y, Z/, Z2	接 続 点

I. 発明の属する分野の分類		
国際特許分類 (IPC)		
H03K 17/10, H03K 17/687		
II. 国際調査を行った分野		
調 査 を 行 っ た 最 小 限 資 料		
分 類 体 系	分 類 記 号	
I P O	H03K 17, H03K 19	
最小限資料以外の資料で調査を行ったもの		
日本国実用新案公報		
日本国公開実用新案公報		
III. 関連する技術に関する文献		
引用文献の カテゴリー *	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
X	JP.Y1 50-3075 1975. 1.27	1 ~ 9
X	JP.A 53-143934 1978.12.14	4, 5
*引用文献のカテゴリー 「A」 一般的技术水準を示す文献 「E」 先行文献ではあるが国際出願日以後に公表されたもの 「L」 他のカテゴリーに該当しない文献 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前でかつ優先権の主張の基礎となる出願の日以後に公表された文献 「T」 国際出願日又は優先日以後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献		
IV. 認 証		
国際調査を完了した日	国際調査報告の発送日	
17. 03. 80	24.03.80	
国際調査機関	権限のある職員	5 J 7 1 0 5
日本国特許庁 (ISA/JP)	特許庁審査官	大 塚 住 江 

INTERNATIONAL SEARCH REPORT

International Application No PCT/JP79/00330

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ³ According to International Patent Classification (IPC) or to both National Classification and IPC H03K 17/10, H03K 17/687											
II. FIELDS SEARCHED Minimum Documentation Searched ⁴ <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <th style="width: 20%; text-align: left; padding: 5px;">Classification System</th> <th style="text-align: left; padding: 5px;">Classification Symbols</th> </tr> <tr> <td style="text-align: center; padding: 10px;">IPC</td> <td style="padding: 10px;">H03K 17, H03K 19</td> </tr> </table> Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁵			Classification System	Classification Symbols	IPC	H03K 17, H03K 19					
Classification System	Classification Symbols										
IPC	H03K 17, H03K 19										
Jitsuyo Shinan Koho Kokai Jitsuyo Shinan Koho											
III. DOCUMENTS CONSIDERED TO BE RELEVANT ¹⁴ <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <th style="width: 10%; text-align: left; padding: 5px;">Category *</th> <th style="text-align: left; padding: 5px;">Citation of Document, ¹⁶ with indication, where appropriate, of the relevant passages ¹⁷</th> <th style="text-align: left; padding: 5px;">Relevant to Claim No. ¹⁸</th> </tr> <tr> <td style="text-align: center; vertical-align: top; padding: 10px;">X</td> <td style="padding: 10px;">JP, Y₁ 50-3075 1975. 1.27</td> <td style="vertical-align: top; padding: 10px;">1-9</td> </tr> <tr> <td style="text-align: center; vertical-align: top; padding: 10px;">X</td> <td style="padding: 10px;">JP, A 53-143934 1978.12.14</td> <td style="vertical-align: top; padding: 10px;">4, 5</td> </tr> </table>			Category *	Citation of Document, ¹⁶ with indication, where appropriate, of the relevant passages ¹⁷	Relevant to Claim No. ¹⁸	X	JP, Y ₁ 50-3075 1975. 1.27	1-9	X	JP, A 53-143934 1978.12.14	4, 5
Category *	Citation of Document, ¹⁶ with indication, where appropriate, of the relevant passages ¹⁷	Relevant to Claim No. ¹⁸									
X	JP, Y ₁ 50-3075 1975. 1.27	1-9									
X	JP, A 53-143934 1978.12.14	4, 5									
• Special categories of cited documents: ¹⁵ "A" document defining the general state of the art "E" earlier document but published on or after the international filing date "L" document cited for special reason other than those referred to in the other categories "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but on or after the priority date claimed "T" later document published on or after the international filing date or priority date and not in conflict with the application, but cited to understand the principle or theory underlying the invention "X" document of particular relevance											
IV. CERTIFICATION <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 50%; padding: 5px;"> Date of the Actual Completion of the International Search ² March 17, 1980 (17.03.80) </td> <td style="width: 50%; padding: 5px;"> Date of Mailing of this International Search Report ² March 24, 1980 (24.03.80) </td> </tr> <tr> <td style="padding: 5px;"> International Searching Authority ¹ Japanese Patent Office </td> <td style="padding: 5px;"> Signature of Authorized Officer ²⁰ </td> </tr> </table>			Date of the Actual Completion of the International Search ² March 17, 1980 (17.03.80)	Date of Mailing of this International Search Report ² March 24, 1980 (24.03.80)	International Searching Authority ¹ Japanese Patent Office	Signature of Authorized Officer ²⁰					
Date of the Actual Completion of the International Search ² March 17, 1980 (17.03.80)	Date of Mailing of this International Search Report ² March 24, 1980 (24.03.80)										
International Searching Authority ¹ Japanese Patent Office	Signature of Authorized Officer ²⁰										