

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4172437号
(P4172437)

(45) 発行日 平成20年10月29日(2008.10.29)

(24) 登録日 平成20年8月22日(2008.8.22)

(51) Int.Cl. F I
H O 4 N 1/028 (2006.01) H O 4 N 1/028 C

請求項の数 7 (全 20 頁)

(21) 出願番号	特願2004-244882 (P2004-244882)	(73) 特許権者	000002369
(22) 出願日	平成16年8月25日(2004.8.25)		セイコーエプソン株式会社
(65) 公開番号	特開2006-67060 (P2006-67060A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成18年3月9日(2006.3.9)	(74) 代理人	110000176
審査請求日	平成19年4月24日(2007.4.24)		一色国際特許業務法人
		(72) 発明者	河野 敬信
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	堀井 啓明

最終頁に続く

(54) 【発明の名称】 画像読取装置及び印刷装置

(57) 【特許請求の範囲】

【請求項 1】

画素単位で色情報を検出するCCDセンサと、

所定のクロックで動作し、前記CCDセンサを制御し、前記CCDセンサの検出結果に基づいてそれぞれの画素のRデータ、Gデータ及びBデータを前記クロックに従って順に切り換えてデータ信号線に出力し、前記Rデータ、Gデータ及びBデータの切り替わるタイミングと同期する取込用クロックをクロック信号線に出力する制御回路と、

前記制御回路とは別のクロックで動作し、前記クロック信号線の前記取込用クロックに応じたタイミングにて、各画素の前記Rデータ、Gデータ及びBデータをそれぞれ前記データ信号線から取り込むメイン回路と、

を備え、

前記制御回路は、一画素分の前記Rデータ、Gデータ及びBデータが出力される期間を示す指示信号を前記データ信号線に出力し、

前記メイン回路は、前記指示信号及び前記取込用クロックに応じたタイミングにて、各画素の前記Rデータ、Gデータ及びBデータをそれぞれ取り込む
画像読取装置であって、

前記指示信号の出力が停止されてから、前記Rデータ、Gデータ及びBデータが出力されるまでの間、前記取込用クロックが出力されている
ことを特徴とする画像読取装置。

【請求項 2】

画素単位で色情報を検出するＣＣＤセンサと、

所定のクロックで動作し、前記ＣＣＤセンサを制御し、前記ＣＣＤセンサの検出結果に基づいてそれぞれの画素のＲデータ、Ｇデータ及びＢデータを前記クロックに従って順に切り換えてデータ信号線に出力し、前記Ｒデータ、Ｇデータ及びＢデータの切り替わるタイミングと同期する取込用クロックをクロック信号線に出力する制御回路と、

前記制御回路とは別のクロックで動作し、前記クロック信号線の前記取込用クロックに応じたタイミングにて、各画素の前記Ｒデータ、Ｇデータ及びＢデータをそれぞれ前記データ信号線から取り込むメイン回路と、

を備え、

前記制御回路は、一画素分の前記Ｒデータ、Ｇデータ及びＢデータが出力される期間を示す指示信号を前記データ信号線に出力し、

前記メイン回路は、前記指示信号及び前記取込用クロックに応じたタイミングにて、各画素の前記Ｒデータ、Ｇデータ及びＢデータをそれぞれ取り込む

画像読取装置であって、

前記メイン回路から前記制御回路へ位相合わせ信号が出力され、

前記位相合わせ信号に応じて前記指示信号と前記取込用クロックが前記制御回路から前記メイン回路へ出力され、

前記指示信号の出力が停止されてから、前記Ｒデータ、Ｇデータ及びＢデータが出力されるまでの間、前記取込用クロックが前記制御回路から前記メイン回路へ出力され、

前記位相合わせ信号に応じて、前記ＣＣＤセンサの制御が開始され、前記Ｒデータ、Ｇデータ及びＢデータが前記制御回路から前記メイン回路へ出力される

ことを特徴とする画像読取装置。

【請求項 3】

請求項 1 又は 2 に記載の画像読取装置であって、

前記制御回路は、周波数変調されたクロックで動作し、

前記Ｒデータ、Ｇデータ及びＢデータと前記取込用クロックは、前記周波数変調されたクロックに応じて、前記制御回路から前記メイン回路へ出力される

ことを特徴とする画像読取装置。

【請求項 4】

請求項 3 に記載の画像読取装置であって、

基準クロックを発生する発振器と、前記基準クロックに応じて前記周波数変調されたクロックを生成するクロック生成器とを更に備え、

前記発振器及び前記クロック生成器が、前記制御回路と同じ基板に設けられていることを特徴とする画像読取装置。

【請求項 5】

請求項 3 に記載の画像読取装置であって、

基準クロックに応じて前記周波数変調されたクロックを生成するクロック生成器を更に備え、

前記クロック生成器は、前記制御回路と同じ基板に設けられ、

前記基準クロックは、前記メイン回路から前記制御回路へ送信されることを特徴とする画像読取装置。

【請求項 6】

画素単位で色情報を検出するＣＣＤセンサと、

所定のクロックで動作し、前記ＣＣＤセンサを制御し、前記ＣＣＤセンサの検出結果に基づいてそれぞれの画素のＲデータ、Ｇデータ及びＢデータを前記クロックに従って順に切り換えてデータ信号線に出力し、前記Ｒデータ、Ｇデータ及びＢデータの切り替わるタイミングと同期する取込用クロックをクロック信号線に出力する制御回路と、

前記制御回路とは別のクロックで動作し、前記クロック信号線の前記取込用クロックに応じたタイミングにて、各画素の前記Ｒデータ、Ｇデータ及びＢデータをそれぞれ前記データ信号線から取り込むメイン回路と、

10

20

30

40

50

前記メイン回路に取り込まれた前記 R データ、G データ及び B データに基づいて、前記 C C D センサに検出された画像を媒体に印刷する印刷部と、
を備え、

前記制御回路は、一画素分の前記 R データ、G データ及び B データが出力される期間を示す指示信号を前記データ信号線に出力し、

前記メイン回路は、前記指示信号及び前記取込用クロックに応じたタイミングにて、各画素の前記 R データ、G データ及び B データをそれぞれ取り込む

印刷装置であって、

前記指示信号の出力が停止されてから、前記 R データ、G データ及び B データが出力されるまでの間、前記取込用クロックが出力されている

ことを特徴とする印刷装置。

10

【請求項 7】

画素単位で色情報を検出する C C D センサと、

所定のクロックで動作し、前記 C C D センサを制御し、前記 C C D センサの検出結果に基づいてそれぞれの画素の R データ、G データ及び B データを前記クロックに従って順に切り換えてデータ信号線に出力し、前記 R データ、G データ及び B データの切り替わるタイミングと同期する取込用クロックをクロック信号線に出力する制御回路と、

前記制御回路とは別のクロックで動作し、前記クロック信号線の前記取込用クロックに応じたタイミングにて、各画素の前記 R データ、G データ及び B データをそれぞれ前記データ信号線から取り込むメイン回路と、

20

前記メイン回路に取り込まれた前記 R データ、G データ及び B データに基づいて、前記 C C D センサに検出された画像を媒体に印刷する印刷部と、
を備え、

前記制御回路は、一画素分の前記 R データ、G データ及び B データが出力される期間を示す指示信号を前記データ信号線に出力し、

前記メイン回路は、前記指示信号及び前記取込用クロックに応じたタイミングにて、各画素の前記 R データ、G データ及び B データをそれぞれ取り込む

印刷装置であって、

前記メイン回路から前記制御回路へ位相合わせ信号が出力され、

前記位相合わせ信号に応じて前記指示信号と前記取込用クロックが前記制御回路から前記メイン回路へ出力され、

30

前記指示信号の出力が停止されてから、前記 R データ、G データ及び B データが出力されるまでの間、前記取込用クロックが前記制御回路から前記メイン回路へ出力され、

前記位相合わせ信号に応じて、前記 C C D センサの制御が開始され、前記 R データ、G データ及び B データが前記制御回路から前記メイン回路へ出力される

ことを特徴とする印刷装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像読取装置及び印刷装置に関する。

40

【背景技術】

【0002】

C C D センサを用いて画像を読み取る画像読取装置が知られている。このような画像読取装置では、C C D センサを制御して画像データを出力する制御回路、及び、制御回路から出力された画像データを受信するメイン回路が設けられている。（特許文献 1 参照）

【特許文献 1】特開平 11 - 187223 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

通常、画像データは、マトリクス状に配置された画素群の各画素にそれぞれ対応する複

50

数の画素データから構成される。画像データが複数の画素データから構成されるので、制御回路がメイン回路へ画像データを出力するとき、それぞれの画素データが順に切り換えられてデータ信号線に出力されることになる。

一方、メイン回路は順次切り替わる信号をデータ信号線から取り込む必要があるので、取り込むタイミングを示す取込用クロックが、制御回路からメイン回路へ出力される。メイン回路は、この取込用クロックに応じたタイミングにて、各画素データをそれぞれ取り込むことになる。

【 0 0 0 4 】

ところで、各画素データは、Rデータ、Gデータ及びBデータから構成される。このため、制御回路がメイン回路へ画像データを出力するとき、それぞれの画素のRデータ、Gデータ及びBデータが順に切り換えられてデータ信号線に出力される。この場合、メイン回路は、取り込まれた信号がどの色を示すのかを識別する必要がある。

本発明は、簡易な構成によって、メイン回路が各画素のRデータ、Gデータ及びBデータをそれぞれ取り込むことを可能にすることを目的とする。

【課題を解決するための手段】

【 0 0 0 5 】

上記課題を解決するための主たる発明は、画素単位で色情報を検出するCCDセンサと、所定のクロックで動作し、前記CCDセンサを制御し、前記CCDセンサの検出結果に基づいてそれぞれの画素のRデータ、Gデータ及びBデータを前記クロックに従って順に切り換えてデータ信号線に出力し、前記Rデータ、Gデータ及びBデータの切り替わるタイミングと同期する取込用クロックをクロック信号線に出力する制御回路と、前記制御回路とは別のクロックで動作し、前記クロック信号線の前記取込用クロックに応じたタイミングにて、各画素の前記Rデータ、Gデータ及びBデータをそれぞれ前記データ信号線から取り込むメイン回路と、を備え、前記制御回路は、一画素分の前記Rデータ、Gデータ及びBデータが出力される期間を示す指示信号を前記データ信号線に出力し、前記メイン回路は、前記指示信号及び前記取込用クロックに応じたタイミングにて、各画素の前記Rデータ、Gデータ及びBデータをそれぞれ取り込むことを特徴とする。

【 0 0 0 6 】

本発明の他の特徴については、本明細書及び添付図面の記載により明らかにする。

【発明を実施するための最良の形態】

【 0 0 0 7 】

＝ ＝ 開示の概要 ＝ ＝

本明細書及び添付図面の記載により、少なくとも、以下の事項が明らかとなる。

【 0 0 0 8 】

画素単位で色情報を検出するCCDセンサと、

所定のクロックで動作し、前記CCDセンサを制御し、前記CCDセンサの検出結果に基づいてそれぞれの画素のRデータ、Gデータ及びBデータを前記クロックに従って順に切り換えてデータ信号線に出力し、前記Rデータ、Gデータ及びBデータの切り替わるタイミングと同期する取込用クロックをクロック信号線に出力する制御回路と、

前記制御回路とは別のクロックで動作し、前記クロック信号線の前記取込用クロックに応じたタイミングにて、各画素の前記Rデータ、Gデータ及びBデータをそれぞれ前記データ信号線から取り込むメイン回路と、

を備え、

前記制御回路は、一画素分の前記Rデータ、Gデータ及びBデータが出力される期間を示す指示信号を前記データ信号線に出力し、

前記メイン回路は、前記指示信号及び前記取込用クロックに応じたタイミングにて、各画素の前記Rデータ、Gデータ及びBデータをそれぞれ取り込むことを特徴とする画像読取装置。

このような画像読取装置によれば、簡易な構成によって、メイン回路が各画素のRデータ、Gデータ及びBデータをそれぞれ取り込むことを可能にする。

【 0 0 0 9 】

かかる画像読取装置であって、前記制御回路は、周波数変調されたクロックで動作し、前記 R データ、G データ及び B データと前記取込用クロックは、前記周波数変調されたクロックに応じて、前記制御回路から前記メイン回路へ出力されることが望ましい。これにより、電磁波ノイズを抑制することができる。

【 0 0 1 0 】

かかる画像読取装置であって、基準クロックを発生する発振器と、前記基準クロックに応じて前記周波数変調されたクロックを生成するクロック生成器とを更に備え、前記発振器及び前記クロック生成器が、前記制御回路と同じ基板に設けられていることが望ましい。これにより、基準クロックを制御回路へ送るための信号線が不要になる。

10

【 0 0 1 1 】

かかる画像読取装置であって、基準クロックに応じて前記周波数変調されたクロックを生成するクロック生成器を更に備え、前記クロック生成器は、前記制御回路と同じ基板に設けられ、前記基準クロックは、前記メイン回路から前記制御回路へ送信されることが望ましい。これにより、発振器の数を省略し、コストダウンを図ることができる。

【 0 0 1 2 】

かかる画像読取装置であって、前記指示信号の出力が停止されてから、前記 R データ、G データ及び B データが出力されるまでの間、前記取込用クロックが出力されていることが望ましい。これにより、メイン回路が一画素区間を認識し続けることができる。

【 0 0 1 3 】

かかる画像読取装置であって、前記メイン回路から前記制御回路へ位相合わせ信号が出力され、前記位相合わせ信号に応じて前記指示信号と前記取込用クロックが前記制御回路から前記メイン回路へ出力され、前記指示信号の出力が停止されてから、前記 R データ、G データ及び B データが出力されるまでの間、前記取込用クロックが前記制御回路から前記メイン回路へ出力され、前記位相合わせ信号に応じて、前記 C C D センサの制御が開始され、前記 R データ、G データ及び B データが前記制御回路から前記メイン回路へ出力されることが望ましい。これにより、メイン回路は、どのタイミングでどの色を示す画像データが送信されるのかを認識できる。

20

【 0 0 1 4 】

画素単位で色情報を検出する C C D センサと、

30

所定のクロックで動作し、前記 C C D センサを制御し、前記 C C D センサの検出結果に基づいてそれぞれの画素の R データ、G データ及び B データを前記クロックに従って順に切り換えてデータ信号線に出力し、前記 R データ、G データ及び B データの切り替わるタイミングと同期する取込用クロックをクロック信号線に出力する制御回路と、

前記制御回路とは別のクロックで動作し、前記クロック信号線の前記取込用クロックに応じたタイミングにて、各画素の前記 R データ、G データ及び B データをそれぞれ前記データ信号線から取り込むメイン回路と、

前記メイン回路に取り込まれた前記 R データ、G データ及び B データに基づいて、前記 C C D センサに検出された画像を媒体に印刷する印刷部と、
を備え、

40

前記制御回路は、一画素分の前記 R データ、G データ及び B データが出力される期間を示す指示信号を前記データ信号線に出力し、

前記メイン回路は、前記指示信号及び前記取込用クロックに応じたタイミングにて、各画素の前記 R データ、G データ及び B データをそれぞれ取り込むことを特徴とする印刷装置。

このような印刷装置によれば、簡易な構成によって、メイン回路が各画素の R データ、G データ及び B データをそれぞれ取り込むことを可能にする。

【 0 0 1 5 】

＝ ＝ 印刷システムの構成 ＝ ＝

図 1 は、本実施形態の S P C 複合装置の全体斜視図である。図 2 は、S P C 複合装置の

50

構成のブロック図である。本実施形態のＳＰＣ複合装置１は、原稿から画像を読み取るためのスキャナ機能、外部のコンピュータからの印刷データに基づいて画像を紙に印刷するプリンタ機能、スキャナ機能により入力した画像を紙に印刷するコピー機能を有する複合装置である。

【００１６】

このＳＰＣ複合装置１は、プリンタ部１０と、スキャナ部３０と、パネル部６０と、コントローラ７０とを有する。プリンタ部１０の主な構成要素は、ＳＰＣ複合装置１の下部に設けられている。スキャナ部３０は、プリンタ部１０の上方に設けられている。パネル部６０は、ユーザが操作し易いように、ＳＰＣ複合装置１の前面に設けられている。

【００１７】

図３は、ＳＰＣ複合装置１におけるプリンタ部１０の説明図である。プリンタ部１０は、紙を搬送する搬送ユニット（不図示）と、インクを吐出するヘッドを移動させるキャリッジ１６とを有し、搬送ユニットによる搬送動作と、移動するヘッドからインクを吐出するドット形成動作とを交互に繰り返すことにより、いわゆるインクジェット方式により紙に印刷を行う。不図示の搬送ユニットは、ＳＰＣ複合装置１の背面の給紙部１２にセットされた紙を給紙し、ＳＰＣ複合装置１の前面の排紙部１４へ印刷された紙を排紙する。ＳＰＣ複合装置１の上部に設けられたスキャナ部３０を持ち上げると、プリンタ部１０のキャリッジ１６が露出し、キャリッジに搭載されるインクカートリッジ１６２の交換が可能になる。

【００１８】

図４は、ＳＰＣ複合装置１におけるスキャナ部３０の説明図である。スキャナ部３０は、上蓋３１と、載置ガラス３２とを有する。載置ガラス３２に原稿５が置かれたときに上蓋３１を閉じると、原稿５が載置ガラス３２に押圧されて原稿が平らになり、原稿５がスキャナ部３０にセットされる。なお、スキャナ部３０の主な構成については、後述する。

【００１９】

パネル部６０は、液晶ディスプレイと、各種のボタンを有する。ユーザは、各種のボタンを押すことにより、ＳＰＣ複合装置１に対して情報を入力することができる。例えば、ユーザがパネル部６０のコピーボタンを押すことにより、ＳＰＣ複合装置１にコピーを行わせることができる。

【００２０】

コントローラ７０は、インターフェース部７１と、ＣＰＵ７２と、ＣＰＵ用メモリ７３と、ＡＳＩＣ７４と、ＡＳＩＣ用メモリ７５と、クロック７６とを有する。インターフェース部７１は、外部のコンピュータ３との間でデータを送受信する。ＣＰＵ７２は、各種の演算処理を行う演算処理部である。ＣＰＵ用メモリ７３は、ＣＰＵ７２の演算領域を提供し、又はプログラムを格納する。ＡＳＩＣ７４は、特定の処理を行うための回路である。なお、ＡＳＩＣ７４の行う特定の処理は、後の説明から明らかになる。ＡＳＩＣ用メモリ７５は、ＡＳＩＣ７４の演算領域を提供する。クロック７６は、ＡＳＩＣを駆動するためのクロック信号を発信する。

【００２１】

< プリンタ機能について >

図５は、プリンタ機能時のデータの流れの説明図である。

コンピュータ３には、予めＳＰＣ複合装置１のプリンタドライバがインストールされている。そして、プリンタドライバは、コンピュータ３に、アプリケーションソフトにより作成された画像データを印刷データに変換させる。この印刷データには、コマンドデータと画素データとが含まれている。コマンドデータは、ＳＰＣ複合装置１のプリンタ部を制御するためのデータである。画素データは、印刷画像を構成するドットの有無・色・階調に関するデータである。そして、プリンタドライバは、コンピュータに、印刷データをＳＰＣ複合装置１に送信させる。

ＡＳＩＣ７４は、コンピュータ３から送られてきた印刷データを、コマンドデータと画素データとに分離して、ＡＳＩＣ用メモリ７５にバッファする。そして、ＡＳＩＣ７４は

10

20

30

40

50

、受信したコマンドデータに基づいてプリンタ部 10 を制御し、画素データに基づいてヘッドからインクを吐出させ、印刷を行う。これにより、S P C 複合装置は、外部のコンピュータからの印刷データに基づいて画像を紙に印刷するプリンタとして機能する。

【 0 0 2 2 】

< スキャナ機能について >

図 6 は、スキャナ機能時のデータの流れの説明図である。

コンピュータ 3 には、予め S P C 複合装置 1 のスキャナドライバがインストールされている。また、ユーザは、予めスキャナ部 30 に原稿 5 をセットする。そして、ユーザは、コンピュータ 3 上でスキャナドライバの設定を行い、例えば読取解像度、白黒・カラー、読み取り範囲などの設定を行う。

10

ユーザがコンピュータ上でスキャナドライバによりスキャン開始を指示すると、スキャナドライバは、コンピュータ 3 に、ユーザの設定内容に応じた制御データを S P C 複合装置 1 に送信させる。

A S I C 7 4 は、受信した制御データに基づいてスキャナ部 30 を制御し、スキャナ部 30 から原稿 5 の画像データを取得する。そして、A S I C 7 4 は、取得した画像データをコンピュータ 3 に送信する。これにより、S P C 複合装置 1 は、原稿 5 の画像を読み取るスキャナとして機能する。

【 0 0 2 3 】

< コピー機能について >

図 7 は、コピー機能時のデータの流れの説明図である。

20

ユーザは、予めスキャナ部 30 に原稿 5 をセットする。そして、ユーザは、パネル部 60 を操作して、紙の大きさ、原稿の大きさ、倍率、コピーモード（はやい / きれい）等の設定を行う。

ユーザがパネル部 60 のコピーボタンを押すと、印刷開始を示す開始信号がパネル部 60 から A S I C 7 4 へ送られる。A S I C 7 4 は、ユーザの設定内容に応じた制御データに基づいてスキャナ部 30 を制御し、スキャナ部 30 から原稿 5 の画像データを取得する。A S I C 7 4 は、スキャナ部 30 からの画像データを A S I C 用メモリ 75 にバッファする。

【 0 0 2 4 】

スキャナ部 30 からの画像データは、例えば 2 5 6 階調の R G B（レッド、グリーン、ブルー）のデータである。A S I C 7 4 は、このデータを、2 5 6 階調の C M Y K（シアン、マゼンタ、イエロー、ブラック）のデータに変換する（色変換する）。なお、色変換に必要な色変換テーブルは、A S I C 用メモリ 75 に格納されている。次に、A S I C 7 4 は、2 5 6 階調の C M Y K データを 2 階調の C M Y K データに変換する（ハーフトーン処理する）。この 2 階調の C M Y K データが、印刷データの画素データを構成する。なお、2 5 6 階調のデータを 2 階調のデータに変換するためのドット生成率テーブルも、A S I C 用メモリ 75 に格納されている。

30

【 0 0 2 5 】

スキャナからの画像データを拡大・縮小処理する場合、C P U 7 2 が A S I C 用メモリ 75 にある画像データを加工し、加工された画像データに基づいて A S I C 7 4 が色変換処理やハーフトーン処理を行う。

40

A S I C 7 4 により画像データが印刷データに変換され、S P C 複合装置 1 は、この印刷データに基づいてプリンタ部 10 を制御して印刷を行う。これにより、S P C 複合装置は、コピー機として機能する。

【 0 0 2 6 】

=== スキャナ部 30 の構成 ===

< スキャナ部 30 の全体構成について >

図 8 は、スキャナ部 30 の構成の説明図である。スキャナ部 30 は、上蓋 31 及び載置ガラス 32 のほかに、読取キャリッジ 33 と、駆動ユニット 34 と、センサユニット 40 とを更に有する。

50

読取キャリッジ 33 は、ガイド 331 により移動方向に沿って移動可能である。この読取キャリッジ 33 にはセンサユニット 40 が収容されている。

駆動ユニット 34 は、駆動モータ 341 と、プーリ 342 と、タイミングベルト 343 とを有する。駆動モータ 341 が駆動すると、プーリ 342 が回転されて、タイミングベルトも回転する。タイミングベルトの一部が読取キャリッジ 33 と接合されており、タイミングベルト 343 が回転すると、読取キャリッジ 33 がガイド 331 に沿って移動方向に移動する。

センサユニット 40 は、光源 41 と、レンズ 42 と、ミラー 43 と、CCD センサ 44 とを有する。光源 41 は、原稿 5 に光を照射する。レンズ 42 は、原稿 5 からの反射光を CCD センサ 44 へ結像させる。ミラー 43 は、原稿 5 からの反射光をレンズ 42 が CCD センサ 44 へ結像できるようにするため、光路を長くするためのものである。CCD センサ 44 は、受けた光に応じた信号を出力する。

【0027】

センサユニット 40 は、原稿 5 において、紙面垂直方向に長いライン状の領域の画像を読み取る。このセンサユニット 40 が読取キャリッジ 33 により移動方向に移動することによって、スキャナ部 30 は原稿 5 の全体の画像を読み取ることができる。

【0028】

< CCD センサの構成について >

図 9 は、CCD センサ 44 の構成の説明図である。

CCD センサ 44 は、光を電気信号に変換する受光素子（例えばフォトダイオード）を列状に配置した 3 本のリニアセンサ 441r、441g、441b を有し、これら 3 本のリニアセンサ 441r、441g、441b は移動方向に直行する方向と平行に配置されている。各リニアセンサ 441 毎に異なる色のフィルタが設けられ、各リニアセンサ 441 は異なる色の光をそれぞれ検出する。例えば、R 用リニアセンサ 441r は、レッドのフィルタを備え、レッドの光の強弱を検出する。以下、レッド光を検出する R 用リニアセンサ 441r を中心に説明するが、グリーン光を検出する G 用リニアセンサ 441g やブルー光を検出する B 用リニアセンサ 441b も同様である。

【0029】

リニアセンサ 441r の各受光素子は、1 画素区間の光を受光して電荷を蓄積する。リニアセンサ 441r にシフト信号 SH が入力されると、偶数画素に対応する受光素子の電荷は偶数画素用転送部 442r に転送され、奇数画素に対応する受光素子の電荷は奇数画素用転送部 443r に転送される。そして、偶数画素用転送部 442r に駆動パルスが入力されると、シフトレジスタである偶数画素用転送部 442r が電荷を水平転送し、転送された電荷がアンプ 444r で電圧変換され、電圧信号 Vre が出力される。同様に、奇数画素用転送部 443r に駆動パルスが入力されると、シフトレジスタである奇数画素用転送部 443r が電荷を水平転送し、転送された電荷がアンプ 445r で電圧変換され、電圧信号 Vro が出力される。

【0030】

CCD センサ 44 から出力される電圧信号（アナログ信号）は、A/D 変換回路 45 にてアナログ/デジタル変換されて、各画素の RGB の階調を示すデータ（画像データ）となる。

なお、偶数画素用転送部 442r や奇数画素用転送部 443r に入力される駆動パルスは、シフトレジスタの水平転送を高速に行う必要があるため、高い周波数の信号になる。

【0031】

ところで、図 9 の CCD センサ 44 の構成ではアナログ出力が 6 本になるが、アナログ出力を 3 本にするような構成であっても良いことは言うまでもない。

【0032】

=== 参考例 ===

< 第 1 参考例について >

図 10 は、第 1 参考例の説明図である。

10

20

30

40

50

スキャナ部 30 には、CCD 基板 50 が含まれている。この CCD 基板 50 には、CCD センサ 44 や駆動モータ 341 の制御を行う制御回路 51 が設けられている。CCD 基板 50 は ASIC 74 とは別の基板なので、CCD 基板 50 と ASIC 74 との間で信号を送受信するための信号線が設けられている。図中には、クロック信号を送受信するためのクロック信号線と、画像データを送受信するためのデータ信号線が示されている。なお、クロック信号のためのクロック信号線は 1 本であり、画像データを送受信するためのデータ信号線は 8 本ある。

【0033】

第 1 参考例では、CCD 基板や CCD センサ 44 を駆動するための高い周波数のクロック信号が、ASIC 74 から CCD 基板 50 に送信されている。この構成では、ASIC 74 と CCD 基板 50 との間のクロック信号線の周囲に、クロック信号と周波数での強い電磁波ノイズが発生する。

10

また、第 1 参考例では、CCD センサ 44 に入力される駆動パルスも高い周波数なので、CCD センサ 44 の周囲に駆動パルスの周波数で強い電磁波ノイズが発生する。

【0034】

< 第 2 参考例について >

図 11 は、第 2 参考例の説明図である。

第 2 参考例では、CCD 基板 50 は PLL 回路 52 を備えている。PLL 回路 52 は、ASIC 74 から送信される基準クロック信号を逡倍し、基準クロックの位相と同期した高い周波数のクロック信号を制御回路 51 へ出力する。この第 2 参考例では、ASIC 74 から CCD 基板 50 へ送信されるクロック信号の周波数を低くすることができる。

20

しかし、CCD センサ 44 に入力される駆動パルスは高い周波数なので、第 2 参考例でも第 1 参考例と同様に、CCD センサ 44 の周囲に駆動パルスの周波数で強い電磁波ノイズが発生する。

【0035】

< 第 3 参考例について >

第 1 参考例と第 2 参考例では、ともに CCD センサ 44 の周囲で特定周波数の電磁波ノイズが発生する。しかし、このような電磁波ノイズが発生すると、各国で規制している EMI 規格を満たすことができない。

このような電磁波ノイズに対する対策として、SSCG (Spread Spectrum Clock Generator) と呼ばれる周波数変調デバイスが用いられることがある。強い電磁波ノイズは高い単一周波数のクロック信号により発生するので、SSCG は、そのクロック信号を変調し、特定の周波数の電磁波ノイズが高くないようにすることができる。

30

【0036】

図 12 は、第 3 参考例の説明図である。

第 3 参考例では、ASIC 47 に SSCG が設けられている。そして、第 3 参考例では、ASIC 47 から CCD 基板 50 へ送信される基準クロックが変調されている。これにより、CCD センサ 44 に入力される駆動パルスも変調されるので、CCD センサ 44 の周囲に特定周波数の電磁波ノイズが高くない。

しかし、変調するクロック信号を基準クロックとして PLL 回路で逡倍しようとする

40

【0037】

そこで、以下に説明する本実施形態では、CCD 基板 50 の側に SSCG を設けている。但し、このように構成すると、CCD 基板 50 から ASIC 74 へ送信される画像データの周波数も変調してしまい、ASIC 74 が画像データを取り込むタイミングが問題となる。以下に説明する本実施形態では、この点も解決している。

【0038】

=== 本実施形態のスキャナ部 30 の構成 ===

< 概要について >

図 13 は、本実施形態のスキャナ部 30 の構成の説明図である。本実施形態のスキャナ

50

部 30 の C C D 基板 50 は、制御回路 51 と、発振器 53 と、S S C G 機能を有する P L L 回路 54 とを備えている。

制御回路 51 は、C C D センサ 44 に対して駆動パルスやシフト信号 S H (図 9 参照) などを送信し、C C D センサ 44 を制御する。また、図 13 では不図示であるが、制御回路 51 は、駆動モータ 341 の駆動も制御する。これらの制御回路 51 による制御は、A S I C 74 からスキャナ部 30 へ送信される制御データに基づいて行われる。

発振器 53 は、一定の周波数のクロック信号を発生する。但し、発振器 53 の発生するクロック信号は比較的低い周波数なので、電磁波ノイズは問題とはならない。発振器 53 から出力されるクロック信号は、P L L 回路 54 へ入力される。

P L L 回路 54 は、S S C G 機能をも有する。すなわち、本実施形態の P L L 回路 54 は、発振器 53 からの基準クロックを逡倍するとともに、変調させたクロック信号を制御回路 51 に出力している。

【 0039 】

これにより、変調されたクロック信号によって制御回路 51 が駆動されるので、制御回路 51 が C C D センサ 44 へ出力する駆動パルスも変調している。この結果、駆動パルスの周波数が高くても、特定の周波数の強度が低くなっているため、C C D センサ 44 の周辺に発生する電磁波ノイズを低減させることができる。

【 0040 】

但し、C C D センサ 44 から A / D 変換回路へ出力される電圧信号や、A / D 変換回路から制御回路 51 へ出力される画像データも変調されている。そして、変調されたクロック信号によって制御回路 51 が駆動されるので、制御回路 51 から A S I C 74 へ送信される画像データも変調している。

【 0041 】

本実施形態では周波数変調を C C D 基板 50 の側で行っているため、A S I C 74 では変調したクロックで動作していない。また、A S I C 74 も制御回路 51 とは別の変調クロックで動作する場合もある。このため、A S I C 74 を駆動するクロックが制御回路 51 を駆動するクロックと同期していないので、単に A S I C 74 へ画像データを送信しただけでは、A S I C 74 が画像データを取り込む際に、タイミングがずれるおそれがある。

【 0042 】

そこで、本実施形態では、制御回路 51 から A S I C 74 へ取込用クロック信号を出力している。この取込用クロック信号は、画像データと同期したクロック信号である。そして、本実施形態では、A S I C 74 は、取込用クロック信号の立ち上がりタイミング (又は立ち下がりタイミング) に基づいて、変調した画像データを取り込んでいる。

【 0043 】

ところで、画像データは、R データ、G データ、B データが順次切り替わって送信される。このため、A S I C 74 は、取り込まれたデータがどの色を示すのかを識別する必要がある。そこで、本実施形態では、データ信号線に画像データが出力される前に、A S I C 74 に 1 画素区間を認識させるため、制御回路 51 が画素区間指示信号をデータ信号線に出力する。

【 0044 】

< 本実施形態の P L L 回路 54 の構成について >

図 14 は、本実施形態の S S C G 機能を備えた P L L 回路 54 の構成の説明図である。

通常、P L L 回路は、1 / M 分周器 541 と、位相比較器 542 と、ローパスフィルタ (L P F) 543 と、電圧制御発振器 (V C O) 544 と、1 / N 分周器 545 とを有する。1 / M 分周器 541 は、発振器 53 からの基準クロックを分周して、位相比較器 542 に送る。位相比較器 542 は、2 つの入力信号の位相を比較し、信号のエッジが異なる場合にパルス信号を発生する。ローパスフィルタ 543 は、位相比較器からの信号から高周波成分を遮断し、交流成分の少ない直流信号を出力する。電圧制御発振器 544 は、入力さ

10

20

30

40

50

れる直流信号により発信周波数の調整を行う。1 / N分周器 5 4 5 は、電圧制御発振器 5 4 4 の出力信号を分周して位相比較器 5 4 2 へ送る。PLL回路では、電圧制御発振器 5 4 4 の出力信号の位相が進んでいれば発振周波数を下げて位相を遅らせ、電圧制御発振器 5 4 4 の出力信号の位相が遅れていれば発振周波数を上げて位相を進め、1 / N分周器から入力されるリファレンス信号と出力信号とが同期される。このPLL回路では、基準クロックに対して $N \div M$ 倍の周波数のクロック信号を得ることができる。

【 0 0 4 5 】

本実施形態のPLL回路 5 4 では、位相比較器 5 4 2 とループフィルタ 5 4 3 との間に、アナログ変調器 5 4 6 からの電圧を加算する電圧加算器 5 4 7 が設けられている。これにより、PLL回路 5 4 から出力されるクロック信号が変調される。具体的には、 $\pm 1 . 5 \%$ の範囲で周波数が変調される。

10

【 0 0 4 6 】

本実施形態では、PLL回路 5 4 から周波数変調されたクロックが制御回路 5 1 に入力され、この周波数変調されたクロックに応じて制御回路 5 1 が動作する。つまり、制御回路 5 1 は、周波数変調されたクロックに応じて、CCDセンサ 4 4 に対してシフト信号 S H や駆動パルスを出力して（図 9 参照）、CCDセンサ 4 4 を制御する。このとき制御回路 5 1 から CCDセンサ 4 4 へ送られる駆動パルス信号も周波数変調しているので、CCDセンサの周辺において、特定周波数の電磁波ノイズの強度のピークを低減させることができる。

【 0 0 4 7 】

20

< 画像データの取り込みについて 1 >

図 1 5 は、画像データと取込用クロックとの関係の説明図である。

画像データは、8本のデータ信号線を介して制御回路 5 1 からASIC 7 4 へ送信される。そして、画像データは、Rデータ、Gデータ、Bデータが順次切り替わって送信される。そして、一組のRデータ、Gデータ、Bデータが送信されれば、1画素分の画像データ（画素データ）が送信されたことになる。一ラインには多数の画素が列状に並んでいるので、一ライン分の画像データを送信するため、Rデータ、Gデータ、Bデータが繰り返し送信される。本実施形態では、図中から明らかではないが、Rデータ、Gデータ、Bデータが順次切り替わる周波数は、SSCGにより $\pm 1 . 5 \%$ の範囲で変調されている。

【 0 0 4 8 】

30

取込用クロック信号も、図中から明らかではないが、SSCGにより $\pm 1 . 5 \%$ の範囲で変調されている。但し、取込用クロック信号は、画像データの切り替わる周波数と同期している。このため、取込用クロック信号の立ち上がりパルスのタイミングにおいて、Rデータ、Gデータ、Bデータのうちのいずれかのデータ（色データ）が、送信されていることが保証されている。

【 0 0 4 9 】

図 1 6 は、画像データの取込タイミングの説明図である。説明の都合上、図 1 6 の時間軸は、図 1 5 の時間軸よりも拡大されている。図 1 6 の下段のASIC側クロックは、ASIC 7 4 が動作するためのクロックであり、図 2 のクロック 7 6 が発生する信号である。取込用クロックが約 6 MHz（但し $\pm 1 . 5 \%$ 程度変調している）であるのに対し、A

40

SIC側クロックは 9 6 MHz である。

【 0 0 5 0 】

ASIC 7 4 は、ASIC側クロックの立ち上がりパルスのタイミングにおいて、取込用クロックの信号レベルを監視する。そして、ASIC 7 4 が取込用クロックの信号レベルがLレベルからHレベルに変化したことを検出した後、次のASIC側クロックの立ち上がりパルスのタイミングにおいてASIC 7 4 は画像データを取り込む。

【 0 0 5 1 】

具体的には、図中において、ASIC 7 4 は、5番目のASIC側クロックの立ち上がりパルスにおいて取込用クロックの信号レベルがLレベルであることを検出し、次の6番目のASIC側クロックの立ち上がりパルスにおいて取込用クロックの信号レベルがHレ

50

ベルであることを検出する。そこで、7番目のA S I C側のクロックの立ち上がりパルスにおいて、A S I C 7 4は、画像データを伝送する8本のデータ信号線の信号レベルを検出し、このときの8ビットの情報を画像データとして取り込む。

【0052】

本実施形態では、制御回路51はPLL回路54により周波数変調されたクロックで動作し、A S I C 7 4はクロック76からのクロック(A S I C側クロック)で動作する。PLL回路54により周波数変調されたクロックとA S I C側クロックとは同期していないので、変調された周波数で画像データが順次送信されると、A S I C 7 4が画像データを取り込む際にタイミングがずれるおそれがある。

【0053】

10

そこで、本実施形態では、取込タイミングの基準となる取込用クロック信号を制御回路51からA S I C 7 4へ送信している。この取込用クロック信号は、制御回路51から出力されるので周波数が変調しているが、画像データと同期した信号である。そして、A S I C 7 4は、取込用クロックの信号レベルの変化を監視し、信号レベルが変化した時を基準に画像データを取り込んでいる。これにより、A S I C 7 4の動作クロックと制御回路51の動作クロックとが同期していなくても、タイミングがずれずに、A S I C 7 4は制御回路51からの画像データを取り込むことができる。

【0054】

ところで、画像データは、Rデータ、Gデータ、Bデータが順次切り替わって送信される。このため、A S I C 7 4は、画像データを取り込むとき、その画像データがどの色を示すのかを認識している必要がある。例えば、図16において、7番目のA S I C側クロックの立ち上がりパルスのときに、どの色を示す画像データが送信されているのかをA S I C 7 4が認識している必要がある。

20

【0055】

そこで、1ライン分の画像データを取り込む際に、A S I C 7 4から制御回路51へ位相合わせ信号が送信され、位相合わせ信号に応じて1画素区間を示すための画素区間指示信号が制御回路51からA S I C 7 4へ送信される。この点については、後で説明する。

【0056】

< 画像データの取り込みについて2 >

図17は、別の画像データの取込タイミングの説明図である。図17と図16とを比較すると、取込用クロック及びA S I C側クロックは同じである。画像データについて、図16の各画像データは8ビットの情報であったが、図17の各画像データは16ビットの情報である。このため、図16の画像データは取込クロックの立ち下がりパルスのタイミングで切り替わっていたが、図17の画像データは、取込クロックの立ち上がりパルス及び立ち下がりパルスの両方で切り替わっている。

30

【0057】

制御回路51は、取込用クロックの立ち上がりパルスのタイミングで16ビットのRデータの上位8ビットを送信する。A S I C 7 4は、取込用クロックの信号レベルがLレベルからHレベルに変化したことを検出した後、Rデータの上位8ビットを取り込む。その後、制御回路51は、取込用クロックの立ち下がりパルスのタイミングで16ビットのRデータの下位8ビットを送信する。A S I C 7 4は、取込用クロックの信号レベルがHレベルからLレベルに変化したことを検出した後、Rデータの下位8ビットを取り込む。このようにして、A S I C 7 4は、8本の信号線から16ビットの画像データを取り込むことができる。

40

【0058】

但し、以下の説明では、画像データは16ビットであるものとする。但し、図面の簡略化のため、上位ビットから下位ビットへの信号の切り換えは、図示しない。

【0059】

< 1ライン分の画像データの取り込みについて >

図18は、A S I C 7 4と制御回路51との間で送受信される信号の説明図である(但

50

し、信号SHは、ASIC74と制御回路51との間で送受信される信号ではなく、制御回路51からCCDセンサ44へ送信される信号である）。

【0060】

最初、ASIC74と制御回路51は、別々のクロック信号に基づいて動作している。このような状態のときに、ASIC74から制御回路51へ位相合わせ信号が送信される。

【0061】

位相合わせ信号は、画像データを送信する8本の信号線や取込用クロックを送信する信号線とは別の信号線によって、ASIC74から制御回路51へ送信される。位相合わせ信号の信号レベルがLからHに切り替わったとき、位相合わせ信号が送信されたものとする。

10

【0062】

制御回路51は、内部の画素クロックに基づいて動作する。制御回路51は、画素クロックの立ち上がりパルスのタイミングで位相合わせ信号を検出する。検出された信号レベルがLからHに切り替わったとき、制御回路51は、内部に設けられているカウンタをリセットする。そして、制御回路51は、画素クロックの立ち上がりパルス毎に、カウンタの値を1つずつインクリメントする。なお、画素クロックの1クロックの期間は、取込用クロックの3パルス分の期間に相当する。すなわち、画素クロックの1クロックは、1画素区間を示している。

【0063】

20

制御回路51は、位相合わせ信号の信号レベルがLからHに切り替わったことを検出したとき、画像データを送信する8本の信号線を用いて、画素区間指示信号をASIC74へ送信する。この画素区間指示信号は、図に示す通り、「FF(16ビットデータが全て1)」→「00(16ビットデータが全て0)」→「00」→「FF」→「00」→「00」→...の順に、取込用クロックに同期したタイミングで切り替わる信号である。ASIC74は、画素区間指示信号を受けることにより、1画素区間を認識することができる。

【0064】

その後、ASIC74は、位相合わせ信号の信号レベルをHからLに切り換える。位相合わせ信号の信号レベルがLからHに切り替わったことを制御回路51が検出したとき、制御回路51は、画素区間指示信号の送信を停止する。但し、制御回路51からASIC74へ取込用クロック信号が送信され続けているので、ASIC74は1画素区間を認識し続けることができる。

30

【0065】

制御回路51は、カウンタのカウント値を基準にして、CCDセンサ44を制御する。例えば、制御回路51は、カウント値が「2」になったとき、シフト信号SHをCCDセンサ44へ送信する。なお、シフト信号SHを送信するためのカウント値「2」は、予め制御回路51のレジスタに設定された値である。このため、制御回路51は、カウンタがリセットされてから所定のタイミング(この場合、3画素区間)の後に、有効な画像データをCCDセンサ44から取得する。そして、制御回路51は、所定のタイミング(画素区間指示信号の送信を停止した直後)に、有効な画像データをASIC74へ送信する。

40

【0066】

ASIC74は、1画素区間の最初の画像データをRデータとして取り込み、次の画像データをGデータとして取り込み、更に次の画像データをBデータとして取り込むことによって、1画素分の画像データ(画素データ)を取り込む。また、ASIC74は、Bデータの次の画像データを、次の画素のRデータとして取り込む。このように、ASIC74は、画素区間指示信号と取込用クロックに基づいて1画素区間を認識しているので、例えばどのタイミングでRデータが送信されているのか、又はどのタイミングでどの画素データが送信されているのかを認識できる。

【0067】

1ライン分の画像データをASIC74が取り込んだ後、次のラインの画像を読み取る

50

ため、A S I C 7 4 は、所定のタイミングにて位相合わせ信号を送信する。なお、位相合わせ信号を送信してから次の位相合わせ信号を送信するまでのタイミングは、C C D センサ 4 4 の蓄積時間に応じて異なる。この蓄積時間は、読み取り解像度、原稿の種類、光源の明るさ、等によって変化する。

【 0 0 6 8 】

＝ ＝ ＝ その他の実施の形態 ＝ ＝ ＝

上記の実施形態は、主として S P C 複合装置について記載されているが、その中には、画像読取装置（スキャナ）、画像読取方法等の開示が含まれていることは言うまでもない。

【 0 0 6 9 】

また、一実施形態としての S P C 複合装置等を説明したが、上記の実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更、改良され得ると共に、本発明にはその等価物が含まれることは言うまでもない。

【 0 0 7 0 】

＝ ＝ ＝ まとめ ＝ ＝ ＝

(1) 前述の S P C 複合装置は、画素単位で色情報を検出する C C D センサ 4 4 と、制御回路 5 1 と、A S I C 7 4 (メイン回路)とを備えている。制御回路 5 1 は、C C D センサ 4 4 を制御し、C C D センサ 4 4 の検出結果に基づいて R データ、G データ及び B データを変調クロックに従って順に切り換えてデータ信号線に出力する。A S I C 7 4 は、各画素の R データ、G データ及び B データをそれぞれデータ信号線から取り込む。

【 0 0 7 1 】

仮に、図 1 0 の第 1 参考例のような構成であれば、A S I C 7 4 は、制御回路 5 1 の動作に同期しているので、制御回路 5 1 から出力された信号を取り込むタイミングを認識できる。

【 0 0 7 2 】

しかし、本実施形態では、電磁波ノイズの対策のため、制御回路 5 1 は周波数変調されたクロックで動作する。一方、A S I C 7 4 は、制御回路 5 1 とは別のクロックで動作しているので、制御回路 5 1 の動作と同期していない。このように、両基板が別々のクロックで動作していると、制御回路 5 1 から出力された信号を A S I C 7 4 が取り込むタイミングが、ずれるおそれがある。

【 0 0 7 3 】

そこで、本実施形態では、制御回路 5 1 は、R データ、G データ及び B データの切り替わるタイミングと同期する取込用クロックをクロック信号線に出力している。そして、本実施形態では、A S I C 7 4 は、取込用クロックに応じたタイミングにて、データ信号線から色データを取り込んでいる。

但し、A S I C 7 4 は、取り込まれた色データがどの色を示すのかを識別する必要がある。例えば、図 1 6 の点線で示される取込タイミングで A S I C 7 4 がデータ信号線から 8 ビットデータを取り込んだとき、その 8 ビットデータが R データなのか G データなのかを識別する必要がある。

【 0 0 7 4 】

そこで、本実施形態では、制御回路 5 1 が、一画素分の R データ、G データ及び B データが出力される期間を示す画素区間指示信号をデータ信号線に出力する。具体的には図 1 8 に示されるように、制御回路 5 1 は、「F」→「0」→「0」→「F」→「0」→「0」→...の順に、取込用クロックに同期させた画素区間指示信号をデータ信号線に出力する。そして、本実施形態では、A S I C 7 4 は、画素区間指示信号により 1 画素区間を認識できるので、1 画素区間の最初のデータを R データとして取り込み、次のデータを G データとして取り込み、更に次のデータを B データとして取り込むことができる。また、A S I C 7 4 は、B データの次のデータを、次の画素の R データとして取り込むことができる。

10

20

30

40

50

【 0 0 7 5 】

データ信号線を利用して画素区間指示信号が出力されるので、簡易な構成によって、メイン回路が各画素の R データ、G データ及び B データをそれぞれ取り込むことができる。

【 0 0 7 6 】

(2) 前述の実施形態では、制御回路 5 1 は、周波数変調されたクロックで動作する。これにより、電磁波ノイズの強度を低くすることができる。但し、この結果、R データ、G データ及び B データの切り替わる周期も変調するので、メイン回路が R データ、G データ及び B データを取り込むタイミングが本来であれば問題となる。しかし、本実施形態では、R データ、G データ及び B データの切り替わるタイミングと同期する取込用クロックも変調するので、この取込用クロックに応じたタイミングでデータ信号線からデータを取り込めば、タイミングがずれることはない。

10

【 0 0 7 7 】

なお、前述の実施形態では制御回路 5 1 の動作クロックが変調しているが、これに限られるものではない。例えば、制御回路 5 1 の動作クロックが変調していなくても、画素区間指示信号が制御回路 5 1 から A S I C 7 4 へ出力される構成であれば、A S I C 7 4 は、どのタイミングで R データが来るのかを知ることができる。但し、この場合、C C D センサ周辺で電磁波ノイズが発生する。

【 0 0 7 8 】

(3) 前述の実施形態では、基準クロックを発生する発振器 5 3 と、基準クロックに応じて周波数変調されたクロックを生成する P L L 回路 5 4 とが設けられている。そして、本実施形態では、発振器 5 3 及び P L L 回路 5 4 が、制御回路 5 1 と同じ C C D 基板 5 0 に設けられている。これにより、基準クロックを制御回路 5 1 へ送るための信号線が不要となる。

20

【 0 0 7 9 】

(4) 但し、発振器 5 3 は制御回路 5 1 と同じ基板上に必ずしも設けなくてもよい。例えば、低周波数の基準クロックを A S I C 7 4 から制御回路 5 1 へ送信し、制御回路 5 1 の S S C G 機能を有する P L L 回路が基準クロックを変調しながら逡倍しても良い。この場合、A S I C 7 4 から制御回路 5 1 へ基準クロックを送るための信号線が必要になるが、発振器 5 3 を省略することができるので、コストダウンを図ることができる。

【 0 0 8 0 】

(5) 前述の実施形態では、同じデータ信号線を利用して、画素区間指示信号と R データ、G データ及び B データとが出力される。このため、画像データ (R データ、G データ及び B データ) の出力は、画素区間指示信号の出力が停止された後になる。本実施形態では、画素区間指示信号の出力が停止されてから、画像データが出力されるまでの間、取込用クロックが出力され続ける。これにより、A S I C 7 4 は、一画素区間を認識し続けることができるので、データ信号線から画像データが出力されたときに、そのデータがどの色を示すのかを識別することができる。

30

【 0 0 8 1 】

(6) 前述の実施形態では、最初、A S I C 7 4 (メイン回路) と制御回路 5 1 は、別々のクロック信号に基づいて動作している。このような状態のときに、A S I C 7 4 から制御回路 5 1 へ位相合わせ信号が出力される。制御回路 5 1 は、位相合わせ信号が送られてくると、画素区間指示信号と取込用クロックを A S I C 7 4 へ出力するとともに、C C D センサの制御を開始する。位相合わせ信号の信号レベルが H レベルである間、制御回路 5 1 は、画素区間指示信号を出力する。そして、位相合わせ信号の信号レベルが L レベルになると、画素区間指示信号の出力が停止される。但し、画素区間指示信号の出力が停止されても、制御回路 5 1 は、取込用クロック信号を出力し続ける。制御回路 5 1 は、C C D センサの検出結果として、各画素の R データ、G データ及び B データをそれぞれ順に出力する。A S I C 7 4 は、どのタイミングでどの色を示す画像データが送信されるのかを認識しているので、各画素の R データ、G データ及び B データをそれぞれ取り込むことができる。

40

50

【 0 0 8 2 】

(7) 前述の実施形態では、A S I C 7 4 に取り込まれた画像データ (R データ、G データ及び B データ) に基づいて、紙に画像を印刷するプリンタ部が設けられている。但し、必ずしもプリンタ部 1 0 は必要ではなく、スキャナ単体であっても良い。

【 図面の簡単な説明 】

【 0 0 8 3 】

【 図 1 】 本実施形態の S P C 複合装置の全体斜視図である。

【 図 2 】 S P C 複合装置の構成のブロック図である。

【 図 3 】 S P C 複合装置におけるプリンタ部の説明図である。

【 図 4 】 S P C 複合装置におけるスキャナ部の説明図である。

10

【 図 5 】 プリンタ機能時のデータの流れの説明図である。

【 図 6 】 スキャナ機能時のデータの流れの説明図である。

【 図 7 】 コピー機能時のデータの流れの説明図である。

【 図 8 】 スキャナ部の構成の説明図である。

【 図 9 】 C C D センサの構成の説明図である。

【 図 1 0 】 第 1 参考例の説明図である。

【 図 1 1 】 第 2 参考例の説明図である。

【 図 1 2 】 第 3 参考例の説明図である。

【 図 1 3 】 本実施形態のスキャナ部の構成の説明図である。

【 図 1 4 】 本実施形態の S S C G 機能を備えた P L L 回路の構成の説明図である。

20

【 図 1 5 】 画像データと取込用クロックとの関係の説明図である。

【 図 1 6 】 画像データの取込タイミングの説明図である。

【 図 1 7 】 1 6 ビットの画像データの取込タイミングの説明図である。

【 図 1 8 】 A S I C と制御回路との間で送受信される信号の説明図である。

【 符号の説明 】

【 0 0 8 4 】

1 S P C 複合装置、 3 コンピュータ、 5 原稿

1 0 プリンタ部、 1 2 給紙部、 1 4 排紙部、 1 6 キャリッジ

3 0 スキャナ部、 3 1 上蓋、 3 2 載置ガラス、 3 3 読取キャリッジ、

3 4 駆動ユニット、

30

4 0 センサユニット、 4 1 光源、 4 2 レンズ、 4 3 ミラー、

4 4 C C D センサ、

4 5 A / D 変換回路、

5 0 C C D 基板、 5 1 制御回路、 5 3 発振器、 5 4 P L L 回路、

5 4 1 1 / M 分周器、 5 4 2 位相比較器、 5 4 3 ループフィルタ、

5 4 4 電圧制御発振器、 5 4 5 1 / N 分周器、 5 4 6 アナログ変調器、

5 4 7 電圧加算器、

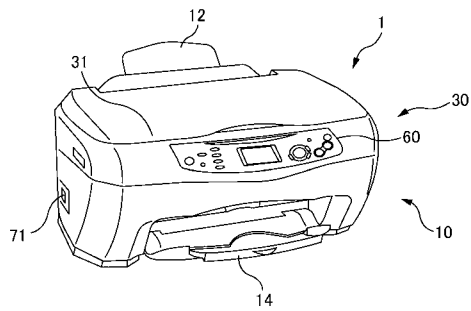
6 0 パネル部、

7 0 コントローラ、 7 1 インターフェース部、 7 2 C P U、

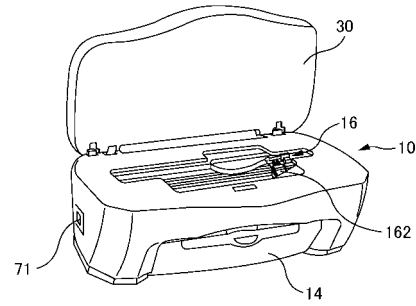
7 3 C P U 用メモリ、 7 4 A S I C、 7 5 A S I C 用メモリ、 7 6 クロック

40

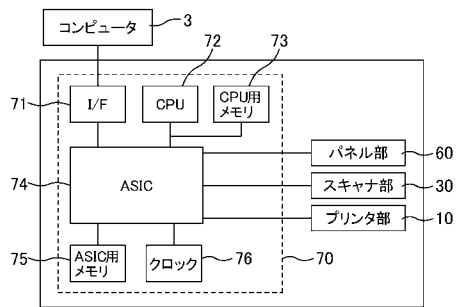
【図 1】



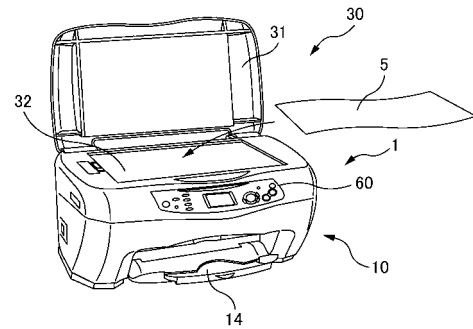
【図 3】



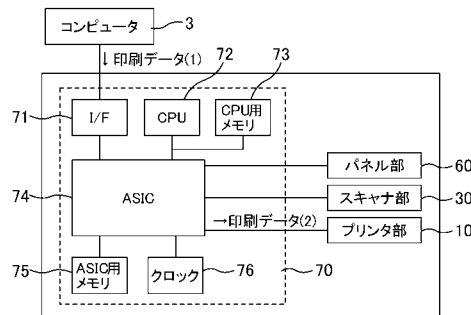
【図 2】



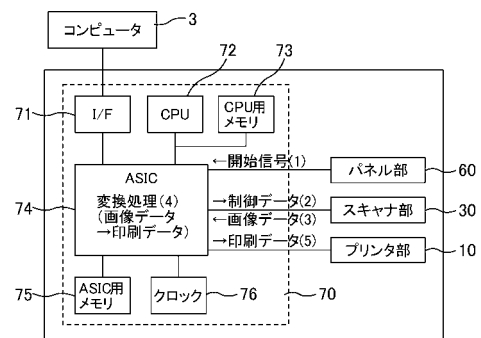
【図 4】



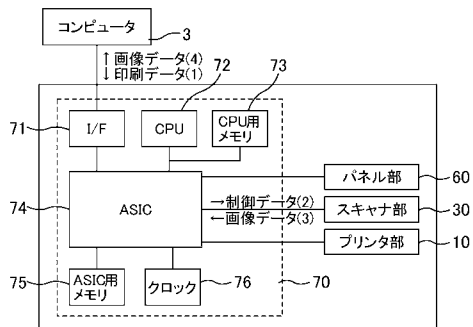
【図 5】



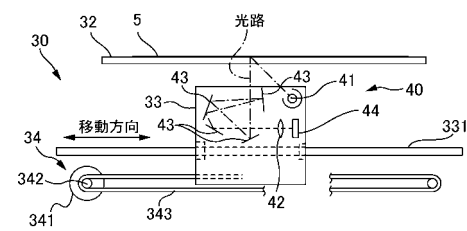
【図 7】



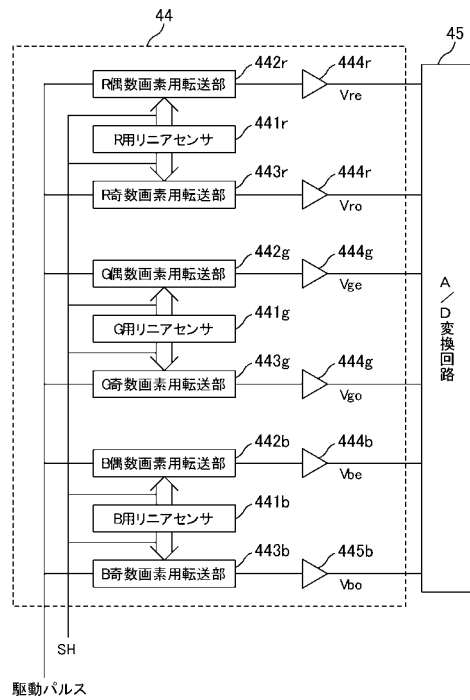
【図 6】



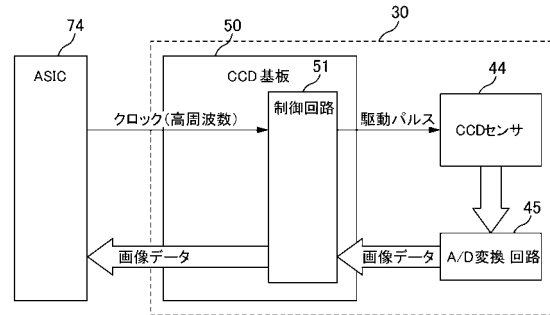
【図 8】



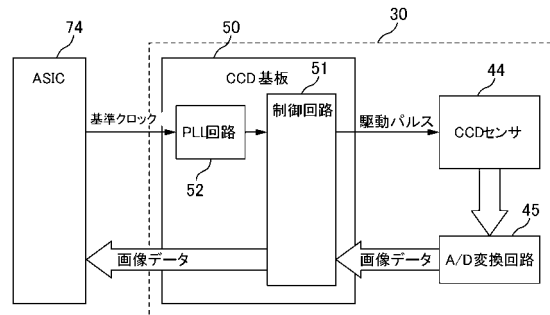
【図 9】



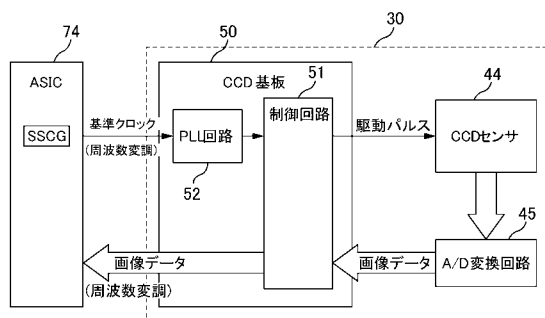
【図 10】



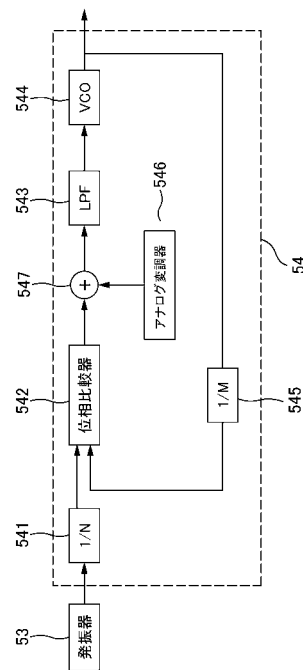
【図 11】



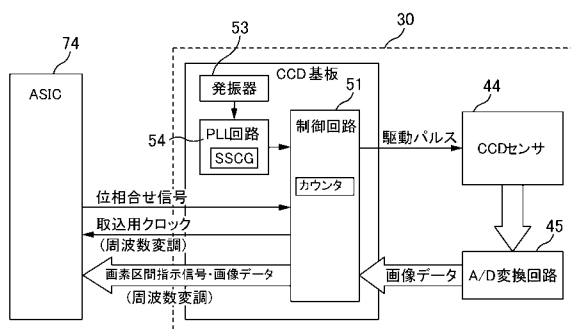
【図 12】



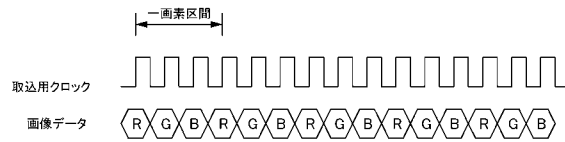
【図 14】



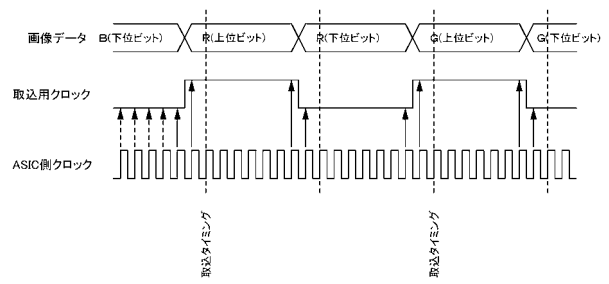
【図 13】



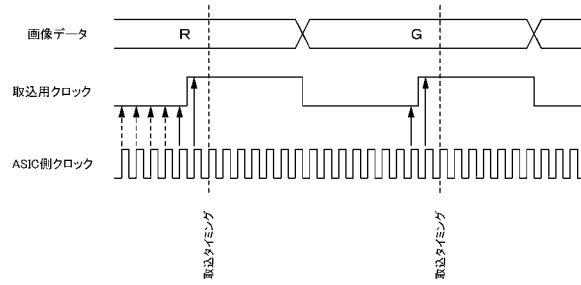
【図 15】



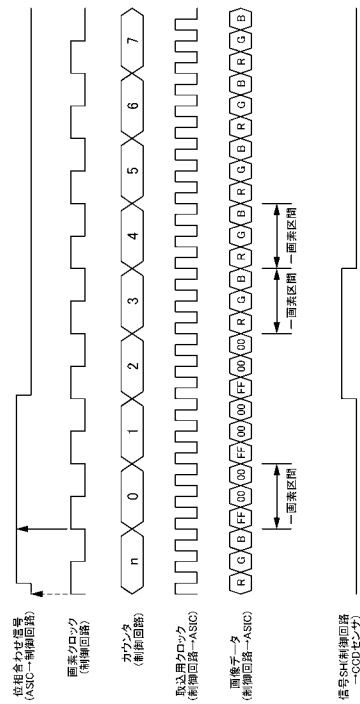
【図 17】



【図 16】



【図 18】



フロントページの続き

(56)参考文献 特開平06-152964(JP,A)
特開2002-232655(JP,A)
特開平05-227360(JP,A)
特開平06-133109(JP,A)
特開2000-244716(JP,A)
特開平07-168106(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N1/024-1/036
H04N1/04-1/207