



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2012년03월27일
 (11) 등록번호 10-1124937
 (24) 등록일자 2012년02월29일

- (51) 국제특허분류(Int. Cl.)
H01L 29/778 (2006.01) *H01L 21/318* (2006.01)
H01L 21/335 (2006.01)
- (21) 출원번호 10-2007-7014154
- (22) 출원일자(국제) 2005년08월31일
 심사청구일자 2010년08월30일
- (85) 번역문제출일자 2007년06월21일
- (65) 공개번호 10-2007-0091629
- (43) 공개일자 2007년09월11일
- (86) 국제출원번호 PCT/US2005/031272
- (87) 국제공개번호 WO 2006/057686
 국제공개일자 2006년06월01일
- (30) 우선권주장
 10/996,249 2004년11월23일 미국(US)
- (56) 선행기술조사문현
 US20020017648 A1
 US20030042496 A1

전체 청구항 수 : 총 35 항

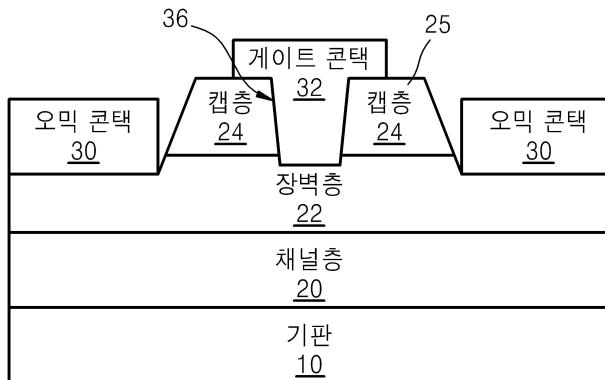
심사관 : 이상호

(54) 발명의 명칭 질화물계 트랜지스터를 위한 캡층 및/또는 패시베이션층, 트랜지스터 구조 및 그 제조방법

(57) 요 약

그 위에 캡층이 제공되는 장벽층으로부터 멀리 떨어진 캡층의 표면에 인접하여 높은 알루미늄 농도를 갖는 비균 일한 알루미늄 농도의 AlGaN계 캡층을 포함하는 고전자이동도 트랜지스터가 제공된다. 그 위에 캡층이 제공되는 장벽층으로부터 멀리 떨어진 캡층의 표면에 인접하여 도핑된 영역을 갖는 캡층을 포함하는 고전자이동도 트랜지스터가 제공된다. 넓은 밴드갭 반도체 소자를 위한 흑연질의 BN 패시베이션 구조가 제공된다. III족 질화물 반도체소자를 위한 SiC 패시베이션 구조가 제공된다. 또한 패시베이션 구조의 산소 어닐이 또한 제공된다. 리세스가 없는 오믹 콘택이 제공된다.

대 표 도 - 도1a



특허청구의 범위

청구항 1

III족 질화물 고전자이동도 트랜지스터(Group III-nitride high electron mobility transistor)로서,

III족 질화물계 채널층;

상기 채널층 위의 III족 질화물계 장벽층; 및

상기 장벽층 위의 III족 질화물계 캡층을 포함하고,

상기 캡층은 상기 장벽층으로부터 멀리 떨어진 상기 캡층의 표면에 인접한 도핑된 영역을 갖고, 상기 도핑된 영역은 p 형 도핀트로 도핑된 영역을 포함하며, 상기 도핑된 영역은 상기 캡층과 p-n 접합을 형성하며, 게이트 콘택은 상기 도핑된 영역의 바로 위에 있는 III족 질화물 고전자이동도 트랜지스터.

청구항 2

제1 항에 있어서, 상기 캡층 위에 있고, 상기 캡층으로 리세스(recess)되지 않은 게이트 콘택을 더 포함하며, 상기 도핑된 영역은 상기 캡층으로 2.5Å 내지 50Å 까지 확장되는 III족 질화물 고전자이동도 트랜지스터.

청구항 3

제1 항에 있어서, 상기 캡층으로 리세스된 게이트 콘택을 더 포함하며, 상기 도핑된 영역은 상기 캡층으로 30Å 내지 5000Å 까지 확장되는 III족 질화물 고전자이동도 트랜지스터.

청구항 4

제1 항에 있어서, 상기 p 형 도핀트는 10^{16} 내지 10^{22} cm^{-3} 의 도핀트 농도를 제공하는 III족 질화물 고전자이동도 트랜지스터.

청구항 5

제1 항에 있어서, 상기 p 형 도핀트는 Mg, Be, Zn, Ca 및 C 중 적어도 하나를 포함하는 III족 질화물 고전자이동도 트랜지스터.

청구항 6

제1 항에 있어서, 상기 도핑된 영역은 상기 캡층의 표면에서 또는 상기 캡층의 표면 근처에서 하나 또는 그 이상의 델타-도핑된(delta-doped) 영역을 포함하는 III족 질화물 고전자이동도 트랜지스터.

청구항 7

제6 항에 있어서, 상기 델타-도핑된 영역은 10^{11} 내지 10^{15} cm^{-2} 의 도핀트 농도를 갖는 III족 질화물 고전자이동도 트랜지스터.

청구항 8

제1 항에 있어서,

상기 캡층 안의 리세스;

상기 리세스 안에 있고 상기 캡층과 직접 접촉하지 않는 게이트 콘택을 더 포함하며, 상기 p 형 도핀트의 레벨은 상기 캡층 안에 도전성 영역을 제공하는 III족 질화물 고전자이동도 트랜지스터.

청구항 9

제8 항에 있어서, 상기 리세스의 측벽 위에 절연층을 더 포함하고, 상기 게이트 콘택은 상기 리세스 안의 상기 절연층 위에 있는 III족 질화물 고전자이동도 트랜지스터.

청구항 10

제1 항에 있어서, 상기 도핑된 영역은 제1 도핑된 영역을 포함하고, 상기 캡층은 상기 장벽층과 상기 제1 도핑된 영역 사이의 제2 도핑된 영역을 더 포함하며, 상기 제2 도핑된 영역은 상기 제1 도핑된 영역의 도편트 농도보다 더 적은 도편트 농도를 갖는 III족 질화물 고전자이동도 트랜지스터.

청구항 11

제10 항에 있어서, 상기 제2 도핑된 영역은 상기 제1 도핑된 영역 안에 있지 않은 상기 캡층의 나머지를 포함하는 III족 질화물 고전자이동도 트랜지스터.

청구항 12

제1 항에 있어서, 상기 채널층은 GaN 층을 포함하고, 상기 장벽층은 AlGaN 층을 포함하며, 상기 캡층은 GaN 층 또는 AlGaN 층을 포함하는 III족 질화물 고전자이동도 트랜지스터.

청구항 13

III족 질화물 고전자이동도 트랜지스터로서,

III족 질화물계 채널층;

상기 채널층 위의 III족 질화물계 장벽층; 및

상기 장벽층 위의 III족 질화물계 캡층을 포함하고,

상기 캡층은 상기 장벽층으로부터 멀리 떨어진 상기 캡층의 표면에 인접한 도핑된 영역을 갖고, 상기 캡층은 n형 도편트, p형 도편트 및 깊은 레벨 도편트(deep level dopants) 중의 적어도 둘로 도핑된 III족 질화물 고전자이동도 트랜지스터.

청구항 14

III족 질화물 고전자이동도 트랜지스터를 제조하는 방법으로서,

III족 질화물계 채널층을 형성하는 단계;

상기 채널층 위의 III족 질화물계 장벽층을 형성하는 단계; 및

상기 장벽층 위의 III족 질화물계 캡층을 형성하는 단계를 포함하고,

상기 캡층은 상기 장벽층으로부터 멀리 떨어진 상기 캡층의 표면에 인접한 도핑된 영역을 갖고, 상기 도핑된 영역은 p형 도편트로 도핑된 영역을 포함하며, 상기 도핑된 영역은 상기 캡층과 p-n 접합을 형성하며, 게이트 콘택은 상기 도핑된 영역의 바로 위에 있는 III족 질화물 고전자이동도 트랜지스터를 제조하는 방법.

청구항 15

III족 질화물 반도체 소자를 위한 패시베이션 구조를 제조하는 방법으로서,

상기 III족 질화물 반도체 소자의 III족 질화물 반도체 물질의 영역의 표면의 적어도 일부의 바로 위에 패시베이션층을 형성하는 단계; 및

산소를 포함하는 분위기에서 상기 패시베이션층을 어닐링하는 단계를 포함하고,

상기 패시베이션층은 MgN을 포함하는 III족 질화물 반도체 소자를 위한 패시베이션 구조를 제조하는 방법.

청구항 16

제15 항에 있어서, 상기 어닐링은 100°C 내지 1100°C의 온도에서 10초 내지 1시간 동안 수행되는 III족 질화물 반도체 소자를 위한 패시베이션 구조를 제조하는 방법.

청구항 17

제15 항에 있어서, 상기 산소를 포함하는 분위기는 O₂, O₃, CO₂, CO, N₂O, D₂O 및 NO 중 적어도 하나를 포함하는 III족 질화물 반도체 소자를 위한 패시베이션 구조를 제조하는 방법.

청구항 18

제15 항에 있어서, 상기 어닐링은 상기 패시베이션층 하부의 구조를 산화시키기에는 불충분하지만 상기 패시베이션층으로부터 적어도 일부의 수소를 제거하기에 충분한 온도와 시간으로 수행되는 III족 질화물 반도체 소자를 위한 패시베이션 구조를 제조하는 방법.

청구항 19

제15 항에 있어서, 상기 III족 질화물 반도체 물질은 GaN 계 물질을 포함하는 III족 질화물 반도체 소자를 위한 패시베이션 구조를 제조하는 방법.

청구항 20

III족 질화물 반도체 소자를 위한 패시베이션 구조를 제조하는 방법으로서,

상기 III족 질화물 반도체 소자의 III족 질화물 반도체 물질의 영역의 표면의 적어도 일부의 바로 위에 패시베이션층을 형성하는 단계; 및

D₂ 및 D₂O 중 적어도 하나에서 상기 패시베이션층을 어닐링하는 단계를 포함하고,

상기 패시베이션층은 MgN 을 포함하는 III족 질화물 반도체 소자를 위한 패시베이션 구조를 제조하는 방법.

청구항 21

제20 항에 있어서, 상기 어닐링은 상기 패시베이션층 하부의 구조를 산화시키기에는 불충분하지만 상기 패시베이션층으로부터 적어도 일부의 수소를 제거하거나 상기 패시베이션층 안의 적어도 일부의 수소를 중수소(deuterium)로 대체하기에 충분한 온도와 시간으로 수행되는 III족 질화물 반도체 소자를 위한 패시베이션 구조를 제조하는 방법.

청구항 22

제20 항에 있어서, 상기 III족 질화물 반도체 물질은 GaN 계 물질을 포함하는 III족 질화물 반도체 소자를 위한 패시베이션 구조를 제조하는 방법.

청구항 23

III족 질화물 고전자이동도 트랜지스터로서,

III족 질화물계 채널층;

상기 채널층 위의 III족 질화물계 장벽층;

상기 장벽층 위의 보호층;

상기 장벽층 위의 게이트 콘택; 및

상기 보호층 위의 오믹 콘택(ohmic contacts)을 포함하고,

상기 보호층은 MgN 을 포함하는 III족 질화물 고전자이동도 트랜지스터.

청구항 24

제23 항에 있어서, 상기 보호층은 하나의 단위층(monolayer)의 두께를 갖는 III족 질화물 고전자이동도 트랜지스터.

청구항 25

제23 항에 있어서, 상기 보호층은 다중층을 포함하는 III족 질화물 고전자이동도 트랜지스터.

청구항 26

제23 항에 있어서, 상기 게이트 콘택은 상기 보호층 위에 있는 III족 질화물 고전자이동도 트랜지스터.

청구항 27

제23 항에 있어서, 상기 오믹 콘택은 상기 보호층 바로 위에 있는 III족 질화물 고전자이동도 트랜지스터.

청구항 28

III족 질화물 고전자이동도 트랜지스터로서,

III족 질화물계 채널층;

상기 채널층 위의 III족 질화물계 장벽층;

상기 장벽층 위의 보호층;

상기 장벽층 위의 게이트 콘택; 및

상기 보호층 위의 오믹 콘택을 포함하고,

상기 보호층은 1 \AA 내지 10 \AA 의 두께를 갖는 III족 질화물 고전자이동도 트랜지스터.

청구항 29

III족 질화물 고전자이동도 트랜지스터를 제조하는 방법으로서,

III족 질화물계 채널층을 형성하는 단계;

상기 채널층 위에 III족 질화물계 장벽층을 형성하는 단계;

상기 장벽층 위에 보호층을 형성하되, 상기 보호층은 1 \AA 내지 10 \AA 의 두께로 형성하는 단계;

상기 장벽층 위에 게이트 콘택을 형성하는 단계; 및

상기 보호층 위에 오믹 콘택을 형성하는 단계를 포함하는 III족 질화물 고전자이동도 트랜지스터를 제조하는 방법.

청구항 30

제29 항에 있어서, 상기 보호층을 형성하는 단계는 상기 장벽층을 형성하는 단계와 인-시츄로(in-situ) 수행되는 III족 질화물 고전자이동도 트랜지스터를 제조하는 방법.

청구항 31

제29 항에 있어서, 상기 보호층을 형성하는 단계는 SiN, BN 및 MgN 중 적어도 하나를 포함하는 층을 형성하는 단계를 포함하는 III족 질화물 고전자이동도 트랜지스터를 제조하는 방법.

청구항 32

제29 항에 있어서, 상기 보호층은 하나의 단위층의 두께로 형성되는 III족 질화물 고전자이동도 트랜지스터를 제조하는 방법.

청구항 33

제29 항에 있어서, 상기 보호층을 형성하는 단계는 다중층을 형성하는 단계를 포함하는 III족 질화물 고전자이동도 트랜지스터를 제조하는 방법.

청구항 34

제33 항에 있어서, 상기 다중층을 형성하는 단계는 SiN 층을 형성하는 단계와 AlN 층을 형성하는 단계를 포함하는 III족 질화물 고전자이동도 트랜지스터를 제조하는 방법.

청구항 35

III족 질화물 고전자이동도 트랜지스터를 제조하는 방법으로서,

III족 질화물계 채널층을 형성하는 단계;

상기 채널층 위에 III족 질화물계 장벽층을 형성하는 단계;

상기 장벽층 위에 보호층을 형성하되, 상기 보호층은 MgN 을 포함하는 단계;

상기 장벽층 위에 게이트 콘택을 형성하는 단계; 및

상기 보호층 위에 오믹 콘택을 형성하는 단계를 포함하는 III족 질화물 고전자이동도 트랜지스터를 제조하는 방법.

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

삭제

청구항 61

삭제

청구항 62

삭제

청구항 63

삭제

청구항 64

삭제

청구항 65

삭제

청구항 66

삭제

청구항 67

삭제

청구항 68

삭제

청구항 69

삭제

청구항 70

삭제

청구항 71

삭제

청구항 72

삭제

청구항 73

삭제

청구항 74

삭제

청구항 75

삭제

청구항 76

삭제

청구항 77

삭제

청구항 78

삭제

청구항 79

삭제

청구항 80

삭제

청구항 81

삭제

청구항 82

삭제

청구항 83

삭제

청구항 84

삭제

청구항 85

삭제

청구항 86

삭제

청구항 87

삭제

청구항 88

삭제

청구항 89

삭제

청구항 90

삭제

청구항 91

삭제

청구항 92

삭제

청구항 93

삭제

청구항 94

삭제

청구항 95

삭제

청구항 96

삭제

청구항 97

삭제

청구항 98

삭제

청구항 99

삭제

청구항 100

삭제

청구항 101

삭제

청구항 102

삭제

청구항 103

삭제

청구항 104

삭제

청구항 105

삭제

청구항 106

삭제

청구항 107

삭제

청구항 108

삭제

청구항 109

삭제

청구항 110

삭제

청구항 111

삭제

명세서

기술분야

[0001] 본 발명은 반도체 소자, 더욱 특정하게는 질화물계 활성층에 포함된 트랜지스터에 관한 것이다.

배경기술

- [0002] 실리콘(Si) 및 갈륨 비소(GaAs)와 같은 물질들은 저전력 및 (Si의 경우) 저주파수 응용기기를 위한 반도체 소자에서 널리 적용되고 있다. 매우 친숙한 이들 반도체 물질들은 그러나 이들의 비교적 작은 밴드갭(예를 들면, 실온에서 Si의 경우 1.12 eV 및 GaAs의 경우 1.42eV) 및/또는 비교적 작은 항복 전압(breakdown voltage) 때문에 고전압 및/또는 고주파수 응용기기들에 적절하지 않을 수 있다.
- [0003] Si 및 GaAs에 의해 제공되는 어려움의 견지에서, 고전력, 고온 및/또는 고주파수 응용기기들과 소자들에 대한 관심은 실리콘 카바이드(실온에서 알파 SiC에 대하여 2.996 eV) 및 III족 질화물(즉, 실온에서 GaN에 대하여 3.36 eV)과 같은 넓은 밴드갭의 반도체 물질들로 돌려졌다. 이들 물질들은 갈륨 비소 및 실리콘에 비교하여 일반적으로 더 높은 전계 항복 강도(electric field breakdown strength) 및 더 높은 전자 포화 속도(electron saturation velocity)를 갖는다.
- [0004] 고전력 및/또는 고주파수 응용기기를 위해 특히 관심을 끄는 소자는 변조 도프트 전계 효과 트랜지스터(MODFET: modulation doped field effect transistor)라고도 알려진 고전자이동도 트랜지스터(HEMT: high electron mobility transistor)이다. 서로 다른 밴드갭 에너지를 갖고 더 작은 밴드갭 물질이 더 높은 전자 친화도(electron affinity)를 갖는 경우, 두 반도체 물질의 혼합으로 접합에서 2차원 전자 기체(2DEG: 2-dimensional electron gas)가 형성되기 때문에 이들 소자들은 많은 상황에서 작동상 유리한 점을 제공할 수 있다. 2DEG는 도핑되지 않고("비의도적으로 도핑되고"), 밴드갭이 더 작은 물질 내의 축적층이고, 예를 들면, 10^{13} 캐리어/ cm^2 을 초과하는 매우 높은 면(sheet) 전자 농도를 가질 수 있다. 또한, 더 넓은 밴드갭 반도체에서 나온 전자는 2DEG로 이동하여 감소된 이온화된 불순물의 산란에 기인하여 높은 전자이동도를 가질 수 있다.
- [0005] 높은 캐리어 농도와 높은 캐리어 이동도의 이러한 조합은 HEMT에 매우 큰 상호 컨덕턴스(transconductance)를 부여할 수 있고, 고주파수 응용기기들에게 금속-반도체 전계 효과 트랜지스터(MESFETs: metal-semiconductor field effect transistors)보다 강력한 성능상의 장점을 제공할 수 있다.
- [0006] 갈륨 질화물/알루미늄 갈륨 질화물(GaN/AlGaN) 물질 시스템으로 제조된 고전자이동도 트랜지스터는 앞서 언급한 높은 항복 전계, 그들의 넓은 밴드갭, 큰 전도대(conduction band) 오프셋(offset) 및/또는 높은 포화 전자 표류 속도(drift velocity)를 포함하는 물질적 특성의 조합 때문에 대량의 RF 전력을 생성할 잠재력을 갖는다. 2DEG에서 전자의 대부분은 AlGaN에서의 편극(polarization)에 기인한다. GaN/AlGaN 시스템의 HEMT는 이미 입증되었다. 미국특허 제5,192,987호 및 제5,296,395호는 AlGaN/GaN HEMT 구조 및 그의 제조 방법을 기술한다. Sheppard 등에게 허여되고 본 발명과 공통 양수되며 참조에 의하여 본 명세서에 통합되는 미국특허 제6,316,793호는 반-절연된(semi-insulating) 실리콘 탄화물(silicon carbide) 기판, 기판 위의 알루미늄 질화물 베퍼층, 베퍼층 위의 갈륨 질화물 절연층, 갈륨 질화물층 위의 알루미늄 갈륨 질화물 장벽층 및 알루미늄 갈륨 질화물 활성 구조 위의 패시베이션층을 포함하는 HEMT 소자를 기재하고 있다.
- ### 발명의 상세한 설명
- [0007] 본 발명의 일부 실시예들은 III족 질화물계 채널층, 상기 채널층 위의 III족 질화물계 장벽층 및 상기 장벽층 위의 비균일한 조성의 AlGaN 계 캡층을 포함하는 III족 질화물 고전자이동도 트랜지스터 및 III족 질화물 고전자이동도 트랜지스터의 제조 방법을 제공한다. 상기 비균일한 조성의 AlGaN 계 캡층은 상기 AlGaN 계 캡층 내부 영역에 존재하는 것보다 상기 장벽층으로부터 멀리 떨어진 상기 캡층의 표면에 인접하여 더 높은 농도의 Al의 농도를 갖는다. 캡층으로 리세스된 게이트 콘택을 갖는 본 발명의 특정 실시예들에서 더 높은 농도의 Al은 상기 캡층으로 약 30 내지 약 1000 Å 확장된다. 캡층 위의 게이트 콘택을 갖는 본 발명의 특정 실시예들에서 더 높은 농도의 Al은 상기 캡층으로 약 2.5 Å 내지 약 100 Å 확장된다.
- [0008] 본 발명의 다른 실시예들에서, 상기 AlGaN 계 캡층은 상기 장벽층으로부터 멀리 떨어진 상기 캡층의 표면에 인접한 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($x \leq 1$)의 제1 영역 및 상기 AlGaN 계 캡층 내에 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ($y < 1$, $y < x$)의 제2 영역을 포함한다. X의 값은 약 0.2 내지 약 1 일 수 있고, y는 약 0.15 내지 약 0.3이다. 본 발명의 특정 실시예들에서, x와 y의 차이 및/또는 상기 캡층의 두께는 상기 캡층 안에 제2의 2DEC의 형성을 방지하도록 선택될 수 있다. 게이트가 캡층을 통하여 리세스되지만 캡층을 접촉하지 않는 본 발명의 다른 실시예들에서, x와 y의 차이 및/또는 상기 캡층의 두께는 상기 캡층 안에 제2의 2DEC을 제공하도록 선택될 수 있다.
- [0009] 본 발명의 다른 실시예들에서, 상기 AlGaN 계 캡층은 상기 장벽층과 상기 AlGaN 계 캡층 사이의 경계에 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ ($z \leq 1$, $z \neq y$)의 제3 영역을 더 포함한다. 일부 실시예들에서, $z > y$ 이다. 다른 실시예들에서, $z > x$ 이다. 또 다른 실시예들에서, $z \leq x$ 이다. 본 발명의 특정 실시예들에서, 상기 채널층은 GaN을 포함하고, 상기 장벽층은

AlGaN 층을 포함하며, 상기 캡층은 AlGaN 층을 포함한다.

[0010] 본 발명의 일부 실시예들은 III족 질화물계 채널층, 상기 채널층 위의 III족 질화물계 장벽층 및 상기 장벽층 위의 GaN 계 캡층을 포함하는 III족 질화물 고전자이동도 트랜지스터 및 III족 질화물 고전자이동도 트랜지스터의 제조 방법을 제공한다. 상기 GaN 계 캡층은 상기 장벽층으로부터 멀리 떨어진 상기 캡층의 표면에 인접한 도핑된 영역을 갖는다.

[0011] 일부 실시예들에서, 상기 도핑된 영역은 n 형 도편트로 도핑된 영역이다. 게이트 리세스를 갖지 않는 본 발명의 특정 실시예들에서, 상기 도핑된 영역은 상기 캡층으로 약 2.5Å 내지 약 50Å 확장된다. 게이트 리세스를 갖는 본 발명의 특정 실시예들에서, 상기 도핑된 영역은 상기 캡층으로 약 20Å 내지 약 5000Å 확장된다. 상기 도핑된 영역은 약 10^{18} 내지 약 10^{21} cm^{-3} 의 도편트 농도를 제공할 수 있다. 상기 n 형 도편트는 Si, Ge 또는 O 일 수 있다. 본 발명의 특정 실시예들에서, 상기 도핑된 영역은 상기 캡층의 표면에서 또는 상기 캡층의 표면 근처에서 하나 또는 그 이상의 델타-도핑된 영역일 수 있고, 예를 들면, 약 10^{11} 내지 약 10^{15} cm^{-2} 의 도편트 농도를 가질 수 있다. 본 발명의 특정 실시예들에서, 상기 n 형 도편트는 상기 캡층으로 약 20Å 확장되는 O 일 수 있다.

[0012] 다른 실시예들에서, 상기 도핑된 영역은 p 형 도편트로 도핑된 영역이다. 게이트 리세스를 갖지 않는 본 발명의 특정 실시예들에서, 상기 도핑된 영역은 상기 캡층으로 약 2.5Å 내지 약 50Å 확장된다. 게이트 리세스를 갖는 본 발명의 특정 실시예들에서, 상기 도핑된 영역은 상기 캡층으로 약 30Å 내지 약 5000Å 확장된다. 상기 도핑된 영역은 약 10^{16} 내지 약 10^{22} cm^{-3} 의 도편트 농도를 제공할 수 있다. 상기 p 형 도편트는 Mg, Be, Zn, Ca 또는 C 일 수 있다. 본 발명의 특정 실시예들에서, 상기 도핑된 영역은 상기 캡층의 표면에서 또는 상기 캡층의 표면 근처에서 하나 또는 그 이상의 델타-도핑된 영역일 수 있고, 예를 들면, 약 10^{11} 내지 약 10^{15} cm^{-2} 의 도편트 농도를 가질 수 있다.

[0013] 또 다른 실시예들에서, 상기 도핑된 영역은 깊은 레벨의 도편트로 도핑된 영역이다. 게이트 리세스를 갖지 않는 본 발명의 특정 실시예들에서, 상기 도핑된 영역은 상기 캡층으로 약 2.5Å 내지 약 100Å 확장된다. 게이트 리세스를 갖는 본 발명의 특정 실시예들에서, 상기 도핑된 영역은 상기 캡층으로 약 30Å 내지 약 5000Å 확장된다. 상기 도핑된 영역은 약 10^{16} 내지 약 10^{22} cm^{-3} 의 도편트 농도를 제공할 수 있다. 상기 깊은 레벨 도편트는 Fe, C, V, Cr, Mn, Ni, Co 또는 다른 희토류 원소일 수 있다.

[0014] 본 발명의 부가적인 실시예들에서, 상기 도핑된 영역은 제1 도핑된 영역을 포함하고, 상기 캡층은 제2 도핑된 영역을 더 포함하며, 상기 제2 도핑된 영역을 포함한다. 제2 도핑된 영역은 상기 제1 도핑된 영역의 도편트 농도보다 더 적은 도편트 농도를 갖는다. 상기 제2 도핑된 영역은 상기 제1 도핑된 영역 안에 있지 않은 상기 캡층의 나머지일 수 있다.

[0015] 특정 실시예들에서, 상기 채널층은 GaN 층을 포함하고, 상기 장벽층은 AlGaN 층을 포함하며, 상기 캡층은 GaN 층 또는 AlGaN 층을 포함할 수 있다.

[0016] 본 발명의 일부 실시예들은 넓은 밴드갭 반도체 소자의 넓은 밴드갭 반도체 물질의 영역의 표면의 적어도 일부 위에 흑연질의 및/또는 비정질의 BN 층을 형성하는 단계를 포함하는 넓은 밴드갭 반도체 소자의 표면을 패시베이션하는 방법을 제공한다. 해당되는 구조들도 또한 제공된다.

[0017] 본 발명의 다른 실시예들에서, 상기 넓은 밴드갭 반도체 소자는 III족 질화물 반도체 소자이다. 예를 들면, 상기 넓은 밴드갭 반도체 소자는 GaN 계 반도체 소자일 수 있다. 더 나아가, 상기 넓은 밴드갭 반도체 소자는 III족 질화물 고전자이동도 트랜지스터일 수 있다.

[0018] 본 발명의 부가적인 실시예들에서, 흑연질의 및/또는 비정질의 BN 층을 형성하는 단계는 넓은 밴드갭 반도체 소자 안의 넓은 밴드갭 반도체 물질의 분해 온도보다 낮은 온도에서 수행된다. 흑연질의 및/또는 비정질의 BN 층을 형성하는 단계는 1100°C 보다 낮은 온도에서 수행될 수 있고, 일부 실시예들에서 1000°C 보다 낮은 온도에서, 특정 실시예들에서 900°C 보다 낮은 온도에서 수행될 수 있다. 또한, 상기 BN 층은 비-단결정일 수 있다. 상기 흑연질의 및/또는 비정질의 BN 층은 약 3Å 내지 약 1μm 의 두께로 형성될 수 있다.

[0019] 본 발명의 일부 실시예들에서, III족 질화물 반도체 소자의 III족 질화물 반도체 물질의 영역의 표면의 적어도 일부 위에 SiC 층을 형성하는 것에 의하여 III족 질화물 반도체 소자의 표면을 패시베이션하는 방법을 제공한다.

해당되는 구조들도 또한 제공된다.

[0020] 본 발명의 일부 실시예들에서, 상기 III족 질화물 반도체 소자는 GaN 계 반도체 소자일 수 있다. 더 나아가, 상기 III족 질화물 반도체 소자는 III족 질화물 고전자이동도 트랜지스터일 수 있다.

[0021] 본 발명의 부가적인 실시예들에서, SiC 층을 형성하는 단계는 III족 질화물 반도체 소자 안의 III족 질화물 반도체 물질의 분해 온도보다 낮은 온도에서 수행된다. 예를 들면, SiC 층을 형성하는 단계는 1100°C 보다 낮은 온도에서 수행될 수 있고, 일부 실시예들에서 1000°C 보다 낮은 온도에서, 특정 실시예들에서 900°C 보다 낮은 온도에서 수행될 수 있다. 또한, 상기 SiC 층은 비-단결정일 수 있다. 특정 실시예들에서, SiC 층을 형성하는 단계는 3C SiC 층을 형성하는 것을 포함한다. 상기 SiC 층은 약 3Å 내지 약 1μm 의 두께로 형성될 수 있다.

[0022] 본 발명의 다른 실시예들은 산소를 포함하는 분위기에서 III족 질화물 층 바로 위의 패시베이션층을 어닐링하는 단계를 포함하는, III족 질화물 반도체 소자와 같은 얇은 밴드캡 반도체 소자를 위한 패시베이션 구조를 제공하는 방법을 포함한다. 상기 패시베이션층은 예를 들면, SiN, BN, MgN 및/또는 SiC 일 수 있다. 또 다른 실시예들에서, 상기 패시베이션층은 SiO₂, MgO, Al₂O₃, Sc₂O₃ 및/또는 AlN 을 포함할 수 있다.

[0023] 상기 어닐링은 약 100°C 내지 약 1000°C 의 온도에서 약 10초 내지 약 1시간의 시간 동안 수행될 수 있다. 상기 산소를 포함하는 분위기는 산소 단독, N₂ 안의 산소, 아르곤과 같은 다른 불활성 기체 안의 산소, 건조 공기, CO, CO₂, NO, NO₂ 및/또는 오존 안의 산소일 수 있다. 상기 어닐링은 상기 패시베이션층 하부의 구조를 산화시키기에는 불충분하지만 상기 패시베이션층으로부터 적어도 일부의 수소를 제거하기에 충분한 온도와 시간 동안 수행될 수 있다. 상기 패시베이션층으로부터 일부 탄소가 또한 제거될 수 있다.

[0024] 본 발명의 부가적인 실시예들은 III족 질화물 반도체 소자의 III족 질화물 반도체 물질의 영역의 표면의 적어도 일부의 바로 위에 패시베이션층을 형성하고 D₂ 및/또는 D₂O 에서 상기 패시베이션층을 어닐링하는 것에 의하여 III족 질화물 반도체 소자를 위한 패시베이션 구조를 제조하는 방법을 제공한다. 일부 실시예들에서 상기 패시베이션층은 SiN 및/또는 MgN 을 포함한다. 다른 실시예들에서, 상기 패시베이션층은 BN 및/또는 SiC 을 포함한다. 또 다른 실시예들에서, 상기 패시베이션층은 SiO₂, MgO, Al₂O₃, Sc₂O₃ 및/또는 AlN 을 포함한다. 상기 어닐링은 상기 패시베이션층 하부의 구조를 산화시키기에는 불충분하지만 상기 패시베이션층으로부터 적어도 일부의 수소를 제거하거나 상기 패시베이션층 안의 적어도 일부의 수조를 중수소로 대체하기에 충분한 온도와 시간 동안 수행될 수 있다. 더욱이, 상기 III족 질화물 반도체 물질은 GaN 계 물질일 수 있다.

[0025] 본 발명의 부가적인 실시예들에서, III족 질화물계 채널층, 상기 채널층 위의 III족 질화물계 장벽층 및 상기 장벽층 위의 AlN 캡층을 포함하는 III족 질화물 고전자이동도 트랜지스터 및 III족 질화물 고전자이동도 트랜지스터를 제조하는 방법을 제공한다. 상기 트랜지스터는 상기 AlN 캡층으로 리세스된 게이트 콘택을 더 포함할 수 있다. 그러한 실시예들에서, 상기 AlN 캡층은 약 5 내지 약 5000 Å의 두께를 갖는다. 본 발명의 일부 실시예들에서, 상기 AlN 층은 하부층과 일치하지 않을 수 있고, 비-단결정일 수 있으며, 인-시츄로 형성되고/또는 CVD 보다 PVD 와 같은 낮은 품질의 형성 과정에 의하여 형성될 수 있다. 상기 트랜지스터는 또한 상기 AlN 캡층 위에 있고 상기 AlN 캡층으로 리세스되지 않는 게이트 콘택을 포함할 수 있다. 그러한 실시예들에서, 상기 AlN 캡층은 약 2Å 내지 약 20Å의 두께를 갖는다. 부가적으로, 상기 채널층은 GaN 층이고 상기 장벽층을 AlGaN 층일 수 있다. 본 발명의 또 다른 실시예들은 III족 질화물계 채널층, 상기 채널층 위의 III족 질화물계 장벽층, 상기 장벽층 위의 보호층, 상기 장벽층 위의 게이트 콘택 및 상기 보호층 위의 오믹 콘택을 포함하는 III족 질화물 고전자이동도 트랜지스터 및 III족 질화물 고전자이동도 트랜지스터의 제조 방법을 제공한다. 일부 실시예들에서 상기 보호층은 SiN 을 포함한다. 다른 실시예들에서 상기 보호층은 BN 또는 MgN 을 포함한다. 또 다른 실시예들에서 상기 보호층은 SiN의 층 및 AlN의 층과 같은 다중층을 포함한다. 본 발명의 특정 실시예들에서, 상기 보호층은 약 1Å 내지 약 10Å의 두께를 갖는다. 일부 실시예들에서, 상기 보호층은 약 하나의 단위층의 두께를 갖는다.

[0026] 본 발명의 또 다른 실시예들에서, 상기 게이트 콘택은 상기 보호층 위에 있다. 또한, 상기 오믹 콘택은 상기 보호층 바로 위에 있을 수 있다. 상기 보호층은 상기 장벽층을 형성하는 단계와 인-시츄로 형성될 수 있다. 캡층, 패시베이션층, 보호층 및/또는 패시베이션층의 어닐의 다양한 조합 및/또는 부-조합들이 본 발명의 일부 실시예들에 따라 또한 제공될 수 있다.

실시예

[0033] 이하 본 발명의 실시예들을 도시한 첨부 도면을 참조하여 본 발명을 더욱 구체적으로 설명한다. 그러나, 본 발

명은 본 명세서에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니된다. 오히려, 이들 실시예들은 본 발명의 개시가 더욱 충분하고 완전하도록 하기 위해 제공되는 것이며 또한 당해 기술분야에 숙달된 이들에게 본 발명의 범위를 완전히 전달하기 위해 제공되는 것이다. 도면에서, 충들의 두께 및 영역들은 발명을 명확하게 설명하기 위해 과장되어 있을 수 있다. 동일한 번호들은 끝까지 동일한 요소들을 참조한다. "및/또는"이라는 용어는 본 명세서에서 사용될 때, 관련되어 열거된 항목의 하나 또는 그 이상의 임의의 및 모든 조합을 포함한다.

[0034] 본 명세서에 사용된 용어들은 특정 실시예들만을 기술하려는 목적으로, 본 발명을 제한하려는 의도는 아니다. 본 명세서에서 사용된 바와 같이 단수의 형태는 본문에서 명확하게 다르게 지시하지 않으면 복수의 형태도 포함하는 것으로 의도된다. 더 나아가 "포함한다(comprises)" 및/또는 "포함하는(comprising)"의 용어가 본 상세한 설명에서 사용되는 경우에는 상술된 형태, 복합체(integer), 단계, 작용, 요소, 및/또는 부품의 존재를 특정하지만, 하나 또는 그 이상의 다른 형태, 복합체, 단계, 작용, 요소, 부품 및/또는 이들의 그룹의 존재 또는 부가를 제외하지 않는 것이 이해될 것이다.

[0035] 층, 영역 또는 기판과 같은 요소가 다른 요소 "위(on)"에 존재하는 것으로 또는 "위로(onto)" 확장되는 것으로 기술되는 경우, 그 요소는 다른 요소의 직접 위에 있거나 직접 위로 확장될 수 있고, 또는 중간의 개입 요소가 존재할 수도 있다. 반면에, 하나의 요소가 다른 요소 "바로 위(directly on)"에 있거나 "바로 위로(directly onto)" 확장된다고 언급되는 경우, 다른 중간 요소들은 존재하지 않는다. 또한, 하나의 요소가 다른 요소에 "연결(connected)"되거나 "결합(coupled)"된다고 기술되는 경우, 그 요소는 다른 요소에 직접 연결되거나 직접 결합될 수 있고, 또는 중간의 개입 요소가 존재할 수도 있다. 반면에, 하나의 요소가 다른 요소에 "직접 연결(directly connected)"되거나 "직접 결합(directly coupled)"된다고 기술되는 경우에는 다른 중간 요소가 존재하지 않는다. 동일한 번호는 발명의 상세한 설명을 통하여 동일한 요소를 참조한다.

[0036] 비록 제1, 제2, 기타의 용어가 본 명세서에서 여러가지 요소, 부품, 영역, 층 및/또는 구간을 기술하는데 사용되더라도 이 요소, 부품, 영역, 층 및/또는 구간은 이 용어에 의하여 제한되어서는 안된다. 이 용어들은 단지 하나의 요소, 부품, 영역, 층 또는 구간을 다른 영역, 층 또는 구간과 구별하기 위하여 사용된다. 따라서, 이하에서 논의되는 제1 요소, 부품, 영역, 층 또는 구간은 본 발명의 가르침으로부터 벗어나지 않고 제2 요소, 부품, 영역, 층 또는 구간을 지칭할 수 있다.

[0037] 더욱이, "하부의(lower)" 또는 "바닥(bottom)" 및 "상부의(upper)" 또는 "상부(top)"와 같은 상대적인 용어들은 본 명세서에서 도면에 도시된 바와 같이 하나의 요소의 다른 요소에 대한 관계를 기술하는데 사용될 수 있다. 상대적인 용어들은 도면에 묘사된 방향(orientation)에 부가하여 장치의 다른 방향을 포함하기 위한 의도를 갖는 것으로 이해될 것이다. 예를 들면, 도면에서 장치가 뒤집혔으면, 다른 요소들의 "하부의(lower)" 면에 존재하는 것으로 기술된 요소들은 그 다른 요소들의 "상부의(upper)" 면에 향하는 것이 될 수 있다. 따라서 예시된 용어 "하부의(lower)"는 형태의 특정한 방향에 따라 "하부의(lower)" 및 "상부의(upper)"의 모든 방향을 포함할 수 있다. 비슷하게, 도면 중 하나에서 장치가 뒤집혔으면, 다른 요소들의 "아래(below)" 또는 "바로 밑(beneath)"에 있는 것으로 기술된 요소들은 그 다른 요소들의 "위(above)"로 향할 수 있다. 예시된 용어 "아래(below)" 또는 "바로 밑(beneath)"은 따라서 위와 아래의 양 방향을 포함할 수 있다. 덧붙여, "바깥의(outer)"라는 용어는 기판으로부터 가장 멀리 있는 표면 및/또는 층을 지칭하는데 사용될 수 있다.

[0038] 본 발명의 실시예들은 본 발명의 이상적인 실시예들을 개략적으로 도시하는 단면도들을 참조하여 본 명세서에서 기술된다. 그러므로, 예를 들면, 제조 기술 및/또는 허용한도(tolerance)의 결과로서 도면의 형상에 대한 변형이 예상될 수 있다. 그러므로, 본 발명의 실시예들은 본 명세서에 도시된 영역의 특정 형태로 제한되는 것이 아니라 예를 들면, 제조공정으로부터 기인하는 형태의 변형을 포함하는 것으로 해석되어야 할 것이다. 예를 들면, 사각형으로 도시된 식각된 영역은 통상, 경사지고, 라운드되고 또는 곡선의 형태를 가질 수 있다. 그러므로, 도면에 도시된 영역들은 사실은 개략적인 것이고, 이들의 형태는 소자의 영역의 정확한 형태를 도시하기 위한 의도를 갖지 않고, 본 발명의 범위를 제한하려는 의도를 갖지 않는다.

[0039] 다르게 정의되지 않으면, (기술적이고 과학적인 용어들을 포함하여) 본 명세서에 사용된 모든 용어들은 이 발명이 속하는 분야에서 통상적인 기술을 갖는 사람에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 더 나아가 일반적으로 사용되는 사전에 정의된 것과 같은 용어들은 관련 분야의 상황에서의 의미와 일관되는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명시적으로 정의되지 않는 한 이상적이거나 지나치게 형식적인 의미로 해석되어서는 안되는 것은 자명하다.

[0040] 다른 형태에 "인접하게" 배치된 구조 또는 형태에 대한 언급은 그 인접한 형태에 중첩되거나 그 아래에 있는 부분을 가질 수 있다는 것으로 당해 기술분야에 숙달된 이들에게 또한 이해될 것이다.

[0041]

본 발명의 실시예들은 III족 질화물계 HEMT와 같은 질화물계 소자를 위한 사용에 특히 적합할 수 있다. "III족 질화물"이라는 용어는, 본 명세서에 사용될 때, 질소와 주기율표 상의 III족 원소, 보통 알루미늄(Al), 갈륨(Ga) 및/또는 인듐(In) 사이에 형성된 반도체 화합물을 지칭한다. 또한 이 용어는 AlGaN 및 AlInGaN과 같이 3원 및 4원 화합물도 지칭한다. 당해 기술분야에 숙달된 이들이 잘 이해하고 있는 바와 같이, III족 원소는 질소와 결합하여 2원(예를 들면, GaN), 3원(예를 들면, AlGaN, AlInN) 및 4원(예를 들면, AlInGaN) 화합물을 형성할 수 있다. 이들 화합물들은 모두 1몰의 질소가 전체 1 몰의 III족 원소와 결합하는 실험식을 갖는다. 따라서, 이들을 표현하기 위해 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ (여기서, $0 \leq x \leq 1$) 과 같은 화학식이 종종 사용된다.

[0042]

본 발명의 실시예에 사용할 수 있는 GaN계 HEMT를 제조하기 위한 적절한 구조 및 기술들이 예를 들면, "ALUMINUM GALLIUM NITRIDE/GALLIUM NITRIDE HIGH ELECTRON MOBILITY TRANSISTORS HAVING A GATE CONTACT ON A GALLIUM NITRIDE BASED CAP SEGMENT AND METHODS OF FABRICATING SAME"에 대하여 본 출원의 출원인에게 공통 양수되고 2001년 7월 12일에 출원되어 2002년 6월 6일 공개된 미합중국 특허 제6,316,793호 및 미합중국 특허공개번호 2002/0066908A1호, Smorchkova 등의 "GROUP-III NITRIDE BASED HIGH ELECTRON MOBILITY TRANSISTOR (HEMT) WITH BARRIER/SPACER LAYER"라는 제목의 2002년 11월 14일에 공개된 미합중국 특허공개번호 2002/0167023A1, "NITRIDE-BASED TRANSISTORS AND METHODS OF FABRICATION THEREOF USING NON-ETCHED CONTACT RECESSES"에 대하여 2003년 7월 11일에 출원된 미합중국 특허 출원번호 제10/617,843호, "NITRIDE HETEROJUNCTION TRANSISTORS HAVING CHARGE-TRANSFER INDUCED ENERGY BARRIERS AND METHODS OF FABRICATING THE SAME,"에 대하여 2004년 2월 5일 제출된 미합중국 특허 출원번호 제10/772,882호, "METHODS OF FABRICATING NITRIDE- BASED TRANSISTORS WITH A CAP LAYER AND A RECESSED GATE,"라는 제목의 2004년 7월 23일 출원된 미합중국 특허 출원번호 제10/897,726, "METHODS OF FABRICATING NITRIDE-BASED TRANSISTORS HAVING REGROWN OHMIC CONTACT REGIONS AND NITRIDE-BASED TRANSISTORS HAVING REGROWN OHMIC CONTACT REGIONS,"라는 제목의 2004년 5월 20일 제출된 미합중국 특허 출원번호 제10/849,617호, "SEMICONDUCTOR DEVICES HAVING A HYBRID CHANNEL LAYER, CURRENT APERTURE TRANSISTORS AND METHODS OF FABRICATING SAME"라는 제목의 2004년 5월 20일 출원된 미합중국 특허 출원번호 제10/849,589호 및 "INSULATING GATE ALGAN/GAN HEMT"에 대하여 2002년 7월 23일 제출되고 2003년 1월 30일 공개된 미합중국 특허공개번호 2003/0020092에 개시되어 있으며, 그 기재내용의 전체가 여기의 참조에 의하여 본 명세서에 통합된다.

[0043]

본 발명의 일부 실시예들은 AlGaN 캡층의 다른 영역보다 장벽층으로부터 멀리 떨어진 표면에서 더 높은 AlGaN의 농도를 갖는 AlGaN 캡층을 가진 질화물계 HEMT를 제공한다. 그러므로, 소자는 소자의 바깥쪽 표면에서 더 높은 Al 농도를 갖는 층을 가질 수 있다. 이러한 층들은 균일한 Al 농도 또는 바깥쪽 표면에서 감소된 Al 농도를 포함하는 일반적인 소자와 비교하여 공정 중 및/또는 소자 작동 중에 소자의 견고함을 향상시킬 수 있다.

[0044]

예를 들면, 표면에서 증가된 Al 농도는 Ga-N 결합에 비하여 더 강한 Al-N 결합에 기인하여 높은 온도에서의 식각 또는 다른 화학반응에 대하여 영향을 받지 않을 수 있다.

[0045]

본 발명의 특정 실시예들에서, 장벽층 위의 AlN 캡층을 갖는 질화물계 HEMT 가 제공된다. 그러므로 소자는 바깥쪽 표면에서 더 높은 농도의 Al 을 갖는 층을 가질 수 있고, 이것은 위에서 기술된 바와 같이, 일반적인 소자들에 비하여 공정 중 및/또는 소자 작동 중에 소자의 견고성을 향상시킬 수 있다.

[0046]

본 발명의 또 다른 실시예들에서, 캡층의 다른 영역에서보다 장벽층으로부터 멀리 떨어진 캡층의 표면에서 캡층이 더 높은 농도의 도편트를 갖도록 질화물계 HEMT의 캡층의 바깥쪽 표면은 p 형, n 형, 또는 깊은 레벨의 도편트로 도핑된다. 캡층은 GaN 계 캡층일 수 있다. 소자의 바깥쪽 표면의 도편트들은 캡층 안의 전위(dislocation)로 모일 수 있고, 이에 의하여 전위를 따른 게이트 누설(gate leakage)을 줄일 수 있다. 도편트는 벌크 결정에서와 다르게 전위에서 다른 특성을 가질 수 있다. 예를 들면, 벌크 결정 안의 얇은 도편트들은 전위에서 깊은 레벨의 특성을 가질 수 있다. 그러므로, p 형, n 형의 깊은 레벨의 도편트의 참조는 전위에서보다는 벌크 결정 안에서의 도편트의 특성을 지시한다. 이것은 특히 p 형 또는 깊은 레벨 도편트의 경우에 사실이다.

[0047]

본 발명의 다른 실시예들은 넓은 밴드갭 반도체 소자를 위한 흑연질의(graphitic) 및/또는 비정질의(amorphous) BN 패시베이션층을 제공한다. 본 명세서에 사용된 바와 같이 넓은 밴드갭 반도체 소자는 약 2.5eV 보다 큰 밴드갭을 갖는 반도체 물질을 포함하는 소자를 지칭한다. B가 Al, Ga 및 In 과 등가(isovalent)이고, N이 양쪽 물질에 존재하므로 흑연질의 및/또는 비정질의 BN 은 GaN 계 소자에서의 사용에 특히 잘 맞는다. 그러므로, B와 N은 모두 GaN 계 구조에서 도편트가 아니다. 반면에, Si 은 GaN 에서 도편트이다. 그러므로, 흑연질의 및/또는 비정질의 BN 패시베이션층은 Si 이동(migration)으로부터의 GaN 층의 의도하지 않은 도핑의 가능성을 줄일 수 있다. 더욱이, 흑연질의 및/또는 비정질의 BN 패시베이션층은 SiN 또는 SiO_x 와 같은 일반적인 패시베이션 물질에 비교

하여 감소된 트랩 레벨, 다른 트랩 에너지, 다른 식각 선택비 및/또는 향상된 어닐링 거동을 갖는다.

[0048] 본 발명의 다른 실시예들은 III족 질화물 소자를 위한 SiC 패시베이션층을 제공한다. SiC 패시베이션층은 SiN 또는 SiO_x 와 같은 일반적인 패시베이션 물질에 비교하여 감소된 트랩 레벨, 다른 트랩 에너지, 다른 식각 선택비 및/또는 개선된 어닐링 거동을 갖는다. SiN, SiON, SiO_x , MgN 등의 참조는 화학양론 및/또는 비 화학양론의 물질을 지칭한다.

[0049] 본 발명의 일부 실시예들에 따른 예시적인 소자들이 도 1a 내지 도 6에 개략적으로 도시되어 있다. 그러므로, 본 발명의 실시예들이 리세스 게이트 구조(recessed gate structure) 또는 비리세스 게이트 구조(non-recessed gate structure)에 관련하여 본 명세서에 기술되어도, 본 발명의 다른 실시예들은 게이트 리세스를 포함하거나 포함하지 않을 수 있다. 따라서 본 발명의 실시예들은 본 명세서에 기술된 특정 실시예들에 제한되는 것으로 해석되어서는 안되며, 본 명세서에 기술된 바와 같이 캡층 및/또는 패시베이션층을 갖는 임의의 적절한 구조를 포함할 수 있다.

[0050] 도 1a 및 도 1b를 참조하면, 질화물계 소자가 그 위에 형성되는 기판(10)이 제공된다. 본 발명의 특정 실시예들에서, 기판(10)은 예를 들면, 4H 폴리타입의 실리콘 탄화물일 수 있는 반-절연(semi-insulating) 실리콘 탄화물(SiC) 기판일 수 있다. 다른 실리콘 탄화물 후보 폴리타입은 3C, 6H 및 15R 폴리타입을 포함한다. "반-절연"이란 용어는 절대적인 의미라기 보다는 기술적으로 사용된다. 본 발명의 특정 실시예들에서, 실리콘 탄화물 벌크 결정은 실온에서 약 $1 \times 10^5 \Omega\text{-cm}$ 과 같거나 더 큰 저항을 갖는다.

[0051] 선택적인 베퍼, 핵형성 및/또는 전이층(미도시)들이 기판(10) 위에 제공될 수 있다. 예를 들면, 실리콘 탄화물 기판과 소자의 나머지 사이에 적절한 결정 구조 전이를 제공하기 위하여 AlN 베퍼층이 제공될 수 있다. 부가적으로, 스트레인 균형 전이층(들)이 또한, 그 개시내용이 본 명세서에 완전히 설명된 것처럼 참조에 의하여 본 명세서에 통합되는, "STRAIN BALANCED NITRIDE HETEROJUNCTION TRANSISTORS AND METHODS OF FABRICATING STRAIN BALANCED NITRIDE HETEROJUNCTION TRANSISTORS,"라는 제목의 2002년 7월 19일 출원되고 2003년 6월 5일에 공개된, 공통 양수된 미합중국 특허공개번호 2003/0102482A1 또는 "STRAIN COMPENSATED SEMICONDUCTOR STRUCTURES AND METHODS OF FABRICATING STRAIN COMPENSATED SEMICONDUCTOR STRUCTURES,"라는 제목의 2002년 7월 19일에 출원되고, 2004년 1월 22일에 공개된 미합중국 특허공개번호 2004/0012015A1에 기술된 바와 같이 제공될 수 있다.

[0052] 적절한 SiC 기판들은 예를 들면, 본 발명의 양수인인, Cree, Inc., of Durham, N.C.에 의하여 제조되며, 제조 방법들은 예를 들면, 그 내용이 전체가 참조에 의하여 본 명세서에 통합되는 미합중국 특허 번호, Re 34,861; 4,946,547; 5,200,022; 및 6,218,680에 기술되어 있다. 유사하게, III족 질화물의 에피택셜 성장을 위한 기술들이 예를 들면, 그 내용이 전체가 참조에 의하여 본 명세서에 통합되는 미합중국 특허 번호 5,210,051; 5,393,993; 5,523,589; 및 5,592,501에 기술되어 있다.

[0053] 비록 실리콘 탄화물이 기판 물질로서 사용될 수 있더라도, 본 발명의 실시예들은 사파이어, 알루미늄 질화물, 알루미늄 갈륨 질화물, 갈륨 질화물, 실리콘, GaAs, LGO, ZnO, LAO, InP 등과 같은 임의의 적절한 기판을 사용할 수 있다. 일부 실시예들에서, 적절한 베퍼층이 또한 형성될 수 있다.

[0054] 도 1a 및 도 1b로 돌아가서, 채널층(20)이 기판(10) 위에 제공된다. 채널층(20)은 위에서 기술된 바와 같이 베퍼층, 전이층 및/또는 핵형성층을 사용하여 기판(10) 위에 증착될 수 있다. 채널층(20)은 압축 스트레인을 받을 수 있다. 더욱이, 채널층 및/또는 베퍼 핵형성층 및/또는 전이층은 MOCVD에 의하여 또는 MBE 또는 HVPE와 같은 당해 기술분야에 속달된 이들에게 알려진 다른 기술에 의하여 증착될 수 있다.

[0055] 본 발명의 일부 실시예들에서, 채널층과 장벽층 사이의 계면에서 채널층(20)의 전도대 에지의 에너지가 장벽층(22)의 전도대 에지의 에너지보다 작으면 채널층(20)은 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x < 1$)과 같은 III족 질화물이다. 본 발명의 일부 실시예에서 $x=0$ 이며, 이것은 채널층(20)이 GaN 임을 가르킨다. 채널층(20)은 또한 InGaN, AlInGaN 등과 같은 다른 III족 물질일 수 있다. 채널층(20)은 도핑되지 않을 수("비의도적으로 도핑되어 있을 수") 있고, 약 20 Å보다 큰 두께로 성장될 수 있다. 채널층(20)은 초격자(superlattice) 또는 GaN, AlGaN 또는 이와 유사한 것의 조합과 같이 다층 구조물일 수도 있다.

[0056] 장벽층(22)이 채널층(20) 위에 제공된다. 채널층(20)의 밴드갭은 장벽층(22)의 밴드갭보다 더 작을 수 있고, 채널층(20)은 또한 장벽층(22)보다 더 큰 전자친화도를 가질 수 있다. 장벽층(22)은 채널층(20) 위에 증착될 수 있다. 본 발명의 어떤 실시예에서, 장벽층(22)은 약 0.1nm과 약 40 nm 사이의 두께를 갖는 AlN, AlInN, AlGaN

또는 AlInGaN이다. 본 발명의 어떤 실시예에 따른 층들의 예들은 Smorchkova 등이 발명한 "GROUP-III NITRIDE BASED HIGH ELECTRON MOBILITY TRANSISTOR (HEMT) WITH BARRIER/SPACER LAYER"라는 제목의 미합중국 특허공개 번호 제2002/0167023A1호에 기재되어 있고, 그 개시내용은 본 명세서에 완전히 설명된 것처럼 참조에 의하여 본 명세서에 통합된다. 본 발명의 특정 실시예들에서, 편극화 현상(polarization effect)을 통하여 채널층(20)과 장벽층(22) 사이의 계면에서 상당한 케리어 농도를 유도하기 위하여 장벽층(22)은 충분히 두껍고 충분히 높은 Al 조성과 도핑을 갖는다. 또한, 장벽층(22)은 장벽층(22)과 캡층(24) 사이의 계면에 축적된 이온화된 불순물 또는 결함에 기인하는 채널 내의 전자들의 산란을 감소시키거나 최소화할 정도로 충분히 두꺼워야 한다.

[0057] 장벽층(22)은 III족 질화물일 수 있고, 채널층(20)의 밴드갭보다 더 큰 밴드갭과 채널층(20)보다 더 작은 전자친화도를 가질 수 있다. 따라서, 본 발명의 어떤 실시예들에서, 장벽층(22)은 AlGaN, AlInGaN 및/또는 AlN 또는 이들의 조합이다. 장벽층(22)은 예를 들면, 약 0.1nm 내지 약 40 nm의 두께일 수 있으나, 그 안에 크랙킹 또는 상당한 결함 형성을 야기할 정도로 두껍지는 않다. 본 발명의 어떤 실시예들에서, 장벽층(22)은 도핑되지 않거나 약 10^{19} cm^{-3} 미만의 농도로 n형 도편트로 도핑된다. 본 발명의 일부 실시예에서, 장벽층(22)은 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 < x \leq 1$)이다. 특정 실시예들에서, 알루미늄 농도는 약 25%이다. 그러나, 본 발명의 다른 실시예에서, 장벽층(22)은 약 5%와 약 100% 사이의 알루미늄 농도를 갖는 AlGaN을 포함한다. 본 발명의 특정 실시예들에서, 알루미늄 농도는 약 10%보다 크다.

[0058] 도 1a는 또한 캡층(24)을 관통하는 리세스(36) 안에 게이트(32)를 갖는 장벽층(22) 위의 캡층(24)을 도시한다. 도 1b는 또한 캡층(24') 위의 게이트(32)를 갖는 장벽층(22) 위의 캡층(24')을 도시한다. 본 발명의 일부 실시예들에서, 캡층(24, 24')은 불균일한 조성의 AlGaN 층이다. 캡층(24, 24')은 소자의 상부(외부) 표면을 물리적으로 채널로부터 멀리 이동한다. 이로 인하여 표면의 영향을 줄일 수 있다. 캡층(24, 24')은 장벽층(22) 위에 블랭킷으로 형성될 수 있고, 에피택셜하게 성장되고/또는 증착에 의해 형성될 수 있다. 통상, 캡층(24, 24')은 약 2 nm 내지 약 500nm의 두께를 가질 수 있다.

[0059] 본 발명의 일부 실시예들에서, 캡층(24, 24')은 구배(graded) AlGaN 층일 수 있다. 캡층(24, 24')은 표면에 인접한 캡층(24, 24') 안의 Al의 양이 캡층(24, 24')의 내부 영역의 Al의 양보다 더 큰, 장벽층(22)으로부터 먼 바깥 표면(25)을 가질 수 있다. 예를 들면, 캡층(24, 24')은 표면(25)에서의 제1의 Al 양과 캡층(24, 24')의 내부 영역 안의 제2의 알루미늄 양을 가질 수 있고, 여기서 제1의 양이 제2의 양보다 클 수 있다. 캡층(24, 24')은 또한, 캡층(24, 24')과 장벽층(22) 사이의 계면에서 제3의 Al 양을 가질 수 있다. 제3의 양은 제1의 양보다 더 크거나 더 작거나 또는 동일할 수 있다. 본 발명의 특정 실시예들에서, AlGaN 캡층(24, 24')은 표면(25)에서 제1 영역의 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($x \leq 1$) 및 캡층(24, 24')의 내부 영역에서 제2 영역의 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ($y < x$)을 가질 수 있다. 일부 실시예들에서, x는 약 0.3 내지 약 1이다. 다른 실시예들에서, y는 약 0 내지 약 0.9이다. 특정 실시예들에서, AlGaN 캡층은 장벽층(22)과 캡층(24, 24') 사이의 계면에서 제3 영역의 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ ($z \leq 1, z \neq y$)을 포함한다. 또한, z는 y보다 더 클 수 있다. 예를 들면, 본 발명의 일부 실시예들에서 AlN 층은 장벽층 또는 장벽층에 인접한 캡층의 일부로서 제공될 수 있다. 이와 같은 경우에, 캡층(24, 24')은 z로부터 y 및 y로부터 x까지의 구배된 Al 농도를 포함할 수 있다. 캡층(24)을 통하여 리세스된 게이트를 갖는 본 발명의 특정 실시예들에서, 더 높은 농도의 Al이 캡층으로 약 30Å으로부터 약 1000Å까지 확장된다. 캡층(24') 위에 게이트를 갖는 본 발명의 특정 실시예들에서, 더 높은 농도의 Al이 캡층으로 약 2.5Å으로부터 약 100Å까지 확장된다.

[0060] 캡층(24, 24')은 더 높은 Al 농도가 캡층(24, 24')의 성장의 종결 동안 제공되는 일반적인 에피택셜 성장 기술에 의해 제공될 수 있다. 그러므로, 예를 들면, 캡층(24, 24')은 성장의 종결 동안 또는 그 직전에 Al 소스를 증가시키면서 MOCVD 성장법에 의해 제공될 수 있다.

[0061] 도 1a 및 도 1b에 더 도시된 바와 같이, 오믹 콘택(30)이 장벽층(22) 위에 제공된다. 패터닝된 마스크와 식각 공정이 하부의 장벽층(22)을 노출시키는데 사용될 수 있다. 본 발명의 일부 실시예들에서, 식각은 저손상 식각일 수 있다. 본 발명의 일부 실시예들에서 식각은 KOH 와 같은 강염기와 UV 조사를 이용하는 습식각이다. 다른 실시예들에서, 식각은 건식각이다. III족 질화물에 대한 저손상 식각 기술의 예들은 Cl_2 , BCl_3 , CCl_2F_2 및/또는 다른 염화 종들을 사용하는 유도 커플 플라즈마(Inductively Coupled Plasma), 또는 전자 사이클로트론 공명(ECR) 및/또는 플라즈마에 DC 요소가 없는 다운스트림 플라즈마 애칭과 같은 반응성 이온 식각 이외의 식각 기술을 포함한다. 도 1a 및 도 1b에 더 도시된 바와 같이 어닐되었을 때 오믹 콘택(30)을 제공하는 오믹 콘택 물질 패턴을 제공하도록 오믹 금속이 패터닝된다. 도 1a 및 도 1b에는 리세스된 것으로 도시되었으나, 본 발명의 일부 실시예들에서, 오믹 콘택(30)은 리세스될 필요는 없다.

- [0062] 도 1a에 도시된 바와 같이, 게이트 리세스가 또한 장벽층(22)의 일부를 노출하도록 캡층(24)을 통하여 제공될 수 있다. 본 발명의 일부 실시예들에서, 리세스(36)가 장벽층(22) 내로 확장되도록 형성된다. 예를 들면, 문턱 전압(threshold voltage), 주파수 성능, 기타와 같은 소자의 성능 특성을 조절하기 위하여 리세스(36)는 장벽층(22) 내로 확장될 수 있다. 리세스는 위에서 기술된 바와 같이 마스크와 식각 공정을 이용하여 형성될 수 있다. 오믹 콘택(30)이 소스와 드레인 콘택을 제공하는 특정 실시예들에서, 리세스, 결과적으로 게이트 콘택(32)이 드레인 콘택보다 소스 콘택에 더 가깝도록 리세스가 소스와 드레인 콘택 사이에서 오프셋될 수 있다.
- [0063] 게이트 콘택(32)은 리세스 안에 형성되고 장벽층(22)의 노출된 부분에 접촉한다. 게이트 콘택은 도 1a에 도시된 바와 같이 "T" 게이트일 수 있고, 일반적인 제조 기술을 사용하여 제조될 수 있다. 게이트 콘택(32)은 또한 도 1b에 도시된 바와 같이 캡층(24') 위에 형성될 수 있고, 일반적인 제조 기술을 사용하여 제조될 수 있다. 적절한 게이트 물질은 장벽층의 조성에 의존할 수 있으나, 어떤 실시예들에서는, Ni, Pt, NiSi_x, Cu, Pd, Cr, W 및/또는 WSiN과 같이, 질화물계 반도체 물질과 쇼트키 콘택을 만들 수 있는 일반적인 물질들이 사용될 수 있다.
- [0064] 아래에서 기술된 바와 같이, 일반적인 패시베이션층 또는 BN 패시베이션층이 도 1a 및 도 1b의 구조 위에 제공될 수 있다. 예를 들면, SiN 층, 일부 실시예들에서, 극단적으로 얇은 SiN층이 인-시츄로 형성될 수 있다. 그 개시내용이 본 명세서에 완전히 설명된 것처럼 인용에 의하여 본 명세서에 통합된 "FABRICATION OF SEMICONDUCTOR MATERIALS AND DEVICES WITH CONTROLLED ELECTRICAL CONDUCTIVITY"라는 제목의 미합중국 특허 번호 6,498,111에 기술된 바와 같은 MgN 패시베이션층이 또한 사용될 수 있다. 선택적으로, 패시베이션층으로부터 수소를 제거하고 표면 상태를 바꾸고/또는 표면에 산소를 침가하기 위하여 패시베이션층을 포함하는 구조를 산소 분위기에서 어닐할 수 있다. 산소 어닐이 수행되는 경우, 패시베이션층과 아래의 III족 질화물 층 사이의 층을 실질적으로 산화시키지 않는 방법으로 어닐이 수행될 수 있다. 예를 들면, 본 발명의 일부 실시예들에서, 약 100°C로부터 약 1000°C의 온도와 약 10초에서 약 1시간의 시간 동안 어닐이 수행될 수 있다. 산소를 포함하는 분위기는 산소 단독, N₂ 안의 산소, 아르곤과 같은 다른 불활성 기체 안의 산소, 건조 공기, CO, CO₂, NO, NO₂ 안의 산소 및/또는 오존일 수 있다. 패시베이션층으로 수소를 도입시키지 않도록 산소를 포함하는 분위기를 제공하는데 사용되는 가스들은 수소를 포함하지 않을 수 있다. 선택적으로 또는 부가적으로, 어닐은 D₂ 또는 D₂O 안에서 수행될 수 있다.
- [0065] 본 발명의 실시예들에 따른 트랜지스터들은 예를 들면, 그 개시내용이 본 명세서에 완전히 설명된 것처럼 인용에 의하여 본 명세서에 통합된 "METHODS OF FABRICATING NITRIDE-BASED TRANSISTORS HAVING REGROWN OHMIC CONTACT REGIONS AND NITRIDE-BASED TRANSISTORS HAVING REGROWN OHMIC CONTACT REGIONS"라는 제목의 2004년 5월 20일에 출원된 미합중국 특허출원번호 제10/849,617호 및 "METHODS OF FABRICATING NITRIDE-BASED TRANSISTORS WITH A CAP LAYER AND A RECESSED GATE"라는 제목의 2004년 7월 23일에 출원된 미합중국 특허출원번호 제10/897,726호에 기술된 바와 같은, 참조에 의하여 본 명세서에 통합된 특허 출원과 특허들에 기술된 바와 같은 기술들을 사용하여 제조될 수 있다.
- [0066] 도 2a 및 도 2b는 본 발명의 다른 실시예들에 따른 캡층(34, 34')을 갖는 고전자이동도 트랜지스터를 도시한다. 기판(10), 채널층(20), 장벽층(22), 오믹 콘택(30) 및 게이트 콘택(32)이 도 1a 및 도 1b에 관하여 위에서 기술된 바와 같이 제공될 수 있다. 도 2a 및 도 2b에 보인 바와 같이, 캡층(34, 34')은 캡층(34, 34')의 바깥 표면에 또는 바깥 표면 가까이에 도핑된 영역(40)을 포함한다. 캡층(34, 34')은 예를 들면, 참조에 의하여 본 명세서에 통합된 특허 및 특허출원에 기술된 바와 같이 GaN 층 및/또는 AlGaN 층과 같은 GaN 계 캡층일 수 있다. 본 발명의 일부 실시예들에서, 도핑된 영역(40)은 Mg, Be, Zn, Ca 및/또는 C와 같이 p형 도편트로 도핑된다. 본 발명의 다른 실시예들에서, 도핑된 영역(40)은 Si, Ge 및/또는 O와 같이 n형 도편트로 도핑된다. 본 발명의 또 다른 실시예들에서, 도핑된 영역(40)은 Fe, C, V, Cr, Mn, Ni 및/또는 Co와 같은 깊은 레벨 도편트로 도핑된다. 도편트는 캡층(34, 34')의 중착 또는 성장 동안 캡층(34)으로 도입될 수 있거나 예를 들면 이온 주입을 통하여 연속적으로 도입될 수 있다. 본 발명의 일부 실시예들에서, 캡층(34)은 캡층(34, 34')을 통하여 도입된 도편트를 갖는다. 그러한 경우에, 도핑된 영역(40)은 캡층(34, 34')의 나머지 부분 안의 도편트 농도보다 증가된 도편트 농도를 갖는 영역에 의하여 제공될 수 있다. III족 질화물 물질의 공동 도핑에 대한 기술들이 예를 들면, "CO-DOPING FOR FERMI LEVEL CONTROL IN SEMI-INSULATING GROUP III NITRIDES,"라는 제목의 2004년 1월 7일에 출원된 미합중국 특허출원번호 10/752,970에 기술되어 있고, 그 개시내용은 전체가 본 명세서에 기술된 바와 같이 본 명세서에 통합된다.
- [0067] 도편트들이 n형 도편트인 본 발명의 실시예들에서, n형 도편트는 Si, Ge 또는 O일 수 있다. 게이트 리세스가

없는 본 발명의 특정 실시예들에서, 도핑된 영역(40)은 캡층(34)으로부터 약 2.5Å으로부터 약 50Å까지 확장될 수 있다. 게이트 리세스가 있는 본 발명의 특정 실시예들에서, 도핑된 영역(40)은 캡층(34')으로 약 20Å으로부터 약 5000Å까지 확장될 수 있다. 게이트 리세스가 없는 실시예들에서 도핑된 영역(40)은 n형 도편트로 약 10^{18} 내지 약 10^{21} cm^{-3} 의 도편트 농도를 제공할 수 있고, 게이트 리세스가 있는 경우에는 10^{21} cm^{-3} 보다 더욱 무겁게 도핑될 수 있다. 본 발명의 특정 실시예들에서, 도핑된 영역(40)은 캡층(34, 34')의 표면에서 또는 표면 근처에서 하나 또는 그 이상의 멜타-도핑된 영역일 수 있고, 예를 들면, 약 10^{11} 내지 약 10^{15} cm^{-2} 의 도편트 농도를 가질 수 있다. 본 명세서에 사용된 바와 같이, 멜타-도핑된 영역은 표면의 약 5Å 내에 있으면 표면에 있는 것이고, 표면의 약 50Å 내에 있으면 표면 근처에 있는 것이다. 본 발명의 특정 실시예들에서, 도편트는 캡층(34, 34') 내부로 약 20Å 확장되는 O이다. N형 도편트가 트래핑 효과(trapping effect)를 감소하고/또는 최소화하기 위하여, 표면 상태(surface states)로부터 채널 영역을 가리고 표면 에너지 레벨을 예측가능한 소정의 레벨로 고정하는데 사용될 수 있다. 도핑의 레벨은 리세스 게이트를 가지지 않는 실시예들에서 우세한 "표면" 상태가 되도록 충분히 높아야 하지만 초과되는 전류 누출 경로를 제공할 만큼 높지 않아야 한다.

[0068]

다른 실시예들에서, 도핑된 영역(40)은 p형 도편트로 도핑된 영역이다. 게이트 리세스가 없는 본 발명의 특정 실시예들에서, 도핑된 영역(40)은 캡층(34)으로 약 2.5Å으로부터 약 100Å까지 확장될 수 있다. 게이트 리세스가 있는 본 발명의 특정 실시예들에서, 도핑된 영역(40)은 캡층(34')으로 약 30Å으로부터 약 5000Å까지 확장될 수 있다. 도핑된 영역(40)은 p형 도편트로 약 10^{16} 내지 약 10^{22} cm^{-3} 의 도편트 농도를 제공할 수 있다. p형 도편트는 Mg, Be, Zn, Ca 또는 C일 수 있다. 본 발명의 특정 실시예들에서, 도핑된 영역은 캡층의 표면에서 또는 표면 근처에서 하나 또는 그 이상의 멜타-도핑된 영역일 수 있고, 예를 들면, 약 10^{11} 내지 약 10^{15} cm^{-2} 의 도편트 농도를 가질 수 있다. p형 도편트는 트래핑 효과를 감소시키고/또는 최소화하고 누설 전류를 감소시키기 위하여 표면 상태로부터 채널 영역을 가리고 표면 에너지 레벨을 예측가능한 소정의 바람직한 레벨로 고정하는데 사용될 수 있다. 리세스 게이트를 가지지 않는 실시예들에서 도핑의 레벨은 누설전류를 감소시키고 우세한 "표면" 상태가 되도록 충분히 높아야 하지만, 도전층이 됨에 의하여 트랩 또는 누출 경로를 제공하도록 높아서는 안된다. 그러나, 예를 들면, 도 2b에 도시된 바와 같이 리세스된 게이트를 갖는 본 발명의 특정 실시예들에서, SiN 층 또는 캡(gap)과 같은 절연 영역이 캡층(34')과 게이트 콘택(32) 사이에 제공되면, 도전층으로서 캡층(34')이 제공될 수 있도록 고레벨의 p형 도편트가 제공될 수 있다.

[0069]

또한, 본 발명의 일부 실시예들에서, 도핑된 영역과 캡층(34) 사이에 p-n 접합을 제공하도록 도핑된 영역(40)은 p형 도편트로 도핑될 수 있고, 접합 HEMT(JHEMT)를 제공하도록 게이트 콘택(32)이 도핑된 영역(40) 바로 위에 제공될 수 있다. 그러한 경우에, 도핑된 영역(40)은 오믹 콘택(30)까지 확장되지 않을 것이며, 오믹 콘택(30)은 SiN 층 또는 캡과 같은 절연 영역에 의하여 도핑된 영역으로부터 격리될 것이다.

[0070]

또 다른 실시예들에서, 도핑된 영역(40)은 깊은 레벨 도편트로 도핑된 영역이다. 게이트 리세스를 갖지 않는 본 발명의 특정 실시예들에서, 도핑된 영역(40)은 캡층(34)으로 약 2.5Å 내지 약 100Å 확장된다. 게이트 리세스를 갖는 본 발명의 특정 실시예들에서, 도핑된 영역(40)은 캡층(34')으로 약 30Å 내지 약 5000Å 확장된다. 깊은 레벨 도편트로 도핑된 영역(40)은 약 10^{16} 내지 약 10^{22} cm^{-3} 의 도편트 농도를 제공할 수 있다. 깊은 레벨 도편트는 Fe, C, V, Cr, Mn, Ni, Co 및/또는 다른 희토류 원소일 수 있다. 깊은 레벨 도편트가 트래핑 효과를 감소시키고/또는 최소화하고 누설 전류를 감소시키기 위하여, 표면 상태로부터 채널 영역을 가리고 표면 에너지 레벨을 예측가능한 소정의 바람직한 레벨로 고정하는데 사용될 수 있다. 도핑의 레벨은 리세스 게이트를 가지지 않는 실시예들에서 누설 전류를 줄이고 우세한 "표면" 상태가 되도록 충분히 높아야 하지만 상당한 트래핑을 야기할 만큼 높지 않아야 한다.

[0071]

도 3a 및 도 3b는 본 발명의 일부 실시예들에 따라 흑연질의 및/또는 비정질의 BN 패시베이션층을 포함하는 전자소자를 도시한다. 기판(10), 채널층(20), 장벽층(22), 캡층(24), 오믹 콘택(30) 및 게이트 콘택(32)이 도 1a, 1b 및/또는 도 2a, 2b에 관련하여 위에서 논의한 바와 같이 제공될 수 있다. 도 3a 및 도 3b에 더 도시된 바와 같이, 흑연질의 및/또는 비정질의 BN 패시베이션층(100, 100')이 소자의 노출된 표면 위에 제공된다. 본 발명의 특정 실시예들에서, 흑연질의 BN 패시베이션층(100, 100')은 비-단결정층이다. 흑연질의 및/또는 비정질의 BN 패시베이션층(100, 100')은 단일층으로서 제공될 수 있거나 다중층일 수 있고 SiN 또는 SiO_x 와 같은 다른 물질의 층들과 통합될 수 있다. 게이트가 BN 패시베이션층(100)을 통하여 리세스된 본 발명의 특정 실시예들에서, BN 패시베이션층(100)은 약 3Å 내지 약 1 μm 의 두께를 가질 수 있다. 게이트가 BN 패시베이션층(100')을 통하여 리세스되지 않은 본 발명의 특정 실시예들에서, BN 패시베이션층(100')은 약 2Å 내지 약 100 Å의 두께를

가질 수 있다. 따라서, 도 3b에 도시된 실시예들에서, MISHEMT 가 제공될 수 있다. 더욱이, 위에서 논의된 바와 같이, 게이트는 예를 들면, 도 1a 및 도 2b에 도시된 것처럼 캡층(24) 내부로 또는 캡층(24)을 통하여 리세스될 수 있다. 그리고 BN 패시베이션층(100, 100')은 캡층(24) 안의 리세스 내부로, 리세스 내부로 그리고 장벽층(22) 위로 확장될 수 있고, 또는 게이트 콘택(32)에서 종결될 수 있다. 그러므로, 본 발명의 일부 실시예들에서, MISHEMT 는 리세스된 게이트와 함께 제공될 수 있다.

[0072] MOCVD에 의하는 것과 같이, 흑연질의 및/또는 비정질의 BN을 형성하는 기술은 당해 기술분야에 속달된 이들에게 잘 알려져 있으며, 그러므로, 본 명세서에서 더 이상 기술될 필요는 없다. 예를 들면, BN 층은 캐리어 가스 안의 TEB 와 NH₃를 훌럼에 의하여 형성될 수 있다. 그러나, 흑연질의 및/또는 비정질의 BN 패시베이션층(100)의 형성은 그 위에 패시베이션층(100)이 형성되는 하부 구조의 분해 온도 미만의 온도에서 수행되어야 한다. 그러므로, 예를 들면, GaN 계 구조에서, 흑연질의 및/또는 비정질의 BN 패시베이션층(100)은 약 1100°C 보다 낮은 온도에서 일부 실시예에서는 약 950°C 보다 낮은 온도에서 형성되어야 한다. 일부 실시예들에서, 패시베이션층(100)은 위에서 기술된 바와 같이 후속하여 어닐될 수 있다.

[0073] 도 4a 및 도 4b는 본 발명의 일부 실시예들에 따라 SiC 패시베이션층을 포함하는 전자소자를 도시한다. 기판(10), 채널층(20), 장벽층(22), 캡층(24), 오믹 콘택(30) 및 게이트 콘택(32)이 도 1a, 1b 및/또는 도 2a, 2b에 관련하여 위에서 논의한 바와 같이 제공될 수 있다. 도 4a 및 도 4b에 더 도시된 바와 같이, SiC 패시베이션층(110, 110')이 소자의 노출된 표면 위에 제공된다. 본 발명의 특정 실시예들에서, SiC 패시베이션층(110, 110')은 비-단결정층이다. 본 발명의 일부 실시예들에서, SiC 패시베이션층(110, 110')은 절연 또는 p 형의 SiC이다. SiC 패시베이션층(110, 110')이 p 형의 SiC 이면, SiN 층 또는 캡과 같은 절연 영역이 SiC 패시베이션층(110, 110')과 게이트 콘택(32) 사이에 제공될 수 있다. 본 발명의 일부 실시예들에서, 저온 공정에서 3C SiC 가 (0001) 축-위의 육방정계의(hexagonal) 물질 위에 형성될 수 있으므로 SiC 패시베이션층(110, 110')은 3C SiC 이다. SiC 패시베이션층(110, 110')은 단일층으로서 제공될 수 있거나 다중층일 수 있고 SiN 또는 SiO₂와 같은 다른 물질의 층들과 함께 제공될 수 있다. 게이트가 SiC 패시베이션층(110)을 통하여 리세스된 본 발명의 특정 실시예들에서, SiC 패시베이션층(110)은 약 3Å 내지 약 1 μm의 두께를 가질 수 있다. 게이트가 SiC 패시베이션층(110')을 통하여 리세스되지 않은 본 발명의 특정 실시예들에서, SiC 패시베이션층(110')은 약 2Å 내지 약 100 Å의 두께를 가질 수 있다. 따라서, 도 4b에 도시된 실시예들에서, MISHEMT 가 제공될 수 있다. 더욱이, 위에서 논의된 바와 같이, 게이트는 예를 들면, 도 1a 및 도 2b에 도시된 것처럼 캡층(24) 내부로 또는 캡층(24)을 통하여 리세스될 수 있다. 그리고 SiC 패시베이션층(110, 100')은 캡층(24) 안의 리세스 내부로, 리세스 내부로 그리고 장벽층(22) 위로 확장될 수 있고, 또는 게이트 콘택(32)에서 종결될 수 있다. 그러므로, 본 발명의 일부 실시예들에서, MISHEMT 는 리세스된 게이트와 함께 제공될 수 있다.

[0074] SiC 층을 형성하는 기술은 당해 기술분야에 속달된 이들에게 잘 알려져 있으며, 그러므로, 본 명세서에서 더 이상 기술될 필요는 없다. 그러나, SiC 패시베이션층(110)의 형성은 그 위에 패시베이션층(110)이 형성되는 하부 구조의 분해 온도 미만의 온도에서 수행되어야 한다. 그러므로, 예를 들면, GaN 계 구조에서, SiC 패시베이션층(110)은 약 1100°C 보다 낮은 온도에서 일부 실시예에서는 약 950°C 보다 낮은 온도에서 형성되어야 한다. 그러한 낮은 온도에서 SiC를 형성하는 기술은 예를 들면, Si 와 C 의 공급원으로서 SiH₄, C₃H₈ 를 사용한 CVD 또는 PECVD, 또는 매우 낮은 온도의 스퍼터링을 포함할 수 있다. 더 나아가, SiC 패시베이션층(110)의 특성을 조절하기 위하여 SiC 층은 불순물로 도핑될 수 있다. 예를 들면, n 형 SiC 는 N 으로 도핑될 수 있고, p 형 SiC 는 Al 및/또는 B 로 도핑될 수 있고, 절연 SiC는 V 또는 Fe 로 도핑될 수 있다. 일부 실시예들에서, 패시베이션층(110)은 위에서 기술한 바와 같이 후속하여 어닐될 수 있다.

[0075] 도 3a, 3b 및 도 4a, 4b 는 캡층(24) 위의 패시베이션층(100, 100', 110, 110')을 도시하고 있으나, 캡층(34), 일반적인 단일 또는 다중 캡층과 같은 다른 캡층들 또는 캡층이 없는 것이 제공될 수 있다. 예를 들면, 패시베이션 층들이 AlN 층 위에 제공되도록 패시베이션층(100, 100', 110, 110')은 AlN 층을 그 바깥쪽 표면에 포함하는 캡층과 같이 사용될 수 있다. 그러므로, 흑연질의 또는 비정질의 BN 패시베이션층(100, 100') 또는 SiC 패시베이션층(110, 110')은 도 3a, 3b 및 도 4a, 4b에 도시된 특정 구조에 한정되는 것으로 해석되어서는 안되며, 임의의 III족 질화물 반도체 소자 또는 다른 넓은 밴드갭 반도체 소자 위에 사용될 수 있다.

[0076] 본 발명의 실시예들에서 게이트가 장벽층 또는 캡층 바로 위에 있는 HEMT 구조에 관련하여 기술되었으나, 본 발명의 일부 실시예들에서, 절연층이 게이트와 장벽층 또는 캡층 사이에 제공될 수 있다. 그러므로 본 발명의 일부 실시예들에서, 예를 들면, 그 개시 내용이 본 명세서에 완전히 설명된 것처럼 참조에 의하여 본 명세서에 통합되는 Parikh 등의 "INSULATING GATE ALGAN/GAN HEMT" 라는 제목의 미국특허공개번호 제2003/0020092호에 기

술된 바와 같이 절연 게이트 HEMT 가 제공될 수 있다. 일부 실시예들에서, 절연층은 흑연질의 및/또는 비정질의 BN 일 수 있다.

[0077] 도 5a 및 도 5b는 AlN 캡층(54, 54')을 포함하는 본 발명의 다른 실시예들을 도시한다. 도 5a는 또한 AlN 캡층(54)을 관통하여 리세스된 게이트(32)를 갖는, 장벽층(22) 위의 AlN 캡층(54, 54')을 도시한다. 도 5b는 또한 AlN 캡층(54')위의 게이트(32)를 갖는 장벽층(22) 위의 AlN 캡층(54')을 도시한다. 캡층(54, 54')은 소자의 상부(바깥) 표면을 채널로부터 물리적으로 멀리 이동시키며, 이것은 표면의 효과를 줄일 수 있다. 또한, AlN 캡층(54, 54')은 Ga-N 결합에 비하여 더 강한 Al-N 결합에 기인하여 식각 또는 고온에서의 다른 화학적 반응에 민감하지 않으므로 AlN 캡층(54, 54')은 증가된 화학적 안정성을 제공하고 하부의 층들을 보호할 수 있다.

[0078] AlN 캡층(54, 54')은 장벽층(22) 위에 형성된 블랭킷일 수 있고, 에피택셜하게 성장될 수 있고/또는 증착에 의하여 형성될 수 있다. 통상, AlN 캡층(54, 54')은 약 0.2nm 내지 약 500 nm의 두께를 가질 수 있다. AlN 캡층(54)을 통하여 리세스된 게이트를 갖는 본 발명의 특정 실시예들에서, AlN 캡층(54)은 약 10 Å 내지 약 5000 Å의 두께를 가질 수 있다. AlN 캡층(54') 위의 게이트를 갖는 본 발명의 특정 실시예들에서, AlN 캡층(54')은 약 2 Å 내지 약 50 Å의 두께를 가질 수 있다.

[0079] AlN 캡층(54, 54')은 장벽층(22)의 성장 종료 동안 Ga 소스의 공급을 종료하여 일반적인 에피택셜 성장 기술에 의하여 제공될 수 있다. 그러므로, 예를 들면, AlN 캡층(54, 54')은 성장의 종료의 바로 직전 및 성장 종료 동안 Ga 소스의 종료에 의하여 MOCVD 성장에 의하여 제공될 수 있다.

[0080] 도 6은 보호층(64)이 장벽층(22) 위에 제공되는 본 발명의 다른 실시예들을 도시한다. 도 6에 도시된 바와 같이 오믹 콘택이 보호층(64) 위에 제공된다. 게이트 콘택(32)이 또한 보호층(64) 위에 제공될 수 있다. 본 발명의 일부 실시예들에서, 오믹 콘택(30)이 보호층(64) 바로 위에 제공되며, 게이트 콘택(32)이 또한 보호층(64) 바로 위에 제공될 수 있다.

[0081] 보호층(64)은 오믹 콘택(30)과 게이트 콘택(32)의 형성 전에 증착된 SiN 층일 수 있다. 선택적으로, 보호층(64)은 BN 또는 MgN 층일 수 있다. MgN은 부가적인 도핑이 오믹 콘택 물질의 어닐시 제공될 수 있기 때문에 p형 소자와 함께 사용되는데 특히 적절하다. 보호층(64)은 단일의 SiN, MgN 또는 BN 층과 같이 단일층일 수 있고, 또는 일부 실시예들에서 보호층(64)은 SiN의 층과 AlN 층과 같은 다중층으로서 제공될 수 있다.

[0082] 보호층(64)은 약 1Å 내지 약 10Å의 두께를 가질 수 있고, 일부 실시예들에서 약 하나의 단위층(monolayer)의 두께를 가질 수 있다. 보호층(64)이 얇기 때문에, 보호층(64)을 통하여 오믹 콘택을 리세스할 필요가 없을 수 있다. 이러한 보호층이 없는 소자와 비교하여 더 나은 표면 상태 조절과 더 낮은 게이트 누설 전류를 통하여 신뢰성이 향상될 수 있다.

[0083] 보호층(64)은 장벽층의 형성과 함께 인-시츄로 형성될 수 있다. 보호층(64)은 매우 얇기 때문에, Si 소스, B 소스 또는 Mg 소스를 제공하는 것 이외에 부가적인 제조 공정이 거의 들지 않으며 얇은 보호층(64)을 증착하는데 단지 적은 부가 성장 시간이 든다. 더욱이, 보호층(64)이 얇으므로, 게이트 및/또는 오믹 콘택을 위한 리세스를 형성하기 위하여 부가적인 단계들이 필요하지 않을 수 있다.

[0084] 본 발명의 실시예들이 특정한 HEMT 구조에 관련하여 본 명세서에서 기술되었으나, 본 발명은 그러한 구조에 제한되는 것으로 해석되어서는 안된다. 예를 들면, 여전히 본 발명의 가르침으로부터 이익을 얻으면서 부가적인 층들이 HEMT 구조에 포함될 수 있다. 이러한 부가적인 층들은, 예를 들면, 그 개시내용이 본 명세서에 완전히 설명된 것처럼 참조에 의하여 본 명세서에 통합된 Yu 등의 "Schottky barrier engineering in III-V nitrides via the piezoelectric effect," Applied Physics Letters, Vol. 73, No. 13, 1998 또는 "ALUMINUM GALLIUM NITRIDE/GALLIUM NITRIDE HIGH ELECTRON MOBILITY TRANSISTORS HAVING A GATE CONTACT ON A GALLIUM NITRIDE BASED CAP SEGMENT AND METHODS OF FABRICATING SAME,"라는 제목의 2001년 7월 12일 출원되고 2002년 6월 6일에 공개된 미국 특허공개번호 2002/0066908A1에 기술된 GaN 캡층을 포함할 수 있다. 일부 실시예들에서, SiN, ONO 구조 또는 비교적 높은 품질의 AlN과 같은 절연층들이 MISHEMT을 만들거나 및/또는 표면을 패시베이션하기 위하여 증착될 수 있다. 부가적인 층들은 또한 조성적으로 구배된 전이층 또는 전이층들을 포함할 수 있다.

[0085] 더 나아가, 장벽층(22)은 또한 위에서 참조된 미국 특허공개번호 2002/0167023A1에 기술된 바와 같은 다중층들과 함께 제공될 수 있다. 그러므로, 본 발명의 실시예들은 장벽층을 단일층으로 한정하는 것으로 해석되어서는 안되고, 예를 들면, GaN, AlGaN 및/또는 AlN 층의 조합을 갖는 장벽층을 포함할 수 있다. 예를 들면, GaN, AlN 구조는 합금 산란(alloy scattering)을 감소하거나 예방하는데 사용될 수 있다. 그러므로, 본 발명의 실시예들은 질화물계 장벽층을 포함할 수 있고, 이러한 질화물계 장벽층들은 AlGaN계 장벽층, AlN계 장벽층 및 이들의

조합을 포함할 수 있다.

[0086] 본 발명의 실시예들이 여러 캡층을 통하여 리세스된 오믹 콘택(30)과 관련하여 기술되었으나, 본 발명의 일부 실시예들에서, 오믹 콘택(30)은 캡층 위에 또는 단지 부분적으로 캡층 내로 리세스되어 제공된다. 그러므로, 본 발명의 실시예들이 캡층을 통하여 리세스된 오믹 콘택을 갖는 구조에 제한되는 것으로 해석되어서는 안된다.

[0087] 도면과 발명의 상세한 설명에서, 본 발명의 전형적인 실시예들이 기술되었으며, 비록 특정한 용어가 채용되었다고 하여도 이들은 단지 일반적이고 서술하는 의미에서 사용된 것이고 제한적인 목적으로 사용된 것은 아니다.

산업상 이용 가능성

[0088] 본원발명은 고전력 및/또는 고주파수 응용기기를 위한 트랜지스터를 제조하는데 이용될 수 있다.

도면의 간단한 설명

[0027] 도 1a 및 도 1b는 본 발명의 일부 실시예들에 따른 캡층을 갖는 트랜지스터를 개략적으로 도시한 단면도들이다.

[0028] 도 2a 및 도 2b는 본 발명의 일부 실시예들에 따른 캡층을 갖는 트랜지스터를 개략적으로 도시한 단면도들이다.

[0029] 도 3a 및 도 3b는 본 발명의 일부 실시예들에 따른 흑연질의(graphitic) 및/또는 비정질 BN 패시베이션층들을 개략적으로 도시한 단면도들이다.

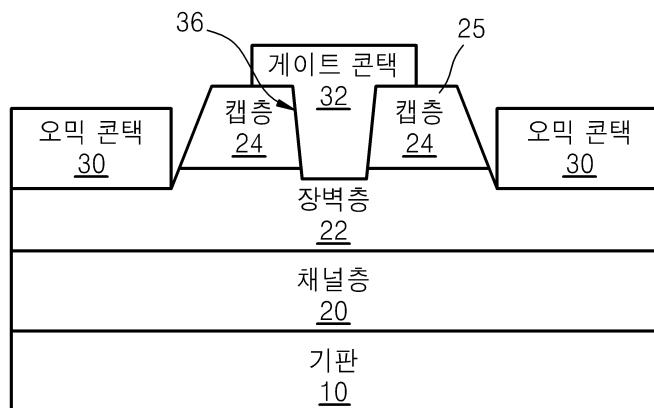
[0030] 도 4a 및 도 4b는 본 발명의 일부 실시예들에 따른 SiC 패시베이션층을 개략적으로 도시한 단면도들이다.

[0031] 도 5a 및 도 5b는 본 발명의 일부 실시예들에 따른 캡층을 갖는 트랜지스터를 개략적으로 도시한 단면도들이다.

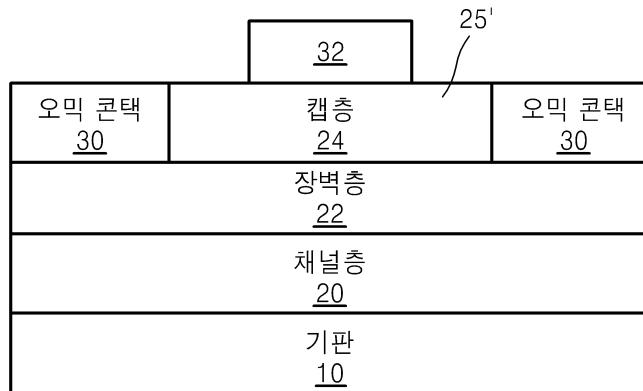
[0032] 도 6은 본 발명의 일부 실시예들에 따른 보호층 위의 오믹 콘택을 갖는 트랜지스터를 개략적으로 도시한 단면도이다.

도면

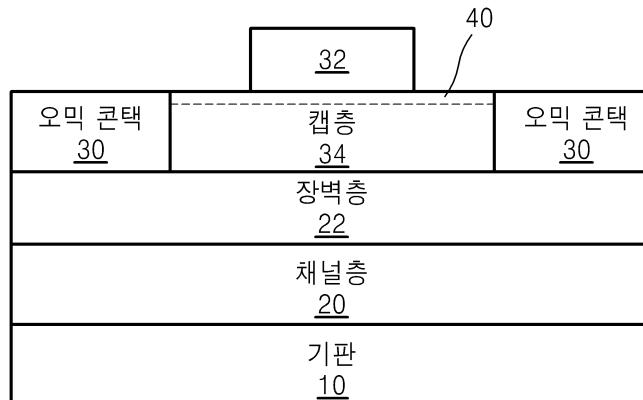
도면1a



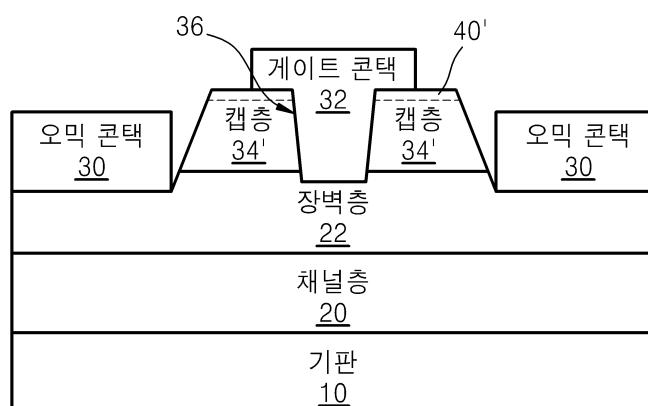
도면1b



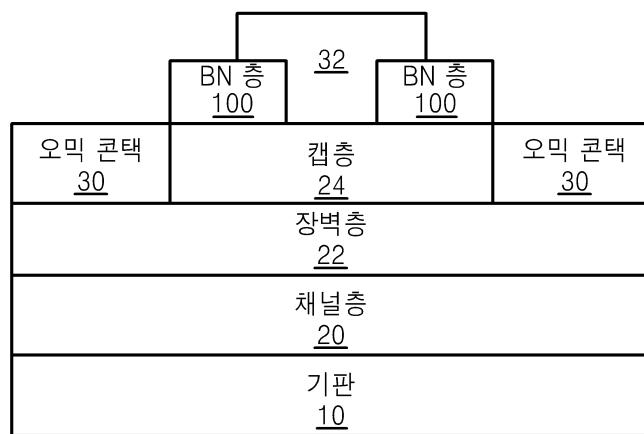
도면2a



도면2b



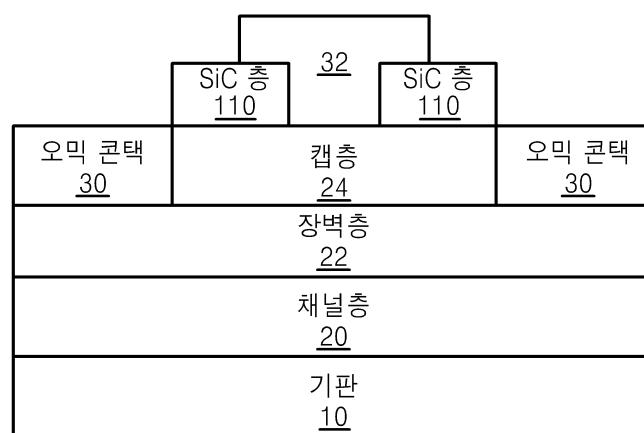
도면3a



도면3b



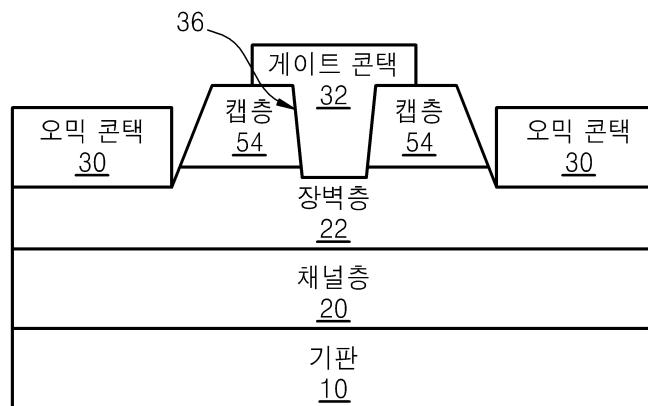
도면4a



도면4b



도면5a



도면5b



도면6

오믹 콘택 <u>30</u>	<u>32</u>	오믹 콘택 <u>30</u>
<u>64</u>		
장벽총 <u>22</u>		
채널총 <u>20</u>		
기판 <u>10</u>		