



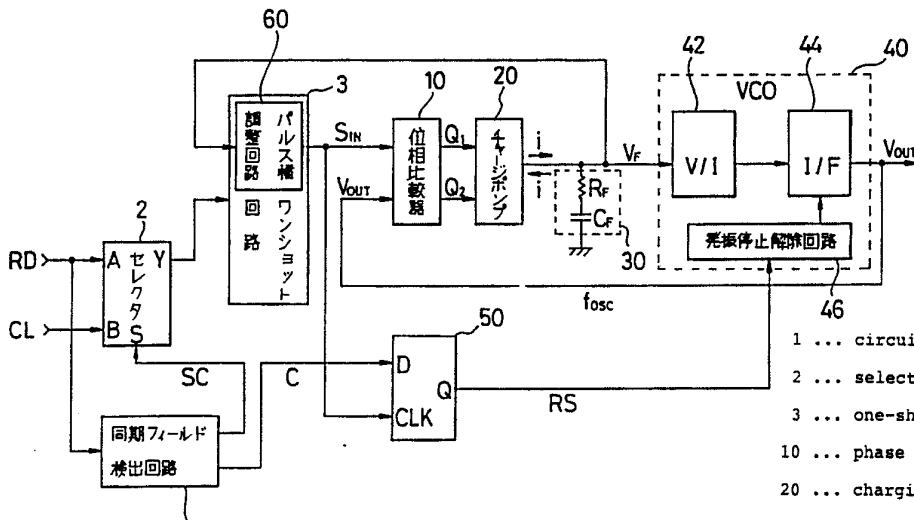
特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 5 H03L 7/10, G11B 20/14	A1	(11) 国際公開番号 WO 92/02986 (43) 国際公開日 1992年2月20日 (20. 02. 1992)																																																												
<table border="0"> <tr> <td>(21) 国際出願番号</td> <td colspan="2">PCT/JP91/01052</td> </tr> <tr> <td>(22) 国際出願日</td> <td colspan="2">1991年8月6日 (06. 08. 91)</td> </tr> <tr> <td>(30) 優先権データ</td> <td colspan="2"></td> </tr> <tr> <td>特願平2/208951</td> <td>1990年8月7日 (07. 08. 90)</td> <td>JP</td> </tr> <tr> <td>特願平2/256372</td> <td>1990年9月26日 (26. 09. 90)</td> <td>JP</td> </tr> <tr> <td>(71) 出願人 (米国を除くすべての指定国について)</td> <td colspan="2"></td> </tr> <tr> <td>セイコーエプソン株式会社</td> <td colspan="2"></td> </tr> <tr> <td>(SEIKO EPSON CORPORATION) [JP/JP]</td> <td colspan="2"></td> </tr> <tr> <td>〒163 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)</td> <td colspan="2"></td> </tr> <tr> <td>(72) 発明者; および</td> <td colspan="2"></td> </tr> <tr> <td>(75) 発明者/出願人 (米国についてのみ)</td> <td colspan="2"></td> </tr> <tr> <td>小川隆央 (OGAWA, Takao) [JP/JP]</td> <td colspan="2"></td> </tr> <tr> <td>川崎 健 (KAWASAKI, Takeshi) [JP/JP]</td> <td colspan="2"></td> </tr> <tr> <td>〒392 長野県諏訪市大和3丁目3番5号 Nagano, (JP)</td> <td colspan="2"></td> </tr> <tr> <td>(74) 代理人</td> <td colspan="2"></td> </tr> <tr> <td>弁理士 山田 稔 (YAMADA, Minoru)</td> <td colspan="2"></td> </tr> <tr> <td>〒390 長野県松本市本庄1丁目1番17号 よこやまビル5階</td> <td colspan="2"></td> </tr> <tr> <td>Nagano, (JP)</td> <td colspan="2"></td> </tr> <tr> <td>(81) 指定国</td> <td colspan="2">JP, KR, US.</td> </tr> <tr> <td>添付公開書類</td> <td colspan="2">国際調査報告書</td> </tr> </table>			(21) 国際出願番号	PCT/JP91/01052		(22) 国際出願日	1991年8月6日 (06. 08. 91)		(30) 優先権データ			特願平2/208951	1990年8月7日 (07. 08. 90)	JP	特願平2/256372	1990年9月26日 (26. 09. 90)	JP	(71) 出願人 (米国を除くすべての指定国について)			セイコーエプソン株式会社			(SEIKO EPSON CORPORATION) [JP/JP]			〒163 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)			(72) 発明者; および			(75) 発明者/出願人 (米国についてのみ)			小川隆央 (OGAWA, Takao) [JP/JP]			川崎 健 (KAWASAKI, Takeshi) [JP/JP]			〒392 長野県諏訪市大和3丁目3番5号 Nagano, (JP)			(74) 代理人			弁理士 山田 稔 (YAMADA, Minoru)			〒390 長野県松本市本庄1丁目1番17号 よこやまビル5階			Nagano, (JP)			(81) 指定国	JP, KR, US.		添付公開書類	国際調査報告書	
(21) 国際出願番号	PCT/JP91/01052																																																													
(22) 国際出願日	1991年8月6日 (06. 08. 91)																																																													
(30) 優先権データ																																																														
特願平2/208951	1990年8月7日 (07. 08. 90)	JP																																																												
特願平2/256372	1990年9月26日 (26. 09. 90)	JP																																																												
(71) 出願人 (米国を除くすべての指定国について)																																																														
セイコーエプソン株式会社																																																														
(SEIKO EPSON CORPORATION) [JP/JP]																																																														
〒163 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)																																																														
(72) 発明者; および																																																														
(75) 発明者/出願人 (米国についてのみ)																																																														
小川隆央 (OGAWA, Takao) [JP/JP]																																																														
川崎 健 (KAWASAKI, Takeshi) [JP/JP]																																																														
〒392 長野県諏訪市大和3丁目3番5号 Nagano, (JP)																																																														
(74) 代理人																																																														
弁理士 山田 稔 (YAMADA, Minoru)																																																														
〒390 長野県松本市本庄1丁目1番17号 よこやまビル5階																																																														
Nagano, (JP)																																																														
(81) 指定国	JP, KR, US.																																																													
添付公開書類	国際調査報告書																																																													

(54) Title : PHASE SYNCHRONIZING CIRCUIT

(54) 発明の名称

位相同期回路



(57) Abstract

A high speed synchronization pulling-in technique of a phase synchronizing circuit which is used in magnetic disc devices. When a circuit (1) for detecting a synchronous field detects a synchronous field, a selector (2) selects read data (RD), and a circuit (46) for stopping/restarting oscillation stops the oscillation of an oscillating circuit (40) by an output (RS) of a circuit (50) for controlling the timing of the oscillation. After passing bits of several bytes, the circuit (46) restarts the oscillation of the oscillating circuit (40) by an output (RS) of the circuit (50). A circuit (60) for adjusting a pulse width causes the fall of the read data (RD) to coincide with the oscillation restart by adjusting the pulse width of its output (S_{IN}) to a delay time for restarting, and performs the high speed synchronisation pull-in.

(57) 要約

この発明は、磁気ディスク装置に用いられる位相同期回路の高速同期引き込み技術に関する。

この構成は、同期フィールド検出回路(1)が同期フィールドに入ったことを検出すると、セクタ(2)はリードデータRDを選択し、発振制御タイミング回路(50)の出力RSにより発振停止解除回路(46)は発振回路(40)を停止させる。そして同期ビットが数バイト経過すると発振制御タイミング回路(50)の出力RSにより発振停止解除回路(46)は発振回路(40)の発振を再開させる。一方パルス幅調整回路(60)は、その出力SINのパルス幅を発振回路(40)の再開遅延時間に調整することにより、リードデータRDの立ち下がり時点と発振再開時点を一致させて高速同期引き込みを行う。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT オーストリア
AU オーストラリア
BB バルバードス
BE ベルギー
BF ブルキナ・ファソ
BG ブルガリア
BJ ベナン
BR ブラジル
CA カナダ
CF 中央アフリカ共和国
CG コンゴ
CH スイス
CI コート・ジボアール
CM カメルーン
CS チェコスロバキア
DE ドイツ
DK デンマーク

ES スペイン
FI フィンランド
FR フランス
GA ガボン
GI ギニア
GB イギリス
GR ギリシャ
HU ハンガリー
IT イタリア
JP 日本
KP 朝鮮民主主義人民共和国
KR 大韓民国
LI リヒテンシュタイン
LK スリランカ
LU ルクセンブルグ
MC モナコ
MG マダガスカル

ML マリ
MN モンゴル
MR モーリタニア
MW マラウイ
NL オランダ
NO ノルウェー
PL ポーランド
RO ルーマニア
SD スーダン
SE スウェーデン
SN セネガル
SU ソビエト連邦
TD チャード
TG トーゴ
US 米国

- 1 -

明 細 書

位相同期回路

5 技術分野

この発明は、入力信号の位相に同期追従したクロックを生成する位相同期回路（PLL回路）に関し、特に、フロッピーディスク等の磁気ディスク装置におけるデータセパレート回路に好適な位相同期回路に関する。

10 背景技術

フロッピーディスク等の磁気ディスク装置における位相同期回路の入力データ（リードデータ）の形式は、隣接する縦目フィールド（GAP）の間には頭出し部分の等間隔パルス列の同期ビットだけを持つ同期フィールド（SYSC）と、これに続き同期ビットとデータビットを持つ情報フィールド（インデックスフィールド（ID）とデータフィールド（DATA））とで構成されている。従って、
15 情報フィールドに先行する同期フィールドでPLL回路を同期ロックに引き込むように動作させ、PLL回路が一旦ロックすれば、PLL回路は情報フィールドにおいても同一の繰り返し周波数で同期
20 保持を続けるよう作動する。従来、例えばフロッピーディスク装置におけるPLL回路としては日本特許公開公報昭和58年第50827号に開示されたものが知られている。この位相同期回路においては、フロッピーディスク装置より再生されるリードデータRDがそのセクタ内の同期フィールドにあるときには、PLL回路自体を
25 同期ロックに引き込むために同期ビットに高速に追従するような周

- 2 -

波数及び位相比較器と高ゲインの低域フィルタ (LPF) が選択され、またリードデータ RD がデータフィールドにあるときは、PLL 回路は既に同期がとれているので、位相のみを比較する位相比較器とデータビットのピークシフトには追従しないような低ゲインの低域フィルタが選択される。このような周波数及び位相比較器と高ゲインの低域フィルタの組と、位相比較器と低ゲインの低域フィルタとの組を同期フィールドとデータフィールドとで切り換えて制御する方式では、誤ロックの防止やロックインの高速化又はリード動作の安定化が図られている。

10 しかしながら、上述の構成に係る PLL 回路にあっては次のような問題点が存在する。

① 周波数及び位相比較器と位相比較器を必要とするため、それぞれの後段に低域フィルタを具備させなければならない。低域フィルタは、一般に前段のチャージポンプとの回路相関上等価的なラグリ
15 ートフィルタで、抵抗素子と容量素子とからなる直列回路であるが、複数の低域フィルタを用いると、ディスクリート部品の点数が増え、基板実装のスペースを大幅に消費してしまう。また位相同期回路の 1 チップ半導体集積回路を構成する場合には、複数の低域フィルタの作り込みを余儀無くされるので、チップサイズを増大させてしま
20 う。

② 同期ビットの周波数と低域フィルタの出力電位で周波数制御される電圧制御発振器の発振周波数とが異なるような 2-7 RLL 記録方式を採用する場合、単純には周波数及び位相比較器をそのまま使用することができない。

25 そこで、本発明は、周波数及び位相比較器を用いず、位相比較器

- 3 -

のみを用いて高速にロックインさせることにより、第1に、周波数及び位相比較器と高ゲインの低域フィルタの構成要素を排除し、基板実装スペースや半導体チップサイズの縮小化を達成することにより、第2に、同期ビットの周波数と電圧制御発振器の発振周波数が異なる場合においても使用できる位相同期回路を提供することにある。

発明の開示

上記課題を解決するために、本発明は、基準クロックからリード
10 データへの切り換え時において同期フィールドで電圧制御発振手段
の発振を一旦停止させた後その発振を再開させる所謂ゼロフェーズ
スタートの手法を採用するものであるが、リードデータと発振出力
の位相の合わせ込みを高速に達成するために、電圧制御発振手段と
ワンショット回路の構成を改良した点に特徴を有する。即ち、本発
15 明においては、到来信号を所定のパルス幅に変換するワンショット
回路と、その出力を第1の入力信号としてこれを第2の入力信号と
位相比較する位相比較手段と、位相比較手段の出力を電圧変換する
ループフィルタ手段と、ループフィルタ手段の出力電圧により発振
周波数が制御され、発振出力を第2の入力信号の信号源として送出
20 する電圧制御発振手段とを有する位相同期回路において、外部制御
信号と第1の入力信号とを基に第1の入力信号に同期した発振制御
信号を作成する発振制御タイミング手段を備え、電圧制御発振手段
は、奇数段Nのインバータ回路をリング状に接続したリングオシレ
ータと、発振制御信号によりリングオシレータの出力レベルを固定
25 させる発振停止解除手段とを有し、上記ワンショット回路は上記ル

- 4 -

- ープフィルタ手段の出力電圧によりパルス幅を可変するパルス幅調整手段を有し、このパルス幅調整手段は上記リングオシレータを構成するインバータ回路と同一特性のインバータ回路を同一の奇数段 N だけカスケード接続した遅延手段であることを特徴とするものである。このような構成においては、PLL回路が同期フィールドに入ると、外部制御信号の発生によってこれに同期した発振制御信号が発振制御タイミング手段から生成される。この発振制御信号の発生によって発振停止解除手段が電圧制御発振手段の発振を停止させる。この発振停止の期間は短時間（数バイト）であるので、ループ
- 10 フィルタ手段の出力電圧は発振停止直前の値と等しい値で保持される。発振停止から所定の時間が経過すると、発振制御信号の論理が切り換わり、電圧制御発振手段の発振が再開するが、電圧制御発振手段は奇数段 N のインバータ回路をリング状に接続したリングオシレータであることから、そのリングオシレータ回路の遅延量のため、
- 15 発振周期 T の半周期 $T/2$ 分だけ発振出力 V_{out} の論理が変化する時点が遅れる。またワンショット回路の出力も変化するが、ワンショット回路は上記ループフィルタ手段の出力電圧によりパルス幅を可変するパルス幅調整手段を有し、このパルス幅調整手段は上記リングオシレータを構成するインバータ回路と同一特性のインバータ
- 20 回路を同一の奇数段 N だけカスケード接続した遅延手段であるので、ワンショット回路の出力パルス幅は、発振周期 T の半周期 $T/2$ 分と相等しいパルス幅に調整される。このため、位相比較手段の2入力の位相は実質的に一致又は近似したものとなる。このため、ループフィルタ 30 を高ゲインとせず、位相同期回路を高速に同期ロ
- 25 ックに引き込むことができる。また第1の入力信号の周波数と第2

の入力信号の周波数が異なるときにも位相同期をとることが可能である。更に、ワンショット回路のパルス幅及び電圧制御発振手段の発振周波数が共にループフィルタ手段の出力電圧の値に連動して変わるため、ディスク装置の回転変動に対するピークシフトマージンの低下を半減させることができる。

上述の発振停止解除手段の具体的な構成としては、 K を $1, \dots, N-1$ の自然数とすると、第 K 段目と第 $K+1$ 段目のインバータ回路の間に介在しており、第 K 段目から第 $K+1$ 段目に信号を伝達するトランスミッション回路と電圧固定用スイッチング回路とを採用することができる。かかる場合の上述の遅延手段としては、発振停止解除手段のトランスミッション回路と電圧固定用スイッチング回路に対応する同一の回路要素を有し、それらを電源に固定的に付勢した均等な回路構成を採用することが望ましい。両者の遅延時間をより精度良く合わせ込むためである。

また発振停止解除手段の別の構成としては、第1段目のインバータ回路の前段に介在しており、最終段から第1段目に信号を伝達するトランスミッション回路と電圧固定用スイッチング回路を採用することができる。

図面の簡単な説明

図1は本発明に係る実施例1及び実施例の概略構成を示すブロック図である。

図2は実施例1における位相比較器、チャージポンプ及び電圧制御発振器の構成を示す回路図である。

図3は実施例1におけるワンショット回路の構成を示す回路図であ

る。

図 4 は実施例 1 において同期フィールド時の各種信号波形を示すタイミングチャート図である。

図 5 は実施例 1 における位相ステップ応答と従来例における位相ステップ応答を示すグラフ図である。

図 6 は実施例 2 における電圧制御発振器の構成を示す回路図である。

図 7 は実施例 2 におけるワンショット回路の構成を示す回路図である。

図 8 は実施例 2 において同期フィールド時の各種信号波形を示すタイミングチャート図である。

発明を実施するための最良の形態

次に、本発明の実施例を添付図面に基づいて説明する。

〔実施例 1〕

図 1 は実施例 1 及び実施例 2 に係る位相同期回路の概略構成を示すブロック図である。この PLL 回路は、同期フィールド検出回路 1、セレクト回路 2、ワンショット回路 3、位相比較器 10、チャージポンプ 20、低ゲインのループフィルタ 30、電圧制御発振器 (VCO) 40 及び発振制御タイミング回路 50 を有している。

同期フィールド検出回路 1 はリードデータ RD が同期フィールドの同期ビットのみからなることを検出する。通常、この回路は、等間隔の同期ビットの数バイト (1~2 バイト) をカウントするカウンタで構成されている。この同期フィールド検出回路 1 が同期フィールドを検出すると、検出信号 C と入力切り換え制御信号 SC を出力する。セレクト回路 2 は入力切り換え制御信号 SC によりリード

- 7 -

データ RD と基準クロック CL とを排他的に選択するセクタ回路である。その選択された信号はワンショット回路 3 へ供給される。ワンショット回路 3 は入来信号毎に所定のパルス幅の方形パルスに変換するもので、そのパルス幅の可変調整は、後述するように、パルス幅調整回路 60 で行われる。

この PLL 回路は、入力信号 S_{IN} の位相と電圧制御発振器 40 の発振出力 V_{OUT} の位相を比較し、遅れ位相差信号 Q_1 及び進み位相差信号 Q_2 を出力する位相比較器 10 と、遅れ位相差信号 Q_1 及び進み位相差信号 Q_2 を基にループフィルタ 30 のキャパシタ C_F に対して充放電電流 i を供給するチャージポンプ 20 と、チャージポンプ 20 との回路相関上等価的なラグリートフィルタを構成する低ゲインの低域フィルタ (LPF) たるループフィルタ 30 と、そのフィルタ出力電圧 V_F を制御入力としてその値に応じた発振周波数 f_{osc} の発振出力 V_{OUT} に変換する電圧制御発振器 40 とを有している。電圧制御発振器 40 は電圧-電流変換回路 (以下 V/I 回路と言う) 42 と電流-周波数変換回路 (以下 I/F 回路と言う) 44 と発振停止解除回路 46 を有している。発振制御タイミング回路 50 は同期フィールド検出回路 1 からの検出信号 C をワンショット回路 3 の出力 S_{IN} と同期をとり発振制御信号 RS を生成するものであり、これは D フリップフロップ回路で構成されている。

位相比較器 10 はデジタル位相比較器で、図 2 に示すように、入力信号 S_{IN} をクロック入力とする D フリップフロップ 11 と、発振出力 V_{OUT} をクロック入力とする D フリップフロップ 12 と、D フリップフロップ 11, 12 の Q 出力から両者のリセット信号 R を作成するナンドゲート 13 と、D フリップフロップ 11 の Q (バー

出力とDフリップフロップ12のQ出力から遅れ位相差信号 Q_1 を作成するナンドゲート14と、Dフリップフロップ11のQ出力とDフリップフロップ12のQ(バー)出力から進み位相差信号 Q_2 を作成するナンドゲート15と、入力信号 S_{IN} をクロック入力としナンドゲート13の出力をリセット信号(Reset)として Q_c 出力をDフリップフロップ11, 12のリセット端子に供給するDフリップフロップ17とから構成されている。入力信号 S_{IN} が入力されたとき、Dフリップフロップ17の Q_c 出力が高レベルとなるが、これによってDフリップフロップ11, 12はアクティブ状態となる。発振出力 V_{OUT} の立ち下がりが来ても、入力信号 S_{IN} が入力されて Q_c 出力が高レベルのとき以外は無視される。従って位相比較回路10は発振出力 V_{OUT} 毎には位相比較を行わない。

チャージポンプ20は、遅れ位相差信号 Q_1 の低レベルでオン状態となる充電用スイッチングMOSFET22と、進み位相差信号 Q_2 の高レベルでオン状態となる放電用スイッチングMOSFET24の直列回路である。

低域フィルタたるループフィルタ30はチャージポンプ20との回路構成上等価的なラグリートフィルタを構成しており、抵抗 R_F とキャパシタ C_F との等価直列回路である。このループフィルタ30はデータビットのピークシフトのような位相変動に追従しないような低ゲインのフィルタで構成されている。

電圧制御発振器40のV/I回路42はカレントミラー回路で、フィルタ出力電圧 V_F の値に応じて電流を流す電流源としてのP型MOSFET42aと、これに直列した入力側のN型MOSFET42bと、入力側の電流値 i_1 と実質的に等しい値の出力側電流を

流す出力側のN型MOSFET 42cと、これにカスケード接続したP型MOSFET 42dとから構成されている。電圧制御発振器40のI/F回路44は、貫通電流がカレントミラー回路の出力電流で規定される3段接続のインバータ回路44a, 44b, 44cをリング状に接続してなるリングオシレータ回路である。即ち、インバータ回路44aには、P型MOSFET 42dに並列のP型MOSFET 44aaとN型MOSFET 42cに並列のN型MOSFET 44abがそれぞれ直列に接続されている。またインバータ回路44bには、P型MOSFET 42dに並列のP型MOSFET 44baとN型MOSFET 42cに並列のN型MOSFET 44bbがそれぞれ直列に接続されている。更に、インバータ回路44cには、P型MOSFET 42dに並列のP型MOSFET 44caとN型MOSFET 42cに並列のN型MOSFET 44cbがそれぞれ直列に接続されている。第1段目のインバータ回路44aと第2段目のインバータ回路44bとの間には、発振制御信号RSによって第1段目から第2段目への信号を伝達遮断すべきトランスミッション回路45aと、第2段目のインバータ回路44bの入力電圧を固定する電圧固定用MOSFET 46aとを有している。また、第2段目のインバータ回路44bと第3段目のインバータ回路44cとの間には、発振制御信号RSによって第2段目から第3段目への信号を伝達遮断すべきトランスミッション回路45bと、第3段目のインバータ回路44cの入力電圧を固定する電圧固定用MOSFET 46bとを有している。これらのトランスミッション回路45a, 45b及び固定する電圧固定用MOSFET 46a, 46bは発振停止解除回路46を構成している。

- 10 -

ワンショット回路 3 は、図 3 に示すように、セクタ回路 2 から
のリードデータ RD 又は基準クロック CL をクロック入力とする D
フリップフロップ回路 3 a とその出力 Q のパルス幅をループフィル
タ 3 b のフィルタ出力 V_F の値に応じて可変するパルス幅調整回路
5 6 0 とから構成されている。このパルス幅調整回路 6 0 の回路要素
は電圧制御発振器 4 0 のそれと同じで、トランスミッション回路 4
5 a を電源 V_{SS} に、トランスミッション回路 4 5 b を電源 V_{DD} に接
続したものと同じである。即ち、パルス幅調整回路 6 0 は、カレン
トミラー回路からなる電圧電流変換回路 6 2 とその変換電流の値に
10 応じたパルス遅延量を付与する遅延回路 6 4 とから構成されている。
この遅延回路 6 4 は、電圧制御発振器 4 0 のインバータ回路と同一
特性のインバータ回路 $INV_1 \sim INV_3$ のカスケード接続である。
第 1 段目のインバータ回路 INV_1 と第 2 段目のインバータ回路 INV_2
の間に介在するトランスミッション回路 T_1 は電源 V_{SS} に接
15 続されており、常に信号伝達可能状態にある。また第 2 段目のイン
バータ回路 INV_2 と第 3 段目のインバータ回路 INV_3 の間に介
在するトランスミッション回路 T_2 は電源 V_{DD} に接続されており、
これも常に信号伝達可能状態にある。

フロッピーディスクの再生時において継目フィールド (GAP) に
20 ある場合には、同期フィールド検出回路 1 が同期フィールドを検出
していないので、セクタ回路 2 は基準クロック CL を選択してい
る。この期間においては PLL 回路はこの基準クロックに同期して
いる。即ち、発振制御信号 RS は低レベルにあるので、トランスミ
ッション回路 4 5 a, 4 5 b は電位伝達モードに設定され、また電
25 位固定用 MOSFET 4 6 a, 4 6 b はオフ状態にあるので、3 段

- 1 1 -

接続のインバータ回路 44a, 44b, 44c は正規のリングオシレータを形成しており、電圧制御発振器 40 の基準クロックに同期してデューティ比 50% の発振出力を送出する。

次に、同期フィールド (SYSC) に入ると、同期フィールド検出回路 1 が同期ビットを検出する。同期フィールド検出回路 1 は同期ビットの数バイト (1~2 バイト) 後に高レベルの検出信号 C を出力する。また入力切り換え信号 SC も生成され、セクタ回路 2 はリードデータ RD を選択する。この検出信号 C は発振制御タイミング回路 50 に供給されるが、図 3 に示すように、リードデータ RD 即ちワンショット回路 3 のパルス S_{1N} の立ち上がりを待つて発振制御信号 RS が立ち上がる。この発振制御信号 RS が立ち上がりると、トランスミッシヨン回路 45a, 45b は遮断され、電位固定用 MOSFET 46a, 46b はオン状態となる。このとき、2 段目のインバータ回路 44b の入力電圧は高レベル (V_{DD}) となり、3 段目のインバータ回路 44c の入力電圧は低レベル (V_{SS}) に固定される。このため、電圧制御発振器 40 の発振は停止し、出力 V_{OUT} は高レベルに維持される。この発振停止に入る直前においては、ループフィルタ出力 V_F は一定値に固定されている。同期フィールド (SYSC) の数バイトまでは PLL 回路が基準クロック C_L に同期しているからである。またこの発振停止の期間 (同期ビットの数バイト) では、ループフィルタ出力 V_F の値は不変であるとみることができる。ループフィルタ 30 のリーク電流を無視できる程の短時間だからである。

次に、発振停止から同期ビットの数バイトが同期フィールド検出回路 1 で検出されると、検出信号 C が立ち下がる。発振制御タイミ

- 12 -

ング回路50はリードデータRDの立ち上がりを待って発振制御信号RSを立ち下げる。電圧制御発振器40の発振が再開するが、3段のインバータ回路44a, 44b, 44cからなるリングオシレータ回路の遅延量のため、発振周期Tの半周期 $T/2$ 分だけ発振出力 V_{out} の高レベルから低レベルに立ち下がる時点が遅れる。またリードデータRDの立ち上がりに同期してワンショット回路3の出力 S_{IN} も立ち上がるが、ワンショット回路3のパルス幅調整回路3bの存在により、発振周期Tの半周期 $T/2$ 分と相等しいパルス幅に調整される。このため、リードデータRDの立ち下がり時点と発振再開時点とが実質的に一致することになる。これはパルス幅調整回路3bが電圧制御発振器40と同様にループフィルタ30のフィルタ出力 V_F に基づいて3段のインバータ回路 $INV_1 \sim INV_3$ で遅延量が決定されているためである。

このように、電圧制御発振器40の発振を開始したとき、3段のインバータ回路44a, 44b, 44cからなるリングオシレータの半周期分の遅延量とワンショット回路3の3段のインバータ回路 INV_1, INV_2, INV_3 の遅延量の差が僅かであるので、ループフィルタ30を高ゲインとせず、位相同期回路を高速に同期ロックに引き込むことができる。

図4は位相ステップ応答を示すグラフ図である。同グラフにおいて横軸は時間 t を、縦軸は位相差 θ を表す。Aは本実施例による位相ステップ応答で、Bは従来の位相同期回路による位相ステップ応答である。それぞれの位相ステップ応答は低ゲインのループフィルタを用いた場合を示してある。ここで、一般に、位相ステップ応答の式は次式で与えられる。

- 13 -

$$\theta_e = \Delta \theta \left\{ \cos \sqrt{1 - \zeta^2} \omega_n t - \frac{\zeta}{\sqrt{1 - \zeta^2}} \sin \sqrt{1 - \zeta^2} \omega_n t \right\} e^{-\zeta \omega_n t}$$

但し、 $\Delta \theta$ は初期位相差、 ω_n は自然角周波数、 ζ はダンピング係数である。図5では $\omega_n = 80 \times 10^3 \text{ rad/sec}$ 、 $\zeta = 0.4$ である。

- 5 本実施例では発振再開時点を入力信号 S_{IN} の立ち下がりに合わせてあるので、初期位相差 $\Delta \theta$ は理論的には 0° であるが、ワースト値として高々 30° 程度と推測される。これに対して従来の位相同期回路では、発振出力 V_{OUT} と入力信号 S_{IN} との位相差が不定であるので、初期位相差 $\Delta \theta$ も不定であるが、ワースト値は 90° である。
- 10 このため、応答Aが追従動作を終了したとみなせる時間 t_1 とし、また応答Bが追従動作を終了したとみなせる時間 t_2 とすると、本実施例の方がより速く同期ロックに引き込むことができる。このように、本例に係る位相同期回路においては、低ゲインのループフィルタを用いるだけで高速ロックインさせることができる。従って、従
- 15 来に比して高ゲインのループフィルタを用いなくとも済むので、ループフィルタを構成する受動素子を削減することができ、基板実装面積の節約やチップサイズの縮小化を図ることができる。

- 電圧制御発振器40における発振停止解除回路60は、第1段目と第2段目のインバータ回路44a、44bの間と、第2段目と第
- 20 3段目のインバータ回路44b、44cの間とに構成されている。これは第3段目のインバータ回路44の出力には必然的に負荷容量が寄生するため、その寄生容量と同等な容量を第1段目と第2段目との間、第2段目と第3段目との間に持たせて遅延波形を整形安定化させるためである。

- 25 なお、本実施例における電圧制御発振器はオペアンプにより構成

- 14 -

しても良い。また入力信号 S_{IN} の立ち上がりで発振を開始するように構成することもできる。

〔実施例 2〕

実施例 2 に係る位相同期回路の概略構成は図 1 に示すものと同様で、実施例 1 と比べると、電圧制御発振回路及びワンショット回路の構成が異なる。

図 6 は実施例 2 に係る電圧制御発振器の構成を示す回路図である。なお、同図において実施例 1 に係る電圧制御発振器の構成部分と同一部分には同一参照符号を付してある。この電圧制御発振器 70 もまた V/I 回路 42 と I/F 回路 74 とを有している。 V/I 回路 42 はカレントミラー回路である。 I/F 回路 74 は実施例 1 の I/F 回路 40 と同様にインバータ回路 44a, 44b, 44c をリング状に接続したリングオシレータ回路で構成されている。この第 1 段目のインバータ回路 44a の前段にはトランスミッション回路 74a と電圧固定用 MOSFET 74b が設けられている。トランスミッション回路 74a と電圧固定用 MOSFET 74b は発振停止解除回路 46 を構成している。

発振制御信号 RS が低レベルのときは、トランスミッション回路 74a が信号伝達モードに設定されると共に、電圧固定用 MOSFET 74b はオフ状態にある。一方、発振制御信号 RS が高レベルのときは、トランスミッション回路 74a が遮断されると共に、電圧固定用 MOSFET 74b はオン状態となる。

図 7 は実施例 2 に係るワンショット回路の構成を示す回路図である。なお、同図において実施例 1 に係る電圧制御発振器の構成部分と同一部分には同一参照符号を付してある。このワンショット回路

- 15 -

80も、セクタ回路2からのリードデータRD又は基準クロックCLをクロック入力とするDフリップフロップ回路3aとその出力Qのパルス幅をループフィルタ30のフィルタ出力V_rの値に応じて可変するパルス幅調整回路82とから構成されている。このパルス幅調整回路82の回路要素は電圧制御発振器70のそれと同じで、カレントミラー回路からなる電圧電流変換回路84とその変換電流の値に応じたパルス遅延量を付与する遅延回路86とから構成されている。遅延回路86は、電圧制御発振器70のリングオシレータを構成するインバータ回路と同一特性のインバータ回路INV₁, INV₂, INV₃を3段カスケード接続したものである。

実施例1と同様に、フロッピーディスクの再生時において継目フィールド(GAP)にある場合には、同期フィールド検出回路1が同期ビットを検出していないので、セクタ回路2は基準クロックCLを選択している。この期間においてはPLL回路はこの基準クロックに同期している。即ち、発振制御信号RSは低レベルにあるので、トランスミッション回路74aは電位伝達モードに設定され、また電位固定用MOSFET74bはオフ状態にあるので、3段接続のインバータ回路44a, 44b, 44cは正規のリングオシレータを形成しており、電圧制御発振器70の基準クロックに同期してデューティー比50%の発振出力を送出する。

次に、同期フィールド(SYSC)に入ると、同期フィールド検出回路1が同期ビットを検出する。同期フィールド検出回路1は同期ビットの数バイト(1~2バイト)後に高レベルの検出信号Cを出力する。また入力切り換え信号SCも生成され、セクタ回路2はリードデータRDを選択する。この検出信号Cは発振制御タイミ

- 16 -

ング回路 50 に供給されると、発振制御信号 RS が立ち上がる。この発振制御信号 RS の立ち上がりると、トランスミッション回路 74a が遮断され、電位固定用 MOSFET 74b がオン状態となる。このとき、1 段目のインバータ回路 44a の入力電圧は低レベル (V_{ss}) となるので、3 段目のインバータ回路 44c の出力たる発振出力 V_{out} は高レベルに維持され、発振が停止する。この発振停止に入る直前においては、ループフィルタ出力 V_f は一定値に固定されている。同期フィールド (SYSC) の数バイトまでは PLL 回路が基準クロック CL に同期しているからである。またこの発振停止の期間 (同期ビットの数バイト) では、ループフィルタ出力 V_f の値は不変であるとみるができる。ループフィルタ 30 のリーク電流を無視できる程の短時間だからである。

次に、発振停止から同期ビットの数バイトが同期フィールド検出回路 1 で検出されると、検出信号 C が立ち下がる。発振制御タイミング回路 50 はリードデータ RD の立ち上がりを待って発振制御信号 RS を立ち下げる。電圧制御発振器 700 の発振が再開するが、3 段のインバータ回路 44a, 44b, 44c からなるリングオシレータ回路の遅延量のため、発振周期 T の半周期 $T/2$ 分だけ発振出力 V_{out} が高レベルから低レベルに立ち下がる時点が遅れる。またリードデータ RD の立ち上がりに同期してワンショット回路 3 の出力 S_{in} も立ち上がるが、ワンショット回路 3 のパルス幅調整回路 82 の存在により、発振周期 T の半周期 $T/2$ 分と相等しいパルス幅に調整される。このため、リードデータ RD の立ち下がり時点と発振再開時点とが実質的に一致することになる。これはパルス幅調整回路 82 が電圧制御発振器 70 と同様にループフィルタ 30 のフィ

- 17 -

ルタ出力 V_F に基づいて 3 段のインバータ回路 $INV_1 \sim INV_3$ で遅延量が決定されているためである。

このように、電圧制御発振器 70 の発振を開始したとき、3 段のインバータ回路 44a, 44b, 44c からなるリングオシレータ
5 の半周期分の遅延量とワンショット回路 3 の 3 段のインバータ回路 INV_1, INV_2, INV_3 の遅延量の差が僅かであるので、ループフィルタ 30 を高ゲインとせず、位相同期回路を高速に同期ロックに引き込むことができる。また、従来は周波数及び位相比較器を用いているので、入力信号 S_{IN} の周波数と発振出力 V_{OUT} の周波数
10 が異なる場合には位相同期をとることができなかったが、本例のように位相比較器と低ゲインのループフィルタのみで構成されているので、そのような場合にも位相同期をとることができる。更に、実施例 1 と同様に、ワンショット回路のパルス幅及び電圧制御発振器の発振周波数が共にループフィルタ手段の出力電圧の値に連動して
15 変わるため、ディスク装置の回転変動に対するピークシフトマージンの低下を半減させることができる。

- 18 -

請 求 の 範 囲

1. 到来信号を所定のパルス幅に変換するワンショット回路と、その出力を第1の入力信号としてこれを第2の入力信号と位相比較する位相比較手段と、該位相比較手段の出力を電圧変換するループフィルタ手段と、該ループフィルタ手段の出力電圧により発振周波数が制御され、発振出力を第2の入力信号の信号源として送出する電圧制御発振手段とを有する位相同期回路であって、外部制御信号と第1の入力信号とを基に第1の入力信号に同期した発振制御信号を
10 作成する発振制御タイミング手段を備え、前記電圧制御発振手段は、奇数段Nのインバータ回路をリング状に接続したリングオシレータと、前記発振制御信号によりリングオシレータの出力レベルを固定させる発振停止解除手段とを有し、前記ワンショット回路は前記ループフィルタ手段の出力電圧によりパルス幅を可変するパルス幅調整手段を有し、このパルス幅調整手段は前記リングオシレータを構成するインバータ回路と同一特性のインバータ回路を同一の奇数段Nだけカスケード接続した遅延手段であることを特徴とする位相同期回路。

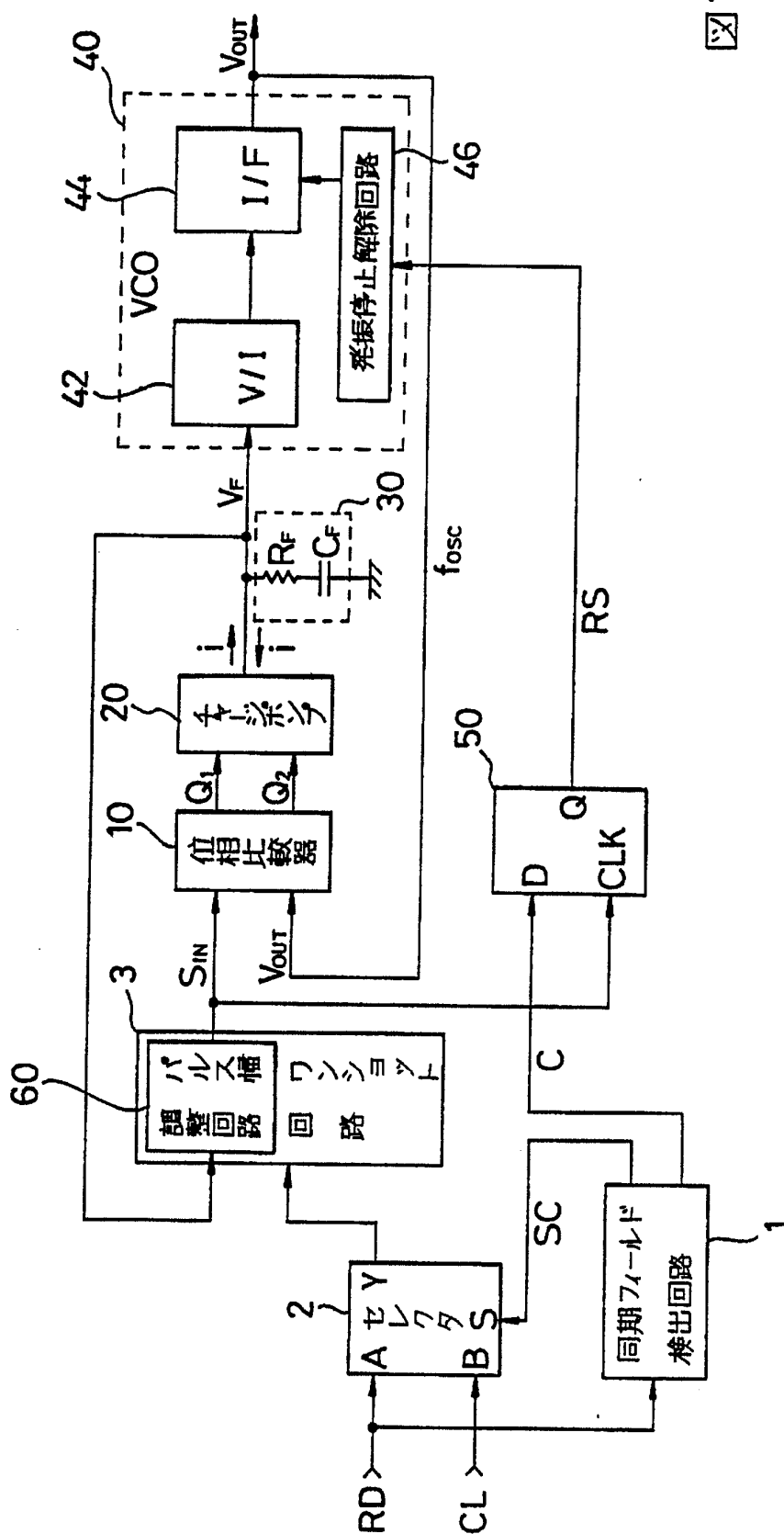
2. 請求項1において、前記発振停止解除手段は、Kを1, ... N-1の自然数とし、第K段目と第K+1段目のインバータ回路の間に
20 介在しており、第K段目から第K+1段目に信号を伝達するトランスミッション回路と電圧固定用スイッチング回路で構成されていることを特徴とする位相同期回路。

3. 請求項2において、前記遅延手段は、前記トランスミッション回路と電圧固定用スイッチング回路に対応する同一の回路要素を有
25

— 19 —

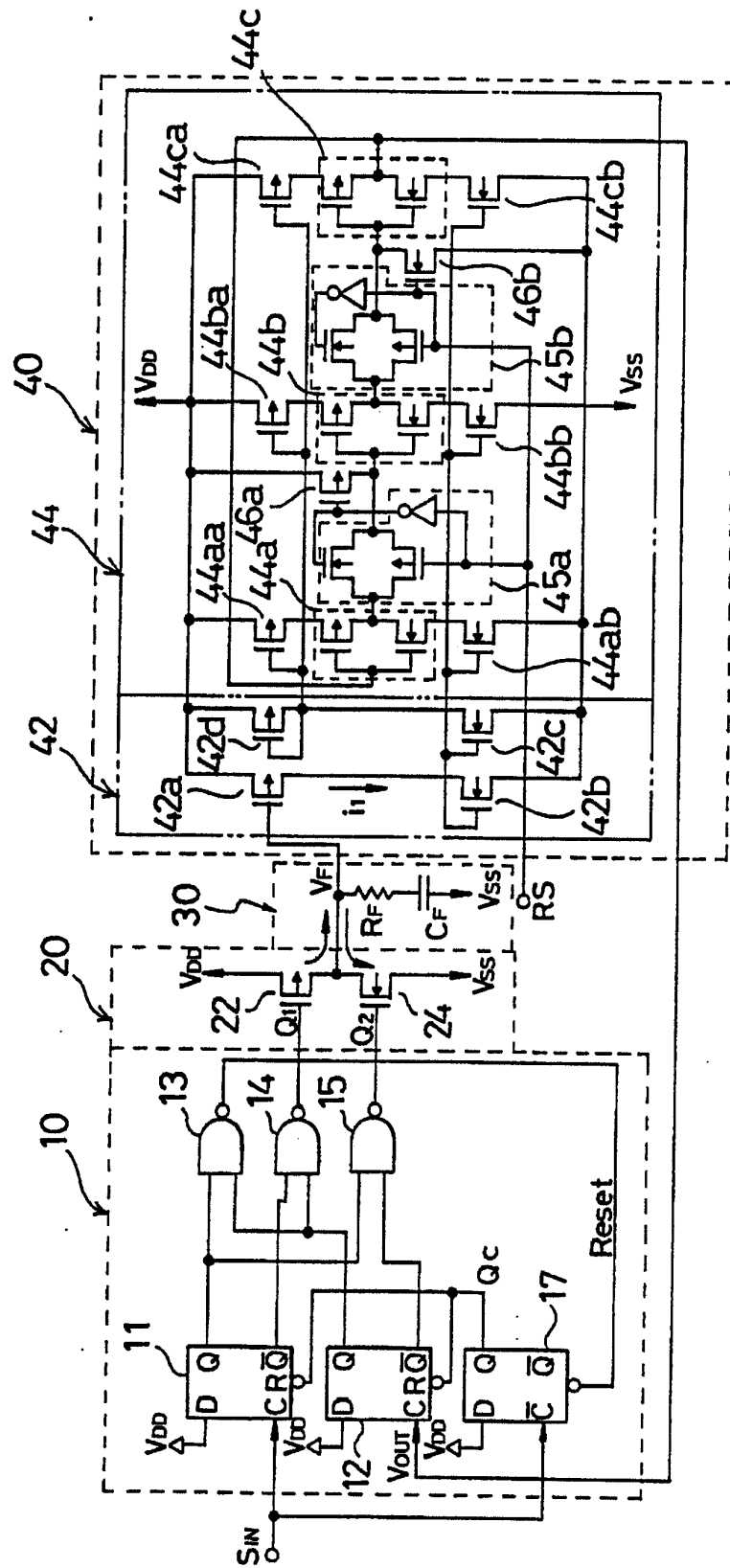
し、それらは電源に固定的に付勢されていること特徴とする位相同期回路。

4. 請求項 1 において、前記発振停止解除手段は、第 1 段目のインバータ回路の前段に介在しており、最終段から第 1 段目に信号を伝達するトランスミッション回路と電圧固定用スイッチング回路で構成されていることを特徴とする位相同期回路。

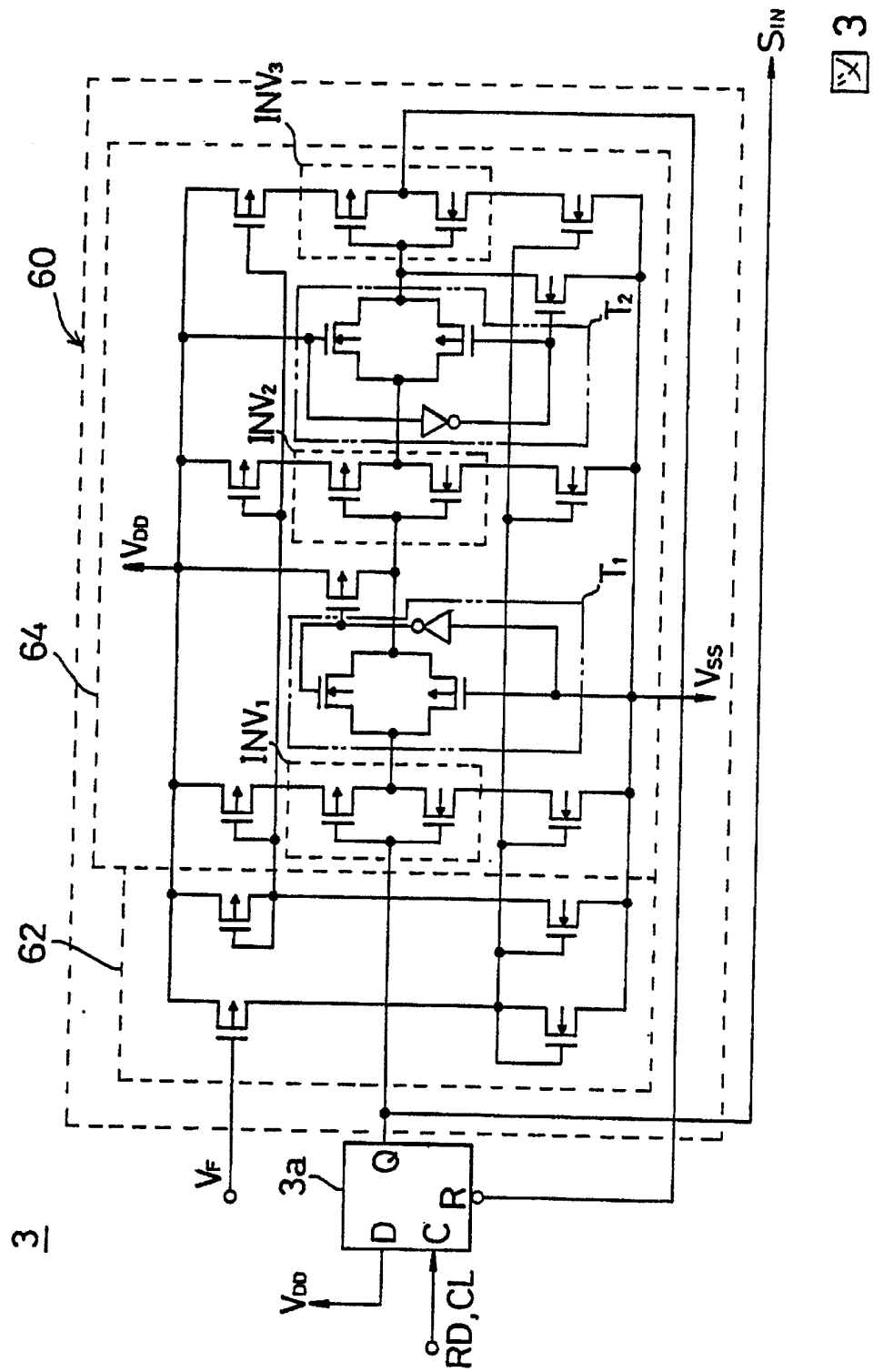


14

2 / 8



2



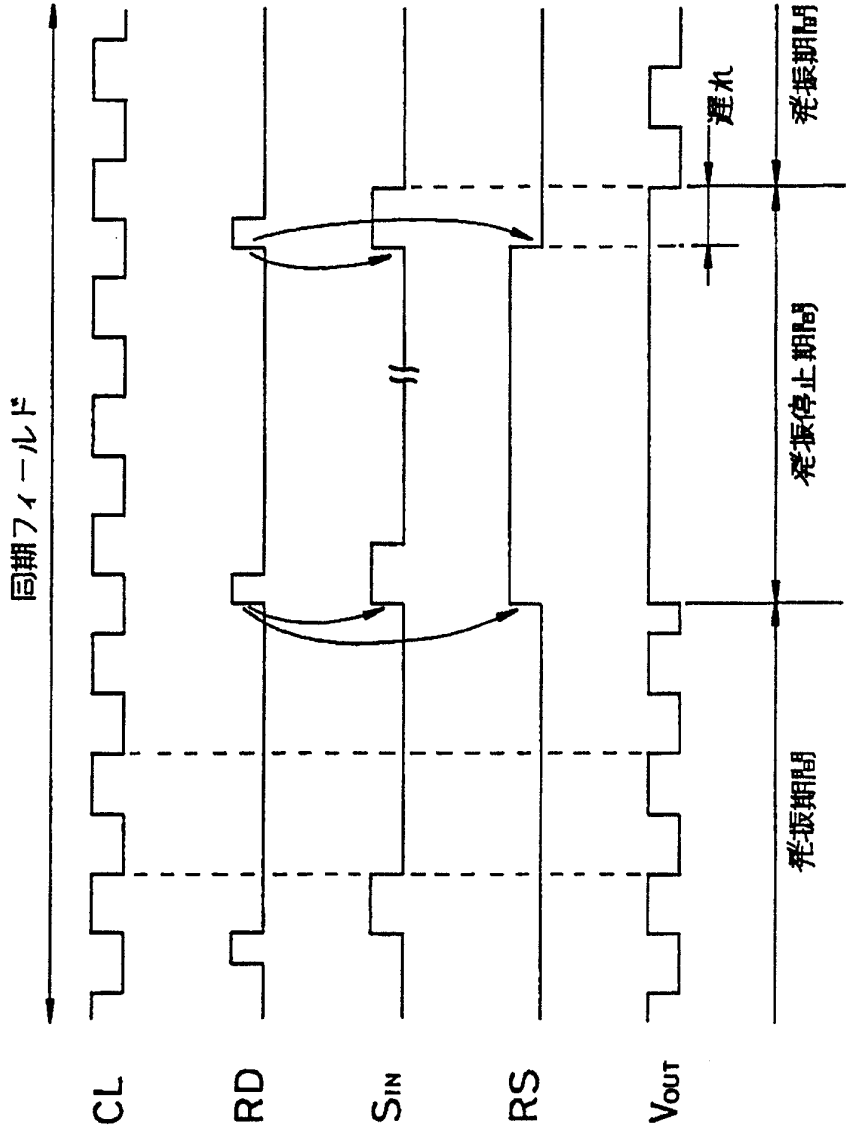
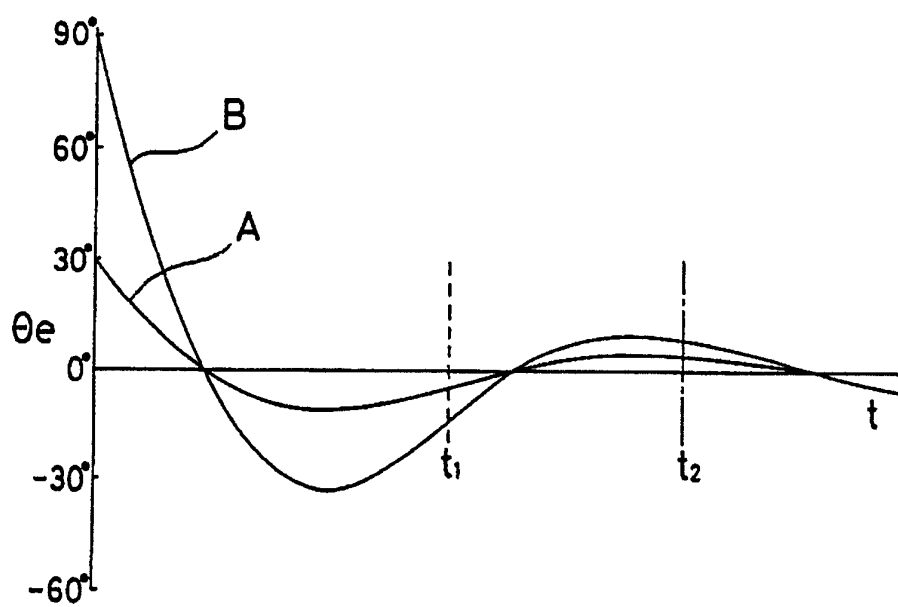
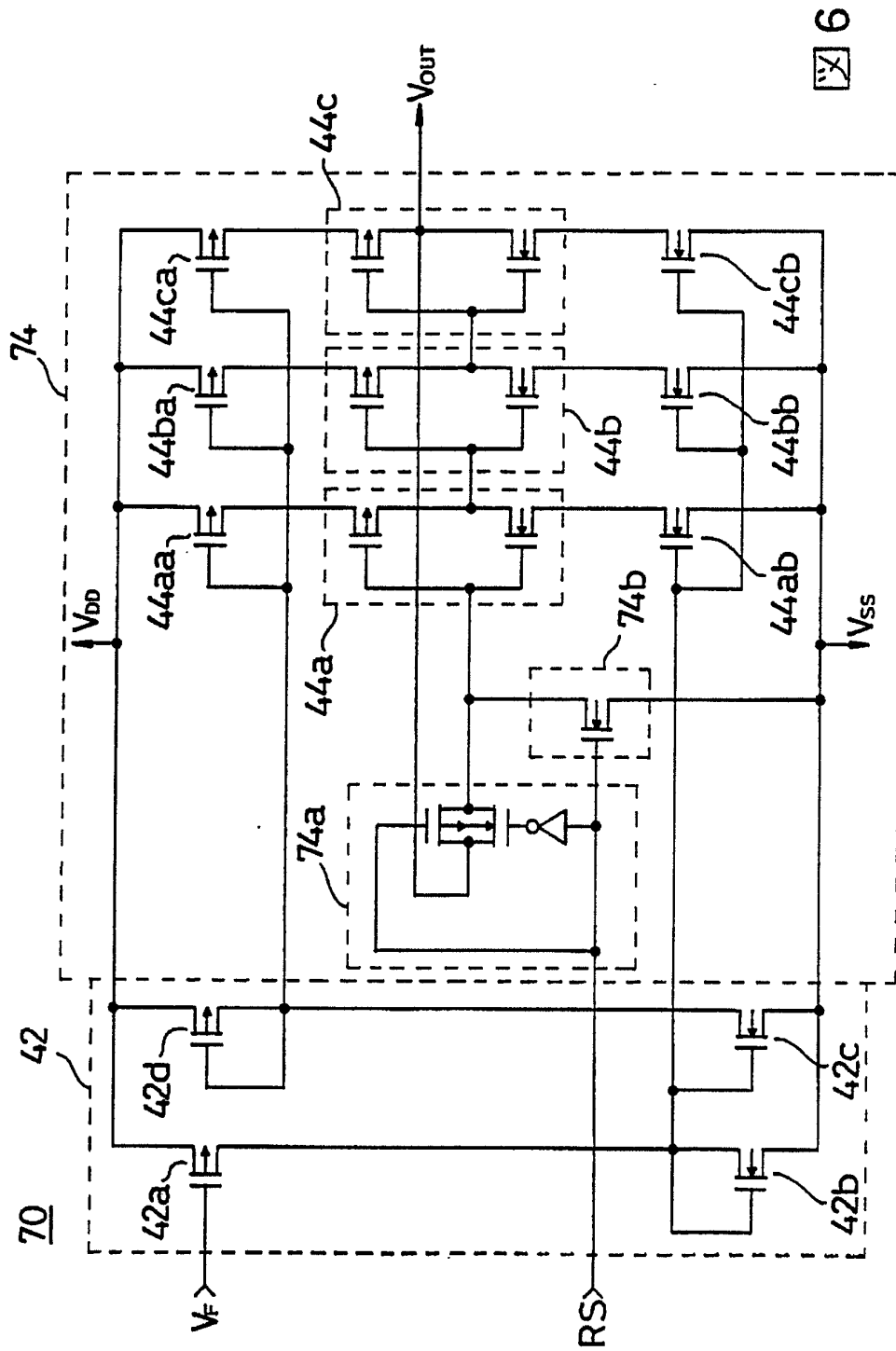


図 4

5 / 8

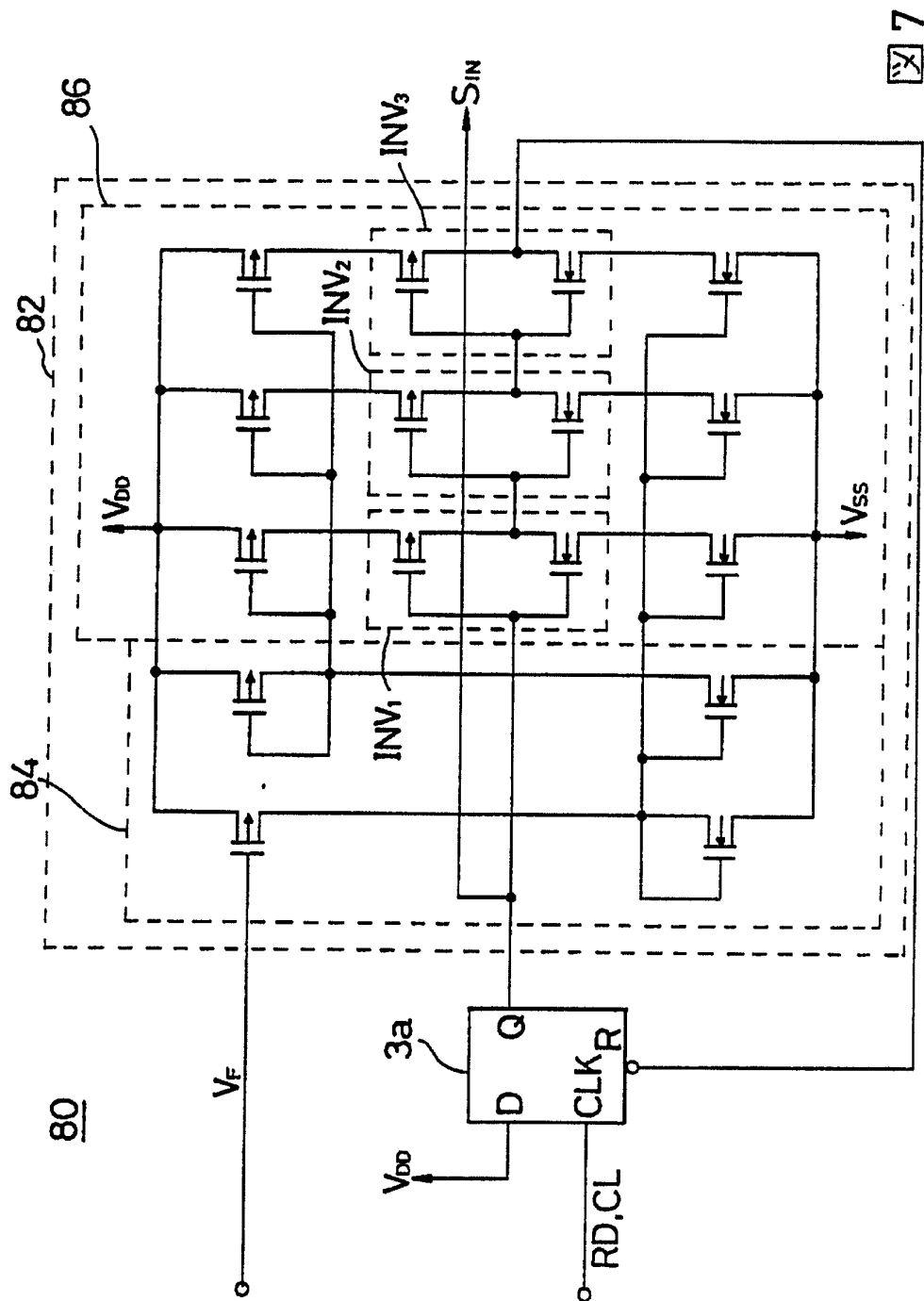
図 5



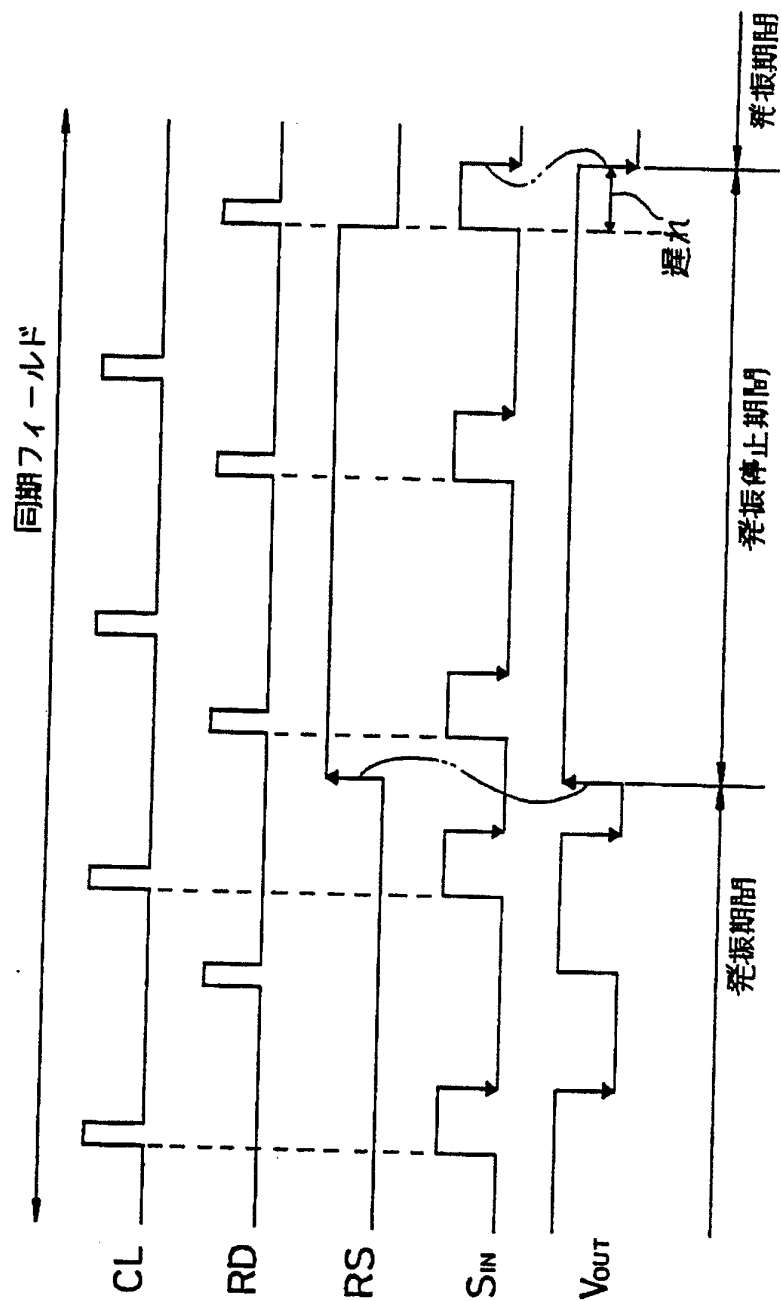


6

7 / 8



7



INTERNATIONAL SEARCH REPORT

International Application No PCT/JP91/01052

I. CLASSIFICATION OF SUBJECT MATTER (If several classification symbols apply, indicate all) ⁶		
According to International Patent Classification (IPC) or to both National Classification and IPC Int. Cl ⁵ H03L7/10, G11B20/14		
II. FIELDS SEARCHED		
Minimum Documentation Searched ⁷		
Classification System	Classification Symbols	
IPC	H03L7/06-7/22, G11B20/10-20/16	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁸		
Jitsuyo Shinan Koho 1926 - 1990 Kokai Jitsuyo Shinan Koho 1971 - 1990		
III. DOCUMENTS CONSIDERED TO BE RELEVANT ⁹		
Category ¹⁰	Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²	Relevant to Claim No. ¹³
Y	JP, A, 53-89651 (Hitachi, Ltd.), August 7, 1978 (07. 08. 78), (Family: none)	1
Y	JP, A, 58-107728 (Fujitsu Ltd.), June 27, 1983 (27. 06. 83), (Family: none)	1
Y	JP, A, 58-107729 (Hitachi, Ltd.), June 27, 1983 (27. 06. 83), (Family: none)	1
Y	JP, A, 59-140614 (Hitachi, Ltd.), August 13, 1984 (13. 08. 84), (Family: none)	1
¹⁰ Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search		Date of Mailing of this International Search Report
October 21, 1991 (21. 10. 91)		November 11, 1991 (11. 11. 91)
International Searching Authority		Signature of Authorized Officer
Japanese Patent Office		

国 際 調 査 報 告

国際出願番号PCT/JP91/01052

I. 発明の属する分野の分類		
国際特許分類 (IPC) Int. Cl. ⁵ H03L7/10, G11B20/14		
II. 国際調査を行った分野		
調 査 を 行 っ た 最 小 限 資 料		
分 類 体 系	分 類 記 号	
IPC	H03L7/06-7/22, G11B20/10-20/16	
最小限資料以外の資料で調査を行ったもの		
日本国実用新案公報 1926-1990年 日本国公開実用新案公報 1971-1990年		
III. 関連する技術に関する文献		
引用文献の ※ カテゴリー	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
Y	JP, A, 53-89651 (株式会社 日立製作所), 7. 8月. 1978 (07. 08. 78), (ファミリーなし)	1
Y	JP, A, 58-107728 (富士通株式会社), 27. 6月. 1983 (27. 06. 83), (ファミリーなし)	1
Y	JP, A, 58-107729 (株式会社 日立製作所), 27. 6月. 1983 (27. 06. 83), (ファミリーなし)	1
Y	JP, A, 59-140614 (株式会社 日立製作所), 13. 8月. 1984 (13. 08. 84), (ファミリーなし)	1
※引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」先行文献ではあるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリーの文献		
IV. 認 証		
国際調査を完了した日 21. 10. 91	国際調査報告の発送日 11. 11. 91	
国際調査機関 日本国特許庁 (ISA/JP)	権限のある職員 特許庁審査官 飯 田 清 司	5 J 9 1 8 2