

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-186784
(P2012-186784A)

(43) 公開日 平成24年9月27日(2012.9.27)

(51) Int.Cl.	F I	テーマコード (参考)
H03B 5/32 (2006.01)	H03B 5/32 J	5J079
	H03B 5/32 D	
	H03B 5/32 H	

審査請求 未請求 請求項の数 30 O L (全 58 頁)

(21) 出願番号 特願2011-213865 (P2011-213865)
 (22) 出願日 平成23年9月29日 (2011.9.29)
 (31) 優先権主張番号 特願2010-287421 (P2010-287421)
 (32) 優先日 平成22年12月24日 (2010.12.24)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2011-31677 (P2011-31677)
 (32) 優先日 平成23年2月17日 (2011.2.17)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100080001
 弁理士 筒井 大和
 (74) 代理人 100113642
 弁理士 菅田 篤志
 (74) 代理人 100117008
 弁理士 筒井 章子
 (74) 代理人 100147430
 弁理士 坂次 哲也
 (72) 発明者 小澤 治
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内

最終頁に続く

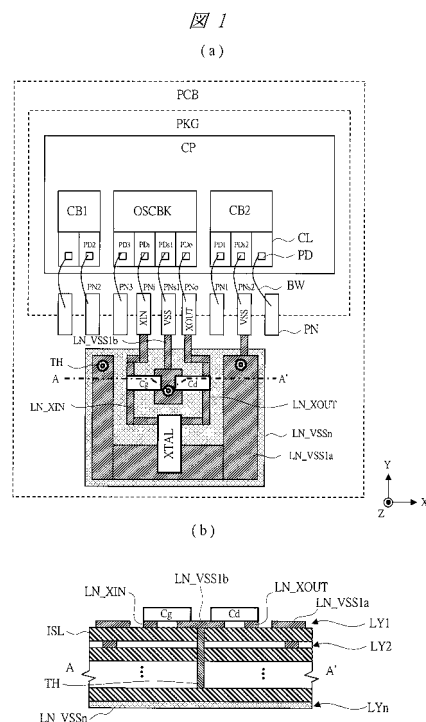
(54) 【発明の名称】 水晶発振装置および半導体装置

(57) 【要約】

【課題】 低負荷容量値対応の水晶振動子を十分に適用することが可能な水晶発振装置を提供する。

【解決手段】 例えば、配線基板PCB上に、発振入力信号XIN用の配線パターンLN_XINと、発振出力信号XOUT用の配線パターンLN_XOUTを設け、その間の領域に接地電源電圧VSS用の配線パターンLN_VSS1bを配置する。LN_XINとLN_XOUTの間には水晶振動子XTALを接続し、その負荷容量となる容量Cg、Cdの一端をLN_VSS1bに接続する。更に、これらの配線パターンを囲むようにVSS用の配線パターンLN_VSS1aを配置し、加えて、下層にもVSS用の配線パターンLN_VSSnを配置する。これらによって、XINノードとXOUTノード間の寄生容量の低減や、当該ノードのノイズ耐性の向上等が可能になる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

半導体チップを搭載し、第 1 および第 2 外部端子を含んだ半導体パッケージと、
水晶振動子と、
前記半導体パッケージおよび前記水晶振動子を実装される配線基板とを備え、
前記半導体チップには、前記第 1 外部端子を入力とし、前記第 2 外部端子を出力とする
反転論理回路が形成され、
前記配線基板には、
第 1 配線層を用い、前記第 1 外部端子から延伸し、前記水晶振動子の一端に結合される
第 1 配線パターンと、
前記第 1 配線層を用い、前記第 2 外部端子から前記第 1 配線パターンと略並行に延伸し
、前記水晶振動子の他端に結合される第 2 配線パターンと、
前記第 1 配線層を用い、前記第 1 配線パターンと前記第 2 配線パターンの間の領域に配
置され、前記反転論理回路の接地電源電圧と電氣的に接続される第 3 配線パターンとが形
成されることを特徴とする水晶発振装置。

10

【請求項 2】

請求項 1 記載の水晶発振装置において、
前記配線基板には、更に第 1 および第 2 容量が実装され、
前記第 1 容量は、一端が前記第 1 配線パターンに、他端が前記第 3 配線パターンに接続
され、
前記第 2 容量は、一端が前記第 2 配線パターンに、他端が前記第 3 配線パターンに接続
されることを特徴とする水晶発振装置。

20

【請求項 3】

請求項 2 記載の水晶発振装置において、
前記半導体パッケージは、更に、前記第 1 外部端子と前記第 2 外部端子の間に隣接して
配置され、前記反転論理回路の接地電源電圧用の端子である第 3 外部端子を備え、
前記第 3 配線パターンは、前記第 3 外部端子に接続されることを特徴とする水晶発振装
置。

【請求項 4】

請求項 3 記載の水晶発振装置において、
前記半導体パッケージは、更に、前記第 3 外部端子と対向する側で前記第 1 外部端子に
隣接して配置され、前記反転論理回路の電源電圧用の端子である第 4 外部端子を備えるこ
とを特徴とする水晶発振装置。

30

【請求項 5】

請求項 1 記載の水晶発振装置において、
前記配線基板には、更に、前記第 1、第 2 および第 3 配線パターンの形成領域を囲むよ
うに配置され、前記反転論理回路の接地電源電圧と電氣的に接続される第 4 配線パター
ンが形成されることを特徴とする水晶発振装置。

【請求項 6】

請求項 5 記載の水晶発振装置において、
前記配線基板には、更に、前記第 1 配線層とは単数または複数の誘電体層を挟んで異な
る層となる第 N 配線層を用いて面状に配置され、前記第 1、第 2、第 3 および第 4 配線パ
ターンとの間で前記単数または複数の誘電体層を挟んで対向する部分を持ち、前記反転論
理回路の接地電源電圧と電氣的に接続される第 5 配線パターンが形成されることを特徴と
する水晶発振装置。

40

【請求項 7】

請求項 1 記載の水晶発振装置において、
前記配線基板には、更に、前記第 1 配線層を用い、前記半導体パッケージの実装部分で
面状に配置され、前記反転論理回路の接地電源電圧と電氣的に接続される第 6 配線パター
ンが形成されることを特徴とする水晶発振装置。

50

【請求項 8】

請求項 7 記載の水晶発振装置において、

前記第 1 外部端子と前記第 2 外部端子は隣接して配置され、

前記第 3 配線パターンは、前記第 1 外部端子と前記第 2 外部端子の間の空間を介して前記第 6 配線パターンに接続されていることを特徴とする水晶発振装置。

【請求項 9】

請求項 7 記載の水晶発振装置において、

前記配線基板には、更に

前記第 1、第 2 および第 3 配線パターンの形成領域を囲むように配置され、前記反転論理回路の接地電源電圧と電氣的に接続される第 4 配線パターンと、

前記第 1 配線層とは単数または複数の誘電体層を挟んで異なる層となる第 N 配線層を用いて面状に配置され、前記第 1、第 2、第 3 および第 4 配線パターンとの間で前記単数または複数の誘電体層を挟んで対向する部分を持ち、前記反転論理回路の接地電源電圧と電氣的に接続される第 5 配線パターンとが形成され、

前記第 4 配線パターンは、前記第 6 配線パターンとの間で、前記第 1 配線層内でループを構成するように配置されていることを特徴とする水晶発振装置。

【請求項 10】

請求項 1 記載の水晶発振装置において、

前記水晶振動子は、1 MHz 未満の発振周波数に対応したものであることを特徴とする水晶発振装置。

【請求項 11】

外部に設けられる水晶振動子の接続用端子であり、互いに隣接して配置された第 1 および第 2 外部端子と、

半導体チップと、

前記半導体チップと前記第 1 および第 2 外部端子との間を接続する第 1 および第 2 接続部品とを備え、

前記半導体チップは、

第 1 方向に順に隣接して配置された第 1、第 2 および第 3 領域と、

前記第 1 方向と直交する第 2 方向において前記第 1、第 2 および第 3 領域に近接して配置され、反転論理回路が形成される発振回路領域とを備え、

前記第 1 領域では、前記第 1 外部端子に前記第 1 接続部品を介して接続され、前記反転論理回路の入力ノードに第 1 信号配線を介して接続される第 1 パッドが形成され、

前記第 3 領域では、前記第 2 外部端子に前記第 2 接続部品を介して接続され、前記反転論理回路の出力ノードに第 2 信号配線を介して接続される第 2 パッドが形成され、

前記第 2 領域では、前記発振回路領域に向けて延伸する第 1 電源配線が形成されることを特徴とする水晶発振装置。

【請求項 12】

請求項 11 記載の水晶発振装置において、

前記水晶発振装置は、更に、

外部からの電源が供給される第 3 外部端子と、

前記半導体チップと前記第 3 外部端子との間を接続する第 3 接続部品とを備え、

前記半導体チップは、更に、前記第 3 外部端子に前記第 3 接続部品を介して接続される第 3 パッドが形成された第 4 領域を備え、

前記第 3 パッドは、第 2 電源配線を介して前記第 2 領域の前記第 1 電源配線に接続されていることを特徴とする水晶発振装置。

【請求項 13】

請求項 12 記載の水晶発振装置において、

前記第 2 領域では、更に、前記第 1 電源配線に接続される電源用の ESD 保護素子が形成されることを特徴とする水晶発振装置。

【請求項 14】

請求項 1 2 記載の水晶発振装置において、

前記第 1 領域では、更に、前記第 1 パッドに接続される第 1 E S D 保護素子が形成され

、
前記第 3 領域では、更に、前記第 2 パッドに接続される第 2 E S D 保護素子が形成され

、
前記第 1 および第 2 E S D 保護素子のそれぞれは、電源電圧側ではなく接地電源電圧側に接続されていることを特徴とする水晶発振装置。

【請求項 1 5】

請求項 1 1 記載の水晶発振装置において、

前記水晶振動子は、1 M H z 未満の発振周波数に対応したものであることを特徴とする水晶発振装置。 10

【請求項 1 6】

発振回路ブロックと、所定の回路ブロックと、前記発振回路ブロック用の第 1 接続領域と、前記所定の回路ブロック用の第 2 接続領域とが形成された半導体チップと、

外部に設けられる水晶振動子の接続用端子である第 1 および第 2 外部端子と、

外部からの電源が供給される第 3 外部端子と、

前記第 1 接続領域と前記第 1 および第 2 外部端子との間を接続する第 1 および第 2 接続部品と、

前記第 2 接続領域と前記第 3 外部端子との間を接続する第 3 接続部品とを備え、

前記発振回路ブロックは、反転論理回路を含み、 20

前記第 1 接続領域は、第 1 方向に順に隣接して配置された第 1、第 2 および第 3 セル領域を含み、

前記第 1 セル領域では、前記第 1 外部端子に前記第 1 接続部品を介して接続され、前記反転論理回路の入力ノードに第 1 信号配線を介して接続される第 1 パッドが形成され、

前記第 3 セル領域では、前記第 2 外部端子に前記第 2 接続部品を介して接続され、前記反転論理回路の出力ノードに第 2 信号配線を介して接続される第 2 パッドが形成され、

前記第 2 セル領域では、前記反転論理回路の電源に接続される第 1 電源配線が形成され

、
前記第 2 接続領域は、第 4 セル領域を含み、

前記第 4 セル領域では、前記第 3 外部端子に前記第 3 接続部品を介して接続され、前記所定の回路ブロックに第 2 電源配線を介して接続される第 3 パッドが形成され、 30

前記第 2 セル領域の前記第 1 電源配線には、前記第 3 外部端子からの電源が供給されるように構成されたことを特徴とする水晶発振装置。

【請求項 1 7】

請求項 1 6 記載の水晶発振装置において、

前記水晶発振装置は、更に、第 4 接続部品を備え、

前記第 2 接続領域は、更に、第 5 セル領域を含み、

前記第 5 セル領域では、前記第 3 外部端子に前記第 4 接続部品を介して接続され、前記第 2 セル領域の前記第 1 電源配線に第 3 電源配線を介して接続される第 4 パッドが形成されることを特徴とする水晶発振装置。 40

【請求項 1 8】

請求項 1 7 記載の水晶発振装置において、

前記第 1 外部端子と前記第 2 外部端子は、隣接して配置されていることを特徴とする水晶発振装置。

【請求項 1 9】

請求項 1 8 記載の水晶発振装置において、

前記水晶振動子は、1 M H z 未満の発振周波数に対応したものであることを特徴とする水晶発振装置。

【請求項 2 0】

基準電流を生成する基準電流生成回路と、 50

電源電圧ノードと第 1 ノードの間にソース・ドレイン経路が形成され、前記基準電流をカレントミラーすることで第 1 電流を生成する第 1 M I S トランジスタと、

ソースが接地電源電圧ノードに接続され、前記第 1 ノードと前記接地電源電圧ノードの間にソース・ドレイン経路が形成される第 2 M I S トランジスタと、

前記第 1 ノードを、第 1 容量を介して前記接地電源電圧ノードへ接続するための第 1 端子と、

前記第 2 M I S トランジスタのゲートに接続される第 2 ノードを、第 2 容量を介して前記接地電源電圧ノードへ接続するため、及び水晶振動子を介して前記第 1 端子へ接続するための第 2 端子と、

前記第 1 ノードと前記第 2 ノードの間に挿入された帰還抵抗と、

前記第 1 ノードに生成された第 1 振幅を持つ第 1 発振信号を第 1 比較電圧を基準として大小判定し、前記第 1 振幅よりも大きい第 2 振幅を持つ第 2 発振信号を生成するコンパレータ回路ブロックとを有することを特徴とする半導体装置。

【請求項 2 1】

請求項 2 0 記載の半導体装置において、

前記第 1 M I S トランジスタは、更に、前記水晶振動子の負荷容量値を表す第 1 モード設定信号に応じてトランジスタサイズが可変設定可能に構成され、前記水晶振動子の前記負荷容量値が第 1 負荷容量値の際には前記第 1 電流の電流値を第 1 電流値に設定し、前記負荷容量値が前記第 1 負荷容量値よりも大きい第 2 負荷容量値の際には前記第 1 電流の電流値を前記第 1 電流値よりも大きい第 2 電流値に設定することを特徴とする半導体装置。

【請求項 2 2】

請求項 2 1 記載の半導体装置において、

前記第 2 M I S トランジスタは、サブスレッショルド領域で動作し、

前記基準電流生成回路は、前記基準電流を温度に比例して増加させることを特徴とする半導体装置。

【請求項 2 3】

請求項 2 2 記載の半導体装置において、

前記基準電流生成回路は、

第 1 の n チャネル型 M I S トランジスタと、

前記第 1 の n チャネル型 M I S トランジスタのソースと前記接地電源電圧ノードの間に挿入される電流値設定用抵抗と、

ソースが前記接地電源電圧ノードに接続され、ゲートおよびドレインが前記第 1 の n チャネル型 M I S トランジスタのゲートに接続される第 2 の n チャネル型 M I S トランジスタと、

ソース・ドレイン経路が前記第 1 の n チャネル型 M I S トランジスタのソース・ドレイン経路と直列に接続される第 1 の p チャネル型 M I S トランジスタと、

ソース・ドレイン経路が前記第 2 の n チャネル型 M I S トランジスタのソース・ドレイン経路と直列に接続され、前記第 1 の p チャネル型 M I S トランジスタとカレントミラー回路を構成する第 2 の p チャネル型 M I S トランジスタとを備え、

前記第 1 M I S トランジスタは、前記第 1 および第 2 の p チャネル型 M I S トランジスタとカレントミラー回路を構成し、

前記第 1 および第 2 の n チャネル型 M I S トランジスタは、サブスレッショルド領域で動作することを特徴とする半導体装置。

【請求項 2 4】

請求項 2 1 記載の半導体装置において、

前記第 2 M I S トランジスタは、サブスレッショルド領域で動作し、

「前記第 2 負荷容量値 / 前記第 1 負荷容量値」の値が「M」の場合、「前記第 2 電流値 / 前記第 1 電流値」の値は、「M」の 2 乗になっていることを特徴とする半導体装置。

【請求項 2 5】

請求項 2 0 記載の半導体装置において、

10

20

30

40

50

前記コンパレータ回路ブロックは、
前記第 1 比較電圧を生成する比較電圧生成回路と、
前記第 1 発振信号と前記第 1 比較電圧の差分を増幅する差動増幅回路とを含み、
前記比較電圧生成回路は、
前記電源電圧ノードと第 3 ノードの間にソース・ドレイン経路が形成され、前記基準電流をカレントミラーすることで第 3 電流を生成する第 3 M I S トランジスタと、
前記第 2 M I S トランジスタと同一のトランジスタサイズを持ち、ソースが前記接地電源電圧ノードに接続されると共に前記第 3 ノードと前記接地電源電圧ノードの間にソース・ドレイン経路が形成され、ゲートとドレインが共通接続される第 4 M I S トランジスタとを備え、

10

前記第 3 ノードに前記第 1 比較電圧が生成されることを特徴とする半導体装置。

【請求項 26】

請求項 25 記載の半導体装置において、
前記比較電圧生成回路は、更に、前記第 4 M I S トランジスタを複数備え、
前記複数の第 4 M I S トランジスタは、前記第 3 ノードと前記接地電源電圧ノードの間で、それぞれ並列に接続されることを特徴とする半導体装置。

【請求項 27】

請求項 25 記載の半導体装置において、
前記差動増幅回路は、ヒステリシス特性を持つことを特徴とする半導体装置。

【請求項 28】

20

請求項 20 記載の半導体装置において、
前記基準電流生成回路は、発振起動時に、前記基準電流の電流値を一時的に増加させるスタートアップ回路を備えることを特徴とする半導体装置。

【請求項 29】

請求項 20 記載の半導体装置において、更に、
前記第 1 ノードと前記第 2 M I S トランジスタのドレインの間にスイッチとして機能する第 5 M I S トランジスタを有することを特徴とする半導体装置。

【請求項 30】

基準電流を生成する基準電流生成回路と、
電源電圧ノードと第 1 ノードの間にソース・ドレイン経路が形成され、前記基準電流をカレントミラーすることで第 1 電流を生成する第 1 M I S トランジスタと、
ソース・ドレインの一方が前記第 1 ノードに接続され、スイッチとして機能する第 1 スイッチ用 M I S トランジスタと、
ソースが接地電源電圧ノードに接続され、ドレインが前記第 1 スイッチ用 M I S トランジスタのソース・ドレインの他方に接続される第 2 M I S トランジスタと、
前記第 1 ノードを、第 1 容量を介して前記接地電源電圧ノードへ接続するための第 1 端子と、
前記第 2 M I S トランジスタのゲートとなる第 2 ノードを、第 2 容量を介して前記接地電源電圧ノードへ接続し、更に水晶振動子を介して前記第 1 端子へ接続するための第 2 端子と、

30

40

前記第 1 ノードと前記第 2 ノードの間に挿入された帰還抵抗と、
前記第 1 ノードに生成された第 1 振幅を持つ第 1 発振信号を第 1 比較電圧を基準として大小判定し、前記第 1 振幅よりも大きい第 2 振幅を持つ第 2 発振信号を生成するコンパレータ回路ブロックとを有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、水晶発振装置及び水晶発振器に接続される半導体装置に関し、特に、32 kHz を代表とする低周波数用の水晶発振装置及び水晶発振器に接続される半導体装置に適用して有効な技術に関する。

50

【背景技術】

【0002】

例えば、特許文献1には、低消費電力化のため、水晶発振回路におけるインバータ回路に流れる電流をインバータ回路の電源電圧側と接地電源電圧側にそれぞれ挿入した電流源で制御する構成が示されている。また、特許文献2には、水晶発振回路において、負荷容量に可変容量を適用することに加えて、インバータ回路の電源電圧を電圧変換回路を介して可変設定可能にすることで、発振周波数の可変範囲を拡大した構成が示されている。更に、特許文献3には、多層基板上に実装される負荷容量や水晶振動子等を含んだ水晶発振器において、この負荷容量や水晶振動子等の実装領域に対向する内層部分を空にする構成が示されている。これによって、パターン間などの静電容量の影響を大幅に低減し、発振周波数等が設計値に対して大きく外れてしまうのを防止することができる。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2001-274627号公報

【特許文献2】特開2006-135739号公報

【特許文献3】特開平10-22734号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

例えば、マイクロコンピュータ（マイコン）を代表とする各種電子機器では、通常、時計機能を実現するための水晶発振装置を搭載している。水晶発振装置は、電池等のバッテリーによって動作する場合が多く、高精度と共に特に低消費電力化等が求められる。水晶発振装置を低消費電力化するためには、小さい負荷容量値（CL値）に対応した低CL値対応の水晶振動子を用いることが有益である。図30は、一般的な水晶発振装置の構成例を示す回路図である。図31は、本発明の前提として検討した発振回路部の配置例を示す概略図である。

20

【0005】

図30に示す水晶発振装置は、半導体パッケージPKGxと、その外付け部品となる水晶振動子XTAL、容量Cd、Cg、および制限用の抵抗Rd等によって構成される。Rdは、省略することも可能である。PKGx内の半導体チップには、インバータ回路（反転論理回路又は負性抵抗生成回路）IVと、その入力（XIN）と出力（XOUT）の間に接続された高抵抗の帰還抵抗Rfとを含んだ発振回路部OSCBKが形成されている。XTALは、XINとXOUTの間に接続され、CgはXINと接地電源電圧GNDの間に、CdはXOUTとGNDの間にそれぞれ接続される。このような構成によって、XOUTに例えば発振周波数32kHz等の発振信号が生成される。

30

【0006】

また、図31に示すように、半導体パッケージPKGx内の発振回路部OSCBKは、例えば、OSCBK内のGND（VSS）と前述した外付け部品のGNDとの間に差を持たせないように、PKGxの電源端子（VCC、VSS）の近傍に配置される。所謂白物家電等に使用するローエンドマイコンでは、外部端子数が少ないため、電源ペア（VCCとVSS）が1組しか存在しないことが多い。その場合は配線抵抗による電圧降下IR_{Drop}を最小にするために電源ペアは辺の真ん中に置かれる。そのためOSCBKも辺の真ん中の近くに置かれることになる。

40

【0007】

ここで、前述した負荷容量値（CL値）とは、水晶振動子XTALから見た等価容量値を意味する。図30の場合において、各種寄生容量を無視すると、CL値はCgとCdの直列接続の容量値に該当する。一般的に広く普及している水晶振動子のCL値は、12.5pF（標準CL値と称す）等であり、この場合、実際の寄生容量を加味してそれぞれ10~20pF等の値を持つCd、Cgが用いられる。一方、近年では、3~7pF等の低

50

C L 値に対応した X T A L が開発されており、この場合には、それぞれ 2 ~ 8 p F 等の値を持つ C d , C g が必要となる。このような低 C L 値対応の X T A L を用いると、発振余裕度を十分に確保した状態で C d , C g 等への充放電電流を小さくできることから低消費電力化が図れる。しかしながら、その一方で、標準 C L 値を用いる場合と比較して、例えば、(1) チップや配線基板の寄生容量、(2) ノイズ耐性等の観点で十分な注意が必要となることを見出された。

【 0 0 0 8 】

まず、(1) チップや配線基板の寄生容量に関しては、例えば、寄生容量が大きくなると、その分容量値が小さな負荷容量 (C d , C g) が必要となり、現実的にこのような小さな外付け負荷容量を入手できなくなる恐れがある。特に、図 3 1 で述べたようなローエンドマイコン等では、外部端子数が少なくその信号割り当ての自由度も低いため、外部端子間の寄生容量が問題となり得る。また、低 C L 値になるほど、容量値が変動した際の周波数感度が高くなるため、寄生容量のばらつきに伴い発振動作に不具合が生じる恐れがある。なお、標準 C L 値を用いた場合には、例えば 1 ~ 3 p F 程度の寄生容量が存在した場合でも、C d , C g の値の調整によって十分に寄生容量を補償でき、また周波数感度が低いため、各容量値の精度が若干低くても大きな問題は生じない。

【 0 0 0 9 】

次に、(2) ノイズ耐性に関しては、低消費電力化に伴い負荷容量 (C d , C g) を充放電する電流が小さくなるため、水晶発振装置全体がノイズに対してより敏感になってくる。また、図 3 0 の外部端子 (X I N , X O U T) における E M C (Electromagnetic Compatibility) の対策もより重要性が増してくる。更に、電源ノイズに関しても、図 3 1 で説明したように、特に電源ペアが 1 組しか存在しないような場合には、チップ内部や配線基板上での電源の揺らぎが近くの発振回路部 O S C B K に影響を及ぼす恐れがある。そのため、例えば端子配置、配線基板パターン、あるいはチップ内レイアウト等の最適化によって十分なノイズ対策を行うことが望ましい。

【 0 0 1 0 】

図 3 2 は、本発明の前提として検討した水晶発振装置において、その配線基板のレイアウト構成例を示す概略図である。図 3 2 では、配線基板 P C B x 上に半導体パッケージ P K G x 、水晶振動子 X T A L 、容量 C g , C d 、および抵抗 R d が実装され、これらが P C B x 上で適直接続されている。P K G x は、発振入力信号 X I N 用、発振出力信号 X O U T 用、接地電源電圧 V S S 用、所定の信号 X X 用を含む複数の外部端子 P N を備えている。ここでは、P N (X I N) と P N (X O U T) が隣接して配置されている。P N (X I N) は、P C B x 上の配線パターン L N _ X I N に接続され、P N (X O U T) は、R d を介して P C B x 上の配線パターン L N _ X O U T に接続される。L N _ X I N と L N _ X O U T は、互いにノイズを与えないように、間隔をおいて延伸する。また、P N (X I N) に隣接する P N (X X) からの配線パターン L N _ X X は、できるだけ L N _ X I N と併走しないように、L N _ X I N の延伸方向と直交する方向に向けて延伸している。

【 0 0 1 1 】

X T A L は L N _ X I N と L N _ X O U T の間に接続され、C g の一端は L N _ X I N に接続され、C d の一端は L N _ X O U T に接続される。P N (V S S) は、P C B x 上の配線パターン L N _ V S S 1 a に接続され、L N _ V S S 1 a は、前述した X T A L , C g , C d , L N _ X I N , L N _ X O U T の形成領域又は実装領域を囲むように略ループ状に配置されている。ただし、L N _ V S S 1 a の末端は、完全にループを形成しないように開放状態となっている。C g , C d の他端は、この L N _ V S S 1 a にそれぞれ接続される。このようなループ状の L N _ V S S 1 a を用いることで、前述した X T A L , C g , C d , L N _ X I N , L N _ X O U T の領域とその外部との間のノイズの伝達を抑制することが可能となる。また、当該領域の下層 (中層) 部分は、空となっている。これは、特に L N _ X I N , L N _ X O U T と下層 (中層) との間の寄生容量等を低減するためである。

【 0 0 1 2 】

この図32のレイアウト構成例は、前述した寄生容量やノイズの観点である程度の注意を払ったものとなっている。しかしながら、特に低CL値対応の水晶振動子を用いる場合、図32のレイアウト構成例では、十分とは言えず、更なる工夫が必要となることを見出された。本発明は、このようなことを鑑みてなされたものであり、その目的の一つは、低負荷容量値対応の水晶振動子を十分に適用することが可能な水晶発振装置を提供することにある。

【0013】

また、本発明者等は、前述したレイアウトの観点に加えて回路の観点からも検討を行った。図50は、一般的な水晶発振装置の構成例を示す回路図である。図50に示す水晶発振装置は、半導体パッケージPKGxと、その外付け部品となる水晶振動子XTAL、容量Cd、Cg、および制限用の抵抗Rd等によって構成される。Rdは、省略することも可能である。PKGx内の半導体チップには、インバータ回路（反転論理回路又は負性抵抗生成回路）IVoと、その入力(XIN)と出力(XOUT)の間に接続された高抵抗（例えば10M等）の帰還抵抗Rfとを含んだ発振回路部OSCBKが形成されている。XTALは、XINとXOUTの間に接続され、CgはXINと接地電源電圧GNDの間に、CdはXOUTとGNDの間にそれぞれ接続される。このような構成によって、XOUTに例えば32kHz等の周波数を持つ発振信号が生成される。

10

【0014】

このような水晶発振装置は、電池等のバッテリーによって動作する場合が多く、特に低消費電力化が求められる。水晶発振装置を低消費電力化するためには、負荷容量値(CL値)が小さい水晶振動子XTALを用いることが有益である。CL値とは、XTALから見た等価容量値を意味し、図50の例ではCgとCdの直列接続の容量値に該当する。一般的には、例えば12.5pF（標準CL値と称す）等のCL値に対応したXTALが広く用いられているが、近年では、例えば3~7pF（低CL値と称す）等のCL値に対応したXTALが開発されており、このような低CL値対応のXTALを用いることが有益となる。しかしながら、このような低CL値対応のXTALを用いて低消費電力化を図る場合、例えば、次の(1)~(4)のような事態が生じ得ることが本発明者等によって見出された。

20

【0015】

(1) 広範囲な電源電圧（特に低電源電圧）に十分に対応できない恐れがある。水晶発振装置は、様々な電子機器で使用されるため広範囲な電源電圧（例えば1.62V~5.5V）に対応できることが望ましく、特に、電子機器の低消費電力化（すなわち低電源電圧化）のトレンドを受けて、低電源電圧に対応できることが有益となる。こうした中、例えば特許文献1の技術を用いた場合、図50のインバータ回路IVoにおいて電源電圧と接地電源電圧の間に直列接続されるトランジスタ段数が多くなり、低電源電圧に対応できない恐れがある。また、例えば特許文献2のような技術を用いた場合、特許文献1と同様にトランジスタ段数の増大が懸念されると共に、電圧変換回路が低電源電圧に対応できない場合もある。

30

【0016】

(2) 発振開始時間が増大する恐れがある。低消費電力化を図るためには、図50のインバータ回路IVoの消費電流を小さくすることが有益である。発振起動時には、このインバータ回路IVoの出力電流で外付けの容量Cg、Cd（例えば5~20pF）が充電され、動作点付近の電圧に持ち上げられてから（水晶振動子XTALの両端子の電圧がほぼ等しくなってから）、ノイズ起因の微小発振が成長して安定発振動作に至る。そのため、IVoの電流を小さくすると、発振開始時間が例えば2s以上といった大きな値になってしまう恐れがある。

40

【0017】

(3) ノイズ耐性が低下する恐れがある。従来のように比較的大きな電流で発振動作を行っている際には、外付けの容量Cg、Cdを充放電する電流が大きく、発振信号の振幅（図50のXOUTにおける振幅）は、ほぼ電源電圧レベルの振幅となる。しかしながら

50

、電力削減のため小さい電流で発振動作を行う場合、外付けの容量 C_g , C_d を充放電する電流が小さくなり、発振信号の振幅（図 50 の X O U T における振幅）は、例えば、100 ~ 300 mV 程度になり得る。そのため、外来ノイズによる影響を受け易くなり、また影響を受けた場合の回復も遅いためノイズ耐性劣化が顕著に現れるようになる。

【0018】

（4）水晶振動子 X T A L の選択肢が限定され、市場からの多様な要求に対応できない（すなわち汎用性が低下する）恐れがある。図 50 の水晶発振装置を低 C L 値対応の水晶振動子 X T A L に特化して設計した場合、当該水晶発振装置に標準 C L 値対応の X T A L を適用することは困難となる。しかしながら、低 C L 値対応の X T A L は、標準 C L 値対応の X T A L に比べてコストが高いこと等から、ユーザに対しては低 C L 値対応の X T A L が標準 C L 値対応の X T A L かを選択肢として与えられるようにすることが望ましい。

10

【0019】

本発明は、このようなことを鑑みてなされたものであり、その目的の一つは、低消費電力化に寄与できる水晶発振装置を提供することにある。本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0020】

本願において開示される発明のうち、代表的な実施の形態の概要を簡単に説明すれば、次のとおりである。

【0021】

20

本実施の形態による水晶発振装置は、配線基板上に半導体パッケージと水晶振動子が実装されたものとなっている。半導体パッケージは、水晶振動子の接続用となる第 1 および第 2 外部端子を備える。配線基板には、第 1 外部端子から延伸し水晶振動子の一端に接続される第 1 配線パターンと、第 2 外部端子から第 1 配線パターンとほぼ同一方向に延伸し水晶振動子の他端に接続される第 2 配線パターンとが形成される。ここで、配線基板には、更に、第 1 配線パターンと第 2 配線パターンの間の領域に配置され、接地電源電圧に電氣的に接続される第 3 配線パターンが形成される。

【0022】

このような構成例を用いると、第 1 外部端子と第 2 外部端子との間のピン間の寄生容量を低減でき、またピン間のカップリングノイズを低減することが可能になる。その結果、寄生容量の低減やノイズ耐性の向上がより一層必要とされる低負荷容量値対応の水晶振動子において、当該要求を十分に満たすことが可能になる。

30

【0023】

また、本実施の形態による水晶発振装置は、仮に前述した第 1 外部端子と第 2 外部端子が隣接配置される場合であっても、半導体パッケージ内の半導体チップにおいて、第 1 外部端子用の第 1 パッドと第 2 外部端子用の第 2 パッドとの間に間隔を確保し、この間に電源配線を配置するような構成となっている。これによっても、ピン間の寄生容量の低減や、カップリングノイズの低減が可能になる。

【0024】

また、本実施の形態による半導体装置は、基準電流を生成する基準電流生成回路と、一端に電源電圧が供給され、当該基準電流をカレントミラーすることで第 1 電流を生成する電流源と、当該第 1 電流が供給され、ソース接地となる発振用 M I S トランジスタと、そのドレイン（第 1 ノード）を入力とするコンパレータ回路ブロックを備える。また、当該半導体装置は、発振用 M I S トランジスタのゲート（第 2 ノード）とドレイン（第 1 ノード）間に挿入された帰還抵抗を備える。半導体装置の外部において、第 1 ノードおよび第 2 ノードと接地電源電圧ノードの間にはそれぞれ容量が接続され、第 1 ノードと第 2 ノードの間には水晶振動子が接続される。ここで、コンパレータ回路ブロックは、第 1 ノードに生成された第 1 振幅を持つ第 1 発振信号を第 1 比較電圧を基準として大小判定し、第 1 振幅よりも大きい第 2 振幅を持つ第 2 発振信号を生成する。

40

【0025】

50

このように、水晶発振部の反転論理回路を、電流源と発振用M I Sトランジスタからなるソース接地増幅回路で構成することで、半導体装置（水晶発振部）の特に低電源電圧化（言い換えれば低消費電力化）が可能になる。更に、低負荷容量値（低C L値）対応の水晶振動子に応じて第1電流を小さく設定し、これによる第1振幅の低下をコンパレータ回路ブロックで補償する回路トポロジーを用いることで、半導体装置（水晶発振部）の低消費電力化が可能になる。

【0026】

また、前述した半導体装置は、水晶発振部の反転論理回路の電流源が、水晶振動子のC L値に応じて第1電流の電流値を第1電流値か第2電流値に可変設定可能な可変電流源となっている。これによって、ユーザが選定する水晶振動子の選択肢として、低C L値対応のみならず、標準C L値対応を与えることが可能になる。この際に、発振用M I SトランジスタはサブスレッシュOLD領域で動作させ、第1電流の電流値は、「標準C L値/低C L値」の値が「M」の場合、「第2電流値/第1電流値」の値が「M」の2乗となるように設定されることが望ましい。これによって、C L値に依らず発振余裕度が一定に保てるため、マージン設計が不要となり、その分、第1電流の電流値を小さく設定することが可能になる。更に、第1電流の電流値は、基準電流生成回路をP T A T回路とすること等で、温度に比例して増加させることが望ましい。これによっても、発振余裕度が一定に保てるため、その分、第1電流の電流値を小さく設定することが可能になる。

10

【0027】

また、前述したコンパレータ回路ブロックは、水晶発振部の反転論理回路の回路構成を反映したレプリカ回路によって第1比較電圧を生成するように構成されることが望ましい。これによって、反転論理回路におけるP V Tばらつきが第1比較電圧にも反映されるため、第1比較電圧の電圧レベルを適切に設定でき、第2発振信号の波形品質（例えばデューティ特性）を向上させることが可能になる。

20

【発明の効果】

【0028】

本願において開示される発明のうち、代表的な実施の形態によって得られる効果を簡単に説明すると、低負荷容量値対応の水晶振動子を十分に適用できる水晶発振装置を実現することが可能になる。また、低消費電力化に寄与できる水晶発振装置が実現可能になる。

【図面の簡単な説明】

30

【0029】

【図1】本発明の一実施の形態による水晶発振装置全体の概略構成例を示すものであり、(a)は平面図、(b)は(a)におけるA - A'間の断面図である。

【図2】本発明の一実施の形態による水晶発振装置において、図1とは異なる全体の概略構成例を示す平面図である。

【図3】X I NノードとX O U Tノード間に生じる寄生容量の一例を表す回路図である。

【図4】本発明の一実施の形態による水晶発振装置において、その詳細なピン配置の一例を示す概略図である。

【図5】図4を変形したピン配置の一例を示す概略図である。

【図6】図5を変形したピン配置の一例を示す概略図である。

40

【図7】図6を変形したピン配置の一例を示す概略図である。

【図8】図7を変形したピン配置の一例を示す概略図である。

【図9】本発明の一実施の形態による水晶発振装置において、その構成要素となる半導体チップの主要部のレイアウト構成例を示す概略図である。

【図10】図9を変形したレイアウト構成例を示す概略図である。

【図11】図9を変形した他のレイアウト構成例を示す概略図である。

【図12】図11を変形したレイアウト構成例を示す概略図である。

【図13】本発明の一実施の形態による水晶発振装置において、図9等とは異なる半導体チップの主要部のレイアウト構成例を示す概略図である。

【図14】図13を変形したレイアウト構成例を示す概略図である。

50

- 【図 15】図 13 の構成例において、その各セルの詳細な構成例を示す概略図である。
- 【図 16】本発明の一実施の形態による水晶発振装置において、そのパッケージ構成の一例を示す概略図である。
- 【図 17】本発明の一実施の形態による水晶発振装置において、その構成要素となる配線基板のレイアウト構成例を示す概略図である。
- 【図 18】本発明の一実施の形態による水晶発振装置において、その構成要素となる配線基板の他のレイアウト構成例を示す概略図である。
- 【図 19】図 18 を変形したレイアウト構成例を示す概略図である。
- 【図 20】図 18 を変形した他のレイアウト構成例を示す概略図である。
- 【図 21】図 20 を変形したレイアウト構成例を示す概略図である。 10
- 【図 22】図 21 を変形したレイアウト構成例を示す概略図である。
- 【図 23】図 17 を変形したレイアウト構成例を示す概略図である。
- 【図 24】図 19 を変形したレイアウト構成例を示す概略図である。
- 【図 25】図 24 を変形したレイアウト構成例を示す概略図である。
- 【図 26】本発明の一実施の形態による水晶発振装置において、その構成要素となる配線基板の更に他のレイアウト構成例を示す概略図である。
- 【図 27】図 26 を変形したレイアウト構成例を示す概略図である。
- 【図 28】本発明の一実施の形態による水晶発振装置において、その構成要素となる半導体パッケージならびに半導体チップの詳細なレイアウト構成例を示す図である。
- 【図 29】図 28 を変形した半導体パッケージならびに半導体チップの詳細なレイアウト構成例を示す図である。 20
- 【図 30】一般的な水晶発振装置の構成例を示す回路図である。
- 【図 31】本発明の前提として検討した発振回路部の配置例を示す概略図である。
- 【図 32】本発明の前提として検討した水晶発振装置において、その配線基板のレイアウト構成例を示す概略図である。
- 【図 33】本発明の前提として検討した水晶発振装置において、その詳細なピン配置の一例を示す概略図である。
- 【図 34】本発明の一実施の形態による水晶発振装置において、その全体の構成例を示す概略図である。
- 【図 35】本発明の一実施の形態による水晶発振装置において、図 34 を変形した全体の構成例を示す概略図である。 30
- 【図 36】図 35 の水晶発振装置において、その詳細な構成例を示す回路ブロック図である。
- 【図 37】図 36 の比較例として検討した水晶発振装置全体の構成例を示す回路ブロック図である。
- 【図 38】図 34 の水晶発振装置における制御回路ブロックおよび発振回路ブロックの詳細を示すものであり、(a) はその構成例を示す回路図、(b) は (a) の一部を抽出した回路図である。
- 【図 39】図 38 におけるモード設定信号の生成方法の一例を示す説明図である。
- 【図 40】図 38 におけるモード設定信号の生成方法の一例を示す説明図である。 40
- 【図 41】図 34 の水晶発振装置において、そのコンパレータ回路ブロックの一部の詳細な構成例を示す回路図である。
- 【図 42】(a) は、図 41 に示したコンパレータ回路ブロックの変形例を示す回路図であり、(b) は、(a) の動作例を示す波形図である。
- 【図 43】図 36 の水晶発振装置において、そのコンパレータ回路ブロックの一部の詳細な構成例を示す回路図である。
- 【図 44】(a)、(b) は、図 36 の水晶発振装置において、そのコンパレータ回路のそれぞれ異なる構成例を示す回路図である。
- 【図 45】(a) は、図 36 の水晶発振装置において、そのコンパレータ回路ブロックの他の一部の詳細な構成例を示す回路図であり、(b) は、(a) の概略的な動作例を示す 50

説明図である。

【図４６】（a）、（b）は、図３４等の制御回路ブロックにおいて、その基準電流生成回路周りのそれぞれ異なる詳細な構成例を示す回路図である。

【図４７】（a）は、図３４の水晶発振装置において、その発振回路ブロック周りのレイアウト構成例を示す概略図であり、（b）は、（a）の効果を説明する補足図である。

【図４８】本発明の一実施の形態による水晶発振装置において、その全体の詳細な構成例を示す回路図である。

【図４９】本発明の一実施の形態による水晶発振装置において、図４８の変形例を示す回路図である。

【図５０】一般的な水晶発振装置の構成例を示す回路図である。

10

【発明を実施するための形態】

【００３０】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【００３１】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

20

【００３２】

また、実施の形態の各機能ブロックを構成する回路素子は、特に制限されないが、公知のＣＭＯＳ（相補型ＭＯＳトランジスタ）等の集積回路技術によって、単結晶シリコンのような半導体基板上に形成される。なお、実施の形態では、ＭＩＳＦＥＴ（Metal Insulator Semiconductor Field Effect Transistor）（ＭＩＳトランジスタと略す）の一例としてＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）（ＭＯＳトランジスタと略す）を用いるが、ゲート絶縁膜として非酸化膜を除外するものではない。図面において、ｐチャネル型ＭＯＳトランジスタ（ＰＭＯＳトランジスタ）にはゲートに矢印の記号を付すことで、ｎチャネル型ＭＯＳトランジスタ（ＮＭＯＳトランジスタ）と区別することとする。図面にはＭＯＳトランジスタの基板電位の接続は特に明記していないが、ＭＯＳトランジスタが正常動作可能な範囲であれば、その接続方法は特に限定しない。

30

【００３３】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

40

【００３４】

《水晶発振装置全体の代表的な実施の形態〔１Ａ〕》

図１は、本発明の一実施の形態による水晶発振装置全体の概略構成例を示すものであり、図１（a）は平面図、図１（b）は図１（a）におけるＡ－Ａ'間の断面図である。図１（a）に示す水晶発振装置は、配線基板ＰＣＢと、ＰＣＢ上に実装された半導体パッケージＰＫＧおよび各種外付け部品と、ＰＣＢ上の各種配線パターンによって構成される。ＰＫＧは、半導体チップＣＰと、発振入力信号ＸＩＮ用、発振出力信号ＸＯＵＴ用、および接地電源電圧ＶＳＳ用を含む複数の外部端子（外部リード）ＰＮと、ＣＰとＰＮを適宜接続するボンディングワイヤＢＷを備えている。ここでは、一方向に向けて（Ｘ軸方向に

50

において)順に、回路ブロックCB1用の外部端子PN2、OSCBK用の外部端子PN3、PNi、PNS1、PNO、回路ブロックCB2用の外部端子PN1、PNS2が配置されている。

【0035】

半導体チップCPは、発振回路部OSCBKと、回路ブロックCB1、CB2と、複数のセルCLを備えている。複数のCLは、CPの一辺に沿って(X軸方向において)順に配置されている。OSCBKは、図30に示したようなインバータ回路IVおよび帰還抵抗Rf等を備え、OSCBKとCPの一辺との間には、OSCBK用の4個のセルCLが配置される。この4個のセルCLの中には、それぞれ、パッドPD3、XIN用のパッドPDi、VSS用のパッドPDS1、XOUT用のパッドPDOが配置される。PDiおよびPDOは、図30に示すようにインバータ回路IVの入力および出力に接続され、PDS1は、当該IVの接地電源電圧ノードに接続される。PD3、PDi、PDS1、PDOは、ここではCP1の一辺に沿って順に等間隔で配置され、それぞれボンディングワイヤBWを介して、PN3、PNi、PNS1、PNOに接続される。なお、PD3、PN3は、例えば、電源電圧VCC用等であるが、場合によっては、省略することも可能である。

10

【0036】

回路ブロックCB2と半導体チップCPの一辺との間には、CB2用の複数(ここでは2個以上)のセルCLが配置される。2個のCLの一方はパッドPD1を含み、他方はVSS用のパッドPDS2を含む。PD1とPDS2は、CPの一辺に沿って(X軸方向において)順に配置され、PD1の隣に前述したXOUT用のパッドPDOが配置される。ただし、PDS1とPDOの間隔よりも、PD1とPDOの間隔の方が広くなるように各CLが配置されている。PD1、PDS2は、それぞれボンディングワイヤBWを介して、PN1、PNS2に接続される。回路ブロックCB1とCPの一辺との間には、パッドPD2を含むCB1用の1個以上のセルCLが配置される。PD2の隣には、前述したOSCBK用のPD3が配置される。ただし、PDiとPD3の間隔よりも、PD2とPD3の間隔の方が広くなるように各CLが配置されている。PD2は、ボンディングワイヤBWを介してPN2に接続される。

20

【0037】

配線基板PCB上には、外付け部品として容量Cg、Cdおよび水晶振動子XTALが実装される。また、PCBでは、図1(a)、(b)に示すように、第1配線層(例えば部品実装面となる最上層)LY1において、配線パターンLN__XINと、LN__XOUT、LN__VSS1a、LN__VSS1bが形成される。LN__XINは、一端が外部端子PNiに接続され、略Y軸方向に延伸し、他端がXTALの一端に接続される。LN__XOUTは、一端が外部端子PNOに接続され、略Y軸方向に延伸し、他端がXTALの他端に接続される。LN__VSS1bは、一端が外部端子PNS1に接続され、LN__XINとLN__XOUTの間の領域で略Y軸方向に延伸し、他端付近にCg、Csの一端が接続される。Cgの他端はLN__XINに接続され、Cdの他端はLN__XOUTに接続される。LN__VSS1aは、一端が外部端子PNS2に接続され、前述したXTAL、Cg、Cd、LN__XIN、LN__XOUT、LN__VSS1bの形成領域又は実装領域を囲むように略ループ状に配置されている。

30

40

【0038】

また、PCBでは、図1(a)、(b)に示すように、前述した第1配線層LY1での各配線パターン(LN__XIN、LN__XOUT、LN__VSS1a、LN__VSS1b)から絶縁層(誘電体層)ISLを挟んで下層部分(Z軸方向)となる第n配線層LYnにおいて、VSS用となる面状の配線パターンLN__VSSnが形成されている。言い換えれば、LY1での各配線パターンは、Z軸方向においてLN__VSSnとの間で対向する部分を持つ。LYnは、望ましくは最下層であるが、必ずしもこれに限定されるものではなく、最上層と最下層の間に位置する内層であってもよい。前述したLN__VSS1bの他端付近は、スルーホールTHを介してLN__VSSnに接続され、LN__VSS1a

50

の一端付近および他端付近もスルーホールTHを介してLN__VSSnに接続される。

【0039】

このような構成例において、その主要な特徴は、次のような点にある。第1の特徴は、XIN用の外部端子Pni(パッドPDi)とXOUT用の外部端子Pno(パッドPDo)の間にVSS用の外部端子Pns1(パッドPds1)を配置した点にある。第2の特徴は、第1の特徴と同様に、XIN用の配線パターンLN__XINとXOUT用の配線パターンLN__XOUTの間にVSS用の配線パターンLN__VSS1bを配置した点にある。第3の特徴は、このLN__VSS1bに容量Cg, Cdの一端を接続した点にある。第4の特徴は、第1配線層LY1における各配線パターンの下層にVSS用の配線パターンLN__VSSnを設けた点にある。第5の特徴は、OSCBK用の各パッドと、CB1用およびCB2用の各パッドとの間にある程度の間隔を確保している点にある。

10

【0040】

まず、第1および第2の特徴により、XINノードとXOUTノードの間に存在する直接的な寄生容量(ピン間の寄生容量)を低減できる。その結果、互いに逆極性の発振信号で振動するXINノードとXOUTノードの間のカップリングノイズを低減でき、更なる場合によってはXTALの負荷容量値(CL値)に影響する寄生容量を低減することが可能となる。図3は、XINノードとXOUTノード間に生じる寄生容量の一例を表す回路図である。図3に示すように、XINノードとXOUTノード間には、直接的な寄生容量(ピン間の寄生容量)Cs'が存在し、XINノードと接地電源電圧GND間およびXOUTノードとGND間には、それぞれ、寄生容量Cg'およびCd'が存在する。この場合、水晶振動子XTAL側から見た負荷容量(寄生容量)CL'の値は、式(1)のように、Cg'とCd'の直列接続に伴う合成容量に、Cs'を並列接続した値となる。

20

【0041】

$$CL' = (Cg' \cdot Cd') / (Cg' + Cd') + Cs' \quad (1)$$

ここで、例えば前述した図32の構成例を代表に、寄生容量を低減するため、一般的にはCg'やCd'の値を低減することが重要視されるが、Cg'やCd'の値を増加させても、Cs'の値を低減する方がより有効な場合がある。例えば、Cg' = Cd' = 1 pFでCs' = 3 pFの場合、CL' = 3.5 pFとなり、Cg' = Cd' = 2 pFでCs' = 2 pFの場合、CL' = 3.0 pFとなり、Cg' = Cd' = 3 pFでCs' = 1 pFの場合、CL' = 2.5 pFとなる。このことから、XTALの負荷容量値(CL値)にはCg', Cd'に比べてCs'が大きく影響し、Cg', Cd'が微増しても、Cs'を減らせればCL値に影響する寄生容量(CL')を低減できることが判る。

30

【0042】

図1(a)、(b)の構成例の場合、XINノード(PDi, BW, Pni, LN__XIN)とXOUTノード(PDo, BW, Pno, LN__XOUT)の間にVSS(GND)ノード(Pds1, BW, Pns1, LN__VSS1b)が存在するため、Cg', Cd'の値は若干増大する。ただし、Cs'の値は、VSSノードを挟んでいるためほぼゼロとみなすことができる。なお、比較例として図32の場合には、XINノードとXOUTノードの間で、その距離等に応じてある程度のピン間容量が存在することになる。Cs'が低減できると、前述したように寄生容量(CL')を低減できることに加えて、XINノードとXOUTノード間のカップリングノイズが低減できる。

40

【0043】

次に、第3の特徴により、ノイズ耐性(EMC)の向上が実現可能になる。Cg, Cdの一端(LN__VSS1b側)には、LN__XIN, LN__XOUTで生じる逆極性の発振信号が結合するが、これらは逆極性であるため、Cgの一端とCdの一端を近距離で結合することで当該発振信号が相殺され、LN__VSS1bの電位レベルを一定に保つことが可能となる。その結果、GNDノイズが低減でき、ノイズ耐性の向上が図れる。一方、比較例として図32の場合には、Cgの一端とCdの一端がLN__VSS1aを介して遠距離で接続されるため、Cgの一端の電位レベルとCdの一端の電位レベルとが一致しない事態が生じ得る。この電位レベルの不一致は、ノイズの発生源になり得る。

50

【 0 0 4 4 】

続いて、第4の特徴により、ノイズ耐性（EMC）の向上が実現可能になる。図1（a）に示すように、略ループ状のLN_VSS1aを設けることで、XTAL、Cg、Cd、LN_XIN、LN_XOUT、LN_VSS1bの形成領域又は実装領域とその外部との間のノイズの伝達を低減することが可能になる。ただし、その反面、略ループ状のLN_VSS1aがアンテナとして機能することでノイズ発生源となる恐れがある。そこで、LN_VSSnを設けることで、このLN_VSS1aのループ内における電磁波の通過を遮断し、LN_VSS1aのアンテナとしての効果を抑制する。なお、LN_VSSnを設けることで、図3に示した寄生容量Cg'、Cd'が増大する恐れがあるが、前述したように、寄生容量としてはピン間の寄生容量が支配的であるため、特に、大きな問題とはならない。ただし、Cg'、Cd'の増大が過大になると問題が生じ得るので、その観点で、図1（b）に述べたように、LN_VSSnをLN_XIN、LN_XOUTから最も距離が離れた最下層とする方が望ましい。

10

【 0 0 4 5 】

次に、第5の特徴により、OSCBKと、CB1、CB2との間の寄生成分を低減し、ノイズの伝達を低減することが可能になる。その結果、特に、XINノードおよびXOUTノードにおけるノイズ耐性の向上が図れる。OSCBKは、その機能上、CB1、CB2から見るとノイズの発生源となり、また、逆に、CB1、CB2からのノイズを受けて比較的容易に誤動作を生じ得る。そこで、OSCBK用の各セルCLとCB1用の各セルCLとの間隔や、OSCBK用の各セルCLとCB2用の各セルCLとの間隔を離すこと

20

【 0 0 4 6 】

以上のような特徴を備えることで、特に、低CL値（例えばCL値=3~7pF）対応の水晶振動子XTALを用いた水晶発振装置を容易に実現することが可能になる。特に低CL値対応の水晶発振装置では、前述したように寄生容量（CL'）の低減やノイズの低減が求められるが、図1（a）、（b）の構成例を用いることで、これらの要求を満たすことができる。また、低CL値対応の水晶発振装置を用いることで、消費電力の低減が可能となる。水晶発振装置では、一般的に、式（2）で与えられる発振余裕度（Rm/Re）と呼ばれる指標を規定値以上に保つ必要がある。は発振周波数（角速度）であり、gmは、発振回路部OSCBKにおけるインバータ回路IVの相互コンダクタンスである。発振余裕度は、外付け容量Cd、Cgの積に反比例するので、発振余裕度を一定としてCd、Cgを小さくするとgmを小さくできるため、OSCBKに流す電流も小さくできる。

30

【 0 0 4 7 】

$$(Rm/Re) = gm / (Cg \cdot Cd \cdot \omega^2) \quad (2)$$

《水晶発振装置全体の代表的な実施の形態[2A]》

図2は、本発明の一実施の形態による水晶発振装置において、図1とは異なる全体の概略構成例を示す平面図である。ここでは、図1との相違点に着目して説明する。まず、図2に示す半導体パッケージPKGは、図1の場合と異なり、XIN用の外部端子PNiとXOUT用の外部端子PNoが隣接して配置され、また、回路ブロックCB2用の外部端子として、VSS用の外部端子PNs2に加えて電源電圧VCC用の外部端子PNvが備わっている。図2のPCB上の各配線パターンに関しては、図1の場合とほぼ同様であるが、前述したPNiとPNoの隣接配置に伴いLN_VSS1bの一端がオープンとなっており、更に、容量Cg、Cdの一端がLN_VSS1aに接続された構成となっている。すなわち、図2では、LN_XINとLN_XOUTの間に、スルーホールTHによってLN_VSSnに接続されたVSS用の島（LN_VSS1b）が存在している。

40

【 0 0 4 8 】

図2の半導体チップCP内では、発振回路部OSCBKとCPの一辺の間にOSCBK用の3個のセルCLが配置されている。3個のセルCLは、X軸方向に沿って順に配置され、その両側のCLがそれぞれXIN用のパッドPDiとXOUT用のパッドPDoを備

50

え、その間のセルCLpwが電源供給用のセルとなっている。PDiおよびPD0は、それぞれボンディングワイヤBWを介してPNI, PNOに接続される。また、回路ブロックCB2とCPの一辺の間には、X軸方向に沿って順に2個のセルCLが配置される。2個のCLは、それぞれ、VSS用のパッドPDS2と、VCC用のパッドPDVを含んでおり、PDS2, PDVがそれぞれボンディングワイヤBWを介してPNS2, PNVに接続される。ここで、PDVはCP内のメタル配線MLvccを介してOSCBK内の電源供給用のCLpwに接続され、同様に、PDS2はCP内のメタル配線MLvssを介してOSCBK内のCLpwに接続される。OSCBK内のインバータ回路IV(図30)等は、このCLpwを介して供給された電源で動作を行う。

【0049】

このような構成例において、その主要な特徴は、次のような点にある。まず、第6の特徴として、OSCBK内においてXIN用のPDiを含むセルCLとXOUT用のPD0を含むセルCLの間に電源供給用のセルCLpwが配置された点にある。すなわち、図2は、図1の場合と異なり、OSCBKに向けた専用の電源が備わっておらず、共通使用となる1組の電源用外部端子PNV, PNS2から電源が供給される構成例となっている。このような構成例は、例えば外部端子数が少ないローエンドマイコン等で用いられ、この場合、外部端子の制約上、PNIとPNOが隣接して配置されることも有り得る。ただし、このようにPNIとPNOが隣接配置される場合でも、図2に示すように、半導体チップCPの内部では、PDiとPD0の間にセルCLpwを挟んで間隔を確保し、更に、CLpwから電源(VCC, VSS)が供給される構成とする。これによって、前述した第1の特徴(PNI(PDi)とPNO(PD0)の間にPNS1(PDS1)を配置)と同様に、ピン間の寄生容量の低減が図れると共に、ピン間のカップリングノイズの低減が図れる。

【0050】

また、図2の構成例は、図1の場合と同様に、第2の特徴(LN__XINとLN__XOUTの間にLN__VSS1bを配置)と、第4の特徴(下層にLN__VSSnを配置)と、第5の特徴(OSCBK用の各パッドと、CB1用およびCB2用の各パッドとの間に間隔を確保)を備えている。これらによって図1の場合と同様の効果が得られる。また、図2の構成例は、前述した第3の特徴(LN__VSS1bにCg, Cdの一端を接続)を備えていないが、勿論、当該特徴を備えた構成とすることも可能である。ただし、図2の場合では、図1の場合と異なり、OSCBK向けのVSS用の外部端子PNS1が存在せず、OSCBKの接地電源電圧ノードとLN__VSS1bの間に若干距離が生じることになるためCg, Cdの一端をLN__VSS1aに接続している。

【0051】

以上、本発明による水晶発振装置全体の代表的な実施の形態について説明を行ったが、以降、前述した各特徴の詳細や更なる特徴について、主に、ピン配置、半導体チップCPのレイアウト、配線基板PCBのレイアウトの観点から個別に説明を行う。

【0052】

《水晶発振装置の詳細なピン配置》

《ピン配置(比較例)》

図33は、本発明の前提として検討した水晶発振装置において、その詳細なピン配置の一例を示す概略図である。図33に示す半導体パッケージPKGxは、半導体チップCPxと複数の外部端子PNを備えている。CPxには、発振回路部OSCBKが含まれ、OSCBKとCPxの一辺の間でX軸方向に沿って、XIN用のパッドPDiを含むセルCLとXOUT用のパッドPD0を含むCLが隣接して配置されている。また、このXIN用のCLの隣やXOUT用のCLの隣には、所定のパッドPDを含んだCLがX軸方向に沿って順次複数配置される。PDi, PD0を含めて各パッドPDは、等間隔で配置されている。また、各パッドPDは、ボンディングワイヤBWを介して所定の外部端子PNに適宜接続される。しかしながら、このようなパッド配置では、XINノードとXOUTノード間のピン間の寄生容量が大きくなり、また、XINノードとXOUTノードのノイズ

10

20

30

40

50

耐性が十分に保てない恐れがある。

【 0 0 5 3 】

《ピン配置 [1] 》

図 4 は、本発明の一実施の形態による水晶発振装置において、その詳細なピン配置の一例を示す概略図である。図 4 に示す半導体パッケージ P K G 1 a は、半導体チップ C P 1 と複数の外部端子 P N を備えている。C P 1 には、発振回路部 O S C B K が含まれ、O S C B K と C P 1 の一辺の間で X 軸方向に沿って順に 5 個のセル C L が配置されている。5 個の C L は、それぞれ、3 個の V S S 用のパッド P D s 1 , P D s 3 , P D s 4 と、X I N 用のパッド P D i と、X O U T 用のパッド P D o を含んでいる。これらのパッドは、X 軸方向に沿って、P D s 3 , P D i , P D s 1 , P D o , P D s 4 の順で配置される。また、この 5 個のパッドは、ボンディングワイヤ B W を介して順に隣接して配置された 5 本の外部端子 P N にそれぞれ接続される。

10

【 0 0 5 4 】

このように、X I N ノード (P D i , B W , P N) と X O U T ノード (P D o , B W , P N) のそれぞれを V S S (G N D) ノードで挟み込んだ構成とすることで、第 1 の特徴で述べたように、X I N ノードと X O U T ノードにおけるピン間の寄生容量およびカップリングノイズを低減することが可能となる。この際に、X I N ノードと X O U T ノードの間に加えて、X I N ノードと X O U T ノードの外側にも V S S (G N D) ノードが配置されているため、X I N ノードと X O U T ノードのノイズ耐性も大きく向上させることが可能になる。また、図 4 では、第 5 の特徴で述べたように、O S C B K 用の各セル C L は、

20

【 0 0 5 5 】

《ピン配置 [2] 》

図 5 は、図 4 を変形したピン配置の一例を示す概略図である。図 5 に示す半導体パッケージ P K G 1 b は、半導体チップ C P 2 と複数の外部端子 P N を備えている。C P 2 において、発振回路部 O S C B K と C P 2 の一辺の間には、図 4 と同様に X 軸方向に沿って順に 5 個のセル C L が配置されるが、図 4 の場合と異なり、V S S 用のパッド P D s 4 を含んだセル C L の代わりに V C C 用のパッド P D v 2 を含んだセルが配置されている。これによって、図 4 の場合と比較して O S C B K 用のセル (パッド) が 1 個削減され、回路面積 (又は外部端子数) の低減が可能となる。このような構成例を用いると、X O U T ノードが V S S (G N D ノード) と V C C ノードに挟まれることになるが、この場合でも十分にピン間の寄生容量およびカップリングノイズの低減やノイズ耐性の向上が図れる。ただし、通常、V C C ノードの方が V S S ノードに比べて若干ノイズ量が大きく、また、X I N ノードは X O U T ノードよりも信号量が小さく、よりノイズ耐性が低いため、ここでは、X I N ノード側ではなく X O U T ノード側に V C C ノードを配置している。

30

【 0 0 5 6 】

《ピン配置 [3] 》

図 6 は、図 5 を変形したピン配置の一例を示す概略図である。図 6 に示す半導体パッケージ P K G 1 c は、半導体チップ C P 3 と複数の外部端子 P N を備えている。C P 3 において、発振回路部 O S C B K と C P 3 の一辺の間には、X 軸方向に沿って順に 4 個のセル C L が配置されている。4 個の C L は、それぞれ、V C C 用のパッド P D v 3 、X I N 用のパッド P D i と、V S S 用のパッド P D s 1 と、X O U T 用のパッド P D o を含んでおり、これらのパッドが、X 軸方向において、P D v 3 , P D i , P D s 1 , P D o の順で配置されている。

40

【 0 0 5 7 】

このように、図 6 の構成例は、図 5 の構成例から更に O S C B K 用のセル (パッド) を 1 個削除することで、回路面積 (又は外部端子数) の低減が図られている。X I N ノード

50

は、VCCノードとVSSノードで挟み込まれているため、図5で述べたようにXINノードとXOUTノードにおけるピン間の寄生容量の低減やカップリングノイズの低減、ならびにXINノードのノイズ耐性の向上が十分に可能となっている。また、XOUTノードに関しては、一方側にVSSノードが配置され、他方側では、第5の特徴で述べたような間隔が確保されることで、ピン間の寄生容量の低減やカップリングノイズの低減ならびにXOUTノードのノイズ耐性の向上が図られている。すなわち、パッドPD1を含む他の回路ブロック用のセルCLは、PD0とPDs1の間隔よりもPD0とPD1の間隔の方が広くなるように配置されている。

【0058】

《ピン配置[4]》

図7は、図6を変形したピン配置の一例を示す概略図である。図7に示す半導体パッケージPKG2は、半導体チップCP4と外部端子PNi, PNoを含む複数の外部端子PNを備えている。CP4において、発振回路部OSCBKとCP4の一辺の間には、X軸方向に沿って順に3個のセルCLが配置されている。3個のCLの内の両側のCLは、それぞれ、XIN用のパッドPDiと、XOUT用のパッドPD0を含んでいる。また、3個のCLの内の真ん中のセルCLaは、特に、パッドを含んでいない。PDiとPD0は、互いに隣接して配置されたPNi, PNoにボンディングワイヤBWを介してそれぞれ接続される。

10

【0059】

このように、図7の構成例は、図6の構成例から更にOSCBK用のセル(パッド)を1個削除した構成となっている。前述した第6の特徴とほぼ同様に、PNiとPNoは隣接して配置されるが、CP4内では、PDiとPD0がセルCLaを介して離れて配置されており、これによりXINノードとXOUTノード間のピン間の寄生容量ならびにカップリングノイズの低減が図られている。また、第5の特徴のように、PDiを含んだセルCLと、これに並んで配置され、パッドPD2を含んだ所定の回路ブロック用のセルCLとの間にはある程度の間隔が確保され、同様に、PD0を含んだセルCLと、これに並んで配置され、パッドPD1を含んだ所定の回路ブロック用のセルCLとの間にもある程度の間隔が確保される。具体的には、PDiとPD0の間隔の1/2よりも、PDiとPD2の間隔が広く配置され、同様に、PDiとPD0の間隔の1/2よりも、PD0とPD1の間隔が広く配置される。これによって、XINノードおよびXOUTノードと所定の回路ブロックとの間の寄生容量が低減でき、XINノードおよびXOUTノードのノイズ耐性を向上させることができる。

20

30

【0060】

《ピン配置[5]》

図8は、図7を変形したピン配置の一例を示す概略図である。図8に示す半導体パッケージPKG3は、半導体チップCP5と外部端子PNi, PNnc, PNoを含む複数の外部端子PNを備えている。PNncは、PNiとPNoの間に配置される。CP5において、発振回路部OSCBKとCP5の一辺の間には、X軸方向に沿って順に2個のセルCLが配置されている。2個のCLは、それぞれ、XIN用のパッドPDiと、XOUT用のパッドPD0を含んでいる。PDi, PD0は、PNi, PNoにボンディングワイヤBWを介してそれぞれ接続される。また、PNncには特に何も接続されない。

40

【0061】

このように、図8の構成例は、図7の構成例から更にOSCBK用のセルを1個削除した構成となっている。ここでは、第7の特徴として、PDiとPD0は隣接配置されるが、その代わりに、PNiとPNoの間にPNncを挟むことで、XINノードとXOUTノード間のピン間の寄生容量ならびにカップリングノイズの低減が図られている。また、図7の場合と同様に、OSCBK用のパッドPDi, PD0と、所定の回路ブロック用のパッドPD1, PD2との間にある程度の間隔を確保することで、寄生容量の低減やノイズ耐性の向上が図られている。

【0062】

50

《半導体チップの詳細なレイアウト》

《チップレイアウト [1] 》

図9は、本発明の一実施の形態による水晶発振装置において、その構成要素となる半導体チップの主要部のレイアウト構成例を示す概略図である。図9に示す半導体チップCP3aは、CP3aの一辺に沿って(X軸方向に沿って)順に配置された4個のセルCLを含んでいる。4個のCLは、発振回路部OSCBK用であり、それぞれ、VCC用のパッドPDv3、XIN用のパッドPDi、VSS用のパッドPDs1、XOUT用のパッドPDoを備えている。各パッドの配列は、図6の場合と同様に、PDv3, PDi, PDs1, PDoの順である。

【0063】

PDv3からはチップの内部方向(Y軸方向)に向けてメタル配線MLvcc3が延伸し、PDs1からはY軸方向に向けてメタル配線MLvss1が延伸している。MLvcc3, MLvss1は、最上層のメタル配線層PMを用いて形成される。一方、PDiからは、Y軸方向に向けたメタル配線MLxinが延伸し、PDoからはY軸方向に向けてメタル配線MLxoutが延伸している。MLxin, MLxoutは、PMよりも下層となる第1層目のメタル配線層M1を用いて形成され、図示はしないが、セルCL内において、最上層のPMに位置するPDi, PDoにコンタクトホールを介してそれぞれ接続されている。

【0064】

4個のセルCLに対してY軸方向に近接して給電領域VARが設けられる。VARでは、M1とPMの間に位置する2層分のメタル配線層M2, M3を用いて網目状のメタル配線が形成されている。VARにおける最上層には、前述したMLvcc3, MLvss1が配置されており、このMLvcc3, MLvss1がそれぞれコンタクトホール(図示せず)を介してこの網目状のメタル配線に適直接続されている。VARにおける半導体基板上には、図30に示したように、インバータ回路IV等を含む発振回路部OSCBKが形成されており、OSCBKは、この網目状のメタル配線からの電源供給を受けて動作する。また、MLxinはIVの入力に接続され、MLxoutはIVの出力に接続される。

【0065】

このように、図9のレイアウト構成例は、第8の特徴として、発振回路部OSCBKに対して、相対的に上層部分(PM, M3, M2)を用いて電源を供給し、相対的に下層部分(M1)を用いて信号を供給している。また、電源ラインには網目状のメタル配線を用いている。これにより、OSCBKに対してノイズが小さい電源を供給できると共に、XINノードおよびXOUTノードの寄生容量を低減することが可能となる。電源ノイズの低減は、上層のメタル配線層を用いるほど配線抵抗を低減でき、更に、網目状のメタル配線を用いることでIRドロップの低減等が可能になることから得られる。また、寄生容量の低減は、セルCL内において信号を下層のメタル配線層M1に落とし込むことで、信号と電源を同一メタル配線層内で並走させないことから得られる。

【0066】

《チップレイアウト [2] 》

図10は、図9を変形したレイアウト構成例を示す概略図である。図10に示す半導体チップCP3bは、図9の半導体チップCP3aと比較として、VCC用のメタル配線MLvcc3とVSS用のメタル配線MLvss1が近接かつ並行にY軸方向に向けて延伸する構成となっている。すなわち、MLvcc3は、セルCLの領域において、一旦、MLvss1に向けてX軸方向に延伸し、その後、Y軸方向に向けて延伸する構成となっている。当該レイアウト構成例も用いた場合でも、図9と同様な効果が得られる。

【0067】

《チップレイアウト [3] 》

図11は、図9を変形した他のレイアウト構成例を示す概略図である。図11に示す半導体チップCP1は、図9と比較して、図9におけるVCC用のパッドPDv3を含んだ

10

20

30

40

50

セルCLがVSS用のパッドPDs3を含んだセルCLに置き換わり、更に、図9におけるXOUT用のパッドPD_oを含んだセルCLの隣にVSS用のパッドPDs4を含んだセルCLが追加された構成となっている。すなわち、各パッドの配置が、図4の構成例に対応したものとなっている。PDs3からは、チップの内部方向(Y軸方向)に向けてメタル配線MLvs3が延伸し、PDs4からはY軸方向に向けてメタル配線MLvs4が延伸している。MLvs3, MLvs4は、最上層のメタル配線層PMを用いて形成され、図9の場合と同様に、給電領域VARにおける網目状のメタル配線に適直接続される。当該レイアウト構成例も用いた場合でも、図9と同様な効果が得られる。また、このように電源配線が増加するほど、半導体チップ内でXINノード, XOUTノードと電源間の寄生容量が増大する恐れがあるため、このようなレイアウト構成例を用いることがより有益となる。

10

【0068】

《チップレイアウト[4]》

図12は、図11を変形したレイアウト構成例を示す概略図である。図12に示す半導体チップCP2は、図11と比較して、図11におけるVSS用のパッドPDs4を含んだセルCLがVCC用のパッドPDv2を含んだセルCLに置き換わった構成となっている。すなわち、各パッドの配置が、図5の構成例に対応したものとなっている。PDv2からは、チップの内部方向(Y軸方向)に向けてメタル配線MLvc2が延伸している。MLvc2は、最上層のメタル配線層PMを用いて形成され、図11の場合と同様に、給電領域VARにおける網目状のメタル配線に適直接続される。当該レイアウト構成例も用いた場合でも、図11と同様な効果が得られる。

20

【0069】

《チップレイアウト[5]》

図13は、本発明の一実施の形態による水晶発振装置において、図9等とは異なる半導体チップの主要部のレイアウト構成例を示す概略図である。図13に示す半導体チップCP4は、CP4の一辺に沿って(X軸方向に沿って)順に配置された3個のセルCLを含んでいる。3個のCLは、発振回路部OSCBK用であり、その両側のCLがそれぞれXIN用のパッドPD_iとXOUT用のパッドPD_oを備え、その間のセルCLpwが電源供給用のセルとなっている。また、図13では、当該OSCBK用の各セル領域から一定の間隔を置いて、所定の回路ブロック用のセル領域が存在している。当該セル領域の中には、VSS用のパッドPDs2を含んだセルCLと、VCC用のパッドPDvを含んだセルCLが備わっている。すなわち、各パッドの配列は、図2または図7の構成例に対応したものとなっている。

30

【0070】

PDvからは、メタル配線MLvcが電源供給用のCLpwに向けてX軸方向に(チップの一辺に沿って)延伸し、CLpwに到達したのちチップの内部方向(Y軸方向)に延伸している。同様に、PDs2からは、メタル配線MLvsがCLpwに向けてX軸方向に延伸し、CLpwに到達したのちMLvcと近接かつ並行した状態でY軸方向に延伸している。MLvc, MLvsは、最上層のメタル配線層PMを用いて形成される。このY軸方向に延伸したMLvc, MLvsは、図9等の場合と同様に、OSCBK用の給電領域VARにおいて網目状のメタル配線に適直接続される。また、PD_i, PD_oからは、図9等の場合と同様に、第1層目のメタル配線層M1を用いたメタル配線MLxin, MLxoutがY軸方向に延伸している。このような構成例を用いることで、OSCBKが専用の電源を備えない場合でも、図9の場合と同様の理由で、OSCBKに対してノイズが小さい電源を供給できると共に、XINノードおよびXOUTノードの寄生容量を低減することが可能となる。

40

【0071】

《チップレイアウト[6]》

図14は、図13を変形したレイアウト構成例を示す概略図である。図14に示す半導体チップCP4aは、図13と比較して、図13における電源供給用のセルCLpw(図

50

14ではセルCLpw1)に加えて、更に、XIN用のパッドPDiに隣接して電源供給用のセルCLpw2が加わった構成となっている。すなわち、PDiを含むセルCLをCLpw1とCLpw2で挟んだ構成となっている。図13に示したパッドPDvからのメタル配線MLvccは、図14では、CLpw1に向けてX軸方向に(チップの一辺に沿って)延伸し、CLpw1に到達したのちチップの内部方向(Y軸方向)に延伸している。一方、図13に示したパッドPDs2からのメタル配線MLvssは、図14では、CLpw2に向けてX軸方向に延伸し、CLpw2に到達したのちチップのY軸方向に延伸している。MLvcc, MLvssは、図13と同様に、給電領域VARにおける網目状のメタル配線に適直接続される。

【0072】

このような構成例を用いると、図13の場合と同様に、OSCBKに対してノイズが小さい電源を供給できると共に、XINノードおよびXOUTノードの寄生容量を低減することが可能となる。更に、図13の場合と比較して、パッドPDi用のセルCLの両側を電源供給用のセルCLpw1, CLpw2で挟みこんでいるため、XINノードのノイズ耐性を向上させることが可能になる。すなわち、XOUTノードよりもXINノードの方が信号量が小さく、ノイズ耐性が低いため、XINノードの方のノイズ耐性を優先的に高めることが有益となる。

【0073】

《チップレイアウト[5']》

図15は、図13の構成例において、その各セルの詳細な構成例を示す概略図である。図15に示すように、XIN用のパッドPDiを含むセルCL内には、ESD保護素子(クランプ素子)CLP1が設けられ、同様に、XOUT用のパッドPD0を含むセルCL内にも、ESD保護素子(クランプ素子)CLP1が設けられる。CLP1は、PDi, PD0と接地電源電圧GNDの間をクランプする。また、電源供給用のセルCLpw内には、ESD保護素子(クランプ素子)CLP2が設けられる。CLP2は、メタル配線MLvccとメタル配線MLvssの間をクランプする。

【0074】

CLP2は、例えば、MLvss側をアノード、MLvcc側をカソードとするpn接合ダイオードD2や、MLvccとMLvssの間にソース・ドレイン経路が接続され、MLvssにゲートが接続されたnチャネル型MOSトランジスタMNd等によって構成される。一方、CLP1は、GND側をアノード、PDi, PD0側をカソードとするpn接合ダイオードD1等によって構成される。信号用となるCLP1においてMNdのような保護素子を適用すると、寄生容量の増大やリーク電流の増大等が過大となるため、ここではpn接合ダイオードを適用している。

【0075】

図15の構成例は、次のような特徴を備えている。まず、第9の特徴として、XIN, XOUT用のパッドPDi, PD0には、電源電圧(VCC)側のクランプ素子は接続されず、GND側のクランプ素子のみが接続されたことが挙げられる。これは、水晶発振装置を幅広い電源電圧に対応させるためである。すなわち、仮にPDi, PD0に電源電圧側のクランプ素子を接続すると、当該クランプ素子の容量値が電源電圧の値に応じて変化し、XINノード, XOUTノードの寄生容量の値が変化する(強いては発振が不安定となる)恐れがあり、これを防止するためである。

【0076】

続いて、第10の特徴として、CLpw内にESD保護素子CLP2を設けたことが挙げられる。通常、ESD保護素子は、外部端子の直近(例えばPDs2やPDvのセル内)に設けられるが、この場合、外部端子からOSCBKまでの電源経路に距離が存在するため、例えば、MLvcc, MLvssにサージが直接混入したような場合に、OSCBKを十分に保護できない恐れがある。そこで、図15の構成例のように、OSCBKの直近にCLP2を配置することで、OSCBKの十分なサージからの保護が実現可能になる。なお、外部端子の直近(例えばPDs2やPDvのセル内)には、ESD保護素子を配置

10

20

30

40

50

してもよく、場合によっては省略することも可能である。なお、ここでは、図13の構成例を例に説明を行ったが、パッドPDi, PDoのESD保護素子に関しては、他の構成例でも同様に適用可能である。また、電源供給用のセルにおけるESD保護素子に関しては、例えば、図14の構成例も含めてOSCBKが専用の電源を備えない構成に対して同様に適用可能である。

【0077】

《半導体パッケージのレイアウト》

図16は、本発明の一実施の形態による水晶発振装置において、そのパッケージ構成の一例を示す概略図である。図16に示す半導体パッケージPKGは、前述した図13等の構成例と同様に、発振回路部OSCBKに専用の電源を備えない半導体チップCP4bを搭載している。半導体パッケージPKGは、VSS用の外部端子PNs2とVCC用の外部端子PNvからなる一組の電源端子を備えており、PKG内のCP4bは、この一組の電源端子から供給された電源によって所定の動作を行う。CP4bは、ここでは、OSCBKに加えて、所定の回路ブロックCBを備えている。そして、CP4bには、OSCBKに対応して複数のセルCLからなるセル領域CLBoが配置され、CBに対応して複数のCLからなるセル領域CLBcが、CLBoとは一定の距離を置いて配置される。

10

【0078】

ここで、CLBc内では、第11の特徴として、外部端子PNs2に対応して2個のパッドPds21, Pds22が配置され、外部端子PNvに対応して2個のパッドPdv11, Pdv12が配置される。Pds21, Pds22は、それぞれ異なるボンディングワイヤBWを介してPNs2に共通に接続され、Pdv11, Pdv12は、それぞれ異なるボンディングワイヤBWを介してPNvに共通に接続される。Pds21, Pdv11には、図13等で述べたようなOSCBKに延伸するメタル配線MLvs, MLvcがそれぞれ接続される。一方、Pds22, Pdv12は、それぞれメタル配線ML1, ML2を介して回路ブロックCBに接続される。

20

【0079】

このように、第11の特徴を用いることで、電源ノイズの低減が実現可能になる。例えば、電源が一組しか存在せず、仮にPNs2, PNvに対応するパッドがそれぞれ1個であった場合には、CBからの電源ノイズが当該パッドを介してOSCBK側に回り込み、発振の不具合が生じる恐れがある。そこで、図16の構成例のように、1個の外部端子に対応して2個のパッドを設け、1個の外部端子からそれらにダブルボンディングを行うと、CBからの電源ノイズは、2本のボンディングワイヤBWを介してOSCBK側に回り込むことになる。この際に、BWは、インダクタ成分を持っているため、電源の寄生容量成分と併せてロウパスフィルタを構成し、その結果、CBからOSCBK側に回り込む電源ノイズを減衰させることが可能となる。なお、ここでは、1個の外部端子に2個のパッドを対応させたが、更に拡張して3個以上のパッドに対応させることも可能である。

30

【0080】

《配線基板の詳細なレイアウト》

《基板レイアウト[1]》

図17は、本発明の一実施の形態による水晶発振装置において、その構成要素となる配線基板のレイアウト構成例を示す概略図である。図17において、配線基板PCB1上には、半導体パッケージPKG1dが実装される。PKG1dでは、X軸方向に沿って順に、所定の信号XX用の外部端子PNxx、XIN用の外部端子Pni、VSS用の外部端子PNs1、XOUT用の外部端子Pnoが配置され、1本の外部端子を挟んでVSS用の外部端子PNs2が配置されている。PCB1の最上層の配線層(図1(b)の第1配線層LY1に該当)には、PKG1dの実装部分においてVSS用の配線パターンLN__VSS1dが形成されている。このLN__VSS1dには、前述したVSS用の2本の外部端子PNs1, PNs2が接続される。

40

【0081】

PCB1上には、外付け部品として容量Cg, Cdおよび水晶振動子XTALが実装さ

50

れる。また、PCB1では、最上層の配線層(図1(b)のLY1)において、LN_VSS1dに加えて、配線パターンLN_XIN, LN_XOUT, LN_VSS1a, LN_VSS1b, LN_VSS1c, LN_XXが形成される。LN_XINは、一端がXIN用のPNIに接続され、略Y軸方向に延伸し、他端がCgの一端に接続される。LN_XOUTは、一端がXOUT用のPNOに接続され、略Y軸方向に抵抗Rd(省略可能)を介して延伸し、他端がCdの一端に接続される。LN_XINおよびLN_XOUTは、X軸方向に延伸する分岐配線を持ち、LN_XINの分岐配線の先とLN_XOUTの分岐配線の先との間にXTALが接続される。

【0082】

LN_VSS1bは、一端がVSS用のPNS1に接続され、LN_XINとLN_XOUTの間の領域で略Y軸方向に延伸する。Cg, Cdの他端は、VSS用の配線パターンLN_VSS1cに接続される。LN_VSS1aは、一端がVSS用のPNS2に接続され、前述したXTAL, Cg, Cd, LN_XIN, LN_XOUT, LN_VSS1b, LN_VSS1cの形成領域又は実装領域を囲むように略ループ状に配置されている。LN_VSS1cは、最上層の配線層(図1(b)のLY1)において、LN_VSS1aに接続される。また、LN_XXは、一端がXX用のPNxxに接続され、一旦、PKG1dの内側方向に延伸したのち(PKG1dの実装部分内で延伸したのち)、所定の方向に延伸する。

10

【0083】

また、PCB1では、前述した最上層の配線層での各配線パターン(LN_XIN, LN_XOUT, LN_VSS1a, LN_VSS1b, LN_VSS1c)の下層部分(Z軸方向)の配線層(図1(b)の第n配線層LYnに該当)において、VSS用となる面状の配線パターンLN_VSSnが形成されている。LYnは、望ましくは最下層であるが、必ずしもこれに限定されるものではなく、最上層と最下層の間に位置する内層であってもよい。前述したLN_VSS1bの他端付近は、スルーホールTHを介してLN_VSSnに接続され、LN_VSS1aの一端付近および他端付近もスルーホールTHを介してLN_VSSnに接続される。

20

【0084】

ここで、図17の構成例は、次のような特徴を備えている。まず、前述した第1の特徴(PNIとPNOの間にPNS1が配置)、第2の特徴(LN_XINとLN_XOUTの間にLN_VSS1bが配置)、第4の特徴(下層にLN_VSSnが配置)を備え、これによりピン間の寄生容量の低減効果、ピン間のカップリングノイズの低減効果、ならびにノイズ耐性の向上効果等が得られる。更に、第12の特徴として、容量Cg, Cdの他端を短い配線(LN_VSS1c)で一旦結合したのち、LN_VSS1aに接続している点が挙げられる。これによって、第3の特徴と同様に、LN_VSS1aに直接接続する場合(図32の構成例の場合)と比較してノイズ耐性の向上が図れる。ただし、更にノイズ耐性を向上させるためには、図1の構成例等のように、半導体パッケージのVSSノードにより近く配置されたLN_VSS1bに接続する方が望ましい。また、第13の特徴として、配線パターンLN_XXの配線方向が挙げられる。LN_XXをPNxxから半導体パッケージの内側方向に一旦延伸させることで、外側方向に延伸させる場合(図32の構成例の場合)と比較して、XINノードとの間の寄生容量およびカップリングノイズを低減でき、XINノードのノイズ耐性を向上させることが可能になる。

30

40

【0085】

なお、図17では、VSS用の配線パターンLN_VSS1aにおいてVSS用の外部端子PNS2に近い箇所がVSS用のポート(PORT)に接続されている。VSS用のポート(PORT)とは、当該配線基板上に実装される図示しない電源生成装置(DC-DCコンバータ等)のVSS端子を意味する。ポート(PORT)の接続位置は、特にこれに限定されるものではないが、できるだけ半導体パッケージのVSSノード(VSS用の外部端子)から近い位置とする方が望ましい。この観点で、接続位置を例えばLN_VSS1d等とすることも可能である。一方、比較例として仮に接続位置をLN_VSS1

50

aのPNs2側ではない端部等とした場合、発振動作に伴いPNs2からLN_VSS1aの全体を介してポート(PORT)に電流が流れることになるため、ノイズ耐性の観点で好ましくない。

【0086】

《基板レイアウト[2]》

図18は、本発明の一実施の形態による水晶発振装置において、その構成要素となる配線基板の他のレイアウト構成例を示す概略図である。図18において、配線基板PCB2上には、図17と同様の半導体パッケージPKG1dならびに外付け部品(容量Cg、Cd、抵抗Rd、水晶振動子XTAL)が実装され、図17とほぼ同様の配線パターンが形成されている。図17との相違点は次の2点である。1点目は、XIN用の外部端子PNIから延びる配線パターンLN_XINの末端と、XOUT用の外部端子PNOから延びる配線パターンLN_XOUTの末端との間にXTALが接続された点である。2点目は、Cg、Cdの一端がVSS用の外部端子PNs1から延びる配線パターンLN_VSS1bに接続され、Cgの他端がLN_XINに、Cdの他端がLN_XOUTに接続された点である。このように、図18の構成例は、図17で述べた第12の特徴の代わりに図1で述べた第3の特徴(LN_VSS1bにCg、Cdの一端が接続される)を備えたものとなっている。これによって、図17の構成例と比較して、更なるノイズ耐性の向上が期待できる。なお、その他の特徴に関しては、図17の場合と同様である。

10

【0087】

《基板レイアウト[3]》

図19は、図18を変形したレイアウト構成例を示す概略図である。図19において、配線基板PCB3上には、図18とは異なる外部端子PNを備えた半導体パッケージPKG1aが実装される。PKG1aでは、X軸方向に沿って順に、VSS用の外部端子PNs3、XIN用の外部端子PNI、VSS用の外部端子PNs1、XOUT用の外部端子PNO、VSS用の外部端子PNs4が配置されている。すなわち、前述した図4の構成例と同様に、PNI、PNOのそれぞれがVSSで挟まれた配置となっている。

20

【0088】

PCB3上において、PKG1aの実装部分に形成されたVSS用の配線パターンLN_VSS1dには、前述したVSS用の3個の外部端子PNs3、PNs1、PNs4が接続される。PNI、PNs1、PNOから延伸する各配線パターンLN_XIN、LN_VSS1b、LN_XOUTや、これに接続される各種外付け部品(容量Cg、Cd、抵抗Rd、水晶振動子XTAL)の実装に関しては、図18の構成例と同様である。ここで、図19の構成例と図18の構成例では、VSS用の配線パターンLN_VSS1aの構成が若干異なっている。LN_VSS1aは、図18の構成例ではPNs2を起点に略ループ状に形成され、その終点が最上層の配線層(図1(b)のLY1)において開放状態とされたが、図19の構成例ではPNs4とPNs3の間で完全にループを構成するように形成されている。すなわち、最上層の配線層においては、LN_VSS1aとLN_VSS1dによって完全なループ配線が形成される。

30

【0089】

このような構成例を用いると、図18で述べた各種効果に加えて、XINノード、XOUTノードおよび各種外付け部品をVSSノードとなるループ配線によって完全にガードすることができるため、図18の構成例と比較して、更なるノイズ耐性の向上が期待できる。ただし、当該ループ配線がループアンテナとして機能することによるノイズ耐性の低下が懸念されるが、ここでは、第4の特徴で述べたように、下層にVSS用となる面状の配線パターンLN_VSSnを設けているため特に問題は生じない。なお、図18の構成例におけるLN_VSS1aは、仮にLN_VSSnが存在しない場合、一端が開放されているためループアンテナとしての機能は果たさないが、モノポールアンテナとして機能することがある。この場合、LN_VSS1aの配線長に応じた周波数で共振が生じ、当該周波数のノイズが生じる可能性がある。また、図19では、VSS用のポートの接続位置は示していないが、例えば、LN_VSS1aにおけるPNs4の近辺や、LN_VS

40

50

S 1 aにおけるPNs 3の近辺や、あるいはLN__VSS 1 d等とすることも可能である。

【0090】

《基板レイアウト[4]》

図20は、図18を変形した他のレイアウト構成例を示す概略図である。図20において、配線基板PCB 2 a上には、図18とは異なる外部端子PNを備えた半導体パッケージPKG 2 aが実装される。PKG 2 aでは、X軸方向に沿って順に、所定の信号XX用の外部端子PN_{xx}、XIN用の外部端子PN_i、XOUT用の外部端子PN_oが配置され、1本の外部端子を挟んでVSS用の外部端子PNs 2が配置されている。すなわち、前述した図2、図7等の構成例と同様に、PN_iとPN_oが隣接配置された構成例となっている。

10

【0091】

PCB 2 a上において、PKG 2 aの実装部分に形成されたVSS用の配線パターンLN__VSS 1 dには、前述したVSS用の外部端子PNs 2が接続される。各外部端子PN_{xx}、PN_i、PN_o、PNs 2から延伸する各配線パターンLN__XX、LN__XIN、LN__XOUT、LN__VSS 1 aに関しては、図18の場合と同様である。ただし、ここでは、PN_iとPN_oの間にVSS用の外部端子が存在しないため、LN__XINとLN__XOUTの間の領域で、VSS用の配線パターンLN__VSS 1 bが島状に孤立して配置される。LN__VSS 1 bは、スルーホールTHを介して下層のVSS用の配線パターンLN__VSS nに接続されている。また、各種外付け部品(容量C_g、C_d、抵抗R_d、水晶振動子XTAL)の実装に関しては、図18の場合と同様である。

20

【0092】

このような構成例を用いると、XIN用の外部端子PN_iとXOUT用の外部端子PN_oが隣接する場合であっても、第2の特徴で述べたように、LN__VSS 1 bを設けることで、XINノードとXOUTノードにおけるピン間の寄生容量やカップリングノイズを低減することが可能になる。また、第3の特徴で述べたように、このLN__VSS 1 bにC_g、C_dの一端を接続することで、ノイズ耐性の向上が図れる。なお、その他の特徴ならびに効果に関しては、図18の場合と同様である。

【0093】

《基板レイアウト[5]》

図21は、図20を変形したレイアウト構成例を示す概略図である。図21に示す配線基板PCB 2 b上には、図20と同様の半導体パッケージPKG 2 aおよび各種外付け部品(容量C_g、C_d、抵抗R_d、水晶振動子XTAL)が実装され、図20と同様の各種配線パターンが形成されている。図21の構成例と図20の構成例の違いは、配線パターンLN__VSS 1 bが、図20の構成例では島状に孤立して配置されていたのに対して、図21の構成例では、外部端子PN_iと外部端子PN_oの間の空間を利用して、PKG 2 aの実装部分に形成されたVSS用の配線パターンLN__VSS 1 dに接続されている点にある。このような構成例を用いると、図20で述べた各種効果に加えて、更なるノイズ耐性の向上が実現可能になる。すなわち、図20の構成例では、PKG 2 aのVSSノードと配線パターンLN__VSS 1 bの間に距離が存在するため、VSSレベルの不一致が生じる恐れがあるが、図21の構成例を用いることで当該距離が短縮でき、VSSレベルの不一致に伴う電源ノイズの発生を抑制することが可能になる。

30

40

【0094】

《基板レイアウト[6]》

図22は、図21を変形したレイアウト構成例を示す概略図である。図22に示す配線基板PCB 2 c上には、図21とは異なる半導体パッケージPKG 2 bが実装されている。図22の半導体パッケージPKG 2 bは、図21のPKG 2 aと異なり、XIN用の外部端子PN_iやXOUT用の外部端子PN_oの近辺にVSS用の外部端子(図21におけるPNs 2)が存在しない構成となっている。PCB 2 cにおける配線パターンや各種外付け部品の実装方法に関しては図21のPCB 2 bとほぼ同様である。

50

【 0 0 9 5 】

ここで、図 2 2 と図 2 1 の相違点として、図 2 2 では、V S S 用の外部端子が存在しないため、略ループ状に形成された V S S 用の配線パターン L N _ V S S 1 a の両端が最上層の配線層 (図 1 (b) の L Y 1) において開放状態になっている。このような構成例を用いると、P N i , P N o の近辺に V S S 用の外部端子が存在しない場合であっても、図 2 1 とほぼ同様な効果を得ることが可能になる。なお、ここでは、V S S 用のポート (P O R T) を V S S 用の配線パターン L N _ V S S 1 d に接続する例を示しているが、勿論、これに限定されるものではない。

【 0 0 9 6 】

《 基板レイアウト [7] 》

図 2 3 は、図 1 7 を変形したレイアウト構成例を示す概略図である。図 2 3 に示す配線基板 P C B 1 a 上には、図 1 7 とは異なる半導体パッケージ P K G 2 a が実装されている。半導体パッケージ P K G 2 a では、図 2 0 等で述べたように、X 軸方向に沿って順に、所定の信号 X X 用の外部端子 P N x x 、X I N 用の外部端子 P N i 、X O U T 用の外部端子 P N o が配置され、1 本の外部端子を挟んで V S S 用の外部端子 P N s 2 が配置されている。すなわち、図 1 7 の P K G 1 d と異なり、P N i と P N o の間に V S S 用の外部端子が存在しない構成となっている。

【 0 0 9 7 】

これに伴い、図 2 3 の P C B 1 a では、X I N 用の配線パターン L N _ X I N と X O U T 用の配線パターン L N _ X O U T の間の領域で、V S S 用の配線パターン L N _ V S S 1 b が島状に孤立して配置される。L N _ V S S 1 b は、スルーホール T H を介して下層の V S S 用の配線パターン L N _ V S S n に接続されている。これ以外の構成に関しては、図 1 7 と同様である。このような構成例を用いると、P N i と P N o が隣接する場合であっても、第 2 の特徴で述べたように、L N _ V S S 1 b を設けることで、X I N ノードと X O U T ノードにおけるピン間の寄生容量やカップリングノイズを低減することが可能になる。

【 0 0 9 8 】

《 基板レイアウト [8] 》

図 2 4 は、図 1 9 を変形したレイアウト構成例を示す概略図である。図 2 4 に示す配線基板 P C B 3 a 上には、図 1 9 とは異なる半導体パッケージ P K G 1 e が実装されている。半導体パッケージ P K G 1 e では、X 軸方向に沿って順に、X I N 用の外部端子 P N i 、V S S 用の外部端子 P N s 1 、X O U T 用の外部端子 P N o が配置されている。ただし、図 1 9 の場合と異なり、P N i , P N o の近辺には、P N s 1 以外に V S S 用の外部端子が存在しない構成となっている。

【 0 0 9 9 】

これに伴い、図 2 4 の P C B 3 a では、V S S 用の配線パターン L N _ V S S 1 a の両端が、隣接する外部端子 P N の間の空間を利用して、P K G 1 e の実装部分に形成された V S S 用の配線パターン L N _ V S S 1 d に接続されている。したがって、この場合も、図 1 9 の構成例と同様に、L N _ V S S 1 a と L N _ V S S 1 d によってループ配線が形成される。その他の構成に関しては、図 1 9 と同様である。このような構成例を用いると、P N i , P N o の近辺に V S S 用の外部端子が十分に存在しない場合であっても、図 1 9 とほぼ同様な効果を得ることが可能になる。

【 0 1 0 0 】

《 基板レイアウト [9] 》

図 2 5 は、図 2 4 を変形したレイアウト構成例を示す概略図である。図 2 5 に示す配線基板 P C B 3 b 上には、図 2 4 と同様の半導体パッケージ P K G 1 e が実装され、更に、図 2 4 と同様の各種配線パターンが形成されている。図 2 5 の構成例と図 2 4 の構成例の違いは、容量 C g , C d の一端が、図 2 4 では V S S 用の配線パターン L N _ V S S 1 b に接続されていたのに対して、図 2 5 では V S S 用の配線パターン L N _ V S S 1 a に接続されている点にある。図 2 5 の構成例を図 2 4 の構成例と比較すると、第 3 の特徴で述

10

20

30

40

50

べたように、ノイズ耐性の観点では図24の構成例の方が望ましい。ただし、図32の構成例と比較すると、第1および第2の特徴(XINノードとXOUTノードの間にVSSノードが存在)や、第4の特徴(下層にLN_VSSnが存在)や、LN_VSS1a, LN_VSS1dからなるループ配線が存在することにより、十分なノイズ耐性向上の効果が得られる。

【0101】

《基板レイアウト[10]》

図26は、本発明の一実施の形態による水晶発振装置において、その構成要素となる配線基板の更に他のレイアウト構成例を示す概略図である。図26に示す配線基板PCB4上には、半導体パッケージPKG1b1が実装される。PKG1b1では、X軸方向に沿って順に、VSS用の外部端子Pns3、XIN用の外部端子Pni、VSS用の外部端子Pns1、XOUT用の外部端子Pnoが配置されている。なお、この外部端子の配置は、図5の構成例に類似したものである。PCB4の最上層の配線層(図1(b)のLY1)には、PKG1b1の実装部分においてVSS用の配線パターンLN_VSS1dが形成されている。このLN_VSS1dには、前述したVSS用の2本の外部端子Pns1, Pns3が接続される。

10

【0102】

Pni, Pns1, Pnoに接続される各配線パターンLN_XIN, LN_VSS1b, LN_XOUTに関しては、図18の配線パターンと同様であり、各種外付け部品(容量Cg, Cd、抵抗Rd、水晶振動子XTAL)の実装方法に関しても図18の場合と同様である。ただし、ここでは、図18の場合と異なり、下層にVSS用の配線パターン(図18のLN_VSSn)を備えない構成例となっている。これは、例えば厚み(Z軸方向)が非常に小さいような配線基板PCB4を用いる場合に、この下層のVSS用の配線パターンに伴う寄生容量が過大となる事態が想定されるためである。

20

【0103】

この場合には、LN_XIN, LN_XOUT, LN_VSS1bの形成領域および各種外付け部品の実装領域をVSSノードで十分にガードしつつも、ループアンテナの機能が生じないようにする必要がある。そこで、ここでは、Pns3からY軸方向に延伸したのちX軸方向に延伸する略L字状の配線パターンLN_VSS1a1と、LN_XOUTの周辺においてLN_VSS1dから互い隣接する外部端子PNの間の空間をY軸方向に延伸する配線パターンLN_VSS1a2が設けられる。そして、完全なループ配線が形成されないように、LN_VSS1a1の末端部分とLN_VSS1a2の末端部分との間に若干の隙間が設けられる。この隙間の位置は、LN_XIN, LN_XOUT全体から離れた位置としつつ、よりLN_XINから離れた位置となっている。このような構成例を用いることで、非常に薄い配線基板を用いる場合であっても、これまでに述べたような各種効果のある程度得ることが可能になる。

30

【0104】

《基板レイアウト[11]》

図27は、図26を変形したレイアウト構成例を示す概略図である。図27に示す構成例も、図26の構成例と同様に、下層にVSS用の配線パターンを備えず、非常に薄い配線基板に対応したものとなっている。図27に示す配線基板PCB5上には、半導体パッケージPKG2cが実装される。PKG2cでは、X軸方向に沿って順に、VSS用の外部端子Pns5が配置され、1本の外部端子を挟んでXIN用の外部端子Pni、XOUT用の外部端子Pnoが配置されている。

40

【0105】

PCB5には、図26の場合と同様に、Pns5に接続される配線パターンLN_VSS1a1と、LN_VSS1dに接続される配線パターンLN_VSS1a2が設けられる。Pni, Pnoに接続される各配線パターンLN_XIN, LN_XOUTや、各種外付け部品(容量Cg, Cd、抵抗Rd、水晶振動子XTAL)の実装方法に関しては、図17の構成例とほぼ同様である。ただし、LN_XINとLN_XOUTの間に配置さ

50

れるVSS用の配線パターンLN_VSS1bに関しては、PNIとPNOの間の空間を利用してLN_VSS1dに接続される構成となっている。このような構成例を用いることで、図26と同様な効果を得ることが可能となる。

【0106】

《半導体パッケージおよびチップの詳細なレイアウト》

《レイアウト[1]》

図28は、本発明の一実施の形態による水晶発振装置において、その構成要素となる半導体パッケージならびに半導体チップの詳細なレイアウト構成例を示す図である。図28に示す構成例は、これまでに述べた各種特徴を適宜反映したものとなっている。図28に示す半導体パッケージPKGでは、X軸方向に沿って順に、設定信号用の外部端子PNmf、XIN用の外部端子PNI、XOUT用の外部端子PNO、リセット信号用の外部端子PNr、XIN用の外部端子PNI2、VSS用の外部端子PNS、XOUT用の外部端子PDO2、VCC用の外部端子PNvが配置されている。また、半導体チップCP内には、サブクロック信号用の発振回路部OSCBKsと、メインクロック信号用の発振回路部OSCBKmが形成されている。

10

【0107】

OSCBKs、OSCBKmは、共に図30に述べたようなインバータ回路IVや帰還抵抗Rf等を備えるが、それぞれ生成する発振信号の周波数が異なっている。OSCBKmは、例えば、数MHz~数十MHz等の発振信号を生成し、OSCBKsは、例えば32kHz等を代表に1MHz未満の発振信号を生成する。前述したPNI、PNOは、OSCBKs用の信号端子であり、PNI2、PNO2は、OSCBKm用の信号端子である。PNIとPNOの間には、図示はしないが、外付け部品として低CL値対応(例えばCL値=3~7pF)の水晶振動子が接続される。当該水晶振動子としては、代表的には、音叉型水晶振動子が用いられる。一方、PNI2とPNO2の間にも、図示はしないが、外付け部品として水晶振動子が接続される。当該水晶振動子としては、代表的には、ATカット水晶振動子が用いられる。

20

【0108】

半導体チップCP内には、X軸方向に沿って、OSCBKsに対応したセル領域CLB1と、OSCBKmに対応したセル領域CLB2と、その他共通のセル領域CLB3が設けられる。CLB1は、X軸方向において、CLB2とCLB3の間に配置されるが、CLB2およびCLB3との間には一定の間隔が確保されている。外部端子PNSは、3本のボンディングワイヤBWを介してCLB2内に形成された3種類のパッドPDSq1、PDSq2、PDSsに接続される。外部端子PNvは、2本のボンディングワイヤBWを介してCLB2内に形成された2種類のパッドPDvq1、PDvq2に接続される。この内、PDvq1、PDSq1は、メタル配線MLvcc、MLvssを介してCLB1内の各電源供給ライン(VCCQ、VSSQ等)に適宜接続される。また、PDvq2、PDSq2は、CLB2内の各電源供給ライン(VCCQ、VSSQ等)に適宜接続される。CLB1内の各電源供給ラインとCLB2内の各電源供給ラインは、ここでは共通の接地電源電圧ライン(VSS)を1本設けていることを除いて基本的には分離して形成される。

30

40

【0109】

セル領域CLB1では、XIN用のパッドPDiとXOUT用のパッドPDOが形成され、PDiに対応するセルとPDOに対応するセルとの間に、電源供給用のセルCLpwが備わっている。また、CLB1は、前述したMLvcc、MLvssからの電源供給を受ける2個のセルを備え、当該セルからの電源が各電源供給ラインを介してCLpwに伝送される共に当該CLpwを介してOSCBKsの内部に供給される構成となっている。この電源供給を受ける2個のセルとCLpw内には、ESD保護素子が備わっている。

【0110】

このような構成例において、OSCBKmに関しては、PNI2がPNrとPNSに挟まれ、PDO2がPNSとPNvに挟まれており、これらに対応する各パッドもXINノ

50

ードとXOUTノードを適宜挟み込む構成となっている。したがって、ピン間のカップリングノイズの低減や、XINノード、XOUTノードのノイズ耐性の向上等が十分に図れる。一方、OSCBKsに関しては、PNiとPNoが隣接配置されているため、ピン間の寄生容量の増大、カップリングノイズの増大が懸念され、加えてXINノード、XOUTノードのノイズ耐性の低下も懸念される。そこで、ここでは、PDi対応のセルとPD0対応のセルの間に電源供給用のセルCLpwを設けることで、寄生容量やカップリングノイズの問題を小さくし、更に、CLB1とCLB2、CLB3との間に一定の間隔を確保すると共に各電源供給ラインを分離して形成することでノイズ耐性を高めている。なお、PNrおよびPNmfは、それぞれリセット信号用および設定信号用であるため、頻繁に変動することは無く、この観点からもノイズ耐性の向上が可能となる。

10

【0111】

《レイアウト[2]》

図29は、図28を変形した半導体パッケージならびに半導体チップの詳細なレイアウト構成例を示す図である。図29の構成例と図28の構成例の主な違いは、図29の構成例では、チップの一辺に沿って(X軸方向に沿って)セル領域CLB4が配置され、CLB4とはY軸方向(チップの内側方向)で座標が異なる位置にセル領域CLB1が配置されている点にある。CLB1は、図28の構成例と同様に、サブクロック向けの発振回路部OSCBKs用である。一方、CLB4は、チップ共通用であり、その一部のセルがメインクロック向けの発振回路部OSCBKm用として用いられる。図29の構成例を用いると、図28の構成例と比較してCLB1を他のセル領域から更に分離できるため、更なるノイズ耐性の向上などが期待できる。

20

【0112】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

【0113】

例えば、本実施の形態の水晶発振装置は、図28に示したように、32kHzを代表とするサブクロック用の水晶発振装置に適用してより有益なものであるが、必ずしもこれに限らず、場合によってはメインクロック用の水晶発振装置に適用することも可能である。ただし、サブクロック用の水晶発振装置の方が、メインクロック用の水晶発振装置よりも消費電流が小さく、信号量も小さいため、よりノイズ耐性が低下する恐れがある。加えて、更なる消費電流の低減のため低CL値対応の水晶振動子を用いると、ノイズ耐性の更なる低下や寄生容量の影響等が懸念される。このような観点で、サブクロック用の水晶発振装置に適用することがより有益となる。

30

【0114】

また、ここでは、半導体パッケージとして、QFP(Quad Flat Package)等を代表とする外部リード型の形態を用いたが、勿論、これに限定されるものではなく、他のパッケージ形態であってもよい。例えば、BGA(Ball Grid Array)等のようなボール型の形態であっても、前述した半導体チップ内の各種特徴や、配線基板上的各種特徴等は適宜適用可能である。

40

【0115】

《水晶発振装置全体の代表的な実施の形態[1B]》

図34は、本発明の一実施の形態による水晶発振装置において、その全体の構成例を示す概略図である。図34に示す水晶発振装置は、半導体チップ(半導体装置)CP1と、CP1の外部に設けられた容量Cg、Cdおよび水晶振動子XTALを備えている。CP1には、制御回路ブロックCTLBK、発振回路ブロック(発振回路部)OSCBK1、およびコンパレータ回路ブロックCMPBKが形成される。OSCBK1は、一端が電源電圧VCCに接続された電流源ISOと、ドレインがISOの他端に接続され、ソースが接地電源電圧GND(0V)に接続された発振用のNMOSトランジスタMNoと、MNoのゲートとドレイン間に接続された高抵抗(例えば10M等)の帰還抵抗Rfを備え

50

ている。M N o のゲートは発振入力信号 X I N 用の外部端子に接続され、M N o のドレインは発振出力信号 X O U T 用の外部端子に接続される。

【 0 1 1 6 】

容量 C g は、X I N 用の外部端子と G N D の間に接続され、容量 C d は、X O U T 用の外部端子と G N D の間に接続される。X T A L は、X I N 用の外部端子と X O U T 用の外部端子の間に接続される。なお、図 3 4 では省略しているが、場合によっては、図 5 0 のように制限用の抵抗 R d 等を付加することも可能である。X T A L は、例えば 3 ~ 7 p F とした低負荷容量値（低 C L 値）に対応した構成となっており、代表的には、音叉型水晶振動子が用いられる。C g , C d は、例えば同一の容量値を持ち、各種寄生容量を無視すると C g , C d の直列接続による合成容量値が X T A L の C L 値に一致するような値に設定される。

10

【 0 1 1 7 】

C T L B K は、電圧依存の無い安定した基準電流 I r e f を生成する基準電流生成回路 I R E F G を備え、電流源 I S o は、この I r e f を用いて所定のバイアス電流を生成する。M N o および I S o は、反転論理回路（又は負性抵抗生成回路）を構成し、M N o は、I S o からのバイアス電流を用いて水晶振動子 X T A L 等の各種パラメータに応じた発振周波数で発振動作を行う。これによって、外部端子（X O U T）には、例えば 3 2 k H z 等の周波数を持つ発振出力信号 X O U T が生成される。ここで、I S o からのバイアス電流は、低消費電力化のため例えば 1 0 0 n A 程度といった非常に小さい値となっており、これに伴い X O U T における電圧振幅の大きさも例えば 1 0 0 ~ 3 0 0 m V 程度といった非常に小さい値となる。コンパレータ回路ブロック C M P B K は、所定の比較電圧を基準として X O U T の電圧レベルを大小判定することで、X O U T を V C C レベル（例えば 1 . 6 V 以上等）の電圧振幅を持つ矩形波の発振信号（クロック信号）に整形する。

20

【 0 1 1 8 】

また、図 3 4 の水晶発振装置は、低 C L 値対応の水晶振動子 X T A L のみならず、例えば 1 2 . 5 p F とした標準 C L 値対応の X T A L を接続することも可能な構成となっている。標準 C L 値対応の X T A L は、代表的には A T カット水晶振動子が用いられる。標準 C L 値対応の X T A L を用いる場合、前述した電流源 I S o からの低 C L 値用のバイアス電流（例えば 1 0 0 n A 程度）では電流値が不足する。そこで、図 3 4 では、I S o が、制御回路ブロック C T L B K からのモード設定信号 M D に応じてバイアス電流の大きさを変更可能な可変電流源となっている。標準 C L 値対応の X T A L を接続する場合、I S o からのバイアス電流は、前述した低 C L 値用のバイアス電流と比較して例えば 1 桁程度以上大きな値に設定される。

30

【 0 1 1 9 】

このように、図 3 4 の水晶発振装置は、例えば、次のような特徴を備えている。第 1 の特徴は、低 C L 値対応の水晶振動子 X T A L に非常に小さいバイアス電流で動作する反転論理回路（M N o , I S o ）を組み合わせ、その副作用となる X O U T における電圧振幅の縮小をコンパレータ回路ブロック C M P B K で補償している点にある。これによって、特に、反転論理回路のバイアス電流を極限まで低減できることから、水晶発振装置の低消費電力化が図れる。第 2 の特徴は、反転論理回路（M N o , I S o ）が、V C C と G N D の間で 2 段の直列接続構成となっている点にある。これによって、広範囲な電源電圧 V C C （例えば、1 . 6 2 V ~ 5 . 5 V ）に対応でき、特に、各種電子機器の低消費電力化（すなわち低電源電圧化）のトレンドを受けて、低電源電圧に対応できるようになる。第 3 の特徴は、電流源 I S o を可変電流源とし、ユーザに対して、同一の半導体チップ C P 1 を用いて複数の水晶振動子 X T A L の選択肢（低 C L 値対応か標準 C L 値対応か）を提供できるように構成した点にある。これによって、コストの低減や利便性の向上等が実現可能になる。

40

【 0 1 2 0 】

《水晶発振装置全体の代表的な実施の形態 [2 B] 》

図 3 5 は、本発明の一実施の形態による水晶発振装置において、図 3 4 を変形した全体

50

の構成例を示す概略図である。図35に示す水晶発振装置は、図34の構成例と比較して、半導体チップCP2における発振回路ブロックOSCBK2内にスイッチ回路SW1が追加された点が異なっている。また、これに伴い、制御回路ブロックCTLBKがSW1のオン・オフをイネーブル信号IENによって制御する点が異なっている。これら以外の構成に関しては図34と同様であるため、詳細な説明は省略する。SW1は、電流源ISOと発振用のNMOSTランジスタMNOのドレインの間に挿入される。そして、ISOとSW1の接続ノードがXOUT用の外部端子に接続される。

【0121】

図36は、図35の水晶発振装置において、その詳細な構成例を示す回路ブロック図である。図36において、半導体チップCP2aは、前述した発振入力信号XIN用および発振出力信号XOUT用の外部端子に加えて、電源電圧VCC用および接地電源電圧GND用の外部端子を備えている。CP2a内における制御回路ブロックCTLBKには、複数(ここでは5本)の内部端子から、それぞれ、発振イネーブル信号XOSC_EN、反転論理イネーブル信号XINV_EN、モード選択信号XMSEL1, XMSEL2、トリミング信号XTRIMが入力される。XOSC_ENは、水晶発振装置全体を活性状態(オン状態又は有効状態)あるいは非活性状態(オフ状態又は無効状態)に制御するためのマスタ信号であり、図36の例では、非活性状態とされた場合、基準電流生成回路IREFGが基準電流の生成動作を停止する。

【0122】

反転論理イネーブル信号XINV_ENは、前述したイネーブル信号IENの元となる信号であり、発振回路ブロックOSCBK2内の反転論理回路の活性状態あるいは非活性状態を制御するための信号である。モード選択信号XMSEL1, XMSEL2は、水晶振動子XTALが低CL値対応か標準CL値対応かを判別するための信号であり、前述したモード設定信号MDの元となる信号である。トリミング信号XTRIMは、電流源ISOの製造ばらつき等を補正するための信号である。これらの内部端子(XOSC_EN, XINV_EN, XMSEL1, XMSEL2, XTRIM)は、例えば、半導体チップCP2a内に別途備わった図示しない各種機能ユニット(プロセッサユニット、コントローラユニット、クロック生成ユニット等)に接続され、場合によっては、一部がCP2aの外部端子であってもよい。

【0123】

図36において、発振回路ブロックOSCBK2内には、前述した電流源ISO、発振用のNMOSTランジスタMNO、およびスイッチ回路SW1に該当するNMOSTランジスタMNSWが形成されている。また、ここではMNSWのゲートに容量C1が接続され、XINV_ENに応じて基準電流生成回路IREFGがC1に充放電を行うことでMNSWのオン・オフを制御する構成となっている。ただし、勿論、これに限定されるものではなく、XINV_ENによってMNSWのゲートを直接電圧駆動するように構成してもよい。

【0124】

図36において、コンパレータ回路ブロックCMPBK内には、コンパレータ回路CMP1、バッファ回路BF1、ノア演算回路NR1、インバータ回路IV1、およびアンド演算回路AD1が形成されている。CMP1は、発振出力信号XOUTを比較電圧Vrefを基準として大小判定し、電源電圧VCCレベルの電圧振幅を持つクロック信号を生成する。当該クロック信号は、BF1を介してNR1の2入力的一方に伝送される。NR1の2入力の他方には、内部端子から入力されたクロック出力イネーブル信号XC_ENがIV1を介して伝送され、NR1の出力はクロック信号XC用の内部端子に接続される。XC_ENが'L'レベルの際には、BF1の出力に関わらず、クロック信号XCが'L'レベルに固定される。アンド演算回路AD1は、2入力的一方にXOUTが入力され、2入力の他方に内部端子から入力されたバイパスイネーブル信号XBY_P_ENが伝送され、出力がバイパス信号XBY_P用の内部端子に接続される。XBY_P_ENが'H'レベルの際には、XOUT用の外部端子がXBY_Pにバイパスされる。なお、各内部端子(

10

20

30

40

50

X C _ E N , X C , X B Y P _ E N , X B Y P) は、前述した各種機能ユニットに接続されるか一部が外部端子として設けられる。

【 0 1 2 5 】

このように、第 4 の特徴として、発振回路ブロック O S C B K 2 内にスイッチ回路 S W 1 (M N s w) を備えることで、水晶発振装置のテストを容易化でき、また、水晶発振装置における発振動作を非活性状態 (オフ状態又は無効状態) から活性状態 (オン状態又は有効状態) に遷移させる際に、その遷移時間を短縮可能になる。まず、テストの容易化に関し、仮に半導体チップ C P 2 (C P 2 a) が所謂マイコン等である場合、マイコン内の各種機能ユニットをテストする際に、水晶発振装置を介さずに外部のテスト装置からクロック信号を直接供給したいような場合がある。

10

【 0 1 2 6 】

この際に、仮に、図 3 4 の構成例において、テスト装置から外部端子 (X O U T) にクロック信号を供給すると、M N o がオン状態となり、X O U T が G N D に接続されるため、テスト装置からのクロック信号の供給が困難となる場合がある。そこで、図 3 5 および図 3 6 の構成例を用いると、S W 1 (M N s w) をオフに制御することで、前述した M N o を介した短絡パスを無くすることができるため、テスト装置から外部端子 (X O U T) にクロック信号を直接供給することが可能になる。具体的には、S W 1 (M N s w) をオフに制御すると共に、バイパスインーブル信号 X B Y P _ E N を ' H ' レベルに設定することで、外部端子 (X O U T) を内部端子 (X B Y P) にバイパスさせ、X B Y P によってテストが行われる。なお、外部端子 (X O U T) から供給されたクロック信号を、内部端子 (X B Y P) ではなく内部端子 (X C) から取り出すことも可能であるが、比較的、高い周波数を持つクロック信号を用いてテストを行いたいような場合のため、A D 1 を介したバイパス経路を備えることが有益となる。

20

【 0 1 2 7 】

次に、前述した発振動作の非活性状態から活性状態への遷移時間に関し、仮に、図 3 6 の X O S C _ E N を用いて I R E F G の動作を停止することで水晶発振装置を非活性状態にした場合、活性状態に復帰する際に I R E F G の安定化に時間を要し、活性状態への遷移時間 (X O U T が安定化するまでの期間) が長期化する恐れがある。そこで、水晶発振装置を非活性状態にする際には、I R E F G を動作させた状態で S W 1 (M N s w) をオフに制御することで発振回路ブロック O S C B K 2 (反転論理回路) の動作を停止する。これによって、活性状態に復帰する際 (S W 1 (M N s w) をオンに戻した際) に、X O U T が安定化するまでの遷移時間を短縮することが可能になる。

30

【 0 1 2 8 】

なお、非活性状態での消費電流を極限まで低減するためには I R E F G の動作を停止することが望ましいが、実用上は、O S C B K 2 (反転論理回路) の動作を停止することで十分な低消費電力化が図れる。また、前述した第 2 の特徴 (V C C と G N D 間の直列 2 段接続) に関し、図 3 5 および図 3 6 の構成例では、3 段接続構成となるが、S W 1 (M N s w) は、スイッチとして機能するため (オープン状態かソース・ドレイン間電圧が極めて小さい状態であるため) 、実質的には直列 2 段接続とみなせる。

【 0 1 2 9 】

40

《水晶発振装置全体の代表的な実施の形態 [2 B] の比較例》

図 3 7 は、図 3 6 の比較例として検討した水晶発振装置全体の構成例を示す回路ブロック図である。図 3 7 では、半導体チップ C P 1 a 内に図 3 6 に示したスイッチ用の N M O S トランジスタ M N s w が存在しない代わりに、2 個のスイッチ回路 S W 1 a , S W 1 b が備わった構成となっている。S W 1 a は、発振用の N M O S トランジスタ M N o のゲートとドレインの間で帰還抵抗 R f と直列に挿入され、内部端子 (又は外部端子) からの発振動作停止信号 R F _ O F F に応じてオン・オフが制御される。S W 1 b は、アンド演算回路 A D 1 の 2 入力的一方 (X O U T 側) と S W 1 a の一端 (M N o 側) の間に挿入され、発振出力停止信号 X O U T _ O F F に応じてオン・オフが制御される。

【 0 1 3 0 】

50

このような構成例を用いると、スイッチ回路SW1a, SW1bをオフに制御することで、テスト時に外部端子(XOUT)と内部端子(XBYP)の間のバイパス経路を問題無く形成することや、発振回路ブロックOSCBK1aの動作を停止することが可能となる。ただし、SW1a, SW1bを例えばMOSトランジスタ等で構成した場合、特に電源電圧VCCが低電圧化されるほど、そのオン抵抗が大きくなり、通常の発振動作に与える影響が無視できなくなる。すなわち、通常の発振動作時に、SW1a, SW1bのオン抵抗に伴い発振条件のズレ等が生じ、発振動作の精度や安定性が阻害される恐れがある。一方、図36の構成例のように、発振回路ブロックOSCBK2の反転論理回路内にスイッチ用のMNSwを設けると、図37の構成例と比較してそのオン抵抗の影響は小さくなり、発振動作の精度や安定性の点でより有益となる。

10

【0131】

以上、本実施の形態による水晶発振装置全体について、その概要を説明したが、本実施の形態による水晶発振装置は、前述した第1～第4の特徴に限らず、更なる特徴を複数備えている。以降、これらの特徴について、水晶発振装置の詳細と共に適宜説明を行う。

【0132】

《制御回路ブロックおよび発振回路ブロックの詳細》

図38は、図34の水晶発振装置における制御回路ブロックCTLBKおよび発振回路ブロックOSCBK1の詳細を示すものであり、(a)はその構成例を示す回路図、(b)は(a)の一部を抽出した回路図である。図38において、制御回路ブロックCTLBKは、制御論理回路LGCと、基準電流生成回路IREFGを備えている。LGCは、モード選択信号XMSEL1, XMSEL2およびトリミング信号XTRIMが入力され、これらの信号に応じてモード設定信号MD1, MD2を生成する。IREFGは、NMOSトランジスタMNC1, MNC2, MNS1, PMOSトランジスタMPC1, MPC2、および抵抗R1, R2を備えている。

20

【0133】

IREFGの基本構成は、図38(b)に示され、当該構成は、絶対温度に比例する基準電流Irefを生成する所謂PTAT(Proportional To Absolute Temperature)回路となっている。図38(b)において、MNC1は、ソースがGNDに、ゲートとドレインが共通に接続される。MNC2は、ソースが電流設定用の抵抗Riを介してGNDに接続され、ゲートがMNC1のゲートと共通に接続される。MPC1, MPC2は、カレントミラー回路を構成し、ソースがVCCに接続され、ゲートが共通に接続される。MPC1のドレインはMNC1のドレインに接続され、MPC2のドレインはMNC2のドレインに接続されると共にMPC2(MPC1)のゲートに接続される。

30

【0134】

ここで、MNC1, MNC2, MPC1, MPC2は、ゲート・ソース間電圧がしきい値電圧よりも小さいサブシュレッシュヨルド領域(弱反転領域)で動作する。サブシュレッシュヨルド領域において、各MOSトランジスタのソース・ドレイン間電流IDSは、例えば式(1)で定められる。Kはアスペクト比(ゲート幅(W)/ゲート長(L))、I0はサブシュレッシュヨルド電流の前置係数、mは定数、VTは「kbT/q」(kb:ボルツマン定数、q:電子の電荷量、T:温度)、Vgsはゲート・ソース間電圧、Vthはしきい値電圧である。

40

【0135】

$$I_{DS} = K \cdot I_0 \cdot \exp\left(\frac{V_{gs} - V_{th}}{m \cdot V_T}\right) \quad (1)$$

MPC1, MPC2のトランジスタサイズ(LおよびW)を同一とした場合、MPC1, MPC2には同一の基準電流Irefが流れ、MNC1, MNC2のアスペクト比をそれぞれK1, K2とした場合、「 $V_{gs1} - V_{gs2} = I_{ref} \cdot R_i$ 」(V_{gs1} : MNC1のVgs、 V_{gs2} : MNC2のVgs)の関係から式(2)が成り立つ。

【0136】

$$I_{ref} = (1/R_i) \cdot m \cdot V_T \cdot \ln(K2/K1) \quad (2)$$

式(2)より、Irefは温度Tに比例して増大するため、図38(b)のIREFG

50

は、P T A T回路となる。また、図38(b)のI R E F Gは、各トランジスタがサブシュレシヨルド領域で動作することから低消費電力な回路となる。なお、P T A T回路は、例えば、バイポーラトランジスタ(ダイオード)のバンドギャップを利用する方式を代表に様々な回路が知られているが、低消費電力化を図るためには、図38(b)のように、M O Sトランジスタのサブシュレシヨルド特性を利用する方式とすることが望ましい。

【0137】

図38(a)におけるI R E F Gは、図38(b)における抵抗 R_i が、 R_1 と R_2 の直列接続回路と、 R_1 と R_2 の共通接続ノードとG N Dの間にソース・ドレイン経路が接続されたスイッチ用のM N s 1に置き換わった構成となっている。M N s 1は、モード設定信号M D 1によってオン・オフが制御され、M N s 1がオフの際には、 $R_i = R_1 + R_2$ となり、M N s 1がオンの際には、 $R_i = R_1$ となる。具体的には、水晶振動子として低C L値対応のものが接続された際には、M N s 1をオフとすることでI r e fの値が小さい値に設定され、水晶振動子として標準C L値対応のものが接続された際には、M N s 1をオンとすることでI r e fの値が大きい値に設定される。なお、ここでは、この電流値設定部分(R_1 , R_2 , M N s 1)が簡略化して示されているが、実際には、更に、複数の抵抗や複数のスイッチ用M O Sトランジスタおよびそのモード設定信号を用いて、トリミング信号T R I Mに伴うI r e fの値の微調整にも対応できるように構成される。

【0138】

発振回路ブロックO S C B K 1は、電流源I S o、発振用のN M O SトランジスタM N o、および帰還抵抗 R_f を含んでいる。M N oは、低消費電力化のため、サブシュレシヨルド領域で動作する。I S oは、P M O SトランジスタM P c 3, M P c 4, M P s 1を備える。M P s 1は、スイッチとして機能し、そのオン・オフがモード設定信号M D 2で制御される。M P c 3は、ソースがV C Cに、ドレインがM N oのドレインに接続され、M N c 4は、ソースがV C Cに、ドレインがM P s 1を介してM N oのドレインに接続される。M P c 3, M P c 4は、前述したI R E F GにおけるM P c 1 (M P c 2)とカレントミラー回路を構成し、ゲートにM P c 1 (M P c 2)のゲート電圧V B Pが印加される。ここで、M P c 3, M P c 4は、M P c 1, M P c 2等と同様にサブシュレシヨルド領域で動作し、これによって低消費電力化を図っている。

【0139】

M N oに流れるバイアス電流は、M P s 1がオフの際にはM P c 3から供給される電流値となり、M P s 1がオンの際には、M P c 3とM P c 4から供給される電流の加算値となる。言い換えれば、I R E F GとI S oのカレントミラー比を変えることでバイアス電流値が切り替えられる。具体的には、水晶振動子として低C L値対応のものが接続された際には、M P s 1をオフとすることで小さいバイアス電流値に設定され、標準C L値対応のものが接続された際には、M P s 1をオンとすることで大きいバイアス電流値に設定される。なお、低C L値用のバイアス電流と標準C L値用のバイアス電流を切り替える際には、前述したI R E F Gの抵抗値による切り替えか、I R E F GとI S oのカレントミラー比による切り替えかのいずれか一方のみで行うことも可能である。ただし、低C L値用と標準C L値用とでバイアス電流値が一桁程度以上異なる場合には、いずれか一方で行うよりも両方で行った方が、精度や回路面積の観点から望ましい。特に限定はされないが、バイアス電流値が例えば10倍異なる場合には、I R E F Gの抵抗値で5倍にし、更にそれをI R E F GとI S oのカレントミラー比で2倍にする。

【0140】

ここで、図38(a)、(b)の構成例においては、第5の特徴として、水晶振動子のC L値が「M」倍に変更された場合に、M N oのバイアス電流を「Mの2乗」倍に増加させている。更に、第6の特徴として、水晶振動子のC L値に関わらず、M N oのバイアス電流値を絶対温度に比例して増加させている。第5の特徴に関しては、予め定められる水晶振動子のC L値の適用範囲に応じて、I R E F Gの抵抗値の可変範囲やI R E F GとI S oのカレントミラー比の可変範囲を予め設計しておくことで実現する。第6の特徴に関

10

20

30

40

50

しては、前述したように基準電流生成回路 I R E F G に P T A T 回路を用いることで実現する。第 5 の特徴を備えることで、水晶振動子の種類 (C L 値) に関わらず、発振余裕度を一定に保つことが可能になり、第 6 の特徴を備えることで、発振余裕度の温度依存性を低減し、発振余裕度を一定に保つことが可能になる。水晶振動子は、様々な電子機器で使用されるため、温度依存性に関しては、例えば - 4 0 ~ 1 2 5 といいた広範囲での安定動作が望まれる。

【 0 1 4 1 】

水晶発振装置では、一般的に、式 (3) で与えられる発振余裕度 (R m / R e) と呼ばれる指標を規定値以上に保つ必要がある。R m は、発振回路ブロックにおける反転論理回路によって実現する負性抵抗値であり、R e は水晶振動子の等価直列抵抗値である。は 10
 発振周波数 (角速度) であり、g m は、当該反転論理回路の相互コンダクタンスである。g m は、前述した式 (1) に基づき式 (5) で与えられる。また、式 (3) における C L は、負荷容量の値であり、例えば図 3 4 等において、外付けの容量 C g , C d 以外の寄生容量を無視すると、 $C L = (C g \cdot C d) / (C g + C d)$ となる。ここで、 $C g = C d$ を前提とした場合、式 (3) は式 (4) に等しい。

【 0 1 4 2 】

$$(R m / R e) = (g m / (4 \cdot C L ^ 2 \cdot \quad)) \cdot (1 / R e) \quad (3)$$

$$(R m / R e) = (g m / (C g \cdot C d \cdot \quad)) \cdot (1 / R e) \quad (4)$$

$$g m = (q \cdot I _ { D S }) / (m \cdot k _ b \cdot T) \quad (5)$$

式 (3) および式 (4) より、g m を C L の 2 乗、又は C g と C d の積に比例させると 20
 発振余裕度を一定に保てることが判る。これは、式 (5) よりバイアス電流 (I _ { D S }) を C L の 2 乗、又は C g と C d の積に比例させることで実現できる。また、式 (5) より、g m は温度 T に反比例するため、バイアス電流 (I _ { D S }) を温度 T に比例させることで g m の温度依存性を低減できることが判る。これらによって、発振余裕度が一定に保てると、例えば、発振余裕度のばらつきを加味してバイアス電流を多めに設定する等のマージン設計が不要となり、低 C L 値か標準 C L 値のいずれを用いた場合でもバイアス電流を理論限界まで小さくでき、水晶発振装置の低消費電力化を図ることが可能になる。

【 0 1 4 3 】

なお、式 (3) および式 (4) において発振余裕度を一定とすると、低 C L 値の水晶振 30
 動子を用いるほど g m を小さくでき、式 (5) よりバイアス電流 (I _ { D S }) の削減 (すなわち水晶発振装置の低消費電力化) が可能になることが判る。また、仮に、低 C L 値を 4 p F、標準 C L 値を 1 2 p F とした場合、低 C L 値から標準 C L 値に切り替えた際に、C L 値が 3 倍になることからバイアス電流 (I _ { D S }) は 9 (= 3 ^ 2) 倍に増やす必要がある。このように、バイアス電流 (I _ { D S }) の切り替えに伴う変動量が多くなるため、前述したように、基準電流生成回路 I R E F G の抵抗値による切り替えと、I R E F G と電流源 I S o のカレントミラー比による切り替えの両方を用いることが望ましい。

【 0 1 4 4 】

図 3 9 および図 4 0 は、図 3 8 におけるモード設定信号 M D 1 , M D 2 の生成方法の一 40
 例を示す説明図である。図 3 9 の例では、制御論理回路 L G C 内にレジスタ回路 R E G が備わっており、使用する水晶振動子や発振モードに応じて必要となる電流を選択信号 X S E L 1 , X S E L 2 を用いて R E G の値に適宜設定する。この設定により回路のモード設定信号 M D 1 , M D 2 が生成されて回路に最適な電流が供給される。図 4 0 の例は、製造ばらつきを解消する用法である。まず、水晶発振装置のテストの段階で、テスト装置を用いて外部端子 (X O U T) に電流計 M E A S を接続することで電流源 I S o からのバイアス電流を測定する。次いで、テスト装置等によってこのバイアス電流の測定値と設計値の誤差に応じたトリミング値を算出し、当該トリミング値をフラッシュメモリ等の不揮発性メモリ F M E M に予め格納して保持しておく。F M E M は、例えば、図 3 4 等の半導体チップ C P 1 がマイコン等の場合、チップ内蔵のフラッシュメモリ等を用いることができる。F M E M 内に保存されたトリミング値は、水晶発振装置の起動時等でトリミング信号 X T R I M として制御論理回路 L G C に転送され、モード設定信号 M D 1 , M D 2 に反映さ 50

れる。

【 0 1 4 5 】

《コンパレータ回路ブロックの詳細 [1] 》

図 4 1 は、図 3 4 の水晶発振装置において、そのコンパレータ回路ブロック C M P B K の一部の詳細な構成例を示す回路図である。図 4 1 において、コンパレータ回路ブロック C M P B K は、比較電圧生成回路 V R E F G 1 と、コンパレータ回路 C M P 1 を含んでいる。C M P 1 は、図 3 6 等で述べたように、2 入力的一方に発振出力信号 X O U T が入力され、2 入力の他方に比較電圧 V r e f が印加される。ここで、この V r e f を生成する回路が V R E F G 1 である。

【 0 1 4 6 】

V R E F G 1 は、前述した発振回路ブロック内の電流源 I S o のレプリカ回路となる電流源 I S c と、発振用の N M O S トランジスタ M N o のレプリカ回路となる N M O S トランジスタ M N r p を備えている。M N r p は、ソースが G N D に接続され、ゲートとドレインが共通に接続されている。I S c は、P M O S トランジスタ M P c 5 , M P c 6 , M P s 2 を備える。M P c 5 , M P c 6 は、I S o 内の M P c 3 , M P c 4 と同様に、基準電流生成回路 I R E F G 内の M P c 1 , M P c 2 (図 3 8 参照) との間でカレントミラー回路を構成する。M P s 2 は、I S o 内の M P s 1 と同様に、モード設定信号 M D 2 に応じてオン・オフが制御される。M P c 5 は、ソースが V C C に接続され、ドレインが M N r p のドレインに接続され、M P c 6 は、ソースが V C C に接続され、ドレインが M P s 2 を介して M N r p のドレインに接続される。比較電圧 V r e f は、この M N r p のドレインから生成される。

【 0 1 4 7 】

ここで、レプリカ用の M N r p は、発振用の M N o と同一のトランジスタサイズを持つ。また、M P c 5 は M P c 3 と同一のトランジスタサイズを持ち、M P c 6 は M P c 4 と同一のトランジスタサイズを持つ。これによって、発振用の M N o に供給されるバイアス電流と同じ電流値のバイアス電流がレプリカ用の M N r p にも供給され、M N o から生成される発振出力信号 X O U T における振幅の中心電圧レベルが M N r p のドレイン (ゲート) に現れることになる。C M P 1 は、この M N r p のドレイン電圧を比較電圧 V r e f として X O U T の電圧レベルを大小判定し、V C C レベルの電圧振幅を持つクロック信号を出力する。

【 0 1 4 8 】

このように、図 4 1 の構成例は、第 7 の特徴として、発振回路ブロック O S C B K 1 の構成を反映したレプリカ回路 (比較電圧生成回路 V R E F G 1) を用いて X O U T の中心電圧レベル (発振させない場合に X I N = X O U T となる電圧レベルであり、言い換えれば D C 的な安定点) を生成している。この際に、M N o と M N r p は、同一のトランジスタサイズを持つため、M N o の P V T (プロセス、電圧、温度) ばらつきは M N r p にも反映され、振幅の中心電圧レベルを高精度に検出することができる。そして、C M P 1 が M N r p のドレイン電圧を比較電圧 V r e f として X O U T の電圧レベルを大小判定することで、C M P 1 から出力されるクロック信号のデューティ比を 5 0 % に近づけることができ、高精度な (高い波形品質を持つ) クロック信号を生成することが可能になる。なお、特に低 C L 値対応の水晶振動子を用いた場合には、X O U T の振幅レベルが小さいため、比較電圧 V r e f のズレに伴うデューティ比のばらつきがより顕著となる。第 7 の特徴を用いることで、このようなデューティ比のばらつきを低減できる。

【 0 1 4 9 】

《コンパレータ回路ブロックの詳細 [1 '] 》

図 4 2 (a) は、図 4 1 に示したコンパレータ回路ブロック C M P B K の変形例を示す回路図であり、図 4 2 (b) は、図 4 2 (a) の動作例を示す波形図である。図 4 2 (a) に示すコンパレータ回路ブロック C M P B K は、図 4 1 の構成例と比較して、比較電圧生成回路 V R E F G 1 a 内におけるレプリカ用の N M O S トランジスタの構成が異なっている。すなわち、図 4 1 の構成例では、1 個のレプリカ用の N M O S トランジスタ M N r

10

20

30

40

50

pが備わっていたが、図42(a)の構成例では、コンパレータ回路CMP1の入力(Vref側)とGNDの間に複数のレプリカ用NMOSトランジスタMnrp[1]~Mnrp[n]が並列に接続されている。Mnrp[1]~Mnrp[n]のそれぞれは、図41のMnrpと同様に、ダイオード接続され、発振用のMnoと同一のトランジスタサイズを持つ。

【0150】

このように、図42(a)の構成例では、第8の特徴として、並列接続された複数のレプリカ用NMOSトランジスタを用いることで、比較電圧Vrefの電圧レベルを若干低下させている。これは、図42(b)に示すように、実際には、発振出力信号XOUTの中心電圧レベルがXOUTの電圧振幅の増大と共に徐々に低下し、電圧振幅が安定した段階での中心電圧レベルが発振開始時に比べてVだけ低下するような場合があるためである。その要因としては、発振回路ブロックにおいて、電流源(PMOSトランジスタ)Isoよりも発振用のNMOSトランジスタMnoの方が駆動能力が高いことが挙げられる。また、Vの大きさは、例えば、50~200mV程度である。

10

【0151】

そこで、第8の特徴を用いると、このVを補正し、CMP1から出力されるクロック信号のデューティ比を50%に近づけることが可能になる。更に、別の効果として、図42(b)に示すように、発振出力信号XOUTの電圧振幅が成長している段階で、その半周期分の電圧振幅がVに満たないような領域SARでは、CMP1の出力変動が無いため、この領域での低ノイズ化が図れる。その結果、発振開始時の安定性が向上し、ノイズ耐性の向上が実現可能になる。

20

【0152】

なお、ここでは、Mnrp[1]~Mnrp[n]の並列個数(n)のみによってVの補正を行ったが、場合によっては、電流源Iscにおけるカレントミラー比の調整を併用することでVの補正を行うことも可能である。具体的には、例えばIsc内の各PMOSトランジスタのサイズをIso内の各PMOSトランジスタのサイズよりも小さくすることで、Iscからのレプリカ用のバイアス電流値をIsoからの発振用のバイアス電流値よりも小さくし、これに応じて前述した並列個数(n)を少なくする。この場合、IsoとIscとでバイアス電流値が異なるため、同一とする場合に比べてレプリカ回路としての精度が若干低下する恐れがあるが、回路面積の低減や消費電力の低減が実現可能になる。

30

【0153】

《コンパレータ回路ブロックの詳細[2]》

図43は、図36の水晶発振装置において、そのコンパレータ回路ブロックCMPBKの一部の詳細な構成例を示す回路図である。図43に示すコンパレータ回路ブロックCMPBKは、図41の構成例と比較して、発振回路ブロックOSCBK2内に挿入されたスイッチ用のNMOSトランジスタMnswに応じて、そのレプリカとなるNMOSトランジスタMnsrpが備わった点が異なっている。Mnsrpは、電流源Iscの一端(MPc5のドレイン)とMnrpのドレインの間にソース・ドレイン経路が接続され、ゲートにVCCが印加されることでオン状態に固定されている。そして、電流源Iscの一端から比較電圧Vrefが生成される。これによって、発振回路ブロックOSCBK2の構成を高精度にレプリカすることが可能になる。

40

【0154】

《コンパレータ回路の詳細[1]》

図44(a)、(b)は、図36の水晶発振装置において、そのコンパレータ回路CMP1のそれぞれ異なる構成例を示す回路図である。図44(a)に示すコンパレータ回路CMP1aは、NMOSトランジスタMN1~MN5、MN1a、MNs10と、PMOSトランジスタMP1~MP3と、電流源IS1を備えている。MN1、MN2とMP1、MP2とMN3は、MN1、MN2を差動対、MP1、MP2を差動増幅用の負荷電流源、MN3をテール電流源とする差動増幅回路を構成する。MP3とMN5は、この差動

50

増幅回路の出力を入力とし、MP3を増幅素子、MN5を増幅用の負荷電流源とするソース接地増幅回路を構成する。MN4は、ソースがGNDに接続されると共にダイオード接続（ゲートとドレインの共通接続）を持ち、IS1からの電流がドレイン側より供給される。MN3およびMN5のそれぞれは、MN4とカレントミラー回路を構成する。

【0155】

MN1は、ソースがMN3のドレインに、ドレインがMP1のドレインにそれぞれ接続され、ゲートに発振出力信号XOUTが印加される。MN2は、ソースがMN3のドレインに、ドレインがMP2のドレインにそれぞれ接続され、ゲートに前述した比較電圧生成回路VREFGからの比較電圧Vrefが印加される。MP1、MP2は、ソースがVCCに接続され、ゲートが共通に接続される。MP1は、ダイオード接続を持つ。MP3は、ソースがVCCに、ドレインがMN5のドレインにそれぞれ接続され、ゲートがMP2（MN2）のドレインに接続される。このような構成により、MP3（MN5）のドレインからの判定出力信号CMPOUTは、VCCレベルの電圧振幅を持つクロック信号となる。

10

【0156】

ここで、第9の特徴として、当該コンパレータ回路は、ヒステリシス特性を持ち、図44(a)の場合には、MN1aおよびMNs10を用いて当該特性を実現している。MN1aは、ゲートおよびドレインがMN1のゲートおよびドレインと共通に接続され、ソースがMNs10のドレインに接続される。MNs10は、ソースがMN3のドレインに、ゲートがMP2（MN2）のドレインにそれぞれ接続される。XOUTがVrefを基準として‘H’レベルから‘L’レベルに遷移する際、初期段階ではMN2（MP2）の‘H’レベルに伴いMNs10の状態がオン側であることから、差動対のXOUT側がMN1に加えてMN1aで駆動される。その結果、XOUTは‘L’レベルに遷移し易くなる。逆に、XOUTがVrefを基準として‘L’レベルから‘H’レベルに遷移する際、初期段階ではMN2（MP2）の‘L’レベルに伴いMNs10の状態がオフ側であることから、相対的にXOUTは‘H’レベルに遷移し難くなる。これによって、ヒステリシス特性が実現できる。

20

【0157】

一方、図44(b)の構成例は、図44(a)におけるMN1aおよびMNs10の代わりに、NMOSTランジスタMN2a、MNs11を備えた構成となっている。MN2aは、ゲートおよびドレインがMN2のゲートおよびドレインと共通に接続され、ソースがMNs11のドレインに接続される。MNs11は、ソースがMN3のドレインに、ゲートがMP3（MN5）のドレイン（CMPOUT）にそれぞれ接続される。この場合、XOUTがVrefを基準として‘L’レベルから‘H’レベルに遷移する際、初期段階ではCMPOUTの‘H’レベルに伴いMNs11の状態がオン側であることから、差動対のVref側がMN2に加えてMN2aで駆動される。その結果、XOUTは‘H’レベルに遷移し難くなり、逆に、‘L’レベル側には遷移し易くなる。

30

【0158】

このように、コンパレータ回路にヒステリシス特性を持たせることで、XOUTに重畳される恐れがある微小なノイズ成分を除去し、後段にノイズが伝播することを防止することが可能になる。すなわち、ノイズ耐性の向上が実現可能になる。更に、図44(a)、(b)では、第10の特徴として、例えばテール電流源となるMN3の電流値を調整すること等でコンパレータ回路の応答速度を低く設定し、これによりロウパスフィルタ機能を実現している。例えば、MHzオーダのXOUTには応答しないように電流値の調整が行われる。これによっても、ノイズ耐性の向上が実現可能になる。

40

【0159】

《コンパレータ回路ブロックの詳細[3]》

図45(a)は、図36の水晶発振装置において、そのコンパレータ回路ブロックCMPBKの他の一部の詳細な構成例を示す回路図であり、図45(b)は図45(a)の概略的な動作例を示す説明図である。図45(a)に示すコンパレータ回路ブロックCMP

50

B Kは、図44に示したようなコンパレータ回路CMP1（ただしヒステリシス部分（MN1a, MNS10等）は省略）の後段に、バッファ回路BF1を備えている。BF1は、CMP1の判定出力信号CMPOUTを入力として遅延動作を行う遅延回路DLYと、その出力を受けて反転動作を行うCMOSインバータ回路CIVと、その出力を受けて反転動作を行う制御スイッチ付きCMOSインバータ回路CCIVを備えている。

【0160】

DLYは、PMOSトランジスタMP10, MP11と、NMOSトランジスタMN10, MN11を備える。MP11およびMN11は、CMPOUTを入力として、ノードNaを出力とするCMOSインバータ回路を構成する。MP10は、ソースがVCCに、ドレインがMP11のソースにそれぞれ接続され、ゲートにバイアス電圧VBPが印加される。MN10は、ソースがGNDに、ドレインがMN11のソースにそれぞれ接続され、ゲートにバイアス電圧VBNが印加される。VBPは、例えば図38(a)に示した基準電流生成回路内のMPC1(MPC2)によって生成され、VBNは、例えばコンパレータ回路CMP1内のMN4によって生成される。電流源として機能するMP10およびMN10の電流値(トランジスタサイズ)を小さくすることで、遅延回路を実現できる。

10

【0161】

CIVは、ソースがVCCに接続されたPMOSトランジスタMP12と、ソースがGNDに接続されたNMOSトランジスタMN12を備える。MP12, MN12は、ゲートがノードNaに接続され、ドレインノードNbに反転出力を行う。CCIVは、PMOSトランジスタMP13, MP14と、NMOSトランジスタMN13, MN14を備える。MP14およびMN14は、ノードNbを入力として、ノードNcを出力とするCMOSインバータ回路を構成する。MP13は、ソースがVCCに、ドレインがMP14のソースにそれぞれ接続され、ゲートにCMPOUTが印加される。MN13は、ソースがGNDに、ドレインがMN14のソースにそれぞれ接続され、ゲートにCMPOUTが印加される。MP13, MN13は、制御スイッチとして機能する。

20

【0162】

このような構成において、図45(b)のタイミングサイクルTS2に示すように、CMPOUTにDLYの遅延時間(Tdly)よりもパルス幅が狭い'L'グリッジが生じた場合、CCIVにおいて当該グリッジを通過させるための制御スイッチ(MP13)がオンにならないため、ノードNcには当該グリッジが伝播されない。同様に、タイミングサイクルTS3に示すように、Tdlyよりもパルス幅が狭い'H'グリッジが生じた場合、CCIVにおいて当該グリッジを通過させるための制御スイッチ(MN13)がオンにならないため、ノードNcには当該グリッジが伝播されない。一方、タイミングサイクルTS1に示すように、CMPOUTに出力された通常のクロック信号は、CCIVにおける制御スイッチが適切にオンに駆動されるため、ノードNcに正常に伝播される。

30

【0163】

このように、第11の特徴として、図45(a)のコンパレータ回路ブロックCMPBKは、バッファ回路BF1を用いてグリッジ(ノイズ)除去機能を実現している。これによってノイズ耐性の向上が実現可能になる。なお、ここでは、バッファ回路BF1によって高周波ノイズを除去できるため、第10の特徴で述べたようなコンパレータ回路CMP1のロウパスフィルタ機能を省略することも可能である。

40

【0164】

《基準電流生成回路周りの詳細》

図46(a)、(b)は、図34等の制御回路ブロックCTLBKにおいて、その基準電流生成回路IREFG周りのそれぞれ異なる詳細な構成例を示す回路図である。図46(a)には、図38(a)、(b)に示したような基準電流生成回路IREFGにスタートアップ回路STUP1が付加された構成例が示されている。STUP1は、起動制御回路STCTL1と、PMOSトランジスタMP20と、NMOSトランジスタMN20を備えている。MP20は、ソースがVCCに接続され、ドレインがIREFG内のNMOSトランジスタMNC1, MNC2のゲートに接続され、ゲートがSTCTL1によって

50

制御される。MN20は、ソースがGNDに接続され、ドレインがIREFG内のPMOSTランジスタMPc1, MPc2のゲートに接続され、ゲートがSTCTL1によって制御される。

【0165】

STCTL1は、水晶発振装置の起動信号となる発振イネーブル信号XOSC_ENを受けて、MP20のゲートに所定のパルス幅を持つ‘L’パルスを、MN20のゲートに所定のパルス幅を持つ‘H’パルスをそれぞれ出力する。これによって、IREFG内のMNc1, MNc2およびMPc1, MPc2のゲート-ソース電圧がそれぞれ増大し、このパルス幅の期間で一時的に基準電流Irefの値が増大する。特に限定はされないが、例えば、通常時のIrefを10nA等として、起動時のIrefはその10倍程度の電流値を持つ。これにより、起動時には、発振回路ブロック内の電流源(PMOSTランジスタMPc3)からも大きなバイアス電流が出力される。

10

【0166】

一方、図46(b)には、図38(a)、(b)に示したようなIREFGにスタートアップ回路STUP2が付加された構成例が示されている。STUP2は、起動制御回路STCTL2と、PMOSTランジスタMP20を備えている。MP20は、ソースがVCCに接続され、ドレインがIREFG内のMNc1, MNc2のゲートに接続され、ゲートがSTCTL2によって制御される。STCTL2は、XOSC_ENを受けて、MP20のゲートを‘L’レベルに駆動する。これによって、IREFG内のMNc1, MNc2のゲート-ソース電圧が増大し、一時的に基準電流Irefの値が増大し、これに応じて発振回路ブロック内の電流源(MPc3)からも大きなバイアス電流が出力される。また、STCTL2は、発振回路ブロックにおける発振用のNMOSTランジスタMNoのゲート電圧を観測し、これが所定の値に達した際にMP20のゲートを‘L’レベルから‘H’レベルに戻すことでMP20をオフに駆動する。

20

【0167】

このように、第12の特徴として、図46(a)、(b)の構成例は、発振起動時にスタートアップ回路を用いることで、発振回路ブロックにおいて一時的に大きなバイアス電流を流せる構成となっている。発振起動時には、外付けの負荷容量(Cg, Cd)が充電され、XINノードの電圧レベルが動作点に達したのちに微小発振の成長が始まる。したがって、特に低CL値対応の水晶振動子XTALを用いる場合(すなわちバイアス電流が小さい場合)には、負荷容量(Cg, Cd)の充電に時間を要し、発振起動時間(XOSC_ENの入力から発振動作が安定状態に達するまでに要する時間)が例えば2s以上となる恐れがある。そこで、第12の特徴を用いることで、発振起動時の負荷容量(Cg, Cd)の充電速度を速めることができ、発振起動時間を例えば1s程度に短縮することが可能になる。

30

【0168】

《発振回路ブロック周りの概略レイアウト》

図47(a)は、図34の水晶発振装置において、その発振回路ブロック周りのレイアウト構成例を示す概略図であり、図47(b)は、図47(a)の効果の説明する補足図である。図47(a)では、半導体チップCPの一辺にIOセル領域IOBKが配置され、チップの内部方向でIOBKに近接して発振回路ブロックOSCBKが配置されている。IOBKは、CPの一辺に沿って順に隣接配置された複数のIOセルIOCを備える。複数のIOC内の隣接する3個のIOCにおいて、両端のIOCの一方には、XIN用のパッドPD1が形成され、他方にはXOUT用のパッドPD2が形成される。

40

【0169】

パッドPD1, PD2は、半導体チップCP、容量Cd, Cg、および水晶振動子XTAL等が実装される配線基板(図示せず)上の所定の端子にそれぞれボンディングワイヤBWを介して接続される。PD1, PD2は、例えば最上層のメタル配線層を用いて形成される。PD1は、その下層に位置する第1メタル配線層で形成されたメタル配線ML_XINに接続され、同様に、PD2は、第1メタル配線層で形成されたメタル配線ML_

50

X O U Tに接続される。M L _ X I NおよびM L _ X O U Tは、それぞれ、チップの内部方向に配置されたO S C B Kに向けて延伸する。

【 0 1 7 0 】

また、隣接する3個のI O Cにおける真ん中のI O C上には、例えば最上層のメタル配線層を用いてG N D用のメタル配線M L _ G N Dが形成される。O S C B Kの配置領域には、O S C B Kに安定した接地電源電圧(G N D)を供給するため、例えば網目状に形成された複数の接地電源電圧配線からなる接地電源電圧供給領域A R _ G N Dが備わっている。この網目状の接地電源電圧配線は、例えば、第1メタル配線層と最上層のメタル配線層の間に位置する第2メタル配線層および第3メタル配線層によって形成される。M L _ G N Dは、このA R _ G N Dに向けて延伸し、そこで接地電源電圧配線に接続される。

10

【 0 1 7 1 】

このように、第13の特徴として、図47(a)のレイアウト構成例は、X I NノードとX O U Tノードの間にG N Dノードが配置された構成となっている。ここで、寄生容量に着目すると、X I NノードとX O U Tノードには、図47(b)に示すように、X I NノードとX O U Tノード間のピン間寄生容量 $C_{s'}$ と、X I NノードとG N Dノード間の寄生容量 $C_{g'}$ と、X O U TノードとG N Dノード間の寄生容量 $C_{d'}$ が存在する。これらの寄生容量は、負荷容量(C_L)に与える影響が特に低 C_L 値になるほど大きくなるため、できるだけ小さく設計されることが望ましい。

【 0 1 7 2 】

こうした中、図47(b)から判るように、 $C_{s'}$ は、そのままの容量値が C_L (すなわちX T A Lから見た等価容量値)に影響を与えるが、 $C_{g'}$ 、 $C_{d'}$ は、その直列接続の合成容量値が C_L に影響を与える。したがって、相対的に、 $C_{g'}$ 、 $C_{d'}$ の容量値を低減するよりも $C_{s'}$ の容量値を低減する方が、寄生容量を低減する上で有益となる場合がある。そこで、図47(a)に示したように、X I NノードとX O U Tノードの間にG N Dノードを配置すると、 $C_{g'}$ 、 $C_{d'}$ の容量値は増大するものの、理想的には $C_{s'}$ をゼロとすることができ、結果的に全体としての寄生容量を低減することが可能になる。寄生容量の低減は、式(3)および式(4)から判るように、発振余裕度の向上にも繋がる。更に、X I NノードとX O U Tノードの間にG N Dノードを配置すると、互いに逆位相の発振信号が生成されるX I NノードとX O U Tノード間の容量結合がシールド効果によって低減できるため、ノイズ耐性の向上が実現可能になる。

20

30

【 0 1 7 3 】

《水晶発振装置全体の詳細回路構成[1]》

図48は、本発明の一実施の形態による水晶発振装置において、その全体の詳細な構成例を示す回路図である。図48に示す水晶発振装置は、これまでに述べた各種特徴を適宜組み合わせる共に、その一部を適宜変形した構成例となっている。図48の水晶発振装置は、図38等で述べたような基準電流生成回路I R E F Gと、図36等で述べたような発振回路ブロックO S C B K 2と、図41で述べたような比較電圧生成回路V R E F G 1を持つコンパレータ回路ブロックC M P B Kに加えて、図46の構成例を若干変形したスタートアップ回路S T U P 3を備えている。すなわち、前述した第1~第7、第10および第12の特徴などを組み合わせた構成となっている。このような構成例を用いることで、例えば、消費電流が $0.5 \mu A$ 以下($T = 25$ 、 $V_{CC} = 3.0 V$)といった水晶発振装置が実現可能になる。

40

【 0 1 7 4 】

I R E F Gにおいては、ここでは、電流値設定用の3個の抵抗が直列接続され、その内の2個の抵抗の有効・無効がモード選択信号X M S E Lおよびトリミング信号X T R I Mに基づいて制御される構成となっている。また、スタートアップ回路S T U P 3は、ここでは、P M O SトランジスタM P 2 0、M P 2 2、M P 2 3と、ワンショットパルス生成回路O S P Gで構成されている。発振起動時にI R E F Gの回路が電流が流れない状態で安定してしまう(デットロックする)のを防ぐために、起動信号X O S C _ E N入力時にO S P GによってM P 2 0のゲートに一時的に'L'レベルのパルス信号を入力して、M

50

P 2 0 をオンさせ I R E F G に電流を流しこむことで、電流が流れた状態で安定させる。しかしそれだけでは動作中に電流が止まってしまった場合に次の起動信号が来るまで回路がデットロックしたままになってしまう。そこで M P 2 3 と M P 2 2 の観測 P M O S が用いられる。I R E F G がデットロック状態では M P 2 3 のゲートは ' H '、M P 2 2 のゲートは ' L ' になっているはずであり、このとき M P 2 0 のゲートは ' L ' になるため電流が印加され、I R E F G に電流が流れ始める。電流が流れ始めると（安定動作状態になると）M P 2 3 のゲート電位が下がり、M P 2 2 のゲート電位が上がるため M P 2 0 はほとんどオフの状態になって無視できる。

【 0 1 7 5 】

《水晶発振装置全体の詳細回路構成 [2] 》

図 4 9 は、本発明の一実施の形態による水晶発振装置において、図 4 8 の変形例を示す回路図である。図 4 9 に示す水晶発振装置は、図 4 8 の構成例と比較して、主に、次のような点が異なっている。まず、基準電流生成回路 I R E F G 2 において、P T A T 回路の P M O S トランジスタ M P c 1、M P c 2 側に P M O S カスコード段 M P C D が挿入され、P T A T 回路の N M O S トランジスタ M N c 1、M N c 2 側に N M O S カスコード段 M N C D が挿入されている。M P C D を構成する 2 個の P M O S トランジスタのゲートには、電圧生成回路 V P G を用いて、M P c 1、M P c 2 のゲート電圧よりも若干低いゲート電圧が印加される。M N C D を構成する 2 個の N M O S トランジスタのゲートには、電圧生成回路 V N G を用いて、M N c 1、M N c 2 のゲート電圧よりも若干高いゲート電圧が印加される。

10

20

【 0 1 7 6 】

同様に、発振回路ブロック O S C B K 2 ' において、電流源となる P M O S トランジスタ M P c 3 に、カスコード段となる P M O S トランジスタ M P c 3 ' が付加されている。これに応じて、コンパレータ回路ブロック C M P B K 内の比較電圧生成回路 V R E F G 1 a においても、その電流源となる P M O S トランジスタ M P c 5 に、カスコード段となる P M O S トランジスタ M P c 5 ' が付加されている。更に、C M P B K 内のコンパレータ回路 C M P 1 c においても、そのテール電流源となる M N 3 に、カスコード段となる N M O S トランジスタ M N 3 ' が付加されている。M P c 3 '、M P c 5 ' のゲート電圧は、前述した V P G によって印加され、M N 3 ' のゲート電圧は、前述した V N G によって印加される。このようなカスコード段を備えることで、図 4 8 の構成例と比較して、電源電圧 V C C における高電位側の動作範囲を拡大することが可能になる。具体的には、例えば V C C = 5 . 5 V 等にも対応可能になる。

30

【 0 1 7 7 】

また、C M P B K において、コンパレータ回路 C M P 1 c は、差動対に伴う差動出力のそれぞれを出力段に相補的に送り出すプッシュプル型のコンパレータ回路となっている。M N 1 側に生じた電流信号は、M P 1 を介してこれとカレントミラー回路を構成する P M O S トランジスタ M P 1 ' に送出され、これが、N M O S トランジスタ M N 2 1、M N 2 2 からなるカレントミラー回路で折り返されて、M N 2 2 に転写される。一方、M N 2 側に生じた電流信号は、M P 2 を介してこれとカレントミラー回路を構成する P M O S トランジスタ M P 2 ' に送出され、M P 2 ' の電流信号と M N 2 2 の電流信号が、その共通接続ノードで合成されることで C M P 1 c の判定出力信号が得られる。このようなプッシュプル型のコンパレータ回路を用いることで、例えば、判定出力信号の立ち上がり時間と立ち下がり時間を均等にすることが可能になる。

40

【 0 1 7 8 】

更に、C M P B K においては、C M P 1 c の後段に C M O S インバータ回路 C I V 1 が備わっている。C I V 1 は、貫通電流の抑制や低消費電力化のため、P M O S トランジスタの V C C 側と N M O S トランジスタの G N D 側にそれぞれ電流源が挿入されている。また、スタートアップ回路 S T U P 2 a において、ここでは、前述した図 4 6 (b) と同様の構成例が用いられている。ただし、ここでは、I R E F G 2 における M P c 1、M P c 2 のゲート電圧のモニタ結果に基づいて P M O S トランジスタ M P 2 0 をオフに制御する

50

構成となっている。

【 0 1 7 9 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

【 0 1 8 0 】

例えば、前述した各種特徴（第 1 ～ 第 1 3 の特徴）は、勿論、いずれか 1 個を適用することも、必要に応じて適宜組み合わせることも可能である。いずれの特徴を用いた場合でも、水晶発振装置の低消費電力化に直接的あるいは間接的に寄与することが可能である。また、一般的に多く用いられている水晶振動子による発振回路について主に説明を行っているが、水晶振動子を代替する振動子、例えば M E M S 振動子により本発明を用いた発振回路を構成することも可能である。

10

【 産業上の利用可能性 】

【 0 1 8 1 】

本実施の形態による水晶発振装置は、マイコン等を代表に、水晶発振回路を備えたシステム全般に対して広く適用可能である。

【 符号の説明 】

【 0 1 8 2 】

A D アンド演算回路

A R _ G N D 接地電源電圧供給領域

20

B F バッファ回路

B W ボンディングワイヤ

C 容量

C B 回路ブロック

C C I V 制御スイッチ付き C M O S インバータ回路

C I V C M O S インバータ回路

C L セル

C L B セル領域

C L P E S D 保護素子

C M P コンパレータ回路

30

C M P B K コンパレータ回路ブロック

C P 半導体チップ

C T L B K 制御回路ブロック

D ダイオード

D L Y 遅延回路

F M E M 不揮発性メモリ

I O B K I O セル領域

I O C I O セル

I R E F G 基準電流生成回路

I S L 絶縁層

40

I S 電流源

I V インバータ回路

L G C 制御論理回路

L N 配線パターン

L Y 配線層

M 1 ~ M 3 , P M メタル配線層

M E A S 電流計

M L メタル配線

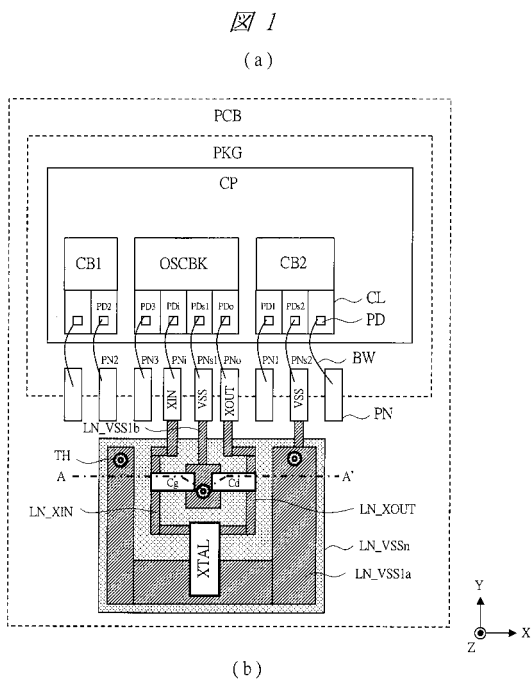
M N N M O S トランジスタ

M N C D N M O S カスコード段

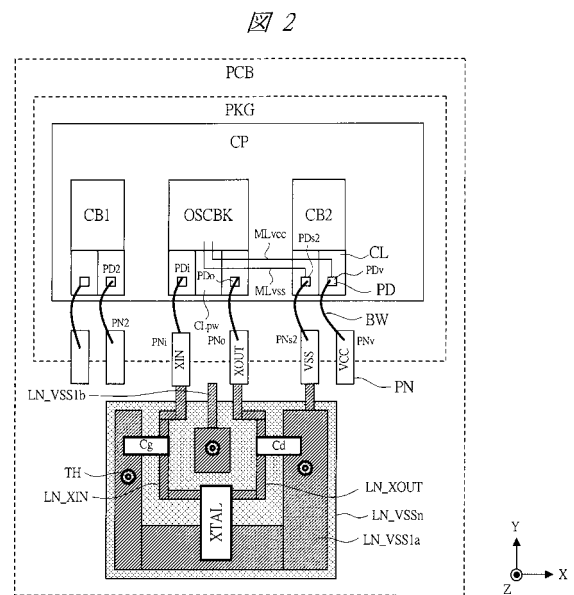
50

- M P PMOSトランジスタ
- M P C D PMOSカスコード段
- N R ノア演算回路
- O S C B K 発振回路部 (発振回路ブロック)
- O S P G ワンショットパルス生成回路
- P C B 配線基板
- P D パッド
- P K G 半導体パッケージ
- P N 外部端子
- R 抵抗
- R E G レジスタ回路
- S T C T L 起動制御回路
- S T U P スタートアップ回路
- S W スイッチ回路
- T H スルーホール
- V A R 給電領域
- V P G , V N G 電圧生成回路
- V R E F G 比較電圧生成回路
- X T A L 水晶振動子

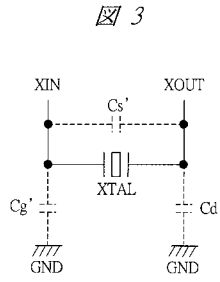
【図1】



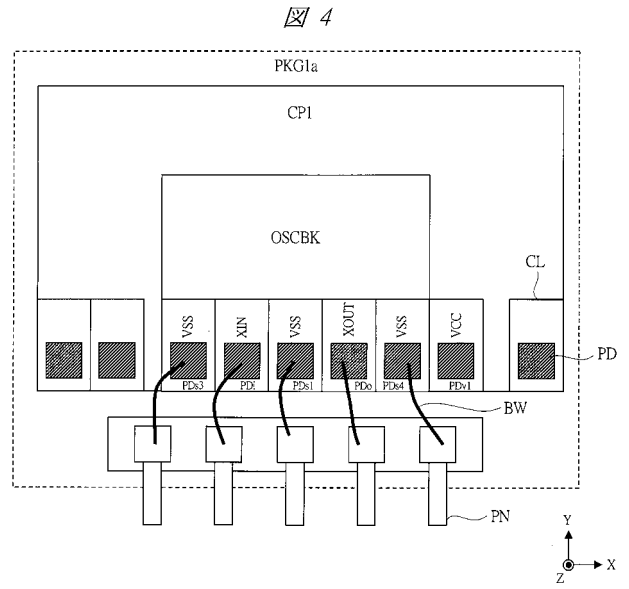
【図2】



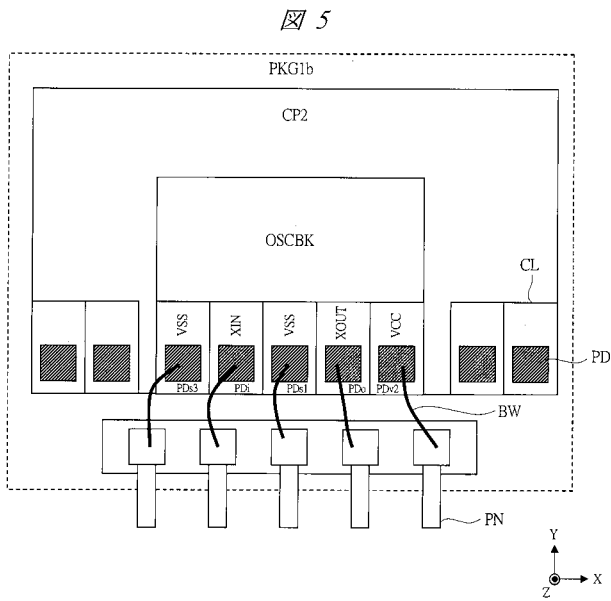
【 図 3 】



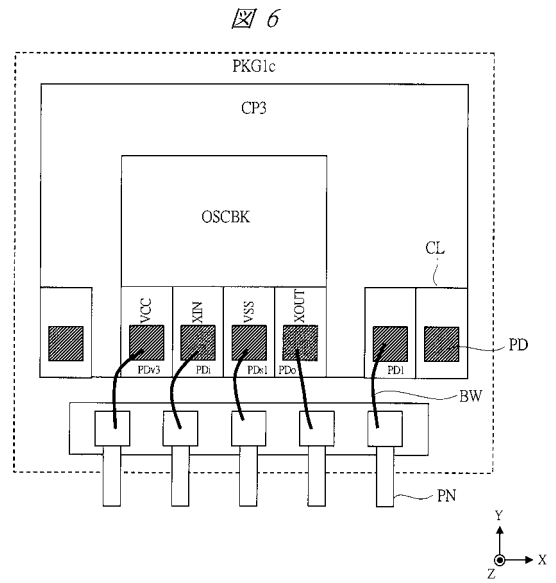
【 図 4 】



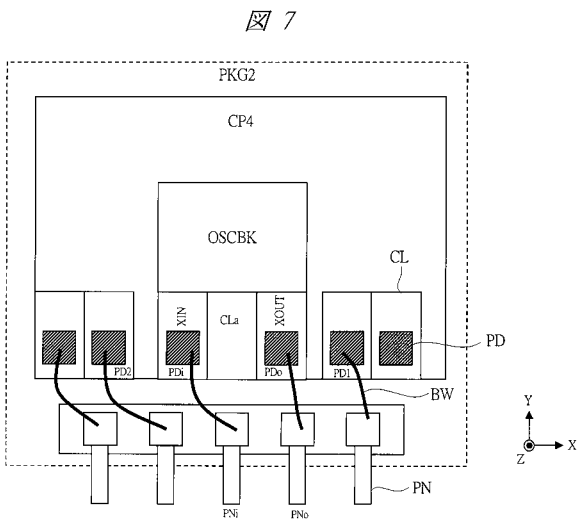
【 図 5 】



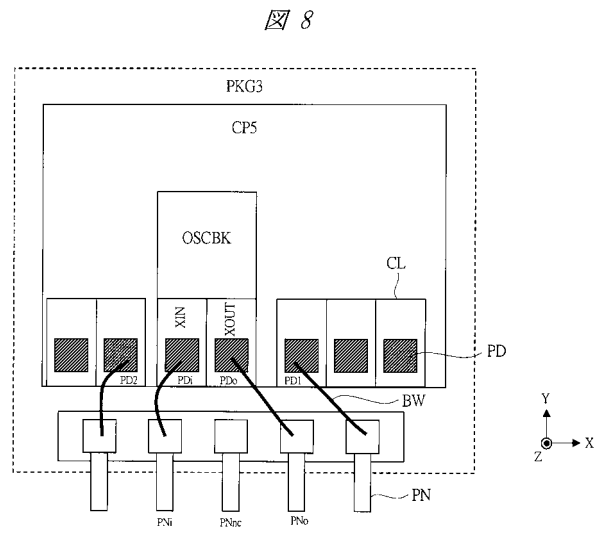
【 図 6 】



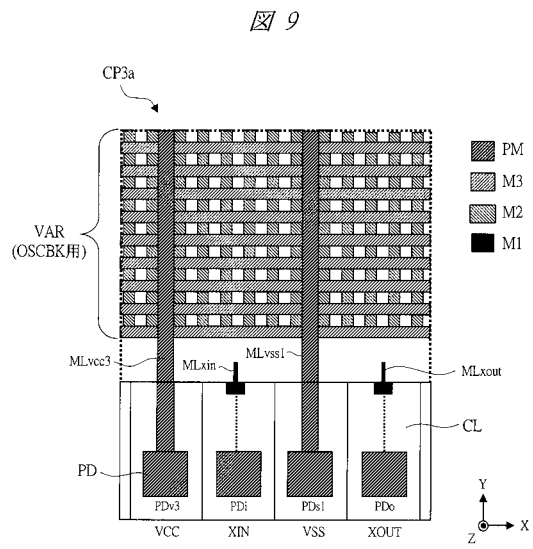
【 図 7 】



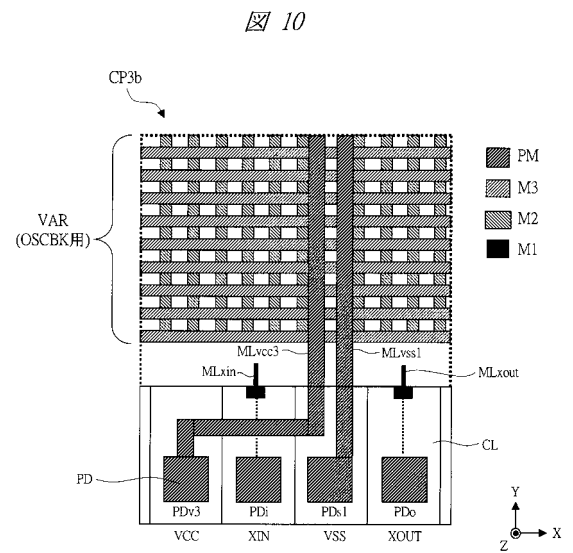
【 図 8 】



【 図 9 】

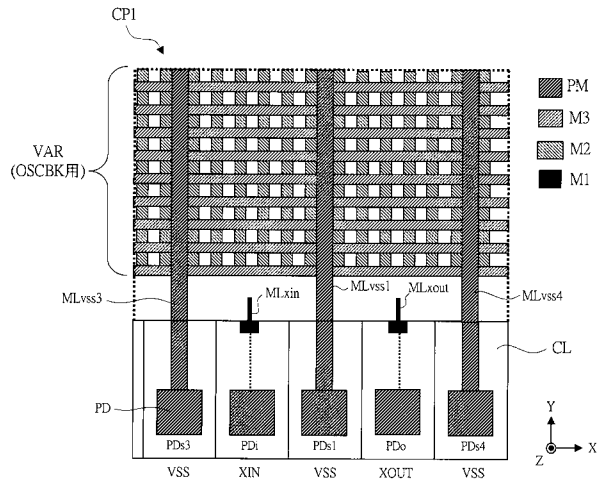


【 図 10 】



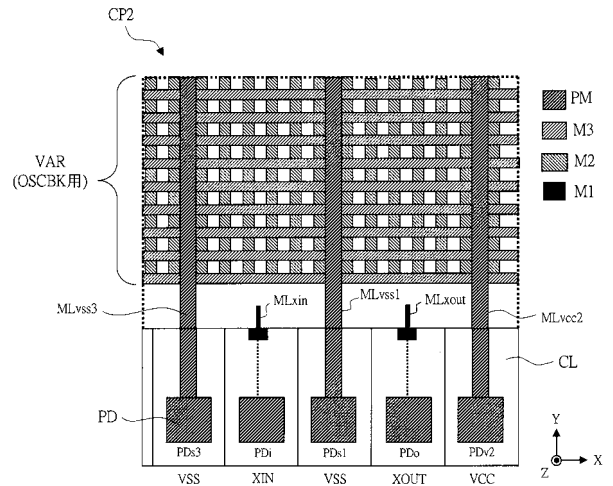
【 図 1 1 】

図 11



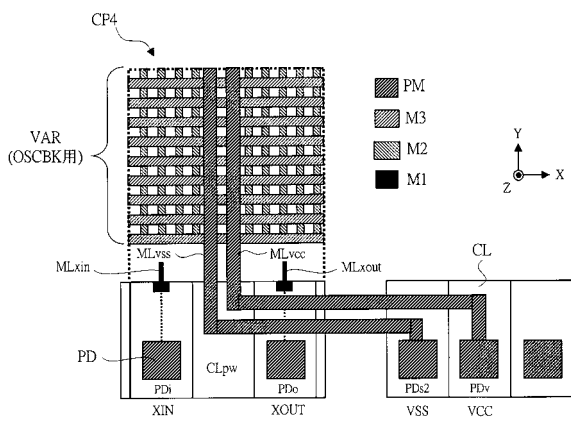
【 図 1 2 】

図 12



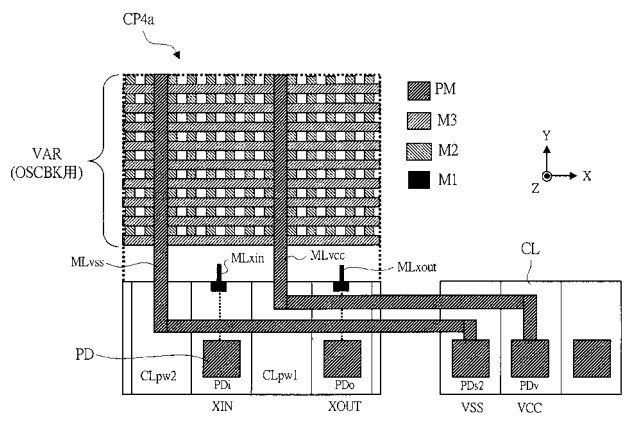
【 図 1 3 】

図 13

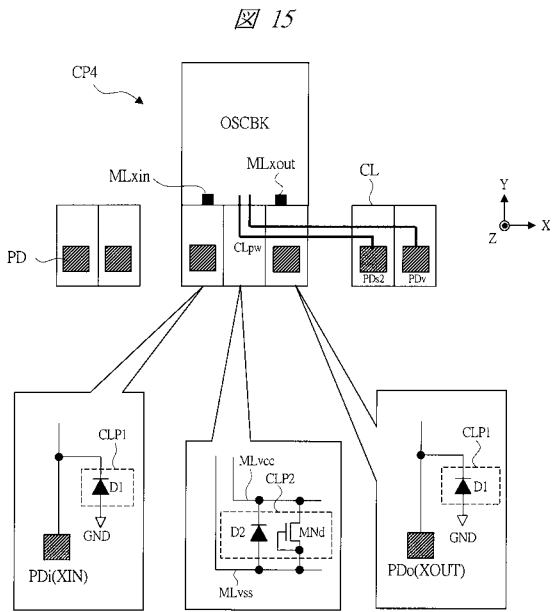


【 図 1 4 】

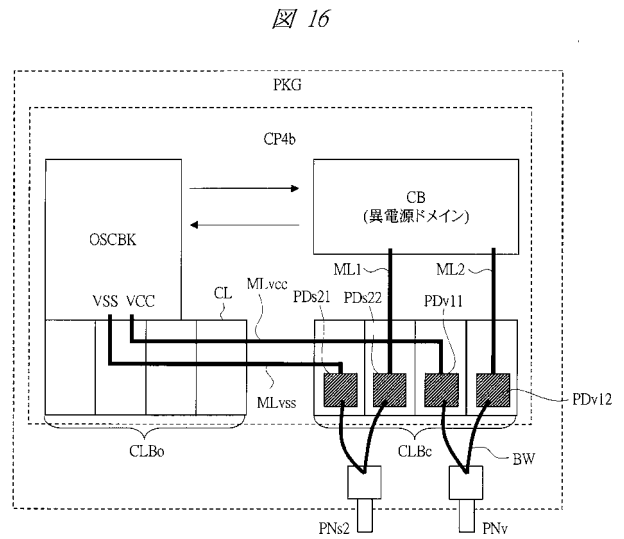
図 14



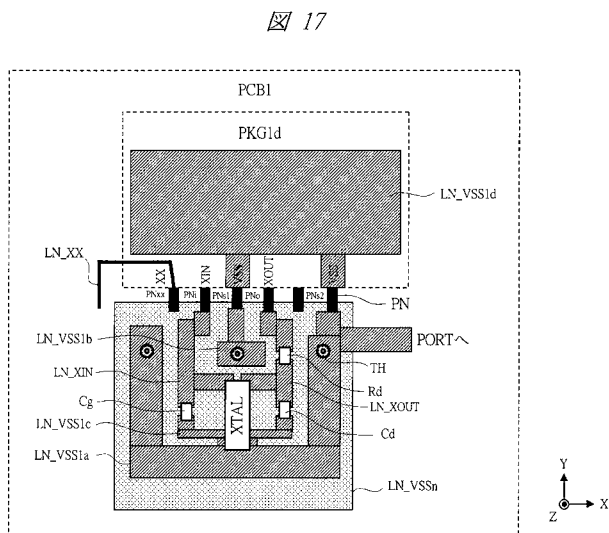
【図15】



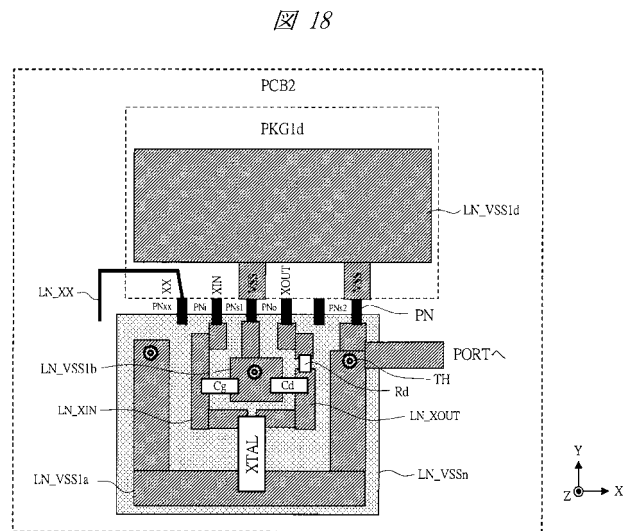
【図16】



【図17】

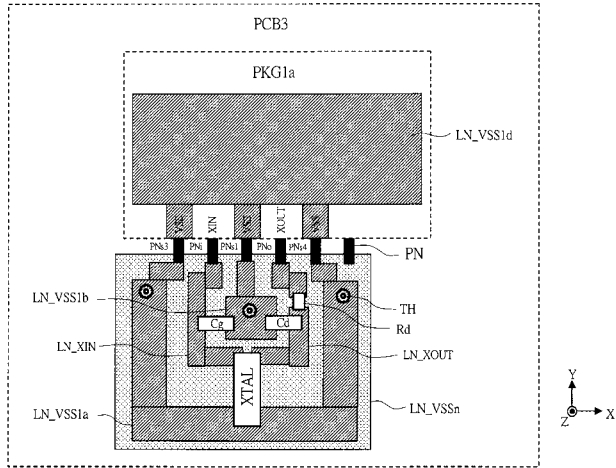


【図18】



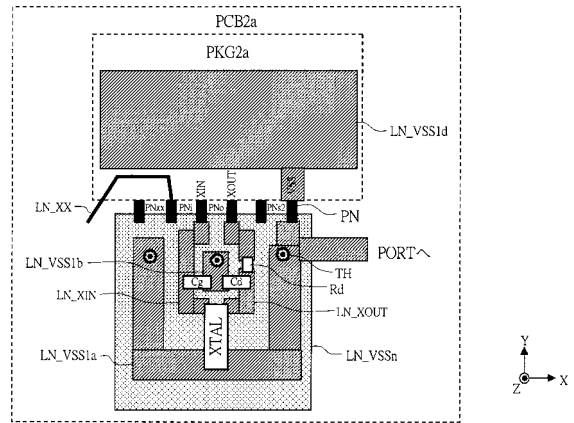
【 図 1 9 】

図 19



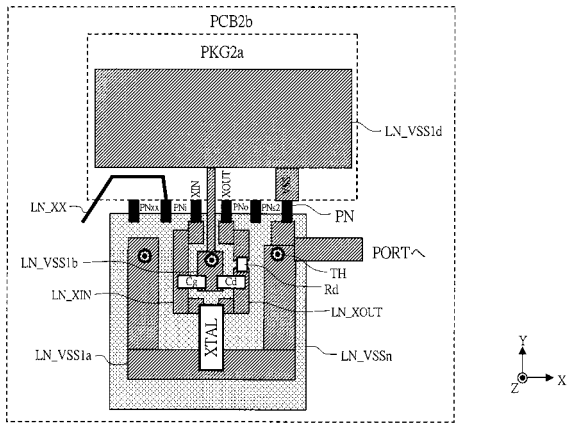
【 図 2 0 】

図 20



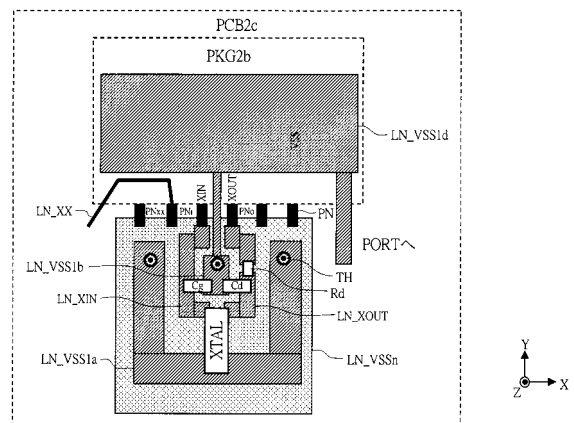
【 図 2 1 】

図 21



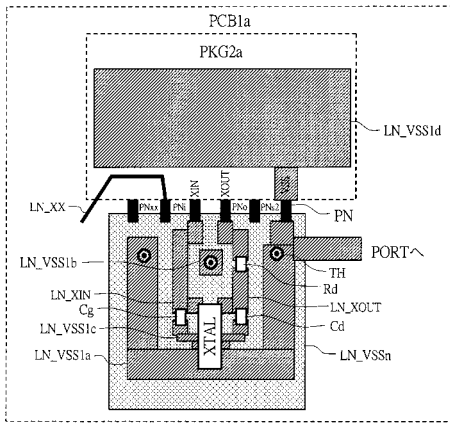
【 図 2 2 】

図 22



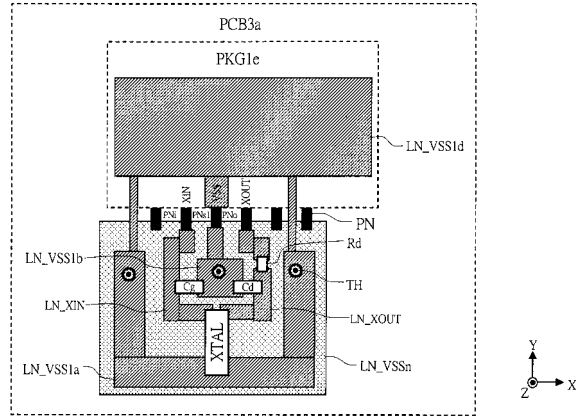
【 図 2 3 】

図 23



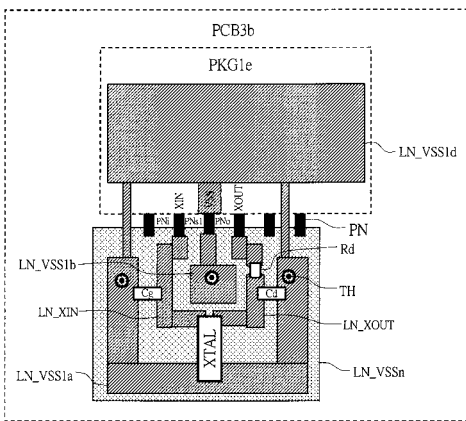
【 図 2 4 】

図 24



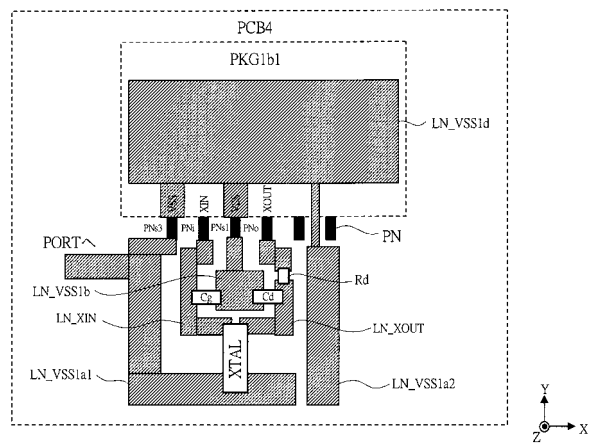
【 図 2 5 】

図 25

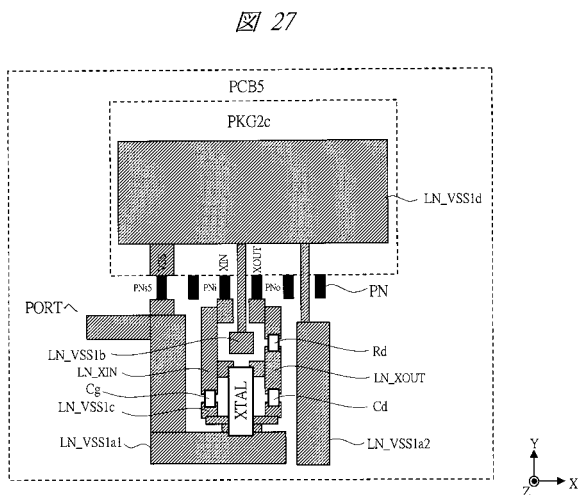


【 図 2 6 】

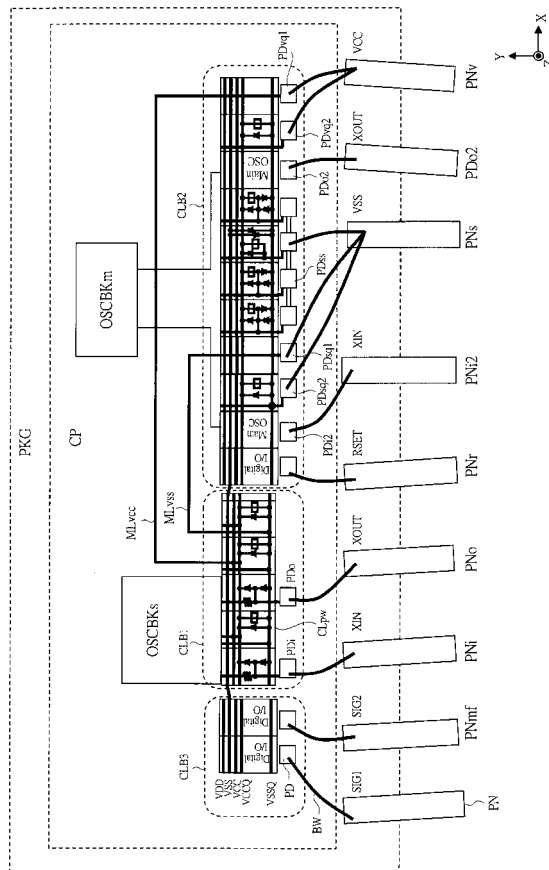
図 26



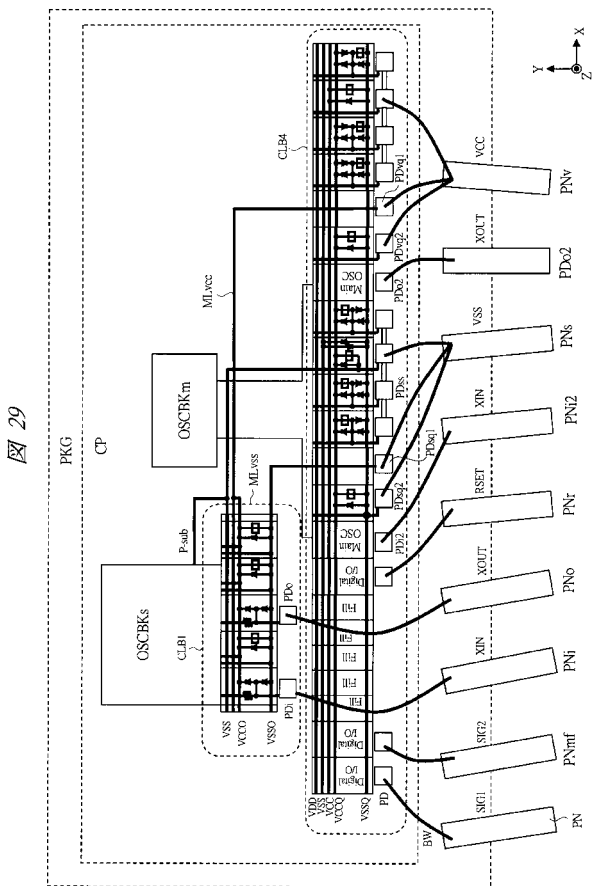
【 図 27 】



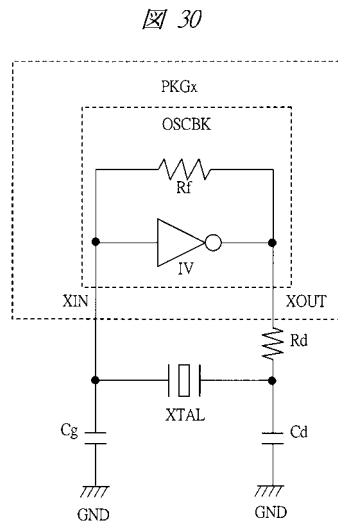
【 図 28 】



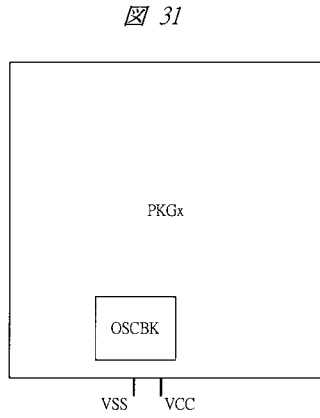
【 図 29 】



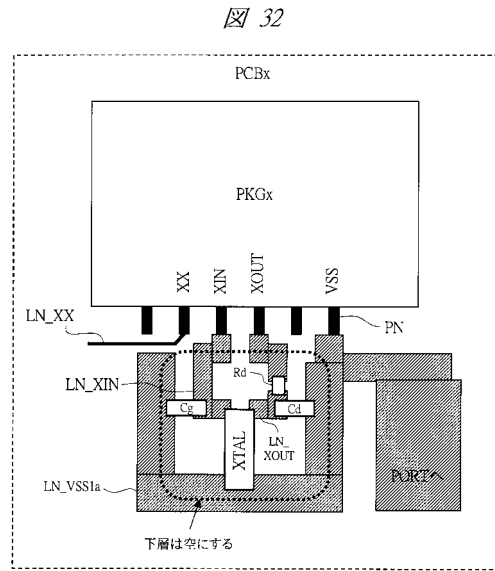
【 図 30 】



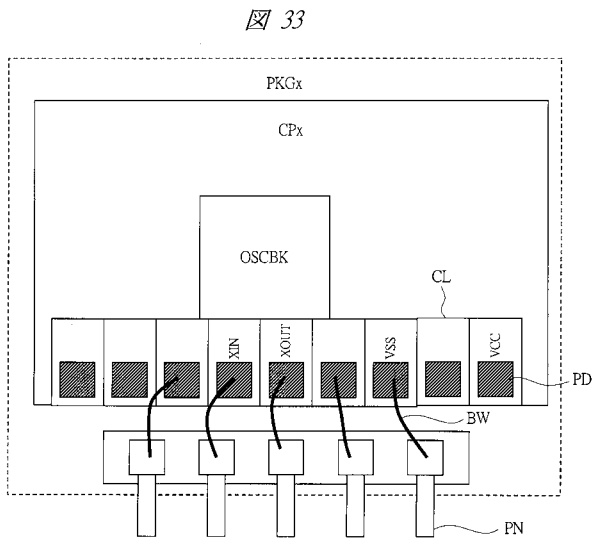
【 図 3 1 】



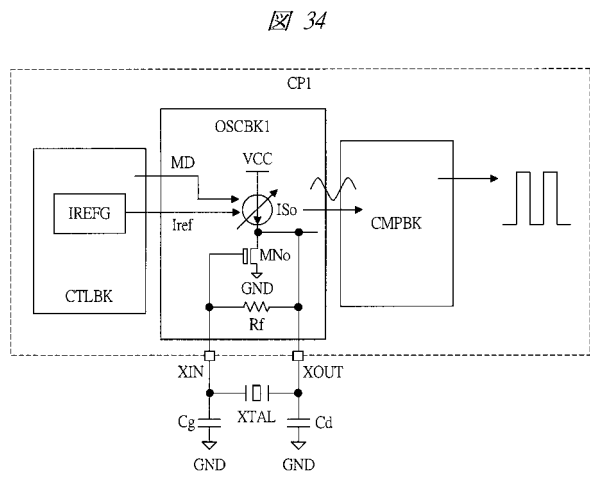
【 図 3 2 】



【 図 3 3 】

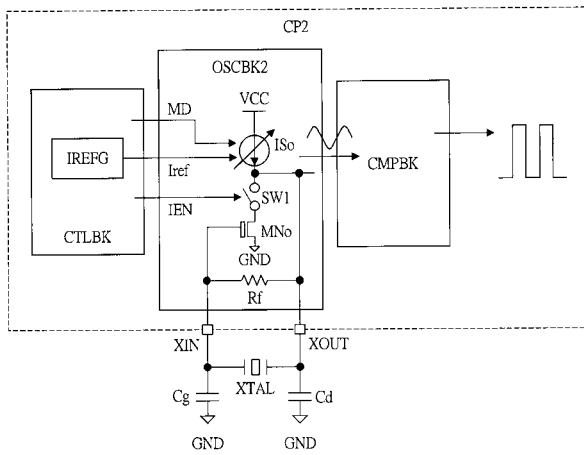


【 図 3 4 】



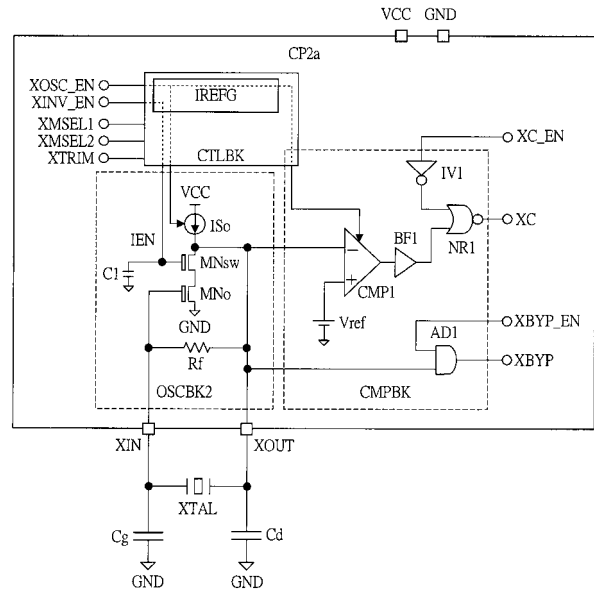
【 図 3 5 】

図 35



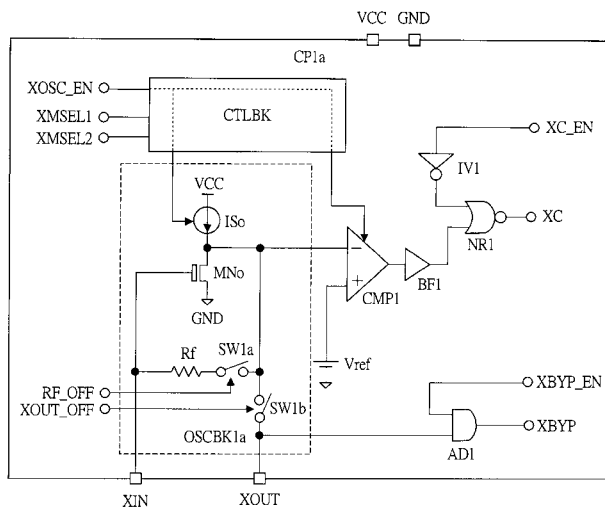
【 図 3 6 】

図 36



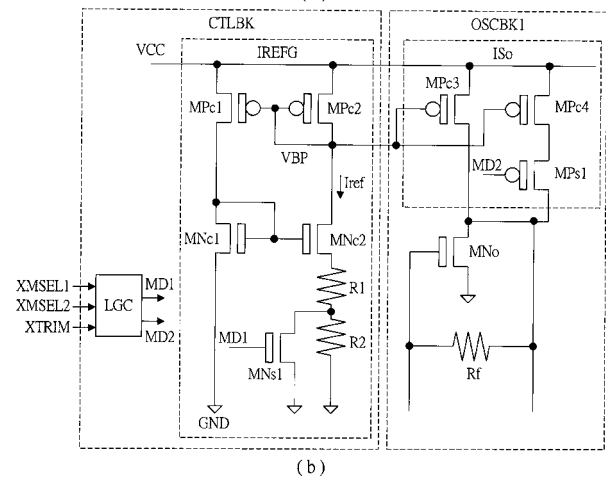
【 図 3 7 】

図 37

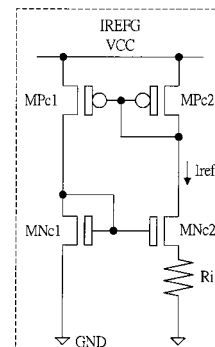


【 図 3 8 】

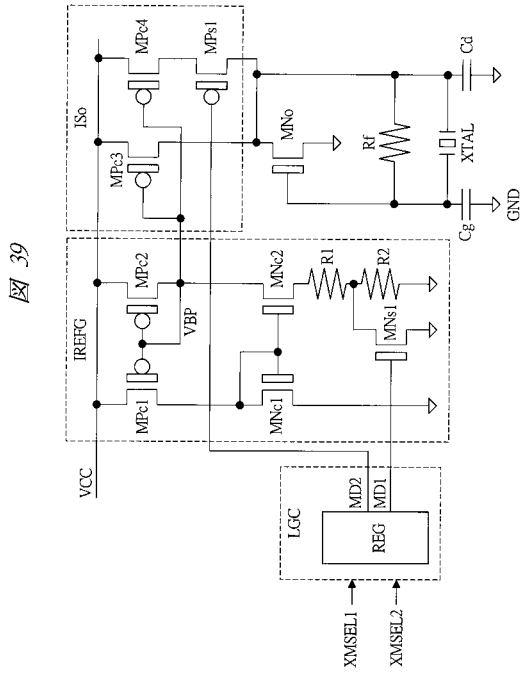
図 38
(a)



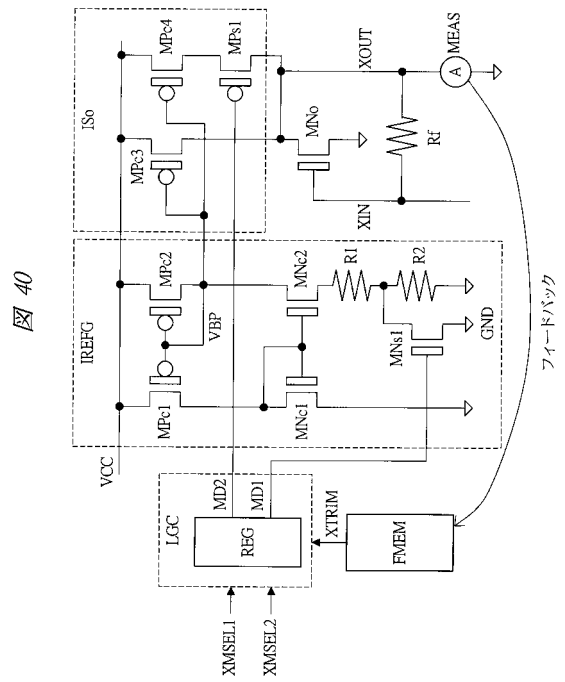
(b)



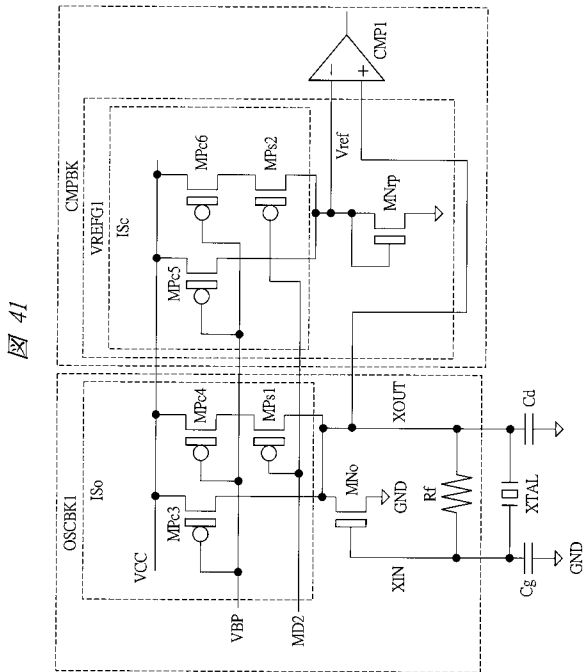
【 図 3 9 】



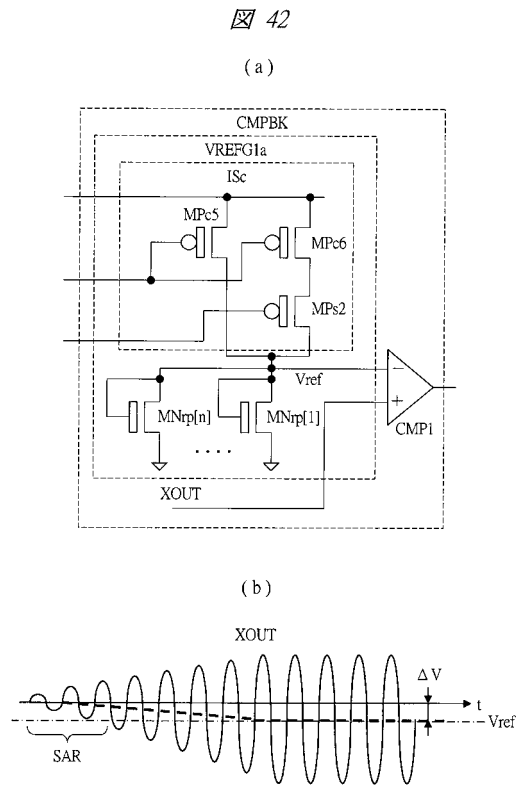
【 図 4 0 】



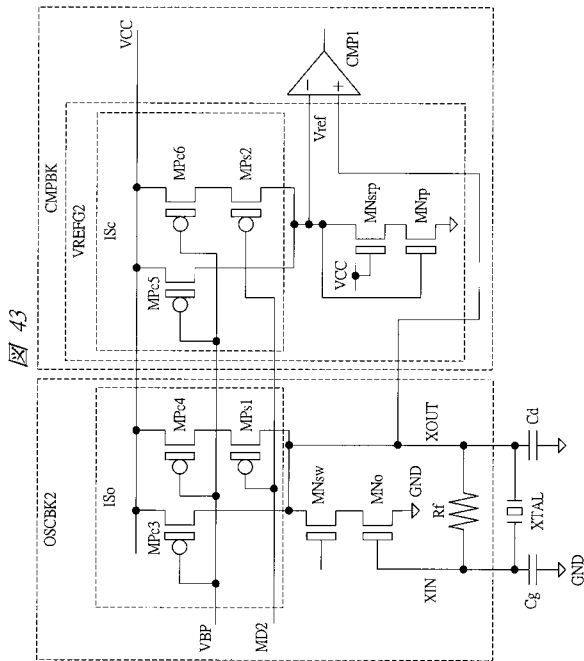
【 図 4 1 】



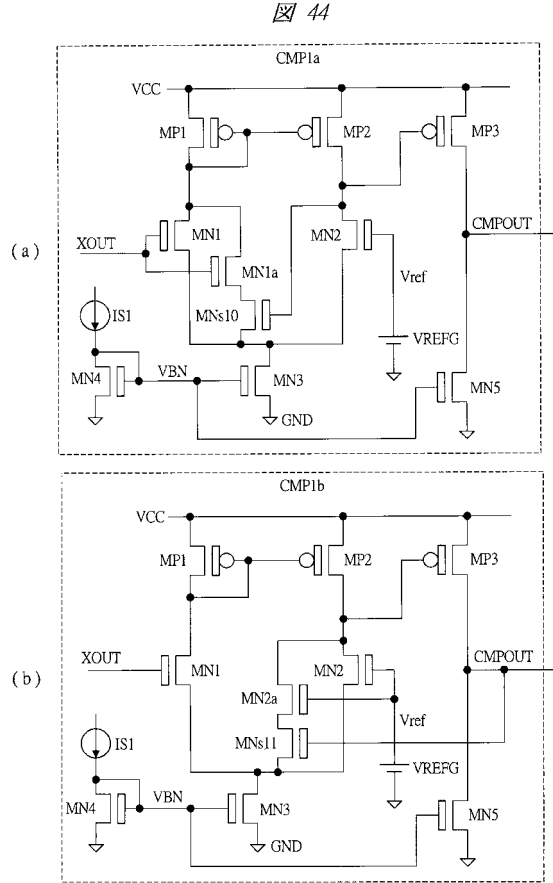
【 図 4 2 】



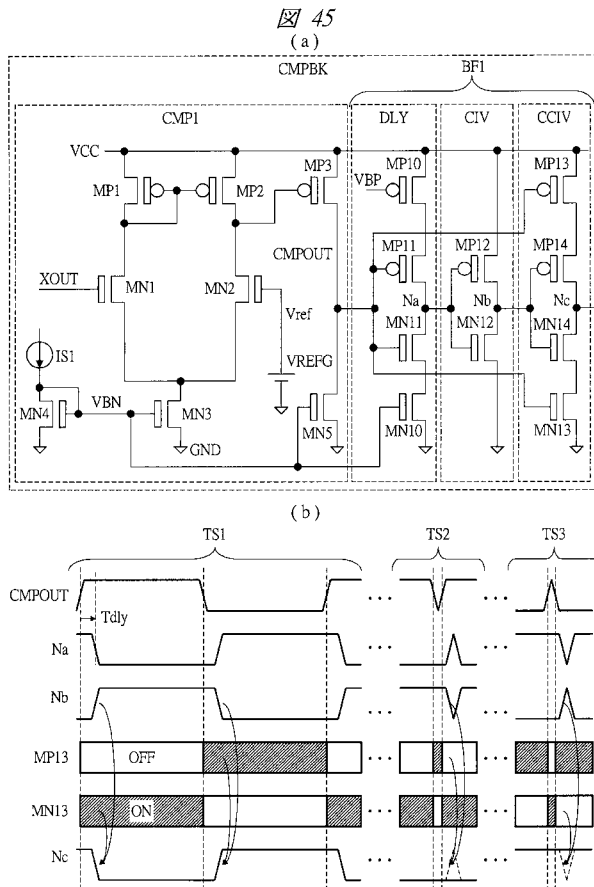
【 図 4 3 】



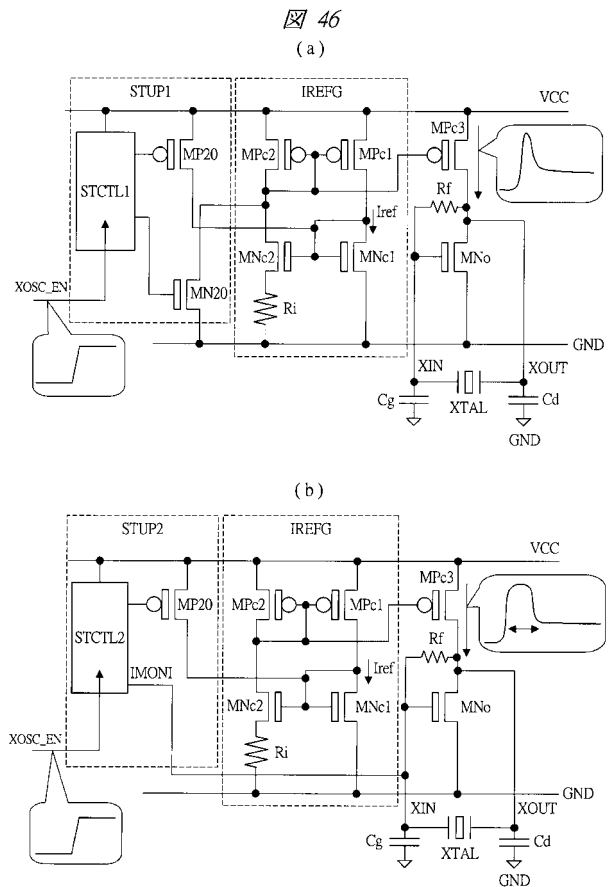
【 図 4 4 】



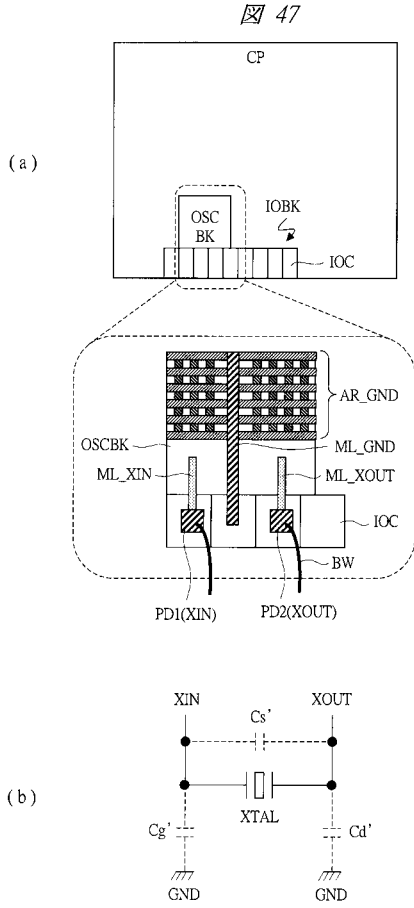
【 図 4 5 】



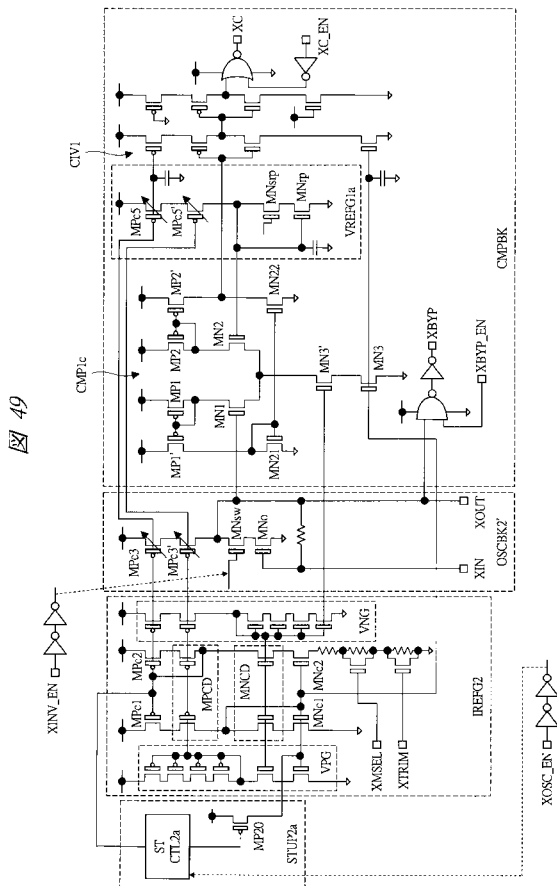
【 図 4 6 】



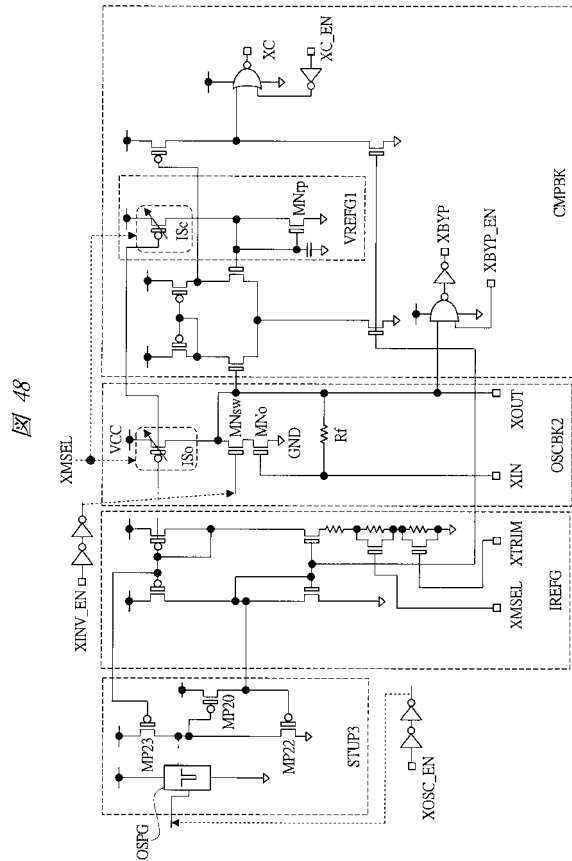
【 図 4 7 】



【 図 4 9 】

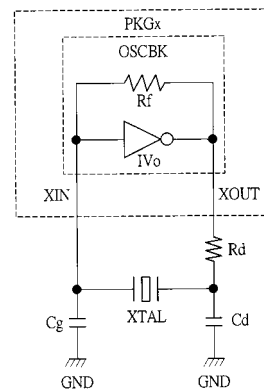


【 図 4 8 】



【 図 5 0 】

図 50



フロントページの続き

(72)発明者 堀口 真志

神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

(72)発明者 奥田 裕一

神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

(72)発明者 安在 亮人

神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

F ターム(参考) 5J079 AA04 BA04 BA22 BA36 BA39 BA41 BA42 BA43 EA01 FA05

FA14 FA21 FB02 FB05 FB07 FB09 FB11 FB46 FB47 FB48

GA04 GA09 GA14 GB05 HA06 HA11 HA23 HA28 HA29 HA30

JA06