

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3661850号
(P3661850)

(45) 発行日 平成17年6月22日(2005.6.22)

(24) 登録日 平成17年4月1日(2005.4.1)

(51) Int.Cl.⁷

H O 1 L 27/105

F I

H O 1 L 27/10 4 4 4 B

請求項の数 9 (全 19 頁)

(21) 出願番号	特願2001-128373 (P2001-128373)	(73) 特許権者	000005223
(22) 出願日	平成13年4月25日 (2001.4.25)		富士通株式会社
(65) 公開番号	特開2002-324894 (P2002-324894A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成14年11月8日 (2002.11.8)	(74) 代理人	100070150
審査請求日	平成15年12月24日 (2003.12.24)		弁理士 伊東 忠彦
		(72) 発明者	高松 知広
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	中村 亘
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	松浦 克好
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
			最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板と、

前記基板上に形成された強誘電体キャパシタとよりなる半導体装置において、

前記強誘電体キャパシタは、下部電極と、前記下部電極上に形成された強誘電体膜と、
前記強誘電体膜上に形成された上部電極とよりなり、

前記上部電極は、化学量論組成が組成パラメータ x_1 を使って化学式 $A O x_1$ で表され実際の組成が組成パラメータ x_2 を使って化学式 $A O x_2$ で表される酸化物よりなる第1の層と、前記第1の層上に形成され、化学量論組成が組成パラメータ y_1 を使って化学式 $B O y_1$ で表され実際の組成が組成パラメータ y_2 を使って化学式 $B O y_2$ で表される酸化物よりなる第2の層とよりなり、さらに、前記第2の層は前記第1の層より酸化の割合が高く構成され、

前記組成パラメータ x_1 、 x_2 、 y_1 および y_2 の間には、関係
 $y_2 / y_1 > x_2 / x_1$

が成立することを特徴とする半導体装置。

【請求項2】

前記第1の層は、前記第2の層を構成する金属元素と同じ金属元素により構成されることを特徴とする請求項1記載の半導体装置。

【請求項3】

前記第1の層を構成する金属元素と前記第2の層を構成する金属元素とは異なっている

ことを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

前記強誘電体膜と前記第 1 の膜との界面が平坦であることを特徴とする請求項 1 ~ 3 のうち、いずれか一項記載の半導体装置。

【請求項 5】

前記第 1 の層は P b を含み、前記第 2 の層は P b を含まないことを特徴とする請求項 1 ~ 4 のうち、いずれか一項記載の半導体装置。

【請求項 6】

さらに前記基板上に、前記強誘電体キャパシタを覆うように多層配線構造が設けられ、前記第 2 の層が前記多層配線構造中の配線パターンと、コンタクトホールを介して接続されることを特徴とする請求項 1 ~ 5 のうち、いずれか一項記載の半導体装置。

10

【請求項 7】

下部電極を形成する工程と、
前記下部電極上に強誘電体膜を堆積する工程と、
前記強誘電体膜上に第 1 の導電性酸化膜を堆積する工程と、
前記第 1 の導電性酸化膜上に第 2 の導電性酸化膜を堆積する工程とよりなり、
前記第 1 の導電性酸化膜の堆積工程を、前記第 2 の導電性酸化膜の堆積工程におけるよりもより A r 流量に対する O₂ 流量の割合が小さい条件下において実行し、前記第 2 の導電性酸化膜において、前記第 1 の導電性酸化膜よりも酸化の割合を高くすることを特徴とする半導体装置の製造方法。

20

【請求項 8】

強誘電体膜を堆積する工程の後、前記第 1 の導電性酸化膜を堆積する工程の前に、前記強誘電体膜を不活性ガスと酸化性ガスの混合雰囲気中、第 1 の温度で熱処理する工程を含み、

さらに前記第 1 の導電性酸化膜を堆積する工程の後、前記強誘電体膜を、酸化雰囲気中、前記第 1 の温度よりも高い第 2 の温度で熱処理し、前記強誘電体膜を結晶化する工程を含むことを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 9】

前記第 1 の導電性酸化膜を堆積する工程と前記第 2 の導電性酸化膜を堆積する工程とは、反応性スパッタリングにより実行されることを特徴とする請求項 7 または 8 記載の半導体装置の製造方法

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は一般に半導体装置に係り、特に強誘電体膜を有する半導体装置およびその製造方法に関する。

【0002】

強誘電体メモリ装置 (F e R A M) は、電源を切っても記憶した情報を保持することのできる不揮発性半導体記憶装置である。 F e R A M では、情報の記憶を、強誘電体のヒステリシス特性を利用して行う。

40

【0003】

典型的な F e R A M は強誘電体膜を 1 対の電極により挟持した強誘電体キャパシタを有し、電極間の印加電圧に応じて前記強誘電体キャパシタ中に分極を誘起することにより、情報を記憶する。このように強誘電体膜中に分極の形で書き込まれた情報は、印加電圧を取り去っても保持される。

かかる強誘電体キャパシタでは、印加電圧の極性を反転すれば自発分極の極性も反転する。そこで、この自発分極を検出することにより、書き込まれた情報を読み出すことが出来る。 F e R A M はフラッシュメモリに比べ低電圧で動作し、低電力で高速の情報の書き込みが可能である。

【0004】

50

【従来の技術】

ところで、かかる F e R A M では、非酸化雰囲気中における処理に伴う強誘電体膜の特性劣化を回復させるために F e R A M の製造工程において繰り返し酸素雰囲気中での熱処理を行う必要がある。強誘電体キャパシタを構成する強誘電体膜は、非酸化雰囲気中における処理により容易に酸素欠損を生じ、これに伴い反転電荷量やリーク電流値などの強誘電体膜としての特性が劣化してしまう。このため従来より、上部電極として P t 等の酸素雰囲気中でも酸化しにくい金属や、I r O x や R u O x 等の導電性酸化物が用いられている。

【0005】

【発明が解決しようとする課題】

10

ところで、近年では F e R A M においても微細化に対する厳しい要求が課せられており、これに伴い強誘電体キャパシタの微細化および多層配線構造の採用が要求されている。さらに携帯型情報処理装置への適用に関連して、低電圧動作が要求されている。

【0006】

F e R A M が低電圧で動作可能なためには、強誘電体キャパシタを構成する強誘電体膜が大きな反転電荷量 Q_{sw} を有することが要求されるが、多層配線構造を使用した場合、多層配線構造を形成する過程で使われる還元雰囲気処理あるいは非酸化雰囲気処理により、既に形成されている強誘電体キャパシタの特性が劣化してしまう問題が生じる。

【0007】

より具体的に説明すると、上部電極を P t 膜あるいは I r 膜などにより形成した場合、多層配線構造中の層間絶縁膜を形成する際に使われる還元雰囲気中の水素が P t 膜や I r 膜中に侵入してこれらの金属が有する触媒作用により活性化され、活性化された水素により強誘電体キャパシタ中の強誘電体膜が還元されてしまう問題が生じる。強誘電体膜が還元されると強誘電体キャパシタの動作特性は大きく劣化してしまう。かかる強誘電体膜の特性劣化の問題は、強誘電体キャパシタが微細化され、強誘電体キャパシタ中のキャパシタ絶縁膜が微細化された強誘電体膜パターンより構成される場合に特に顕著に現れる。

20

【0008】

そこで、本発明は上記の課題を解決した新規で有用な半導体装置およびその製造方法を提供することを概括的課題とする。

【0009】

30

本発明のより具体的な課題は、強誘電体膜の電気特性の劣化を抑制しながら強誘電体キャパシタの微細化を達成でき、さらに前記強誘電体キャパシタ上に多層配線構造の形成をも可能とする半導体装置の製造方法、およびかかる製造方法により製造された半導体装置を提供することにある。

【0010】

【課題を解決するための手段】

本発明は、上記の課題を、基板と、前記基板上に形成された強誘電体キャパシタとよりなる半導体装置において、前記強誘電体キャパシタは、下部電極と、前記下部電極上に形成された強誘電体膜と、前記強誘電体膜上に形成された上部電極とよりなり、前記上部電極は、化学量論組成が組成パラメータ x_1 を使って化学式 $A O x_1$ で表され実際の組成が組成パラメータ x_2 を使って化学式 $A O x_2$ で表される酸化物よりなる第 1 の層と、前記第 1 の層上に形成され、化学量論組成が組成パラメータ y_1 を使って化学式 $B O y_1$ で表され実際の組成が組成パラメータ y_2 を使って化学式 $B O y_2$ で表される酸化物よりなる第 2 の層とよりなり、さらに、前記第 2 の層は前記第 1 の層より酸化の割合が高く構成され、前記組成パラメータ x_1, x_2, y_1 および y_2 の間には、関係 $y_2 / y_1 > x_2 / x_1$ が成立することを特徴とする半導体装置により解決する。

40

【0011】

本発明はまた上記の課題を、下部電極を形成する工程と、前記下部電極上に強誘電体膜を堆積する工程と、前記強誘電体膜上に第 1 の導電性酸化膜を堆積する工程と、前記第 1 の導電性酸化膜上に第 2 の導電性酸化膜を堆積する工程とよりなり、前記第 1 の導電性酸

50

化膜の堆積工程を、前記第2の導電性酸化膜の堆積工程におけるよりもよりAr流量に対するO₂流量の割合が小さい条件下において実行し、前記第2の導電性酸化膜において、前記第1の導電性酸化膜よりも酸化の割合を高くすることを特徴とする半導体装置の製造方法により、解決する。

〔作用〕

本発明によれば、前記強誘電体キャパシタのキャパシタ絶縁膜を構成する強誘電体膜に接する下層上部電極層として非化学量論組成を有する第1の導電性酸化膜を使うことにより、前記強誘電体膜からPbが前記下層上部電極層中に拡散し、これに伴って前記強誘電体膜と前記下層上部電極層との間の界面が平坦化し、前記強誘電体キャパシタに電圧を印加した場合、前記強誘電体膜に印加される実効的な電圧の値がより大きくなりキャパシタ特性が向上する。一方、かかる非化学量論組成を有する導電性膜は水素を含む雰囲気中に曝された場合、膜中の金属成分が水素を活性化してしまい、活性化された水素が強誘電体膜の特性を劣化させる。このため、本発明では、前記下層上部電極層の上部に、化学量論組成、あるいはより化学量論組成に近い組成を有する第2の導電性酸化膜よりなる上層上部電極層を形成し、下層上部電極層中への還元雰囲気への侵入を阻止する。

10

【0012】

【発明の実施の形態】

〔第1実施例〕

本発明によれば、多層配線構造を有するFeRAMにおいて、強誘電体膜の劣化を抑えながら強誘電体キャパシタの微細化を実現することができる。以下、本発明の第1実施例による強誘電体キャパシタの製造方法を説明する。

20

【0013】

本発明の発明者等は、本発明の基礎となる実験的研究において、Pt/Ti構造の下部電極上に形成されたPZT膜をキャパシタ絶縁膜として使い、IrO_x膜を上部電極として有する強誘電体キャパシタを作製する実験を行い、以下の知見を得た。

【0014】

以下、本発明の発明者等により行われた実験について、本発明の第1実施例による強誘電体キャパシタの製造工程に対応する図1(A)～図2(F)を参照しながら説明する。

【0015】

図1(A)を参照するに、Si基板11上に形成された厚さ1000nmのSiO₂膜12上に、厚さが20nmのTi膜13Aと厚さが175nmのPt膜13Bとをスパッタ法により順次堆積させ、下部電極層13を形成した。

30

【0016】

次に図1(B)の工程において、前記下部電極13上に強誘電体膜としてPZT膜14を、RFスパッタ法により約200nmの厚さに形成する。さらに図1(C)の工程において、堆積されたPZT膜14をAr/O₂雰囲気中において約600°Cの温度で急速加熱処理を行い、前記PZT膜14を部分的に結晶化させる。

【0017】

さらに図2(D)の工程において前記PZT膜14上に第1のIrO_x膜15を、表1に示す条件下で反応性スパッタリングを行い、約100nmの厚さに形成する。図2(E)の工程においてO₂雰囲気中、約725°Cの温度で第2の急速加熱処理を行った。かかる第2の急速加熱処理により前記PZT膜14は結晶化し、同時に前記PZT膜14中の酸素欠損が補償される。

40

【0018】

【表1】

パワー	1~4KW
Ar流量	50~150sccm
O ₂ 流量	30~80sccm
基板温度	室温~100°C

10

さらに図2(F)の工程において、前記IrO_x膜15上に第2のIrO_x膜16を、表2に示す範囲の条件で反応性スパッタリングを用いて約100nmの厚さに成膜した。このようにして形成されたIrO_x膜15およびIrO_x膜16は、全体として強誘電体キャパシタの上部電極を形成する。以下の説明では、このようにして作製した、IrO_x膜15, 16の積層構造を上部電極中に有する強誘電体キャパシタ試料を「積層構造」と称する。

【0019】

【表2】

20

パワー	0.5~2KW
Ar流量	50~150sccm
O ₂ 流量	80~200sccm
基板温度	室温~500°C

30

表3は、前記上部電極の下層を構成するIrO_x膜15および上層を構成するIrO_x膜16について、化学量論組成IrO₂($x=2$)を基準とした酸化の程度をRBS(Rutherford Background Scattering)法により調べた結果を示す。

【0020】

【表3】

	成膜条件	IrO _x
IrO _x 膜15	Ar:O ₂ =1.0:0.6	$x=1.4$
IrO _x 膜16	Ar:O ₂ =1.0:1.0	$x=2.0$

40

表3よりわかるように、このようにして形成された強誘電体キャパシタでは、下層のIrO_x膜15よりも上層のIrO_x膜16の方が酸化の割合が高く、特に上層のIrO_x膜16はほぼ理想的な化学量論組成を有していることがわかる。

【0021】

また、本発明者等が行った実験では、前記PZT膜14上に上部電極として、単層のIrO_x膜を前記表1に示す条件で200nmの厚さに形成した強誘電体キャパシタ試料と、単層のIrO_x膜を前記表2に示す条件で200nmの厚さに形成した強誘電体キャパシ

50

タとを、比較対照試料の目的で作製した。以下の説明では、前者の強誘電体キャパシタを「 $x = 1.4$ 」により表記し、後者の強誘電体キャパシタを「 $x = 2.0$ 」により表記する。

【0022】

本発明者等は、このようにして形成された強誘電体キャパシタを、 $50\mu\text{m} \times 50\mu\text{m}$ のサイズにパターニングし、キャパシタ特性の測定を行った。図3は、かかるキャパシタ特性の測定結果を示す。

【0023】

図3を参照するに、「積層構造」で示した強誘電体キャパシタ試料および「 $x = 1.4$ 」で示した強誘電体キャパシタ試料では、キャパシタの分極を示す反転電荷量 Q_{sw} の値が3Vの印加電圧において $30\mu\text{C}/\text{cm}^2$ を超えているのに対し、 $x = 2.0$ のみの条件では Q_{sw} の値が $20\mu\text{C}/\text{cm}^2$ 程度しかないことがわかる。これは、低電圧動作が要求される状況では、「 $x = 2.0$ 」で示す強誘電体キャパシタ試料は使用することができないことを意味する。またこのことは、強誘電体キャパシタの上部電極として、 IrO_x の酸化の割合が小さい、酸素欠損を多量に含む膜を使うことにより、キャパシタ特性が向上することを意味する。このような現象が生じるメカニズムについては後で説明する。

【0024】

図4は、図3の実験における IrO_x 膜のスputteringの際の雰囲気と、得られたPZT膜の反転電荷量 Q_{sw} との関係を示す。ただし図4の実験は図3の試料「 $x = 1.4$ 」および「 $x = 2.0$ 」に対応しており、単層の IrO_x 膜を 50°C の温度で 200nm の厚さに堆積している。

【0025】

図4を参照するに、スputteringの際の O_2 流量を約 60SCCM に設定した場合（試料「 $x = 1.4$ 」）、 Ar 流量が $60 \sim 150\text{SCCM}$ の範囲では、PZT膜の反転電荷量 Q_{sw} の値が $25.0\mu\text{C}/\text{cm}^2$ 以上になるのに対し、前記 O_2 流量を約 100SCCM に設定すると（試料「 $x = 2.0$ 」）、前記反転電荷量 Q_{sw} の値は $15 \sim 17\mu\text{C}/\text{cm}^2$ 程度まで減少することがわかる。

【0026】

次に、前記強誘電体キャパシタ試料「積層構造」および「 $x = 1.4$ 」について、さらに前記強誘電体キャパシタ上にA1の3層配線構造を形成し、 $50\mu\text{m} \times 50\mu\text{m}$ および $1.0\mu\text{m} \times 1.6\mu\text{m}$ のサイズにパターニングした後、このようにして得られた強誘電体キャパシタについて電気特性を測定した結果を図5に示す。

【0027】

図5を参照するに、キャパシタサイズが $50\mu\text{m} \times 50\mu\text{m}$ の場合「積層構造」試料と「 $x = 1.4$ 」試料との間に実質的な電気特性の違いは見られない。一方、 $1.0\mu\text{m} \times 1.6\mu\text{m}$ のサイズにパターニングしたキャパシタでは、「積層構造」試料の反転電荷量 Q_{sw} の値がキャパシタサイズが $50\mu\text{m} \times 50\mu\text{m}$ サイズの場合と実質的に変わらないが、「 $x = 1.4$ 」の試料では、反転電荷量 Q_{sw} の値が実質的に $0\mu\text{C}/\text{cm}^2$ に近い値になっているのがわかる。これは、キャパシタサイズが小さくなることにより、キャパシタ形成後に行われる多層配線構造の形成工程でのダメージによりPZT膜14が劣化し、反転電荷量 Q_{sw} の値が大きく減少するものと考えられる。

【0028】

図3～5の結果から、「 $x = 1.4$ 」の試料あるいは「 $x = 2.0$ 」の試料の条件で形成された強誘電体キャパシタは、微細化や多層配線構造との組み合わせが要求される実用的な半導体装置には使えないことがわかる。図5の結果はまた、多層配線構造の形成を含む後工程でのダメージに強い強誘電体キャパシタを実現するには、上部電極を、 IrO_x 層15（ $x = 1.4$ ）上に、 $x > 1.4$ で、可能ならば化学量論組成 $x = 2$ に近い IrO_x 膜16を積層することにより形成するのが望ましいことを示している。

【0029】

このような現象が生じるメカニズムは、以下のようなものであると考えられる。

10

20

30

40

50

【0030】

金属状態のIrは水素触媒として作用することが周知である。すなわち、金属状態のIrと接触すると水素は活性化される。一方、前記IrO_x膜15 ($x = 1.4$) 中では、組成パラメータxの値が化学量論組成 $x = 2.0$ よりも小さいため酸素欠損が生じており、酸化物成分と金属成分が混在している。そのため、前記上部電極の全体がIrO_x膜15により形成されている場合、層間絶縁膜形成工程や配線パターン形成工程で生じる水素が活性化されてしまい、かかる活性化された水素によりキャパシタ特性が劣化してしまう。

【0031】

一方、化学量論組成に近いIrO_x膜16 ($x = 2$) 中には、酸素欠損が少なく金属Ir成分がほとんど含まれていないため水素が活性化されにくく、強誘電体キャパシタ上に多層配線構造を形成した後でも、キャパシタ特性が劣化せずに維持されと考えられる。

10

【0032】

図6(A)、(B)は、このようにして形成された積層構造を有する強誘電体キャパシタの断面構造を示すSEM写真である。ただし図6(B)は図6(A)の一部を拡大して示している。また図7に、図6(B)の写真をスケッチした図を示す。

【0033】

図6(A)、(B)および図7を参照するに、前記PZT膜14上の上部電極は、厚さが約100nmのIrO_x層15 ($x = 1.4$) と、厚さが同じく約100nmのIrO_x層16とより構成されているのが認められ、前記IrO_x層15は粒径が100nm程度の粒状結晶の配列よりグラニューラ構造を有するのがわかる。これに対し、前記IrO_x膜16は、粒径20~50nm程度の柱状結晶より構成される柱状微構造を有するのがわかる。

20

【0034】

先にも説明したように、一般的にIrO_xは、水素雰囲気中で金属状態のIrに還元しやすい性質を持っており、金属状態のIrに還元されてしまうと触媒作用により水素が活性化されてしまいキャパシタ特性が劣化する。これに対し、IrO_x層16を構成する柱状結晶は他構造に比べてエネルギー的に安定な構造であると考えられ、柱状構造を有するIrO_x層16は還元されにくく、このためキャパシタへの還元雰囲気によるダメージを抑制することができるものと考えられる。

【0035】

30

図8(A)、(B)は、図6(B)の積層構造上部電極において、IrO_x膜15とIrO_x膜16の膜厚比を変化させた場合の断面SEM写真を示す。ただし図8(A)は図6(A)、(B)の構造に対応し、IrO_x膜15を100nmの厚さに形成した後で急速加熱処理を725℃で20秒間行い、その後で前記IrO_x膜15上にIrO_x膜16を100nmの厚さに形成した場合を示すのに対し、図8(B)は前記IrO_x膜15を約150nmの厚さに形成した後前記725℃、20秒間の急速加熱処理を行い、その後で前記IrO_x膜16を50nmの厚さに形成した場合を示す。

【0036】

図8(A)、(B)を参照するに、図8(A)の構造ではPZT膜14が柱状微構造を有し、大きな空孔などの欠陥は認められない。これに対し、図8(B)の構造では前記PZT膜14は柱状構造を有してはいるものの、大きな空孔が生じているのが観察される。このような大きな空孔を強誘電体膜中に含む強誘電体キャパシタは不良であり、FERAMとして使用することはできない。

40

【0037】

図8(A)、(B)の結果より、前記IrO_x層15の膜厚は100nm以下であるのが望ましい。

【0038】

図6(A)、(B)あるいは図8(A)、(B)において、前記PZT膜14とその上のIrO_x膜15との界面は実質的に平坦であり、結晶粒界に対応するような凹凸が見られないが、これは図1(C)の工程においてPZT膜をより低い第1の温度での急速熱処理

50

により部分的に結晶化させ、さらに図2(E)の工程で前記IrO_x膜15により前記PZT膜14を覆った後、図2(F)の工程でより高い第2の温度で急速熱処理を行い、前記PZT膜14を結晶化させた場合に特徴的に得られる構造である。

【0039】

図9(A)は、前記積層構造上部電極を有する強誘電体キャパシタ(先の「積層構造」試料)に関して行ったSIMS分析の結果を、また図9(B)は前記上部電極として $x = 1.4$ のIrO_x膜のみを使った強誘電体キャパシタ(先の「 $x = 1.4$ 」試料)についてのSIMS分析の結果を示す。

【0040】

図9(A)を参照するに、「積層構造」の試料では、下層のIrO_x膜15中にはPZT膜14からのPbの拡散が生じているのが確認されるが、上層のIrO_x膜16中におけるPbの濃度は検出限界以下であり、前記IrO_x膜16中にはPbの拡散が生じていないと結論される。なお、図9(A)では上層IrO_x膜16と下層IrO_x膜15との界面にPbの濃集が観察されるが、これは前記膜15と16との界面における急激な膜質変化に伴う分析上のみかけだけの効果であり、実際にかかるPbの濃集が生じているわけではない。

10

【0041】

一方、図9(B)に示す「 $x = 1.4$ 」の試料では、Pbは上層のIrO_x膜16の表面まで達しているのがわかる。また先に図3で説明した「 $x = 2.0$ 」の試料の場合、図9(A)のIrO_x膜16中におけるPbの濃度が検出限界以下であることから、前記 $x = 2.0$ の組成を有するIrO_x膜よりなる上部電極中には、Pbは侵入していないものと考えられる。

20

【0042】

このように、先に示した図3の結果は、前記PZT膜14からIrO_x膜15へのPbの実質的な拡散が生じているにもかかわらず強誘電体キャパシタの特性が、Pbの拡散が生じない場合よりも向上することを示しているが、そのメカニズムは次のように考えられる。

【0043】

先に述べたようにIrO_x膜15($x = 1.4$)は酸素欠損を高濃度で含んでいる。そのため、かかるIrO_x膜15では、酸素欠損により形成された空孔を伝わってPbが容易に拡散する。その結果、前記PZT膜14中に導入されている過剰なPbが前記IrO_x膜15中に拡散し、その結果として前記PZT膜14と接するIrO_x膜15の界面が平坦になるものと考えられる。前記IrO_x膜15とPZT膜14との界面が平坦化された結果、前記強誘電体キャパシタに電圧を印加した場合、前記PZT膜14に印加される実効的な電圧が大きくなり、キャパシタ特性が向上するものと考えられる。

30

【0044】

次に、図2(F)の強誘電体キャパシタを有するFeRAMにおいて、多層配線構造を設ける場合に前記IrO_x膜15および16に課せられる制約について検討する。

【0045】

図10は、前記Si基板11上に図2(F)の強誘電体キャパシタを覆うように層間絶縁膜17を形成し、平坦化した後前記層間絶縁膜17中に前記IrO_x膜16を露出するコンタクトホール17Aを形成し、さらに前記層間絶縁膜17上に前記コンタクトホール17Aにおいて前記IrO_x膜16とコンタクトするようにAl等の配線パターン18を形成した状態を示す。

40

【0046】

多数の強誘電体キャパシタがSi基板11上に形成されたFeRAM集積回路装置においてこのように前記層間絶縁膜17中にコンタクトホール17Aを形成する場合、前記層間絶縁膜17の膜厚変化や個々の強誘電体キャパシタの高さのばらつきを考慮して、前記コンタクトホール17Aを形成するドライエッチング工程は、前記IrO_x膜16の表面を露出するに必要な時間よりも多少長く継続される。その結果、前記IrO_x膜16中には

50

、図 1 1 に示すように、前記コンタクトホール 1 7 A の底部に対応して凹部が形成され、かかる凹部において前記 A 1 配線パターンが前記 I r O x 膜 1 6 とコンタクトさせられる。なお図 1 0 の写真では、前記 A 1 配線パターン 1 8 が前記 I r O x 膜 1 6 とコンタクトする部分に T i N バリア層 1 7 A が形成されているのが見える。

【 0 0 4 7 】

このような多層配線構造とのコンタクト構造を形成する場合、前記 I r O x 膜 1 6 中の凹部の深さは一般に数十ナノメートルになる。図示の例では、前記凹部の深さは約 5 0 n m となっている。従って、前記 I r O x 膜 1 6 の厚さが 5 0 n m 以下であると、前記凹部において前記 I r O x 膜 1 5 が露出してしまい、その結果かかるコンタクトホールを介して水素などの還元性成分が I r O x 膜 1 5 に侵入してしまい、P Z T 膜 1 4 の特性を劣化させる問題が生じる。このため、前記 I r O x 膜 1 6 の厚さは数十ナノメートル以上であることが必要であることがわかる。

10

【 0 0 4 8 】

このように上層の I r O x 膜 1 6 において多層配線構造とのコンタクトを行うことにより、前記 I r O x 膜 1 6 のプロセスダメージ耐性により、多層配線構造形成プロセスあるいはコンタクトホール形成プロセスの際の非酸化雰囲気の影響が強誘電体キャパシタ中の強誘電体膜に及ぶのを抑制することができる。

【 0 0 4 9 】

なお、上記の説明は、下部電極 1 3 として前記 P t / T i 積層構造を使ったが、前記下部電極として I r や R u 、R u O₂あるいは S r R u O₃などの導電性酸化物もしくはそれらの積層構造でも構わない。

20

【 0 0 5 0 】

さらに、前記下層上部電極 1 5 としては I r O x 膜以外にも、R u O x 膜や S r R u O x 膜などの非化学量論組成を有する導電性酸化物膜を使うことが可能で、一方前記上層上部電極 1 6 として、より化学量論組成に近い組成を有する I r O x 膜以外に R u O x 膜や S r R u O x 膜などの導電性酸化物膜で、前記下層上部電極膜 1 5 より化学量論組成に近い組成を有する膜を使うことも可能である。

【 0 0 5 1 】

また、本実施例において、前記 P Z T 膜 1 4 の代わりに、P L Z T 膜、S B T (S r B i₂ (T a , N b)₂ O₉) 膜、あるいは B i 層状化合物を使うことも可能である。

30

[第 2 実施例]

図 1 2 (A) ~ 図 1 3 (E) は、本発明の第 2 実施例による F e R A M の製造工程を示す。

【 0 0 5 2 】

図 1 2 (A) を参照するに、S i 基板 2 1 上には素子分離膜 2 2 により活性領域が画成されており、前記活性領域中においては前記 S i 基板上にゲート絶縁膜 2 3 を介してゲート電極 2 4 A , 2 4 B が、F e R A M のワード線の一部として形成される。各々のゲート電極 2 4 A および 2 4 B はシリサイド低抵抗層 2 4 C を担持し、前記 S i 基板 2 1 中には、前記ゲート電極 2 4 A の両側に L D D 領域 2 1 A および 2 1 B が形成されている。また前記 S i 基板 2 1 中には前記ゲート電極 2 4 B の両側に L D D 拡散 2 1 C および 2 1 D が形成されている。

40

【 0 0 5 3 】

前記ゲート電極 2 4 A , 2 4 B はそれぞれ側壁面上に側壁絶縁膜 2 4 a , 2 4 b および 2 4 c , 2 4 d を有し、前記 S i 基板 2 1 中には、前記側壁絶縁膜 2 4 a の外縁に略対応して拡散領域 2 1 E が形成されている。同様に、前記 S i 基板 2 1 中には、前記側壁絶縁膜 2 4 d の外縁に略対応して拡散領域 2 1 G が形成されており、前記 S i 基板 2 1 中には前記側壁絶縁膜 2 4 b の外縁と前記側壁絶縁膜 2 4 c の外縁との間に拡散領域 2 1 F が形成されている。

【 0 0 5 4 】

前記ゲート電極 2 4 A , 2 4 B は前記 S i 基板 2 1 上に前記活性領域および前記素子分離

50

膜 2 2 を覆うように形成された S i O N 膜 2 5 により覆われ、さらに前記 S i O N 膜 2 5 上には S i O₂ よりなる層間絶縁膜 2 6 が C V D 法により、約 1 0 0 0 n m の厚さに形成される。

【 0 0 5 5 】

前記層間絶縁膜 2 6 は引き続いて C M P 法により平坦化され、さらに N₂ 雰囲気中、6 0 0 ° C、3 0 分間の熱処理により、脱ガスを行う。

【 0 0 5 6 】

次に図 1 2 (B) の工程において前記層間絶縁膜 2 6 上に T i 膜および P t 膜をそれぞれ約 2 0 n m および約 1 7 5 n m の厚さに順次スパッタリングすることにより、P t / T i 積層構造を有する下部電極膜 2 7 を形成する。先にも説明したが、前記下部電極 2 7 は前記 P t / T i 積層構造を有するものに限定されることはなく、I r 膜や R u 膜、R u O₂ 膜や S r R u O₃ 膜を積層したものでもよい。

10

【 0 0 5 7 】

図 1 2 (B) の工程では、引き続き P Z T あるいは P L Z T などの強誘電体膜 2 8 を R F スパッタリングにより、約 2 0 0 n m の厚さに形成する。このようにして形成された強誘電体膜 2 8 は、図 1 2 (B) の工程でさらに A r / O₂ 雰囲気中、約 6 0 0 ° C の温度で急速熱処理を施され、部分的に結晶化させられる。

【 0 0 5 8 】

かかる強誘電体膜 2 8 の熱処理工程の後、図 1 2 (B) の工程ではさらに前記表 1 に示す条件下で I r O x 膜の反応性スパッタリングを行い、下層上部電極となる I r O x 膜 2 9 を前記強誘電体膜 2 8 上に形成する。このようにして形成された I r O x 膜 2 9 は、x 1 . 4 程度の非化学量論組成を有している。

20

【 0 0 5 9 】

図 1 2 (B) の工程では、さらに前記 I r O x 膜 2 9 の形成工程の後、O₂ 雰囲気中、7 2 5 ° C において急速熱処理が施され、前記強誘電体膜 2 8 が結晶化させられる。

【 0 0 6 0 】

次に図 1 2 (C) の工程において前記 I r O x 膜 2 9 上に別の I r O x 膜 3 0 を、先に表 2 で説明した条件下で堆積する。このようにして形成された I r O x 膜 3 0 は、化学量論組成 I r O₂、あるいは前記 I r O x 膜 2 9 よりも前記化学量論組成に近い組成を有する。

30

【 0 0 6 1 】

次に図 1 3 (D) の工程において前記膜 2 7 ~ 3 0 はパターニングされ、その結果、前記層間絶縁膜 2 6 上に強誘電体キャパシタ C₁、C₂ が形成される。

【 0 0 6 2 】

さらに図 1 3 (E) の工程において前記層間絶縁膜 2 6 上に別の層間絶縁膜 3 1 が形成され、前記別の層間絶縁膜 3 1 中には前記拡散領域 2 1 E、2 1 F および 2 1 G を露出するコンタクトホール 3 1 A ~ 3 1 C が形成され、前記コンタクトホール 3 1 A ~ 3 1 C は前記拡散領域 2 1 E ~ 2 1 G とそれぞれコンタクトする W 等の導電性プラグ 3 1 a ~ 3 1 c により充填される。

【 0 0 6 3 】

40

また前記層間絶縁膜 3 1 中には前記キャパシタ C₁ の上層 I r O x 電極層 3 0 を露出するコンタクトホール 3 0 D と前記キャパシタ C₂ の上層 I r O x 電極層 3 0 を露出するコンタクトホール 3 0 E とが形成されており、前記層間絶縁膜 3 1 上には、前記コンタクトホール 3 0 D において前記キャパシタ C₁ の前記上層 I r O x 電極層 3 0 とコンタクトし前記コンタクトホール 3 1 A において前記導電性プラグ 3 1 a とコンタクトする A l 配線パターン 3 2 A と、前記コンタクトホール 3 1 B において前記導電性プラグ 3 1 b とコンタクトする A l 配線パターン 3 2 B と、前記コンタクトホール 3 1 C において前記導電性プラグ 3 1 c とコンタクトし前記コンタクトホール 3 0 E において前記キャパシタ C₂ の I r O x 電極層とコンタクトする A l 配線パターン 3 2 C とが形成されている。

【 0 0 6 4 】

50

前記 IrOx 電極層 29 上に、前記電極層 29 よりも化学量論組成に近い IrOx 電極層 30 を形成することにより、前記コンタクトホール 30D あるいは 30E 形成時に使われる非酸化雰囲気あるいは前記 A1 配線パターン 32A ~ 32C の形成時に使われる非酸化雰囲気が前記 IrOx ないし IrO_2 電極層 30 により阻止され、前記キャパシタ C_1 および C_2 中において前記強誘電体膜 28 の電気特性の劣化が回避される。

【0065】

また前記強誘電体膜 28 に接する下層 IrOx 電極層 29 として、例えば組成パラメータ x が 1.4 の非化学量論組成の IrOx 膜を使うことにより、前記強誘電体膜 28 から Pb が前記 IrOx 膜 29 に拡散し、前記強誘電体膜 28 と IrOx 膜 29 との界面が平坦化する。その結果、前記強誘電体キャパシタ C_1 、 C_2 は優れた電気的特性を示す。先にも

10

【0066】

なお、以上の説明では IrOx を上部電極層 29、30 として用いたが、本発明は IrOx に限定されるものではなく、前記上部電極層 29、30 として RuOx や SrRuOx 等の導電性酸化物を使うことも可能である。その際、前記上部電極層 29、30 として酸化の割合の異なる異種の酸化物を組み合わせることも可能である。

【0067】

以下、異種の酸化物を上部電極層上層部 30 と上部電極層下層部 29 に使う場合について説明する。

20

【0068】

例えば上部電極層下層部 29 を先に述べた表 1 の条件で形成した場合、上部電極層上層部 30 として SrRuOx 膜を使うことが可能である。この場合、前記 SrRuOx 膜 30 の形成は、表面モフォロジーの劣化を回避するため、酸素雰囲気中での反応性スパッタリングではなく Ar 雰囲気中でのスパッタ法により行うのが好ましい。

【0069】

このようにして上部電極層上層部 30 を形成した後、 O_2 雰囲気中、 725°C 、20 秒間の急速加熱処理を行い、前記強誘電体膜 28 を結晶化させた後、さらに酸素雰囲気中 650°C で 60 分間アニール処理を行い、前記 SrRuOx 電極層 30 を酸化させる。 SrRuOx 膜は、いきなり炉アニールを行うと表面異常が生じてしまうため、本発明では最初に表面異常が生じない急速加熱処理を行い、それから前記急速加熱処理よりも低い温度で長時間、炉による熱処理を行うことにより、表面異常を発生させずに十分に酸化した SrRuOx 膜を得ることができる。一方、このような長時間の熱処理を行っても、前記 IrOx 膜の酸化が進行することはない。 Ir の酸化には、 1000°C を超える高い温度が必要であり、前記 IrOx 電極層 29 における金属状態の Ir の割合は、このような熱処理によっても変化しない。このようにして、先に示した実施例と同様に、上部電極の下層部よりも上層部の方が酸素の割合が高い構造を形成することができる。

30

【0070】

このような上部電極の上層部 30 と下層部 29 とで酸化の割合を変化させ、さらに図 6 (A) および (B) で示したような組織構造を得るには、上層部 30 の形成時と下層部 29 の形成時において Ar/O_2 の流量比を表 1 および表 2 あるいは図 4 に従って変化させればよいが、前記表 1 および表 2 に従ってスパッタパワーあるいは基板温度を変化させてもよい。一般にスパッタパワーが大きくなると、形成される IrOx 膜中での金属状態の Ir の割合が増大する。また基板温度が高くなると、形成される IrOx 膜中での金属状態の Ir の割合が減少する。

40

【0071】

また、本実施例において前記上部電極膜 29 および 30 の厚さ、および前記電極膜 29 および 30 の合計膜厚は、本実施例記載のものに限定されるものではない。

【0072】

さらに図 14 の変形例に示すように、前記下層 IrOx 電極層 29 を成膜後パターニング

50

し、その上に前記上層 IrO_x 電極層 30 を形成するようにしてもよい。ただし図 14 中、先に説明した部分には対応する参照符号を付し、説明を省略する。

【0073】

以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【0074】

(付記 1) 基板と、
前記基板上に形成された強誘電体キャパシタとよりなる半導体装置において、前記強誘電体キャパシタは、下部電極と、前記下部電極上に形成された強誘電体膜と、前記強誘電体膜上に形成された上部電極とよりなり、

前記上部電極は、化学量論組成が組成パラメータ x_1 を使って化学式 AO_{x_1} で表され実際の組成が組成パラメータ x_2 を使って化学式 AO_{x_2} で表される酸化物よりなる第 1 の層と、前記第 1 の層上に形成され、化学量論組成が組成パラメータ y_1 を使って化学式 BO_{y_1} で表され実際の組成が組成パラメータ y_2 を使って化学式 BO_{y_2} で表される酸化物よりなる第 2 の層とよりなり、

前記組成パラメータ x_1 、 x_2 、 y_1 および y_2 の間には、関係

$$y_2 / y_1 > x_2 / x_1$$

が成立することを特徴とする半導体装置。

【0075】

(付記 2) 第 1 の層および第 2 の層の各々は、導電性酸化物よりなることを特徴とする付記 1 記載の半導体装置。

【0076】

(付記 3) 前記第 1 の層は、前記第 2 の層を構成する金属元素と同じ金属元素により構成されることを特徴とする付記 1 または 2 記載の半導体装置。

【0077】

(付記 4) 前記金属元素は、 Ir 、 Ru 、 Pt 、 Pd 、 Os 、 Sr および Ta より選ばれることを特徴とする付記 3 記載の半導体装置。

【0078】

(付記 5) 前記第 1 の層は IrO_{x_2} ($x_2 < 2$) で表される組成を有し、前記第 2 の層は IrO_{y_2} ($y_2 > x_2$) で表される組成を有することを特徴とする付記 3 記載の半導体装置。

【0079】

(付記 6) 前記第 1 の層を構成する金属元素と前記第 2 の層を構成する金属元素とは異なっていることを特徴とする付記 1 または 2 記載の半導体装置。

【0080】

(付記 7) 前記第 1 の層は化学量論組成が IrO_2 で実際の組成が IrO_{x_2} ($x_2 < 2$) で表される組成を有し、前記第 2 の層は化学量論組成が SrRuO_3 で実際の組成が SrRuO_{y_2} で表される組成を有し、 $y_2 / 3 > x_2 / 2$ であることを特徴とする付記 6 記載の半導体装置。

【0081】

(付記 8) 強誘電体膜は、 PZT 膜、 SBT 膜、あるいは Bi 層状化合物よりなることを特徴とする付記 1 ~ 7 のうち、いずれか一項記載の半導体装置。

【0082】

(付記 9) 前記第 1 の層はグラニューラー状微構造を有し、前記第 2 の層は、結晶粒径が $20 \sim 50 \text{ nm}$ の柱状微構造を有することを特徴とする付記 1 ~ 8 のうち、いずれか一項記載の半導体装置。

【0083】

(付記 10) 前記第 1 の層は 100 nm 以下の膜厚を有することを特徴とする付記 1 ~ 9 のうち、いずれか一項記載の半導体装置。

10

20

30

40

50

【 0 0 8 4 】

(付記 1 1) 前記強誘電体膜と前記第 1 の膜との界面が平坦であることを特徴とする付記 1 ~ 1 0 のうち、いずれか一項記載の半導体装置。

【 0 0 8 5 】

(付記 1 2) 前記第 1 の層は P b を含み、前記第 2 の層は実質的に P b を含まないことを特徴とする付記 1 ~ 1 1 のうち、いずれか一項記載の半導体装置。

【 0 0 8 6 】

(付記 1 3) さらに前記基板上に、前記強誘電体キャパシタを覆うように多層配線構造が設けられ、前記第 2 の層が前記多層配線構造中の配線パターンと、コンタクトホールを介して接続されることを特徴とする付記 1 ~ 1 2 のうち、いずれか一項記載の半導体装置

10

【 0 0 8 7 】

(付記 1 4) 下部電極を形成する工程と、
前記下部電極上に強誘電体膜を堆積する工程と、
前記強誘電体膜上に第 1 の導電性酸化膜を堆積する工程と、
前記第 1 の導電性酸化膜上に第 2 の導電性酸化膜を堆積する工程とよりなり、前記第 1 の導電性酸化膜の堆積工程を、前記第 2 の導電性酸化膜の堆積工程におけるよりもより酸化性の弱い条件下において実行することを特徴とする半導体装置の製造方法。

【 0 0 8 8 】

(付記 1 5) 強誘電体膜を堆積する工程の後、前記第 1 の導電性酸化膜を堆積する工程の前に、前記強誘電体膜を不活性ガスと酸化性ガスの混合雰囲気中、第 1 の温度で熱処理する工程を含み、
さらに前記第 1 の導電性酸化膜を堆積する工程の後、前記強誘電体膜を、酸化雰囲気中、前記第 1 の温度よりも高い第 2 の温度で熱処理し、前記強誘電体膜を結晶化する工程を含むことを特徴とする付記 1 4 記載の半導体装置の製造方法。

20

【 0 0 8 9 】

(付記 1 6) 前記第 1 の導電性酸化膜を堆積する工程と前記第 2 の導電性酸化膜を堆積する工程とは、反応性スパッタリングにより実行されることを特徴とする付記 1 4 または 1 5 記載の半導体装置の製造方法

(付記 1 7) 前記第 2 の導電性酸化膜を堆積する工程は、前記第 1 の導電性酸化膜を堆積する工程におけるスパッタパワーよりも低いスパッタパワーで実行されることを特徴とする付記 1 6 記載の半導体装置の製造方法。

30

【 0 0 9 0 】

(付記 1 8) 前記第 2 の導電性酸化膜を堆積する工程は、前記第 1 の導電性酸化膜を堆積する工程におけるスパッタ雰囲気よりもより酸化性のスパッタ雰囲気中において実行されることを特徴とする付記 1 6 または 1 7 記載の半導体装置の製造方法。

【 0 0 9 1 】

(付記 1 9) 前記第 1 の導電性酸化膜を堆積する工程は、I r , R u , P t , P d , O s , S r R u O x , I n T a O x , およびそれらの合金より選択されるターゲットを使って実行され、前記第 2 の導電性酸化膜を堆積する工程は、I r , R u , P t , P d , O s , S r R u O x , I n T a O x , およびそれらの合金より選択されるターゲットを使って実行されることを特徴とする付記 1 4 ~ 1 8 のうち、いずれか一項記載の半導体装置の製造方法。

40

【 0 0 9 2 】

【発明の効果】

本発明によれば、動作電圧の低減を可能にする強誘電体キャパシタの電気特性の向上と同時に、半導体集積回路装置に要求される微細化や配線多層化に対応する際の強誘電体キャパシタへのダメージが抑制され、優れた F e R A M およびその集積回路装置を形成することができる。

【図面の簡単な説明】

50

【図１】（Ａ）～（Ｃ）は、本発明の第１実施例による強誘電体キャパシタの製造工程を示す図（その１）である。

【図２】（Ｄ）～（Ｅ）は、本発明の第１実施例による強誘電体キャパシタの製造工程を示す図（その２）である。

【図３】本実施例による強誘電体キャパシタの電気特性を示す図である。

【図４】ＩｒＯｘ上部電極形成時のスパッタ雰囲気と強誘電体キャパシタの電気特性の関係を示す図である。

【図５】本実施例による強誘電体キャパシタの電気特性を示す別の図である。

【図６】（Ａ），（Ｂ）は、本実施例による強誘電体キャパシタの断面構造のＳＥＭ像を示す図である。

10

【図７】図６（Ｂ）の断面構造を概略的にスケッチした図である。

【図８】（Ａ），（Ｂ）は、本発明による強誘電体キャパシタの断面構造のＳＥＭ像を、異なった処理条件について比較して示す図である。

【図９】（Ａ），（Ｂ）は、本発明による強誘電体キャパシタ中における元素分布を、比較対照試料中の元素分布と比較して示す図である。

【図１０】本実施例の強誘電体キャパシタに多層配線構造を設けた場合の構造を示す図である。

【図１１】図１０の構成においてコンタクトホール近傍を拡大したＳＥＭ像を示す図である。

【図１２】（Ａ）～（Ｃ）は、本発明の第２実施例によるＦｅＲＡＭの製造工程を示す図（その１）である。

20

【図１３】（Ｄ），（Ｅ）は、本発明の第２実施例によるＦｅＲＡＭの製造工程を示す図（その２）である。

【図１４】本発明の第２実施例の一変形例を示す図である。

【符号の説明】

- １１ Ｓｉ基板
- １２ ＳｉＯ_２膜
- １３ 下部電極
- １３Ａ Ｔｉ膜
- １３Ｂ Ｐｔ膜
- １４ ＰＺＴ膜
- １５ ＩｒＯｘ下層上部電極膜
- １６ ＩｒＯｘ上層上部電極膜
- １７ 層間絶縁膜
- １７Ａ コンタクトホール
- １８ Ａｌ配線パターン
- ２１ Ｓｉ基板
- ２１Ａ，２１Ｂ，２１Ｃ，２１Ｄ ＬＤＤ領域
- ２１Ｅ，２１Ｆ 拡散領域
- ２２ 素子分離膜
- ２３ ゲート絶縁膜
- ２４Ａ，２４Ｂ ゲート電極
- ２４Ｃ シリサイド層
- ２４ａ，２４ｂ，２４ｃ，２４ｄ 側壁絶縁膜
- ２５ ＳｉＯＮ膜
- ２６ 層間絶縁膜
- ２７ 下部電極
- ２８ 上部電極
- ２９ ＩｒＯｘ上部電極下層部
- ３０ ＩｒＯｘ上部電極上層部

30

40

50

3 1 層間絶縁膜

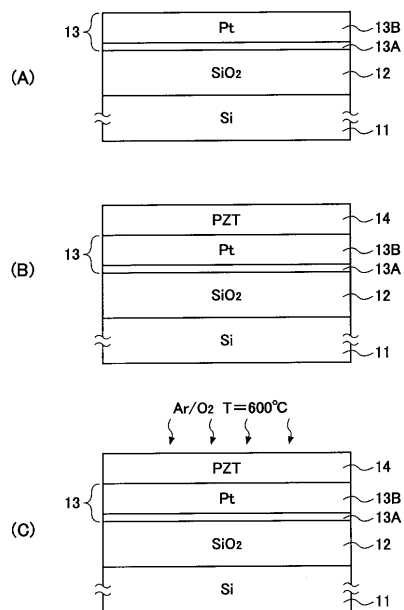
3 1 A , 3 1 B , 3 1 C , 3 1 D , 3 1 E コンタクトホール

3 1 a , 3 1 b , 3 1 c 導電性プラグ

3 2 A , 3 2 B , 3 2 C A 1 配線パターン

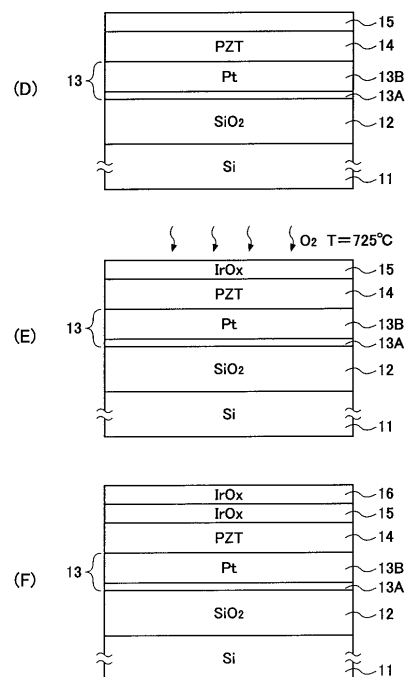
【 図 1 】

(A) ~ (C) は、本発明の第 1 実施例による強誘電体
キャパシタの製造工程を示す図 (その 1)



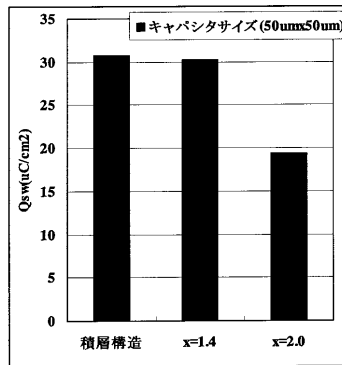
【 図 2 】

(D) ~ (E) は、本発明の第 1 実施例による強誘電体
キャパシタの製造工程を示す図 (その 2)



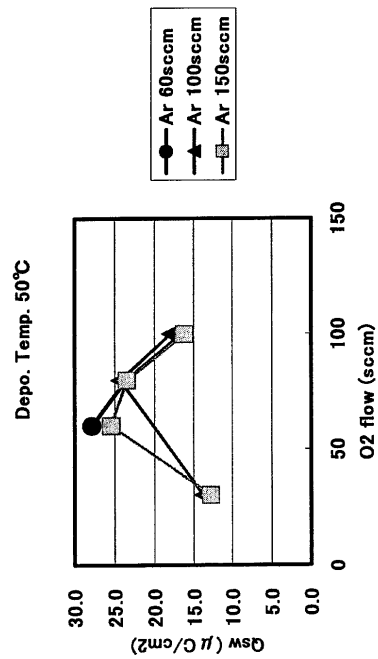
【図 3】

本実施例による強誘電体キャパシタの電気特性を示す図



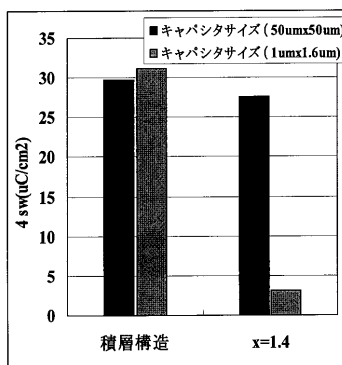
【図 4】

I r O x 上部電極形成時のスパッタ雰囲気と強誘電体キャパシタの電気特性の関係を示す図



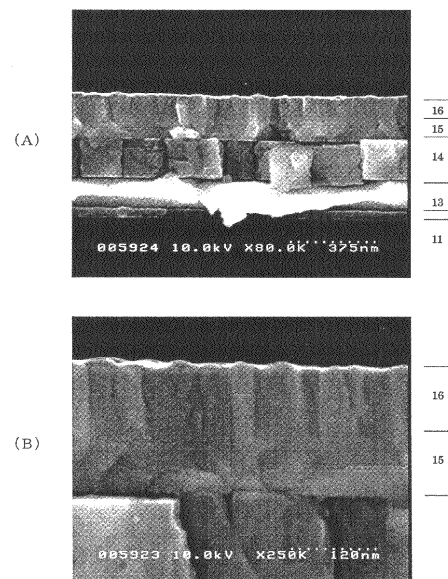
【図 5】

本実施例による強誘電体キャパシタの電気特性を示す別の図



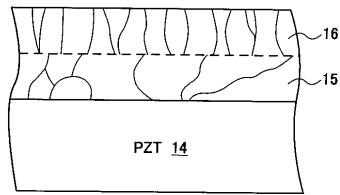
【図 6】

(A), (B)は、本実施例による強誘電体キャパシタの断面構造のSEM像を示す図



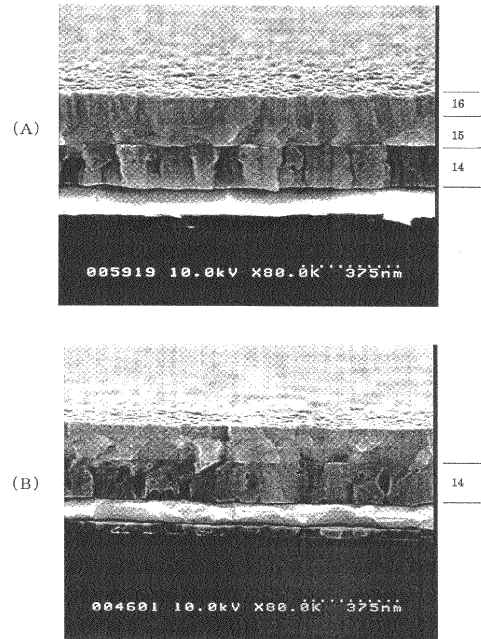
【図 7】

図5 (B) の断面構造を概略的にスケッチした図



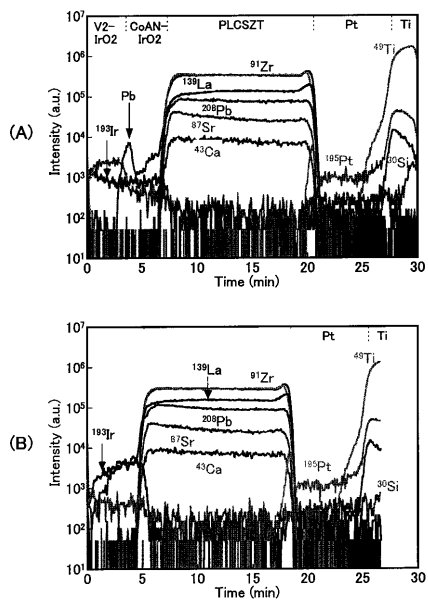
【図 8】

(A)、(B)は、本発明による強誘電体キャパシタの断面構造のSEM像を、異なった処理条件について比較して示す図



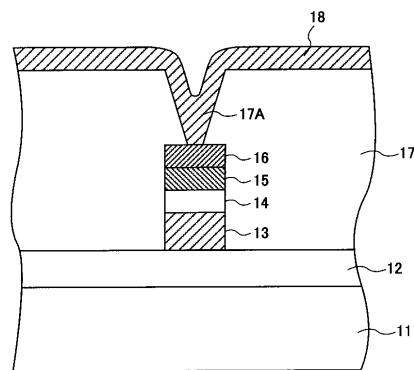
【図 9】

(A)、(B)は、本発明による強誘電体キャパシタ中における元素分布を、比較対照試料中の元素分布と比較して示す図



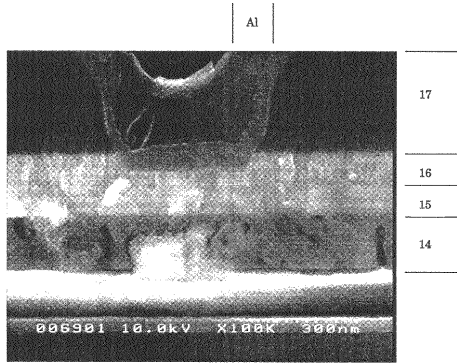
【図 10】

本実施例の強誘電体キャパシタに多層配線構造を設けた場合の構造を示す図



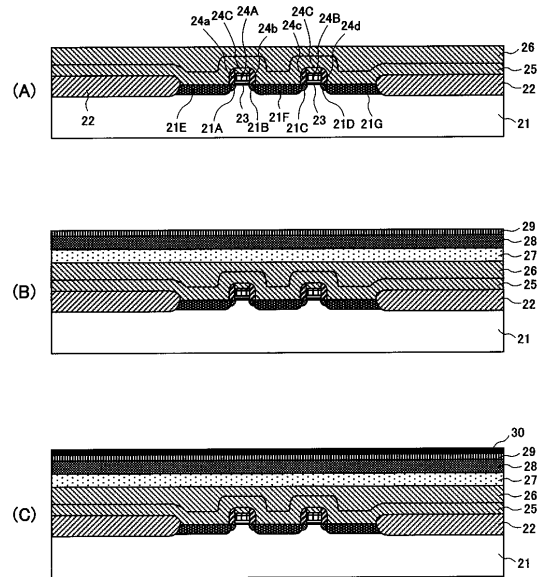
【図 1 1】

図9の構成においてコンタクトホール近傍を拡大したSEM像を示す図



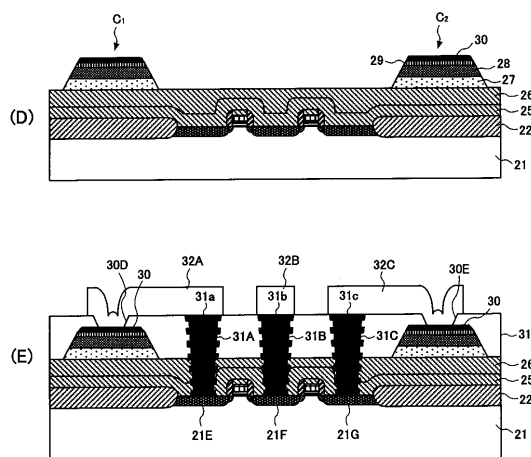
【図 1 2】

(A) ~ (C) は、本発明の第2実施例によるFeRAMの製造工程を示す図(その1)



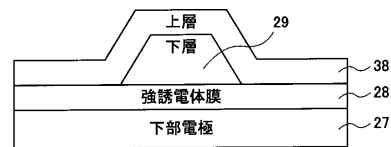
【図 1 3】

(D), (E) は、本発明の第2実施例によるFeRAMの製造工程を示す図(その2)



【図 1 4】

本発明の第2実施例の一変形例を示す図



フロントページの続き

審査官 國島 明弘

- (56)参考文献 米国特許第554866(US,A)
特開2000-357777(JP,A)
特開2000-216350(JP,A)
特開2000-156471(JP,A)
特開2000-091539(JP,A)
特開2000-091270(JP,A)
特開2000-058771(JP,A)
特開平11-243181(JP,A)
特開平10-189881(JP,A)
特開平10-012830(JP,A)
特開平06-068529(JP,A)
特表2002-519864(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)

H01L 27/105