

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 9월 14일 (14.09.2017)



(10) 국제공개번호
WO 2017/155294 A1

- (51) 국제특허분류:
H01L 33/36 (2010.01) H01L 33/38 (2010.01)
H01L 33/40 (2010.01) H01L 33/62 (2010.01)
- (21) 국제출원번호: PCT/KR2017/002487
- (22) 국제출원일: 2017년 3월 8일 (08.03.2017)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2016-0029516 2016년 3월 11일 (11.03.2016) KR
- (71) 출원인: 엘지이노텍 주식회사 (LG INNOTEK CO., LTD.) [KR/KR]; 04637 서울시 중구 후암로 98 LG 서울 역빌딩 17층, Seoul (KR).
- (72) 발명자: 최광용 (CHOI, Kwang Yong); 04637 서울시 중구 한강대로 416 서울스퀘어, Seoul (KR). 김민성 (KIM, Min Sung); 04637 서울시 중구 한강대로 416 서울스퀘어, Seoul (KR). 박수익 (PARK, Su Ik); 04637 서울시 중구 한강대로 416 서울스퀘어, Seoul (KR). 성연준 (SUNG, Youn Joon); 04637 서울시 중구 한강대로 416 서울스퀘어, Seoul (KR). 이용경 (LEE, Yong Gyeong); 04637 서울시 중구 한강대로 416 서울스퀘어, Seoul (KR).

(74) 대리인: 특허법인 다나 (DANA PATENT LAW FIRM); 06242 서울시 강남구 역삼로 3길 11 광성빌딩 신관 4-6층, Seoul (KR).

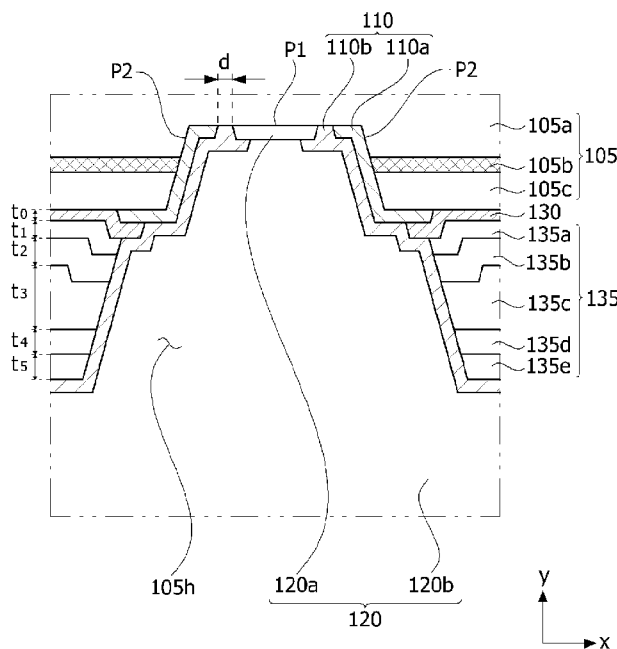
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[다음 쪽 계속]

(54) Title: LIGHT EMITTING DEVICE

(54) 발명의 명칭: 발광 소자



(57) Abstract: An embodiment of the present invention relates to a light emitting device capable of enhancing ohmic characteristics of a semiconductor layer and an electrode and simultaneously improving driving voltage, comprising: a support substrate; a light emitting structure which is disposed on the support substrate and comprises a first semiconductor layer, a second semiconductor layer and an active layer disposed between the first semiconductor layer and the second semiconductor layer; at least one groove which exposes the first semiconductor layer through the second semiconductor layer and the active layer; a first electrode which is disposed between the light emitting structure and the support substrate and electrically connected to the exposed first semiconductor layer; a second electrode which comprises ITO and contacts the second semiconductor layer; and a capping layer which is electrically connected, between the first electrode and the light emitting structure, to the second electrode, wherein the capping layer comprises a first layer, which is disposed facing the second semiconductor layer, with the second electrode interposed therebetween and comprises a material having a thermal expansion coefficient different from the thermal expansion coefficient of the second semiconductor layer by 3 or less.

(57) 요약서:

[다음 쪽 계속]

**공개:**

— 국제조사보고서와 함께 (조약 제 21 조(3))

실시 예는 반도체층과 전극의 오믹 특성을 향상시키고 동시에 구동 전압을 개선할 수 있는 발광 소자에 대한 것으로, 지지 기판; 상기 지지 기판 상에 배치되며, 제 1 반도체층, 제 2 반도체층 및 상기 제 1 반도체층과 제 2 반도체층 사이에 배치되는 활성층을 포함하는 발광 구조물; 상기 제 2 반도체층 및 상기 활성층을 관통하여 상기 제 1 반도체층을 노출시키는 적어도 하나의 홈; 상기 발광 구조물과 상기 지지 기판 사이에 배치되고 상기 노출된 제 1 반도체층과 전기적으로 연결되는 제 1 전극; ITO를 포함하고, 상기 제 2 반도체층과 접촉하는 제 2 전극; 및 상기 제 1 전극과 상기 발광 구조물 사이에서 상기 제 2 전극과 전기적으로 연결되는 캐핑층을 포함하며, 상기 캐핑층은, 상기 제 2 전극을 사이에 두고 상기 제 2 반도체층과 마주보게 배치되며 열 팽창 계수가 상기 제 2 반도체층의 열 팽창 계수와 3 이하의 차를 갖는 물질을 포함하는 제 1 층을 포함한다.

명세서

발명의 명칭: 발광 소자

기술분야

- [1] 본 발명 실시 예는 신뢰성이 향상된 발광 소자에 관한 것이다.

배경기술

- [2] 발광 다이오드(Light Emitting Diode: LED)는 전류가 인가되면 광을 방출하는 발광 소자 중 하나이다. 발광 다이오드는 저전압으로 고효율의 광을 방출할 수 있어 에너지 절감 효과가 뛰어나다. 최근, 발광 다이오드의 휘도 문제가 크게 개선되어, 액정 표시 장치의 백라이트 유닛(Backlight Unit), 전광판, 표시기, 가전 제품 등과 같은 각종 기기에 적용되고 있다.
- [3] 발광 다이오드는 제 1 반도체층, 활성층, 및 제 2 반도체층으로 구성된 발광 구조물 및 발광 구조물의 제 1 반도체층 및 제 2 반도체층과 각각 접속되는 제 1 전극 및 제 2 전극을 포함한다. 특히, 수직형 발광 소자에서 제 1 전극은 제 1 반도체층, 활성층 및 제 2 반도체층을 선택적으로 에칭하여 형성된 홈을 통해 제 1 반도체층과 전기적으로 연결될 수 있다.
- [4] 이 때, 발광 소자는 제 2 전극과 제 2 반도체층 사이의 오믹 특성 및 구동 전압을 향상시키기 위해 제 2 반도체층 상에 바로 ITO(indium tin oxide)를 형성할 수 있다. 그리고, 발광 소자는 ITO 상에 캐핑층을 형성한 후, 캐핑층을 덮으며 제 1 전극을 노출시키는 절연층을 형성할 수 있다.
- [5] 이 때, ITO와 제 2 반도체층의 계면은 금속과 반도체의 접합이므로, 쉽게 분리되는 문제가 존재한다. 그리고 캐핑층 하부에 형성되는 절연층이 들떠, 후에 형성될 전극, 기판 등의 접착 불량에 발생할 수 있다.

발명의 상세한 설명

기술적 과제

- [6] 본 발명이 이루고자 하는 기술적 과제는 오믹 특성 및 구동 전압을 개선함과 동시에 신뢰성을 향상시킬 수 있는 발광 소자를 제공하는데 있다.

과제 해결 수단

- [7] 본 발명의 실시 예의 발광 소자는 지지 기판; 상기 지지 기판 상에 배치되며, 제 1 반도체층, 제 2 반도체층 및 상기 제 1 반도체층과 제 2 반도체층 사이에 배치되는 활성층을 포함하는 발광 구조물; 상기 제 2 반도체층 및 상기 활성층을 관통하여 상기 제 1 반도체층을 노출시키는 적어도 하나의 홈; 상기 발광 구조물과 상기 지지 기판 사이에 배치되고 상기 노출된 제 1 반도체층과 전기적으로 연결되는 제 1 전극; ITO를 포함하고, 상기 제 2 반도체층과 접촉하는 제 2 전극; 및 상기 제 1 전극과 상기 발광 구조물 사이에서 상기 제 2 전극과 전기적으로 연결되는 캐핑층을 포함하며, 상기 캐핑층은, 상기 제 2 전극을 사이에 두고 상기 제 2 반도체층과 마주보게 배치되며 열 팽창 계수가 상기 제 2

반도체층의 열 팽창 계수와 3 이하의 차를 갖는 물질을 포함하는 제 1 층을 포함한다.

- [8] 상기 홈은 바닥면; 및 상기 바닥면으로부터 연장되어 상기 제 1 반도체층, 활성층 및 제 2 반도체층을 노출시키는 측면을 포함할 수 있다.
- [9] 상기 제 1 전극과 상기 제 2 전극 사이에 배치되어 상기 제 1 전극과 상기 제 2 전극을 전기적으로 분리하는 절연층을 포함할 수 있다.
- [10] 상기 절연층은, 상기 측면에 배치되는 제 1 절연층; 및 상기 제 1 절연층과 상기 제 1 전극 사이에 배치되는 제 2 절연층;을 포함할 수 있다.
- [11] 상기 제 2 절연층은 상기 캐핑층, 상기 제 2 전극 및 상기 제 1 절연층을 감쌀 수 있다.
- [12] 상기 제 2 전극은 상기 제 1 절연층을 일부 덮을 수 있다.
- [13] 상기 제 1 전극은, 상기 노출된 상기 제 1 반도체층과 접촉하는 콘택 전극 및 상기 캐핑층과 상기 지지 기판 사이에 배치되어, 콘택 전극과 전기적으로 연결되는 본딩 전극을 포함할 수 있다.
- [14] 상기 콘택 전극과 상기 제 1 절연층은 이격 배치될 수 있다.
- [15] 상기 콘택 전극과 상기 제 1 절연층 사이의 이격 거리는 $0.5\mu\text{m}$ 내지 $2\mu\text{m}$ 일 수 있다.
- [16] 상기 제 2 전극은 상기 캐핑층과 상기 제 2 반도체층 사이에 배치될 수 있다.
- [17] 상기 제 1 층은 크롬(Cr)을 포함할 수 있다.
- [18] 상기 캐핑층은 상기 제 1 층과 상기 제 1 층 상에 차례로 적층된 제 2 층과 제 3 층을 포함하며, 상기 제 3 층이 상기 제 1 층보다 상기 지지 기판과 인접할 수 있다.
- [19] 상기 제 2 층은 금(Au), 백금(Pt), 구리(Cu) 중 선택된 물질을 포함할 수 있다.
- [20] 상기 제 3 층은 티타늄(Ti)을 포함할 수 있다.
- [21] 상기 제 1 층과 상기 제 2 층 사이 및 상기 제 2 층과 상기 제 3 층 사이에 배리어층을 더 포함할 수 있다.
- [22] 상기 배리어층은 니켈(Ni)을 포함할 수 있다.
- [23] 상기 제 2 전극의 두께는 200nm 이하일 수 있다.
- [24] 상기 제 1 층의 두께는 1nm 내지 50nm 일 수 있다.
- [25] 상기 제 1 전극은 제 2 전극 및 상기 캐핑층과 전기적으로 절연될 수 있다.
- [26] 상기 지지 기판은 상기 제 2 전극과 전기적으로 연결될 수 있다.

발명의 효과

- [27] 본 발명의 발광 소자는 다음과 같은 효과가 있다.
- [28] 첫째, 본 발명 실시 예의 발광 소자는 제 2 전극이 ITO(indium tin oxide)를 포함하여 이루어져, 제 2 반도체층과 제 2 전극의 오믹 특성이 향상되고 동시에 구동 전압이 개선된다.
- [29] 둘째, 캐핑층은 제 2 전극을 사이에 둔 제 2 반도체층과 중첩되고 제 2

반도체층과 열 팽창 계수의 차이가 3이하인 물질을 포함할 수 있다. 이에, 캐핑층은 제 2 전극과 전기적으로 접촉됨으로써, 제 2 전극과 제 2 반도체층 계면의 박리 및 들뜸을 방지하여 발광 소자의 신뢰성이 향상된다.

도면의 간단한 설명

- [30] 도 1은 본 발명 실시 예의 발광 소자의 단면도이다.
- [31] 도 2a는 도 1의 A 영역의 확대도이다.
- [32] 도 2b는 도 1의 B 영역의 확대도이다.
- [33] 도 3a 내지 도 3d는 발광 소자의 들뜸이 발생한 사진이다.
- [34] 도 4는 본 발명 실시 예의 발광 소자의 평면 사진이다.

발명의 실시를 위한 형태

- [35] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시 예를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [36] 제 1, 제 2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제 2 구성요소는 제 1 구성요소로 명명될 수 있고, 유사하게 제 1 구성요소도 제 2 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.
- [37] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
- [38] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [39] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진

자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

- [40] 이하, 첨부된 도면을 참조하여 실시 예를 상세히 설명하되, 도면 부호에 관계없이 동일하거나 대응하는 구성 요소는 동일한 참조 번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [41] 이하, 첨부된 도면을 참조하여 실시 예의 발광 소자를 상세히 설명하면 다음과 같다.
- [42] 도 1은 본 발명 실시 예의 발광 소자의 단면도이다. 도 2a는 도 1의 A 영역의 확대도이며, 도 2b는 도 1의 B 영역의 확대도이다.
- [43] 도 2와 같이, 본 발명 실시 예의 발광 소자는 지지 기판(140) 상에 배치되고 제 1 반도체층(105a), 활성층(105b) 및 제 2 반도체층(105c)을 포함하는 발광 구조물(105), 제 1 반도체층(105a)과 전기적으로 연결되는 제 1 전극(120), 제 2 반도체층(105c)과 접촉하며 ITO(indium tin oxide)를 포함하는 제 2 전극(130), 및 제 1 전극(120)과 발광 구조물(105) 사이에서 제 2 전극(130)과 전기적으로 접속되는 캐핑층(135)을 포함하며, 캐핑층(135)은 제 2 전극(130)을 사이에 두고 제 2 반도체층(105c)과 마주보도록 배치되며 열 팽창 계수가 제 2 반도체층(105c)의 열 팽창 계수와 3 이하의 차를 갖는 물질을 포함하는 제 1 층(135a)을 포함한다.
- [44] 발광 구조물(105)은 발광 소자 상부에 배치되고, 제 1 반도체층(105a), 제 2 반도체층(105c) 및 제 1 반도체층(150a)과 제 2 반도체층(105c) 사이에 배치되는 활성층(105b)를 포함할 수 있다.
- [45] 제 1 반도체층(105a)은 -V족, -VI족 등의 화합물 반도체로 구현될 수 있으며, 제 1 반도체층(105a)에 제 1 도펀트가 도핑될 수 있다. 제 1 반도체층(105a)은 $\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질로 형성될 수 있으며, 이에 한정하지 않는다. 제 1 도펀트가 Si, Ge, Sn, Se, Te 등과 같은 n형 도펀트인 경우, 제 1 도펀트가 도핑된 제 1 반도체층(105a)은 n형 반도체층일 수 있다.
- [46] 본 발명 실시 예의 발광 소자가 자외선(UV), 심자외선(Deep UV) 또는 무분극 발광 소자일 경우, 제 1 반도체층(105a)은 InAlGa_N 및 AlGa_N 중 적어도 하나를 포함할 수 있다. 또한, 제 1 반도체층(105a)은 격자 차이를 줄이기 위해 알루미늄의 농도가 구배를 갖는 graded AlGa_N을 포함할 수 있다. 제 1 반도체층(105a)은 단층 또는 다층 구조일 수 있으며 도면에서는 단층 구조인 것을 도시하였다.
- [47] 활성층(105b)은 제 1 반도체층(105a)과 제 2 반도체층(105c) 사이에 배치될 수 있다. 활성층(105b)은 제 1 반도체층(105a)을 통해서 주입되는 전자(또는 정공)과 제 2 반도체층(105c)을 통해서 주입되는 정공(또는 전자)이 만나는 층이다.

활성층(105b)은 전자와 정공이 재결합함에 따라 낮은 에너지 준위로 천이하며, 그에 상응하는 파장을 가지는 빛을 생성할 수 있다.

- [48] 활성층(105b)은 단일 우물 구조, 다중 우물 구조, 단일 양자 우물 구조, 다중 양자 우물(Multi Quantum Well; MQW) 구조, 양자점 구조 또는 양자선 구조 중 어느 하나의 구조를 가질 수 있으며, 활성층(105b)의 구조는 이에 한정하지 않는다.
- [49] 활성층(105b)이 우물 구조로 형성되는 경우, 활성층(105b)의 우물층/장벽층은 InGa_N/Ga_N, InGa_N/InGa_N, Ga_N/AlGa_N, InAlGa_N/Ga_N, GaAs(InGaAs)/AlGaAs, GaP(InGaP)/AlGaP 중 어느 하나 이상의 패어 구조로 형성될 수 있으나 이에 한정되지 않는다. 우물층은 장벽층의 밴드 갭보다 작은 밴드 갭을 갖는 물질로 형성될 수 있다.
- [50] 제 2 반도체층(105c)은 -V족, -VI족 등의 화합물 반도체로 구현될 수 있으며, 제 2 반도체층(105c)에 제 2 도펀트가 도핑될 수 있다. 제 2 반도체층(105c)은 In_xAl_yGa_{1-x-y}N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질로 형성될 수 있다. 제 2 도펀트가 Mg, Zn, Ca, Sr, Ba 등과 같은 p형 도펀트인 경우, 제 1 도펀트가 도핑된 제 2 반도체층(105c)은 p형 반도체층일 수 있다.
- [51] 본 발명 실시 예의 발광 구조물(105)은 n형 반도체층인 제 1 반도체층(105a)과 p형 반도체층인 제 2 반도체층(105b)을 포함하여 이루어지거나, p형 반도체층인 제 1 반도체층(105a)과 n형 반도체층인 제 2 반도체층(105c)을 포함하여 이루어질 수 있다. 또한, 발광 구조물(105)은 제 2 반도체층(105c)과 활성층(105b) 사이에 n형 또는 p형 반도체층이 더 형성된 구조일 수 있다.
- [52] 즉, 본 발명 실시 예의 발광 구조물(105)은 np, pn, npn, pnp 접합 구조 중 적어도 어느 하나의 구조로 형성될 수 있는 것으로, 본 발명 실시 예의 발광 구조물(105)은 n형 반도체층과 p형 반도체층을 포함하는 다양한 구조일 수 있다.
- [53] 제 1 반도체층(105a) 및 제 2 반도체층(105c) 내의 불순물의 도핑 농도는 균일 또는 불균일하게 형성될 수 있다. 즉, 발광 구조물(105)의 도핑 구조는 다양하게 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [54] 발광 구조물(105)은 발광 소자에서 방출되는 광의 확산을 위해, 광이 방출되는 상부면에 러프니스 패턴이 형성될 수 있다. 러프니스 패턴은 도시된 바와 같이 균일하거나 불균일할 수 있으며, 발광 구조물(105)의 측면까지 형성되어도 무방하다.
- [55] 홈(105h)은 발광 구조물(105)의 하부면에 형성될 수 있다. 홈(105h)은 적어도 하나 이상일 수 있다. 홈(105h)은 제 1 반도체층(105a)과 제 1 전극(120)을 전기적으로 연결할 수 있다.
- [56] 홈(105h)은 발광 구조물(105)이 선택적으로 제거된 구조일 수 있다. 홈(105h)은 제 2 반도체층(105c) 및 활성층(105b)을 관통하고 제 1 반도체층(105a)의 일부 영역까지 식각되어 형성될 수 있다.
- [57] 홈(105h)은 제 1 반도체층(105a)을 노출시키는 바닥면(P1)과 제 1

- 반도체층(105a), 활성층(105b) 및 제 2 반도체층(105c)을 노출시키는 측면(P2)을 포함할 수 있다. 홈(105h)의 측면(P2)에는 절연층이 배치될 수 있다.
- [58] 절연층(110)은 제 1 전극(120)과 제 2 전극(130)을 전기적으로 분리할 수 있다. 그리고 절연층(110)은 제 1 절연층(110a), 제 2 절연층(110b)을 포함할 수 있다.
- [59] 제 1 절연층(110a)은 홈(105h)의 측면에 배치되고, 제 2 절연층(110b)은 제 1 절연층을 감싸며 제 2 절연층(110a)과 제 1 전극(120) 사이에 배치될 수 있다.
- [60] 제 1 절연층(110a)은 제 1 반도체층(105a), 활성층(105b) 및 제 2 반도체층(105c)를 일부 덮을 수 있다.
- [61] 제 1 절연층(110a)은 제 1 전극(120)이 활성층(105b) 및 제 2 반도체층(105c)과 직접 접촉되는 것을 방지하며, 동시에 제 2 전극(130)이 제 1 반도체층(105a) 및 활성층(105b)과 접촉되는 것을 방지할 수 있다.
- [62] 제 1 절연층(110a)은 SiO₂, Si_xO_y, Si₃N₄, Si_xN_y, SiO_xN_y, Al₂O₃, TiO₂, AlN 등을 포함할 수 있으며, 이에 한정하지 않는다.
- [63] 제 2 절연층(110b)은 캐핑층(135), 제 2 전극(130) 및 제 1 절연층(110a)를 감싸도록 배치될 수 있다. 제 2 절연층(110b)에 대해 캐핑층(135)에서 자세히 설명하겠다.
- [64] 그리고 제 1 전극(120)은 홈(105h)의 바닥면(P1)에서 노출된 제 1 반도체층(105a)과 직접 접촉할 수 있다. 제 1 전극(120)은 홈(105h)의 바닥면(P1)에 배치되는 콘택 전극(120a)과 홈(105h)마다 형성된 콘택 전극(120a)을 서로 연결시키는 본딩 전극(120b)을 포함할 수 있다. 그리고 콘택 전극(120a)은 홈(105h)의 바닥면(P1) 상에 배치될 수 있다. 이 때, 도 2a와 같이, 콘택 전극(120a)과 제 1 절연층(110a)은 콘택 전극(120a)과 제 1 절연층(110a)의 공정 마진을 고려하여 일정 간격 이격될 수 있다.
- [65] 일반적으로, 제 1 절연층(110a)을 형성한 후 제 1 절연층(110a)에 의해 노출된 제 1 반도체층(105a)과 전기적으로 접촉되는 콘택 전극(120a)을 형성한다. 그런데, 콘택 전극(120a)과 제 1 절연층(110a) 사이의 간격(d)이 충분하지 않은 경우, 콘택 전극(120a)의 공정 마진에 의해 콘택 전극(120a)이 제 1 절연층(110a)을 완전히 덮어, 콘택 전극(120a)의 일 끝단이 제 2 반도체층(105c)까지 연장될 수 있다.
- [66] 또한, 콘택 전극(120a)과 제 1 절연층(110a) 사이의 간격(d)이 충분하지 않은 경우, 후술할 제 2 절연층(110b) 등이 콘택 전극(120a)과 제 1 절연층(110a) 사이의 간격(d)에 충분히 채워지지 않아 제 1 반도체층(105a)이 노출될 수 있으며, 이에 따라 발광 소자의 저전류 불량 발생하여 신뢰성이 저하될 수 있다. 따라서, 콘택 전극(120a)과 제 1 절연층(110a)은 0.5 μ m 내지 2 μ m의 이격 거리(d)를 가질 수 있으며, 이에 한정하지 않는다.
- [67] 콘택 전극(120a)은 제 1 반도체층(105a)과 직접 접촉되는 것으로, 접촉 특성이 높은 물질로 형성될 수 있다. 예를 들어, 콘택 전극(120a)은 Au, Sn, In, Ag, Ni, Nb, Cu 등과 같은 금속 또는 이들의 합금으로 형성될 수 있으며, 이에 한정되지 않는다.

- [68] 그리고 본딩 전극(120b)은 캐핑층(135)과 지지 기판(140) 사이에 배치될 수 있다.
- [69] 또한, 본딩 전극(120b)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 및 이들의 선택적인 조합으로 이루어질 수 있다. 본딩 전극(120b)은 오믹 특성을 갖는 반사 전극 재료로 단층 또는 다층으로 형성될 수 있다. 본딩 전극(120b)은 상기 금속과 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IrOx, RuOx, RuOx/ITO, Ni/IrOx/Au, 및 Ni/IrOx/Au/ITO 중 적어도 하나를 포함할 수 있으며, 이러한 재료로 한정하지는 않는다.
- [70] 제 2 전극(130)은 제 2 반도체층(105c)과 직접 접촉되며, 제 2 전극(130)은 ITO(indium tin oxide)를 포함할 수 있다. 그런데, ITO를 포함하는 제 2 전극(130)은 두께가 너무 두꺼우면 활성층(105b)에서 방출되는 광을 흡수하여 발광 소자의 광 방출 성능을 저하시킬 수 있다. 따라서, 제 2 전극(130)의 두께(t_0)는 200nm 이하일 수 있으며, 이에 한정하지 않는다. 또한, 제 2 전극(130)은 제 1 절연층(110a)을 일부 덮을 수 있다.
- [71] 상기과 같은 본 발명의 실시 예에 따른 발광 소자는 제 2 전극(130)이 ITO를 포함하여, 제 2 반도체층(105c)과 제 2 전극(130)의 오믹 특성이 향상되어 접촉 특성이 향상될 수 있다. 이에 따라, 발광 소자의 구동 전압을 개선할 수 있다.
- [72] 캐핑층(135)은 지지 기판(140)과 발광 구조물(105) 사이에 배치될 수 있다. 또한, 캐핑층(135)과 지지 기판(105) 사이에 본딩 전극(120b)이 배치될 수 있다.
- [73] 캐핑층(135)은 제 2 전극(130)과 전기적으로 연결되어, 전극 패드(145)로부터 주입되는 캐리어의 확산 및 활성층(105b)에서 생성된 광을 반사할 수 있다.
- [74] 캐핑층(135)은 복수 개의 층이 적층된 구조일 수 있다. 도 2b와 같이, 캐핑층(135)은 제 1 층 내지 제 5 층이 차례로 적층된 구조일 수 있다.
- [75] 캐핑층(135)은 제 2 절연층(110b)을 통해 본딩 전극(120b)과 서로 절연될 수 있다.
- [76] 제 1 층(135a)은 제 2 전극(130)과 직접 접촉될 수 있다. 제 1 층(135a)은 제 2 전극(130)을 사이에 두고 제 2 반도체층(105c)과 마주보게 배치될 수 있다. 즉, 제 1 층(135a)은 캐핑층(135)의 복수 개의 층 중, 제 2 반도체층(105c)과 가장 인접하게 배치될 수 있다.
- [77] 이 때, 제 1 층(135a)과 제 2 반도체층(105c)의 열 팽창 계수 차이가 너무 큰 경우 제 2 절연층(110b)을 증착할 때, 제 2 전극(130)과 제 2 반도체층(105c)의 계면이 박리되는 문제가 발생한다. 즉, 제 2 전극(130)과 제 2 반도체층(105c) 계면의 박리에 의해 제 2 절연층(110b)의 표면이 들떠 발광 소자의 신뢰성이 저하될 수 있다.
- [78] 도 3a 내지 도 3d는 발광 소자의 들뜸이 발생한 사진이다.
- [79] 도 3a 및 도 3b와 같이, 제 1 층이 열 팽창 계수가 8.6인 티타늄(Ti)을 30nm 두께의

ITO를 포함하는 제 2 전극 상에 형성하는 경우, 열 팽창 계수 차이에 의해 제 2 전극과 제 2 반도체층 계면이 박리되어 제 2 절연층 표면이 들뜨 발광 소자의 신뢰성이 저하될 수 있다. 특히, 도 3c 및 도 3d와 같이, 제 2 전극이 10nm 두께의 ITO 및 60nm 두께의 ITO로 이루어진 경우에도 제 2 절연층 표면이 들뜨는 문제는 발생한다. 즉, 제 2 절연층 표면이 들뜨는 문제는 제 2 전극의 두께에 상관없이 발생하는 것을 확인할 수 있다.

- [80] 따라서, 본 발명 실시 예의 발광 소자는 제 1 층(135a)을 제 2 반도체층(105c)과 열 팽창 계수와 차이가 작은 물질로 형성할 수 있으며, 예를 들어, 제 1 층(135a)과 제 2 반도체층(105c)의 열 팽창 계수의 차이는 3 이하일 수 있다. 이와 같은 제 1 층(135a)은 하기 표 1에 도시된 금속에서 선택될 수 있다.

- [81] [표1]

금속	열 팽창 계수(10 ⁻⁶ /K)
텅스텐(tungsten; W)	4.3
비소(arsenic; As)	4.7
몰리브덴(molybdenum; Mo)	5
오스뮴(osmium; Os)	5
세륨(cerium; Ce)	5.2
지르코늄(zirconium; Zr)	5.7
하프늄(hafnium; Hf)	5.9
크롬(chromium; Cr)	6.2
이리듐(irisidium; Ir)	6.4
탄탈륨(tantalum; Ta)	6.5

- [82] 구체적으로, 제 2 반도체층(105c)의 베이스 물질인 GaN의 열 팽창 계수가 3.94이므로, 제 1 층(135a)은 제 2 반도체층(105c)과 열 팽창 계수 차이가 3 이하인 상기와 같은 물질로 이루어질 수 있다.

- [83] 도 4는 본 발명 실시 예의 발광 소자의 평면 사진이다.

- [84] 도 4와 같이, 제 1 층이 열 팽창 계수가 6.2인 크롬(Cr)을 포함하며, 제 2 전극이 30nm 두께의 ITO를 포함하는 경우, 제 2 절연층의 표면이 들뜨는 것이 방지된다. 즉, 크롬(Cr)을 포함하는 제 1 층(135a)이 제 2 전극(130)과 직접 접촉되고, 제 2 전극(130)을 사이에 두고 제 1 층(135a)과 제 2 반도체층(105c)이 마주보게 배치됨으로써, 열 팽창 계수 차이가 완화될 수 있다.

- [85] 따라서, 본 발명은 제 1 층(135a)과 제 2 전극(130)의 접착 특성보다 상대적으로 낮은 접착 특성을 갖는 제 2 전극(130)과 제 2 반도체층(105c) 계면의 박리를 방지하여 박리에 의해 제 2 절연층(110b) 표면이 들뜨는 것을 방지할 수 있다. 더욱이, 제 2 절연층(110b) 하부에 상술한 제 1 전극(120)의 본딩 전극(120b)이

형성되므로, 평탄한 제 2 절연층(110b) 표면에 본딩 전극(120b)이 균일하게 형성될 수 있다.

- [86] 한편, 일반적으로 열 팽창 계수가 낮은 물질은 탄성이 낮아 제 1 층(135a)의 두께가 너무 두꺼운 경우 외부의 충격으로 부서지기 쉽다. 또한, 제 1 층(135a)의 두께가 너무 얇으면 제 1 층(135a)과 캐핑층(135)의 오믹 접촉 특성이 저하될 수 있다. 따라서, 제 1 층(135a)의 두께는 1nm 내지 50nm 일 수 있으며, 이에 한정하지 않는다.
- [87] 제 3 층(135c)은 전극 패드(145)로부터 주입되는 캐리어를 확산시키기 위한 것으로, 전기 전도도가 높은 물질로 형성될 수 있으며, 예를 들어, Au, Pt, Cu 등에서 선택될 수 있다. 특히, 캐리어를 잘 확산시키기 위해 제 3 층(135c)은 충분한 두께를 가지며, 제 3 층(135c)의 두께는 200nm 내지 500nm일 수 있으며, 이에 한정하지 않는다.
- [88] 제 3 층(135c)의 상, 하부에 각각 배치되는 제 2 층(135b) 및 제 4 층(135d)은 제 3 층(135c)의 물질이 마이그레이션(migration)되는 것을 방지하기 위한 배리어(barrier)층으로 기능할 수 있다. 제 2 층(135b) 및 제 4 층(135d)은 Ni 등으로 형성될 수 있다. 제 2 층(135b) 및 제 4 층(135d)의 두께는 300nm 내지 700nm일 수 있다.
- [89] 그리고, 제 5 층(135e)은 제 2 절연층(110b)과 캐핑층(135)의 접촉 특성을 향상시키기 위한 것으로, Ti로 형성될 수 있으며, 이에 한정하지 않는다. 제 5 층(135e)의 두께는 300nm 내지 700nm일 수 있다.
- [90] 도면에서는 캐핑층(135)이 총 5개의 층을 포함하는 것을 도시하였으나, 캐핑층(135)은 제 1 층(135a), 제 3 층(135c) 및 제 5 층(135e)의 3 개의 층을 포함할 수도 있다.
- [91] 다시, 도 1을 참조하면, 캐핑층(135)을 감싸도록 제 2 절연층(110b)이 배치되며, 제 2 절연층(110b)은 상술한 바와 같이 제 5 층(135e)을 덮을 수 있다. 이 때, 제 2 절연층(110b)은 콘택 전극(120a)을 노출시켜, 콘택 전극(120a)과 본딩 전극(120b)이 전기적으로 연결될 수 있다. 그리고, 제 2 절연층(110b)을 통해 캐핑층(135)과 본딩 전극(120b)이 전기적으로 절연될 수 있다.
- [92] 그리고, 본딩 전극(120b)의 배면에는 지지 기판(140)이 배치될 수 있으며, 지지 기판(140)은 Au, Sn, In, Ag, Ni, Nb, Cu 등과 같은 금속 또는 이들의 합금을 포함하는 전도성 기판일 수 있다. 즉, 지지 기판(140)은 발광 구조물(105)을 지지함과 동시에 제 2 전극(120)과 전기적으로 연결되어 제 1 전극(120)의 전극 패드로 기능할 수 있다.
- [93] 상술한 바와 같이, 본 발명 실시 예의 발광 소자는 제 2 전극(130)이 ITO를 포함하여 이루어져, 제 2 반도체층(105c)과 제 2 전극(130)의 오믹 특성이 향상되고 동시에 구동 전압이 개선될 수 있다. 또한, 제 2 전극(130)을 사이에 두고 제 2 반도체층(105c)과 마주보게 배치된 캐핑층(135)이 제 2 반도체층(105c)과 열 팽창 계수 차이가 3 이하인 물질을 포함하며, 상기 물질을

통해 제 2 전극(130)과 캐핑층(135)이 전기적으로 접속됨으로써, 제 2 전극(130)과 제 2 반도체층(105c) 계면의 박리 및 들뜸을 방지하여 발광 소자의 신뢰성을 향상시킬 수 있다.

- [94] 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 실시 예의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

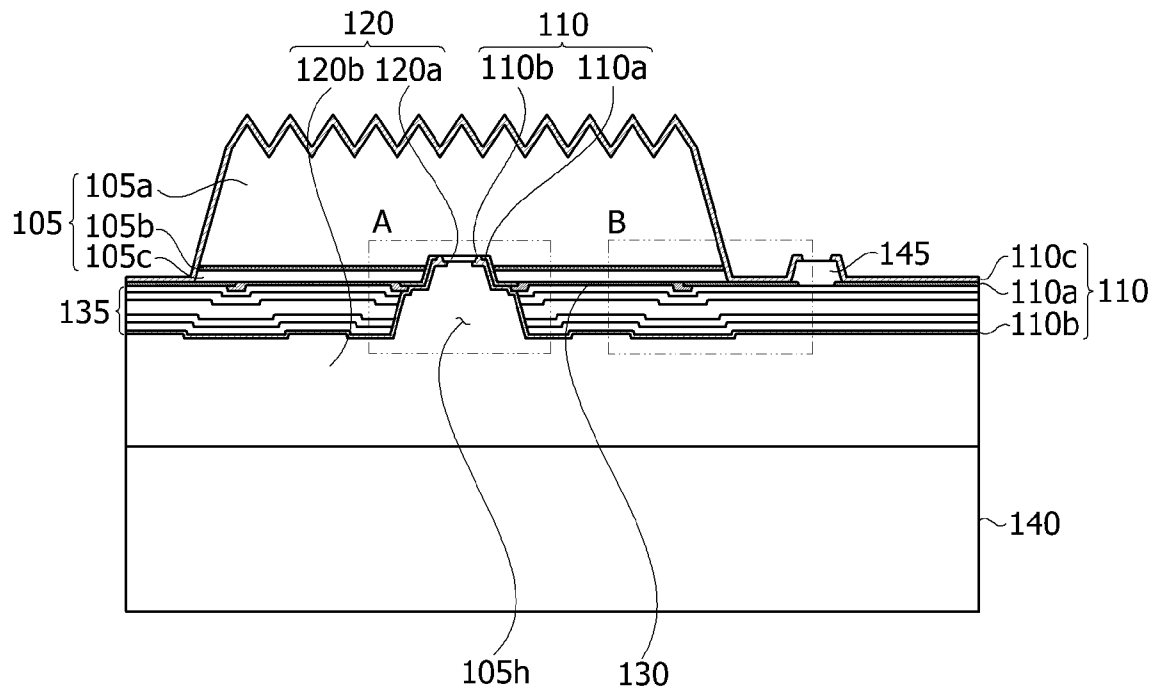
청구범위

- [청구항 1] 지지 기판;
 상기 지지 기판 상에 배치되며, 제 1 반도체층, 제 2 반도체층 및 상기 제 1 반도체층과 제 2 반도체층 사이에 배치되는 활성층을 포함하는 발광 구조물;
 상기 제 2 반도체층 및 상기 활성층을 관통하여 상기 제 1 반도체층을 노출시키는 적어도 하나의 홈;
 상기 발광 구조물과 상기 지지 기판 사이에 배치되고 상기 노출된 제 1 반도체층과 전기적으로 연결되는 제 1 전극;
 ITO를 포함하고, 상기 제 2 반도체층과 접촉하는 제 2 전극; 및
 상기 제 1 전극과 상기 발광 구조물 사이에서 상기 제 2 전극과 전기적으로 연결되는 캐핑층을 포함하며,
 상기 캐핑층은,
 상기 제 2 전극을 사이에 두고 상기 제 2 반도체층과 마주보게 배치되며 열 팽창 계수가 상기 제 2 반도체층의 열 팽창 계수와 3 이하의 차를 갖는 물질을 포함하는 제 1 층을 포함하는 발광 소자.
- [청구항 2] 제 1 항에 있어서,
 상기 홈은
 바닥면; 및
 상기 바닥면으로부터 연장되어 상기 제 1 반도체층, 활성층 및 제 2 반도체층을 노출시키는 측면을 포함하며,
 상기 제 1 전극과 상기 제 2 전극 사이에 배치되어 상기 제 1 전극과 상기 제 2 전극을 전기적으로 분리하는 절연층을 포함하는 발광 소자.
- [청구항 3] 제 2 항에 있어서,
 상기 절연층은,
 상기 측면에 배치되는 제 1 절연층; 및
 상기 제 1 절연층과 상기 제 1 전극 사이에 배치되는 제 2 절연층;을 포함하며,
 상기 제 2 절연층은 상기 캐핑층, 상기 제 2 전극 및 상기 제 1 절연층을 감싸며,
 상기 제 2 전극은 상기 제 1 절연층을 일부 덮는 발광 소자.
- [청구항 4] 제 3 항에 있어서,
 상기 제 1 전극은,
 상기 노출된 상기 제 1 반도체층과 접촉하는 콘택 전극 및
 상기 캐핑층과 상기 지지 기판 사이에 배치되어, 콘택 전극과 전기적으로 연결되는 본딩 전극을 포함하며,
 상기 콘택 전극은 상기 제 1 절연층과 $0.5\mu\text{m}$ 내지 $2\mu\text{m}$ 범위로 이격

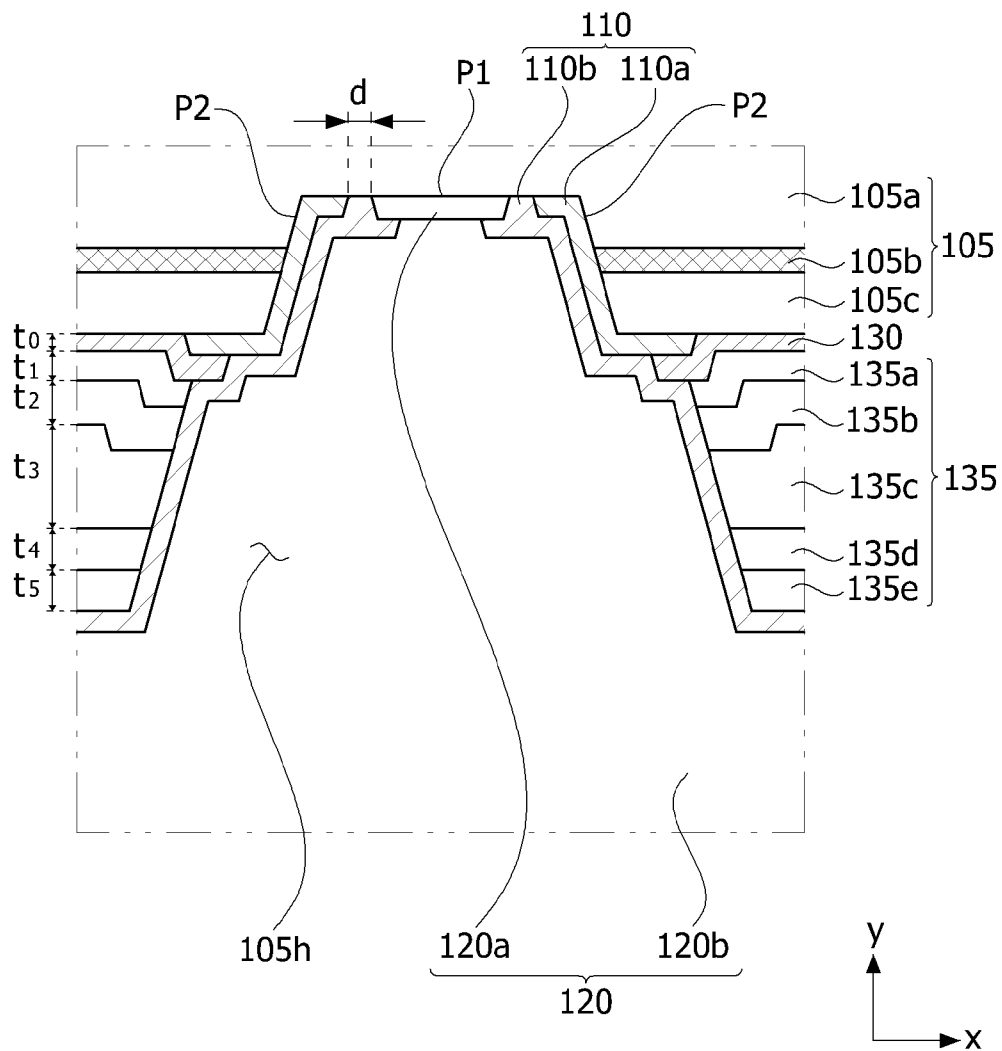
배치되는 발광 소자.

- [청구항 5] 제 1 항 및 제 4 항 중 어느 하나에 있어서,
상기 제 2 전극은 상기 캐핑층과 상기 제 2 반도체층 사이에 배치되며,
상기 제 1 층은 크롬(Cr)을 포함하며,
상기 캐핑층은 상기 제 1 층과 상기 제 1 층 상에 차례로 적층된 제 2 층과
제 3 층을 포함하며, 상기 제 3 층이 상기 제 1 층보다 상기 지지 기판과
인접하며,
상기 제 2 층은 금(Au), 백금(Pt), 구리(Cu) 중 선택된 물질을 포함하며,
상기 제 3 층은 티타늄(Ti)을 포함하는 발광 소자.
- [청구항 6] 제 5 항에 있어서,
상기 제 1 층과 상기 제 2 층 사이 및 상기 제 2 층과 상기 제 3 층 사이에
배리어층을 포함하며,
상기 배리어층은 니켈(Ni)을 포함하는 발광 소자.
- [청구항 7] 제 1 항 및 제 4 항 중 어느 하나에 있어서,
상기 제 2 전극의 두께는 200nm 이하이며,
상기 제 1 층의 두께는 1nm 내지 50nm이며,
상기 제 1 전극은 제 2 전극 및 상기 캐핑층과 전기적으로 절연되며,
상기 지지 기판은 상기 제 2 전극과 전기적으로 연결되는 발광 소자.

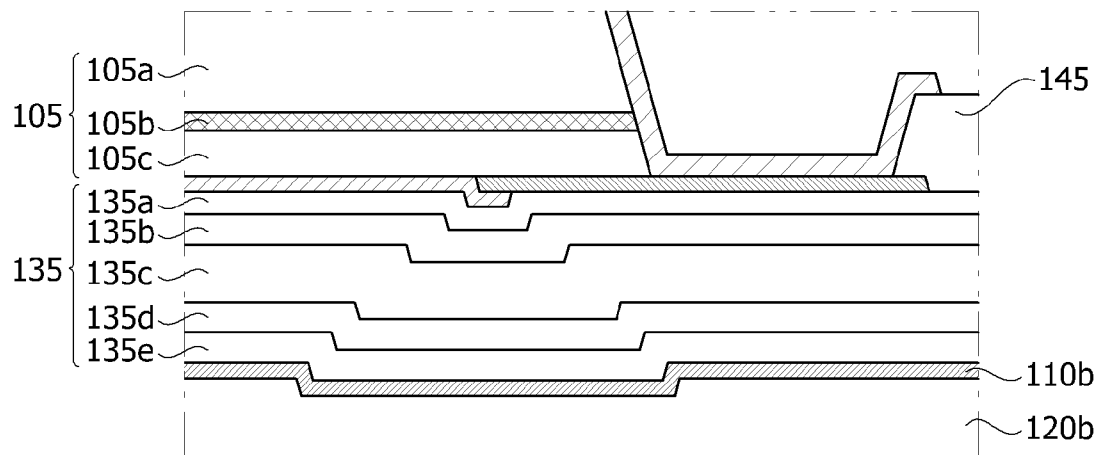
[도1]



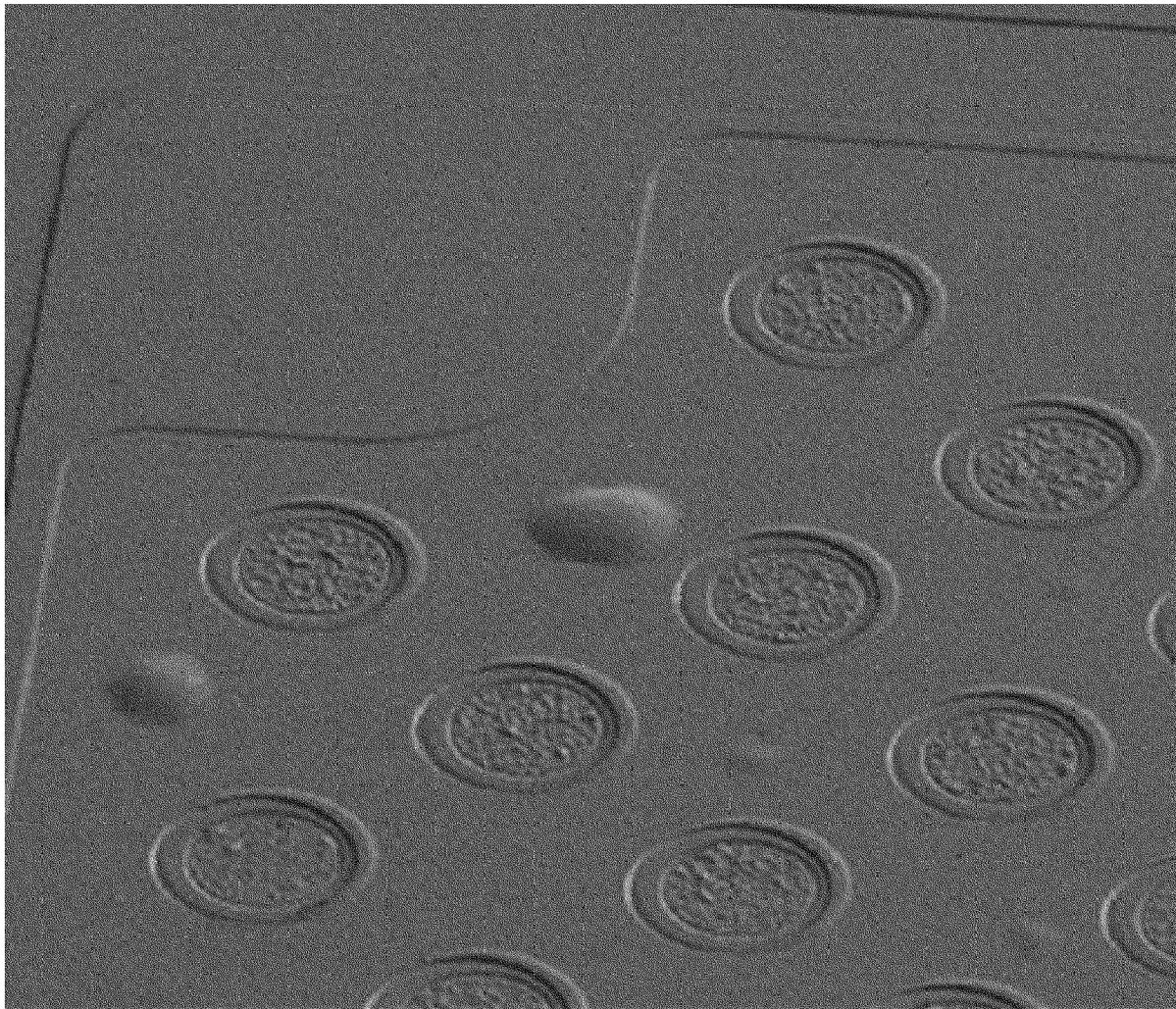
[도2a]



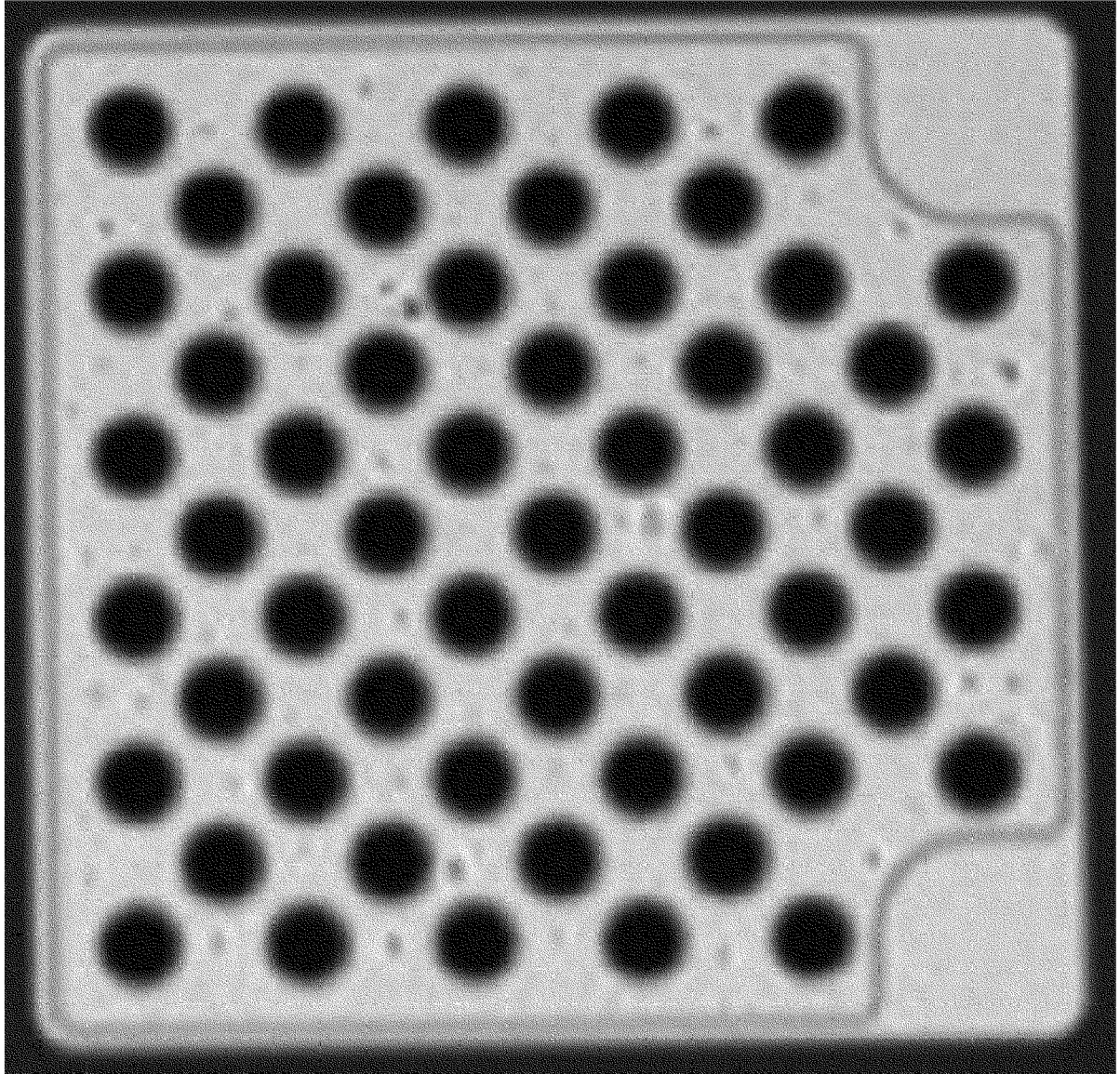
[도2b]



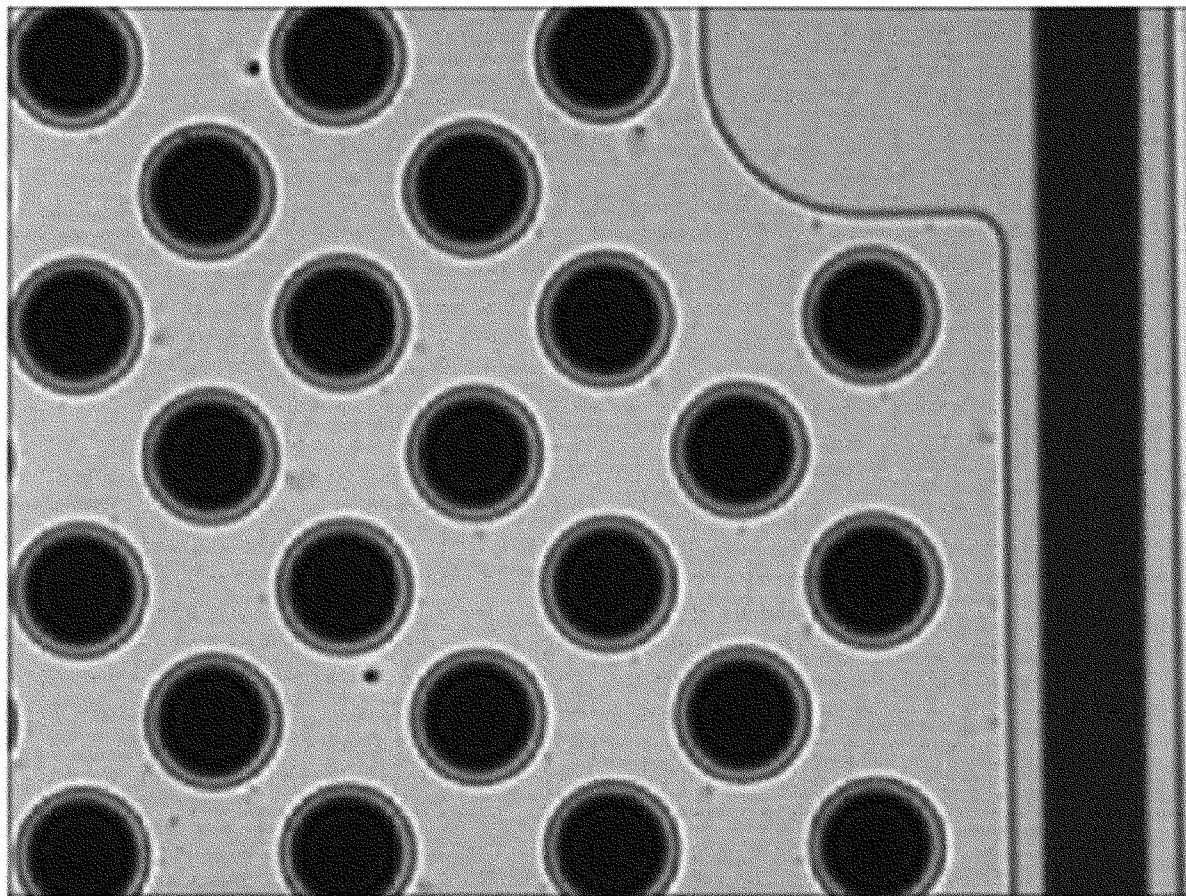
[도3a]



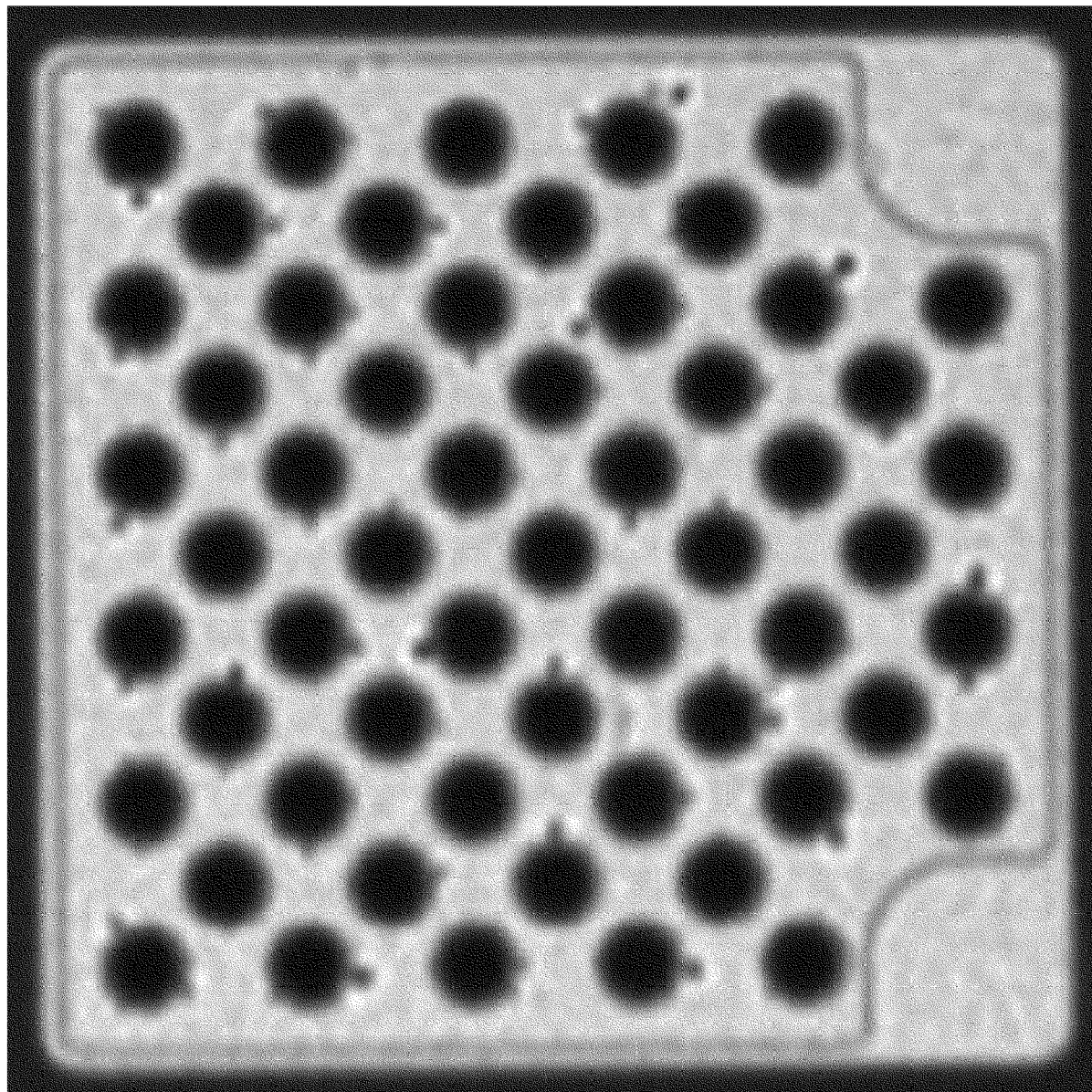
[도3b]



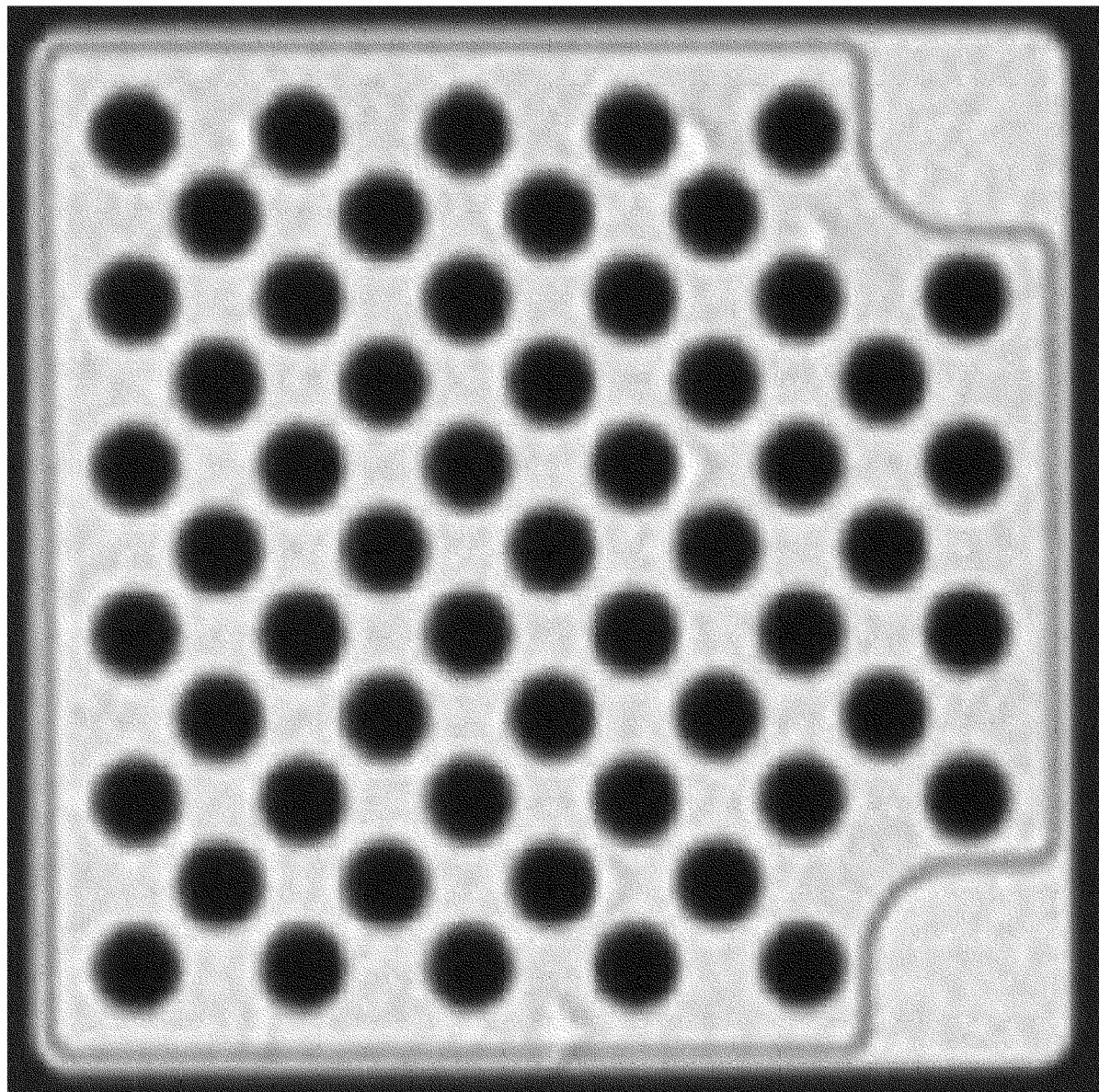
[도3c]



[도3d]



[도4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/002487

A. CLASSIFICATION OF SUBJECT MATTER

H01L 33/36(2010.01)i, H01L 33/40(2010.01)i, H01L 33/38(2010.01)i, H01L 33/62(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/36; H01L 33/38; H01L 33/40; H01L 33/48; H01L 33/62

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: semiconductor layer, active layer, capping layer, thermal expansion coefficient, electrode, insulating layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2014-0009649 A (LG INNOTEK CO., LTD.) 23 January 2014 See paragraphs [15], [22]-[37], [71]-[77], and figures 1, 10.	1-3,5-7
Y		4
Y	JP 2014-195055 A (NICHIA CHEM. IND. LTD.) 09 October 2014 See paragraph [30], claim 1, and figure 2.	4
A	EP 2728631 A1 (ILJIN LED CO., LTD.) 07 May 2014 See paragraphs [27]-[46], and figure 3.	1-7
A	KR 10-2013-0112330 A (LG INNOTEK CO., LTD.) 14 October 2013 See paragraphs [74]-[75], claim 1, and figure 11.	1-7
A	JP 2015-177023 A (STANLEY ELECTRIC CO., LTD.) 05 October 2015 See paragraphs [12]-[25], and figure 2.	1-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

29 MAY 2017 (29.05.2017)

Date of mailing of the international search report

29 MAY 2017 (29.05.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/002487

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2014-0009649 A	23/01/2014	NONE	
JP 2014-195055 A	09/10/2014	CN 104022202 A DE 102014102571 A1 EP 2772949 A2 EP 2772949 A3 US 2014-0239341 A1 US 2015-0372196 A1 US 9159879 B2 US 9293655 B2	03/09/2014 28/08/2014 03/09/2014 25/05/2016 28/08/2014 24/12/2015 13/10/2015 22/03/2016
EP 2728631 A1	07/05/2014	KR 10-1565122 B1 KR 10-2014-0057811 A	02/11/2015 14/05/2014
KR 10-2013-0112330 A	14/10/2013	NONE	
JP 2015-177023 A	05/10/2015	NONE	

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 33/36(2010.01)i, H01L 33/40(2010.01)i, H01L 33/38(2010.01)i, H01L 33/62(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 33/36; H01L 33/38; H01L 33/40; H01L 33/48; H01L 33/62

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 반도체층, 활성층, 캐핑층, 열 팽창 계수, 전극, 절연층

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2014-0009649 A (엘지이노텍 주식회사) 2014.01.23 단락 15, 22-37, 71-77, 및 도면 1, 10 참조.	1-3, 5-7
Y		4
Y	JP 2014-195055 A (NICHIA CHEM. IND. LTD.) 2014.10.09 단락 30, 청구항 1, 및 도면 2 참조.	4
A	EP 2728631 A1 (ILJIN LED CO., LTD.) 2014.05.07 단락 27-46, 및 도면 3 참조.	1-7
A	KR 10-2013-0112330 A (엘지이노텍 주식회사) 2013.10.14 단락 74-75, 청구항 1, 및 도면 11 참조.	1-7
A	JP 2015-177023 A (STANLEY ELECTRIC CO., LTD.) 2015.10.05 단락 12-25, 및 도면 2 참조.	1-7

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 05월 29일 (29.05.2017)

국제조사보고서 발송일

2017년 05월 29일 (29.05.2017)

ISA/KR의 명칭 및 우편주소

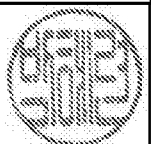
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

박혜련

전화번호 +82-42-481-3463



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2014-0009649 A	2014/01/23	없음	
JP 2014-195055 A	2014/10/09	CN 104022202 A DE 102014102571 A1 EP 2772949 A2 EP 2772949 A3 US 2014-0239341 A1 US 2015-0372196 A1 US 9159879 B2 US 9293655 B2	2014/09/03 2014/08/28 2014/09/03 2016/05/25 2014/08/28 2015/12/24 2015/10/13 2016/03/22
EP 2728631 A1	2014/05/07	KR 10-1565122 B1 KR 10-2014-0057811 A	2015/11/02 2014/05/14
KR 10-2013-0112330 A	2013/10/14	없음	
JP 2015-177023 A	2015/10/05	없음	