

1. 一种集成电路器件,包括:
鳍型有源区,从基板突出;
多个衬层,顺序地覆盖所述鳍型有源区的下侧壁;
器件隔离层,覆盖所述鳍型有源区的下侧壁,其中所述多个衬层在所述器件隔离层和所述鳍型有源区之间;以及
栅绝缘层,在所述鳍型有源区的沟道区、所述多个衬层和所述器件隔离层上延伸,并包括位于所述栅绝缘层的覆盖所述多个衬层的部分上的突起。
2. 如权利要求1所述的集成电路器件:
其中所述多个衬层包括包含彼此不同的材料的绝缘衬层和应力衬层;
其中所述绝缘衬层接触所述鳍型有源区的下侧壁并具有在自所述基板的第一高度处的第一上表面;并且
其中所述应力衬层与所述鳍型有源区的下侧壁间隔开并且所述绝缘衬层在所述应力衬层和所述鳍型有源区的下侧壁之间,并且所述应力衬层具有在自所述基板的第二高度处的第二上表面,其中所述第二高度比所述第一高度高。
3. 如权利要求2所述的集成电路器件,其中所述应力衬层的所述第二上表面面对所述突起。
4. 如权利要求2所述的集成电路器件:
其中所述基板包括限定所述鳍型有源区的沟槽;
其中所述绝缘衬层包括在所述沟槽中在所述鳍型有源区和所述应力衬层之间的侧壁延伸部以及一体地连接到所述侧壁延伸部并在所述沟槽的底表面和所述应力衬层之间的底部延伸部;
其中所述侧壁延伸部具有第一厚度,所述底部延伸部具有第二厚度,其中所述第一厚度大于所述第二厚度。
5. 如权利要求2所述的集成电路器件:
其中所述器件隔离层包括在自所述基板的第三高度处的上表面;并且
其中所述第三高度低于所述第一高度。
6. 如权利要求1所述的集成电路器件,其中所述器件隔离层包括背对所述基板的凹入的上表面。
7. 如权利要求1所述的集成电路器件:
其中所述器件隔离层包括从所述多个衬层延伸到所述器件隔离层的所述上表面中的中心部分的倾斜面;并且
其中所述基板和所述倾斜面之间的垂直距离朝向所述上表面中的所述中心部分减小。
8. 如权利要求1所述的集成电路器件,其中所述突起围绕所述多个衬层的端部。
9. 如权利要求1所述的集成电路器件,还包括覆盖所述栅绝缘层和所述鳍型有源区的所述沟道区的栅线,其中所述栅线包括接触所述突起的凹入的表面部分。
10. 一种集成电路器件,包括:
一对鳍型有源区,从基板突出并在第一方向上平行于彼此延伸;
多个衬层,顺序地覆盖所述一对鳍型有源区的下侧壁;
器件隔离层,覆盖所述一对鳍型有源区的所述下侧壁,所述多个衬层在所述器件隔离

层和所述一对鳍型有源区的所述下侧壁之间；

栅绝缘层,延伸以覆盖所述一对鳍型有源区的沟道区、所述多个衬层和所述器件隔离层,并包括位于所述栅绝缘层的覆盖所述多个衬层的部分上的多个突起;以及

栅线,在所述栅绝缘层上,所述栅线覆盖所述一对鳍型有源区的所述沟道区、所述多个衬层和所述器件隔离层,并在交叉所述第一方向的第二方向上延伸。

11.如权利要求10所述的集成电路器件:

其中所述多个衬层包括包含彼此不同的材料的绝缘衬层和应力衬层;

其中所述绝缘衬层接触所述一对鳍型有源区的每个的下侧壁并具有在自所述基板的第一高度处的第一上表面;并且

其中所述应力衬层与所述一对鳍型有源区的每个的下侧壁间隔开并且所述绝缘衬层在所述应力衬层与每个所述鳍型有源区的下侧壁之间,并且所述应力衬层具有在自所述基板的第二高度处的第二上表面,其中所述第二高度比所述第一高度高,所述应力衬层的所述第二上表面面对所述多个突起中的一个。

12.如权利要求10所述的集成电路器件:

其中所述基板包括位于所述一对鳍型有源区之间并具有在第一水平处的第一底表面的浅沟槽以及邻近所述一对鳍型有源区并具有在低于所述第一水平的第二水平处的第二底表面的深沟槽;

其中所述多个衬层包括接触从所述一对鳍型有源区当中选择的鳍型有源区的下侧壁的绝缘衬层以及与所述一对鳍型有源区间隔开的应力衬层,其中所述绝缘衬层在所述深沟槽中在所述应力衬层和所述一对鳍型有源区之间;

其中所述绝缘衬层包括在所述选择的鳍型有源区和所述应力衬层之间的侧壁延伸部以及一体地连接到所述侧壁延伸部并在所述深沟槽的第二底表面和所述应力衬层之间的底部延伸部;并且

其中所述侧壁延伸部具有第一厚度并且所述底部延伸部具有第二厚度,其中所述第一厚度大于所述第二厚度。

13.如权利要求12所述的集成电路器件:

其中所述器件隔离层包括在所述浅沟槽中的第一器件隔离层和在所述深沟槽中的第二器件隔离层;并且

其中所述第一器件隔离层和所述第二器件隔离层中的至少一个具有在比所述绝缘衬层的所述第一上表面和所述应力衬层的所述第二上表面的水平低的水平处的上表面。

14.如权利要求12所述的集成电路器件:

其中所述器件隔离层包括在所述浅沟槽中的第一器件隔离层和在所述深沟槽中的第二器件隔离层;并且

其中所述第一器件隔离层和所述第二器件隔离层中的至少一个包括具有远离所述多个衬层而降低的水平的凹入的上表面。

15.如权利要求12所述的集成电路器件:

其中所述器件隔离层包括在所述浅沟槽中的第一器件隔离层和在所述深沟槽中的第二器件隔离层;并且

其中所述第一器件隔离层和所述第二器件隔离层中的至少一个包括从所述多个衬层

延伸到所述器件隔离层的上表面的中心部分的倾斜面。

16. 如权利要求10所述的集成电路器件：

其中所述基板包括位于所述一对鳍型有源区之间并具有在第一水平处的第一底表面的浅沟槽以及邻近所述一对鳍型有源区并具有在比所述第一水平低的第二水平处的第二底表面的深沟槽；

其中所述多个衬层包括在所述浅沟槽和所述深沟槽中的接触所述一对鳍型有源区的每个的下侧壁的绝缘衬层以及在所述浅沟槽和所述深沟槽中的与所述一对鳍型有源区间隔开的应力衬层，其中所述绝缘衬层在所述应力衬层与所述一对鳍型有源区的每个之间；并且

其中所述绝缘衬层的覆盖所述浅沟槽的底表面的第一部分比所述绝缘衬层的覆盖所述深沟槽的底表面的第二部分更厚。

17. 一种集成电路器件，包括：

第一鳍型有源区，从基板的第一区域突出并包括第一导电类型的第一沟道区；

多个衬层，在所述第一区域上覆盖所述第一鳍型有源区的下侧壁；

第一器件隔离层，覆盖所述第一鳍型有源区的所述下侧壁，其中所述多个衬层在所述第一区域上在所述第一器件隔离层与所述第一鳍型有源区的下侧壁之间；

第一栅绝缘层，在所述第一区域上，所述第一栅绝缘层延伸以覆盖所述第一鳍型有源区的所述第一沟道区、所述多个衬层和所述第一器件隔离层，并包括位于所述第一栅绝缘层的覆盖所述多个衬层的部分上的第一突起；

第二鳍型有源区，从所述基板的第二区域突出并包括第二导电类型的第二沟道区；

第二器件隔离层，在所述第二区域上覆盖所述第二鳍型有源区的下侧壁；以及

第二栅绝缘层，在所述第二区域上，所述第二栅绝缘层延伸以覆盖所述第二沟道区和所述第二器件隔离层。

18. 如权利要求17所述的集成电路器件，其中所述第一栅绝缘层在所述第一鳍型有源区上具有第一厚度，所述第二栅绝缘层在所述第二鳍型有源区上具有第二厚度，其中所述第二厚度小于所述第一厚度。

19. 如权利要求17所述的集成电路器件，其中所述第一栅绝缘层和所述第二栅绝缘层包括相同的材料。

20. 如权利要求17所述的集成电路器件：

其中所述多个衬层包括在所述第一区域上的包含彼此不同的材料的第一绝缘衬层和第一应力衬层；

其中所述第一绝缘衬层接触所述第一鳍型有源区的所述下侧壁并具有在自所述基板的第一高度处的第一上表面；并且

其中所述第一应力衬层与所述第一鳍型有源区的所述下侧壁间隔开并具有在自所述基板的第二高度处的第二上表面，其中所述第一绝缘层在所述第一应力衬层和所述第一鳍型有源区的下侧壁之间，并且所述第二高度比所述第一高度高。

21. 如权利要求20所述的集成电路器件：

其中所述第一器件隔离层具有在自所述基板的第三高度处的上表面；并且

其中所述第三高度低于所述第一高度。

22. 如权利要求20所述的集成电路器件：

其中所述基板包括在所述第一区域中限定所述第一鳍型有源区的第一沟槽；

其中所述第一绝缘衬层包括在所述第一沟槽中的在所述第一鳍型有源区和所述第一应力衬层之间的侧壁延伸部以及一体地连接到所述侧壁延伸部并在所述第一沟槽的底表面和所述第一应力衬层之间的底部延伸部；并且其中所述第一绝缘衬层的所述侧壁延伸部具有第一厚度并且所述第一绝缘衬层的所述底部延伸部具有第二厚度，其中所述第一厚度大于所述第二厚度。

23. 一种集成电路器件，包括：

鳍型有源区，从基板突出；

第一衬层，覆盖所述鳍型有源区的第一下侧壁；

第一器件隔离层，覆盖所述鳍型有源区的所述第一下侧壁，其中所述第一衬层在所述第一器件隔离层与所述鳍型有源区的所述第一下侧壁之间；

第二衬层，覆盖所述鳍型有源区的第二下侧壁，其中所述第二下侧壁与所述第一下侧壁相反；

第二器件隔离层，覆盖所述鳍型有源区的所述第二下侧壁，其中所述第二衬层在所述第二器件隔离层与所述鳍型有源区的所述第二下侧壁之间；以及

第一栅绝缘层，延伸以覆盖所述鳍型有源区、所述第一衬层和所述第一器件隔离层，并包括位于所述第一栅绝缘层的覆盖所述第一衬层的部分上的第一突起。

24. 如权利要求23所述的集成电路器件，其中所述鳍型有源区具有在较短轴方向上的相对侧壁的截面轮廓，其中所述截面轮廓具有不对称的形状。

25. 如权利要求23所述的集成电路器件，还包括第二栅绝缘层，所述第二栅绝缘层延伸以覆盖所述鳍型有源区、所述第二衬层和所述第二器件隔离层，并一体地连接到所述第一栅绝缘层。

具有衬层的鳍型场效应晶体管

技术领域

[0001] 本发明构思涉及集成电路器件,更具体地,涉及包括鳍型场效应晶体管(FET)的集成电路器件。

背景技术

[0002] 随着电子技术已经被发展,半导体器件已经快速地被制作得更小。由于期望半导体器件具有操作准确性和高运行速度两者,所以正在发展用于优化半导体中包括的晶体管的结构的方法。

发明内容

[0003] 本发明构思的一些实施方式提供具有能够改善包括在高度集成的半导体器件中的高度集成的鳍型场效应晶体管(FET)的性的结构的集成电路器件。

[0004] 本发明构思的另一些实施方式提供一种集成电路器件,该集成电路器件包括:鳍型有源区,从基板突出;多个衬层,顺序地覆盖鳍型有源区的下侧壁;器件隔离层,覆盖鳍型有源区的下侧壁,其中多个衬层在器件隔离层和鳍型有源区之间;以及栅绝缘层,延伸以覆盖鳍型有源区的沟道区、多个衬层和器件隔离层,并包括位于栅绝缘层的覆盖多个衬层的部分上的突起。

[0005] 在另一些实施方式中,多个衬层的每个可以包括包含彼此不同的材料的绝缘衬层和应力衬层,绝缘衬层可以接触鳍型有源区的下侧壁并可以具有在自基板的第一高度处的第一上表面,应力衬层可以与鳍型有源区的下侧壁间隔开并且绝缘衬层在应力衬层和鳍型有源区的下侧壁之间,并且应力衬层可以具有在自基板的第二高度处的第二上表面,其中第二高度比第一高度高。应力衬层的第二上表面可以面对所述突起。基板可以包括限定鳍型有源区的沟槽,绝缘衬层可以包括在沟槽中在鳍型有源区和应力衬层之间的侧壁延伸部以及一体地连接到侧壁延伸部并在沟槽的底表面和应力衬层之间的底部延伸部,侧壁延伸部可以具有第一厚度,底部延伸部可以具有第二厚度,其中第一厚度大于第二厚度。器件隔离层可以包括在自基板的第三高度处的上表面,其中第三高度低于第一高度。

[0006] 在一些实施方式中,器件隔离层可以包括背对基板的凹入的上表面。

[0007] 在另一些实施方式中,器件隔离层可以包括从多个衬层延伸到器件隔离层的上表面中的中心部分的倾斜面,基板和倾斜面之间的垂直距离朝向上表面中的中心部分减小。

[0008] 在另一些实施方式中,所述突起可以围绕多个衬层的端部。

[0009] 在一些实施方式中,集成电路器件还可以包括覆盖栅绝缘层和鳍型有源区的沟道区的栅线,其中栅线可以包括接触所述突起的凹入的表面部分。

[0010] 本发明构思的另一些实施方式提供一种集成电路器件,该集成电路器件包括:一对鳍型有源区,从基板突出并在第一方向上平行于彼此延伸;多个衬层,顺序地覆盖该对鳍型有源区的下侧壁;器件隔离层,覆盖该对鳍型有源区的下侧壁,多个衬层在器件隔离层与该对鳍型有源区的下侧壁之间;栅绝缘层,延伸以覆盖该对鳍型有源区的沟道区、多个衬层

和器件隔离层,并包括位于栅绝缘层的覆盖多个衬层的部分上的多个突起;以及栅线,形成在栅绝缘层上,栅线覆盖该对鳍型有源区的沟道区、多个衬层和器件隔离层,并在交叉第一方向的第二方向上延伸。

[0011] 在另一些实施方式中,多个衬层可以包括包含彼此不同的材料的绝缘衬层和应力衬层,绝缘衬层可以接触该对鳍型有源区的每个的下侧壁并可以具有在自基板的第一高度处的第一上表面,应力衬层可以与该对鳍型有源区的每个的下侧壁间隔开并且绝缘衬层在应力衬层和每个鳍型有源区的下侧壁之间,并且应力衬层可以具有在自基板的第二高度处的第二上表面,其中第二高度比第一高度高,应力衬层的第二上表面可以面对多个突起中的一个。

[0012] 在一些实施方式中,基板可以包括形成在该对鳍型有源区之间并具有在第一水平处的第一底表面的浅沟槽以及邻近该对鳍型有源区形成并具有在低于第一水平的第二水平处的第二底表面的深沟槽,多个衬层可以包括接触从该对鳍型有源区当中选择的鳍型有源区的下侧壁的绝缘衬层以及与该对鳍型有源区间隔开的应力衬层,其中绝缘衬层在深沟槽中设置在应力衬层和该对鳍型有源区之间,绝缘衬层可以包括设置在所选择的鳍型有源区和应力衬层之间的侧壁延伸部和一体地连接到侧壁延伸部并设置在深沟槽的第二底表面和应力衬层之间的底部延伸部,侧壁延伸部可以具有第一厚度并且底部延伸部具有第二厚度,其中第一厚度大于第二厚度。器件隔离层可以包括在浅沟槽中的第一器件隔离层和在深沟槽中的第二器件隔离层,第一器件隔离层和第二器件隔离层中的至少一个可以具有在比绝缘衬层的第一上表面和应力衬层的第二上表面的水平低的水平处的上表面。器件隔离层可以包括在浅沟槽中的第一器件隔离层和在深沟槽中的第二器件隔离层,第一器件隔离层和第二器件隔离层中的至少一个可以包括具有远离多个衬层而降低的水平的凹入的上表面。器件隔离层可以包括在浅沟槽中的第一器件隔离层和在深沟槽中的第二器件隔离层,第一器件隔离层和第二器件隔离层中的至少一个可以包括从多个衬层延伸到器件隔离层的上表面的中心部分的倾斜面。

[0013] 在另一些实施方式中,基板可以包括形成在该对鳍型有源区之间并具有在第一水平处的第一底表面的浅沟槽以及邻近该对鳍型有源区形成并具有在低于第一水平的第二水平处的第二底表面的深沟槽,多个衬层可以包括在浅沟槽和深沟槽中接触该对鳍型有源区的每个的下侧壁的绝缘衬层以及在浅沟槽和深沟槽中与一对鳍型有源区间隔开的应力衬层,其中绝缘衬层在应力衬层和一对鳍型有源区的每个之间,绝缘衬层的覆盖浅沟槽的底表面的第一部分可以比绝缘衬层的覆盖深沟槽的底表面的第二部分更厚。

[0014] 本发明构思的另一些实施方式提供一种集成电路器件,该集成电路器件包括:第一鳍型有源区,从基板的第一区域突出并包括第一导电类型的第一沟道区;多个衬层,在第一区域上覆盖第一鳍型有源区的下侧壁;第一器件隔离层,覆盖第一鳍型有源区的下侧壁,其中多个衬层在第一区域上设置在第一器件隔离层与第一鳍型有源区的下侧壁之间;第一栅绝缘层,在第一区域上,第一栅绝缘层延伸以覆盖第一鳍型有源区的第一沟道区、多个衬层和第一器件隔离层,并包括位于第一栅绝缘层的覆盖多个衬层的部分上的第一突起;第二鳍型有源区,从基板的第二区域突出并包括第二导电类型的第二沟道区;第二器件隔离层,在第二区域上覆盖第二鳍型有源区的下侧壁;以及第二栅绝缘层,在第二区域上,第二栅绝缘层延伸以覆盖第二沟道区和第二器件隔离层。

[0015] 在一些实施方式中,第一栅绝缘层可以在第一鳍型有源区上具有第一厚度,第二栅绝缘层可以在第二鳍型有源区上具有第二厚度,其中第二厚度小于第一厚度。

[0016] 在另一些实施方式中,第一栅绝缘层和第二栅绝缘层可以包括相同的材料。

[0017] 在另一些实施方式中,多个衬层可以包括在第一区域上的包含彼此不同的材料的第一绝缘衬层和第一应力衬层,第一绝缘衬层可以接触第一鳍型有源区的下侧壁并可以具有在自基板的第一高度处的第一上表面,第一应力衬层可以与第一鳍型有源区的下侧壁间隔开并可以具有在自基板的第二高度处的第二上表面,其中第一绝缘层在第一应力衬层与第一鳍型有源区的下侧壁之间,并且第二高度比第一高度高。第一器件隔离层可以具有在自基板的第三高度处的上表面,其中第三高度低于第一高度。

[0018] 在一些实施方式中,基板可以包括在第一区域中限定第一鳍型有源区的第一沟槽,第一绝缘衬层可以包括在第一沟槽中设置在第一鳍型有源区和第一应力衬层之间的侧壁延伸部以及一体地连接到侧壁延伸部并设置在第一沟槽的底表面和第一应力衬层之间的底部延伸部,第一绝缘衬层的侧壁延伸部可以具有第一厚度并且第一绝缘衬层的底部延伸部具有第二厚度,其中第一厚度大于第二厚度。

[0019] 在另一些实施方式中,集成电路器件还可以包括覆盖第二鳍型有源区的下侧壁的第二绝缘衬层,其中第二绝缘衬层在第二区域上的第二鳍型有源区和第二器件隔离层之间。基板可以包括在第二区域中限定第二鳍型有源区的第二沟槽,第二绝缘衬层可以包括在第二沟槽中设置在第二鳍型有源区和第二器件隔离层之间的侧壁延伸部以及一体地连接到侧壁延伸部并设置在第二沟槽的底表面和第二器件隔离层之间的底部延伸部,第二绝缘衬层的侧壁延伸部可以具有第三厚度并且第二绝缘衬层的底部延伸部可以具有第四厚度,其中第三厚度可以大于第四厚度。第二绝缘衬层和第二器件隔离层可以彼此接触。

[0020] 在另一些实施方式中,集成电路器件还可以包括在第二区域上设置在第二绝缘衬层和第二器件隔离层之间的第二应力衬层,其中第二绝缘衬层可以具有在自基板的第四高度处的第四上表面,第二应力衬层可以具有在自基板的第五高度处的第五上表面,其中第五高度可以比第四高度高,第四上表面和第五上表面之间的高度差可以小于第一上表面和第二上表面之间的高度差。第二栅绝缘层可以包括位于第二栅绝缘层的覆盖第二应力衬层的部分上的第二突起。

[0021] 在一些实施方式中,第一器件隔离层可以包括第一倾斜面和具有凹入的中心部分的第一上表面,其中第一倾斜面可以具有从第一鳍型有源区处的边缘朝向上表面的中心部分减小的水平,第二器件隔离层可以包括第二倾斜面和具有凹入的中心部分的第二上表面,其中第二倾斜面可以具有从第二鳍型有源区处的边缘朝向上表面的中心部分减小的水平。

[0022] 在另一些实施方式中,第一鳍型有源区的第一沟道区可以具有在第一鳍型有源区的较短的宽度方向上的第一宽度,第二鳍型有源区的第二沟道区可以具有在第二鳍型有源区的较短的宽度方向上的第二宽度,其中第二宽度可以小于第一宽度。

[0023] 本发明构思的另一些实施方式提供一种集成电路器件,该集成电路器件包括:鳍型有源区,从基板突出;第一衬层,覆盖鳍型有源区的第一下侧壁;第一器件隔离层,覆盖鳍型有源区的第一下侧壁,其中第一衬层设置在第一器件隔离层和鳍型有源区的第一下侧壁之间;第二衬层,覆盖鳍型有源区的第二下侧壁,其中第二下侧壁与第一下侧壁相反;第二

器件隔离层,覆盖鳍型有源区的第二下侧壁,其中第二衬层设置在第二器件隔离层与鳍型有源区的第二下侧壁之间;以及第一栅绝缘层,延伸以覆盖鳍型有源区、第一衬层和第一器件隔离层,并包括位于第一栅绝缘层的覆盖第一衬层的部分上的第一突起。

[0024] 在一些实施方式中,鳍型有源区可以具有在较短的轴方向上的相对侧壁的截面轮廓,其中该截面轮廓可以具有不对称的形状。

[0025] 在另一些实施方式中,集成电路器件还可以包括第二栅绝缘层,该第二栅绝缘层延伸以覆盖鳍型有源区、第二衬层和第二器件隔离层,并一体地连接到第一栅绝缘层。第一栅绝缘层和第二栅绝缘层可以关于鳍型有源区不对称。第二栅绝缘层可以包括位于第二栅绝缘层的覆盖第二衬层的部分上的第二突起。第一栅绝缘层和第二栅绝缘层的相应的厚度可以彼此不同。

[0026] 在另一些实施方式中,基板可以包括彼此相邻的第一导电类型的晶体管区域和第二导电类型的晶体管区域,鳍型有源区可以沿第一导电类型的晶体管区域和第二导电类型的晶体管区域之间的边界延伸。

附图说明

[0027] 从以下结合附图的详细描述,本发明构思的示例实施方式将被更清楚地理解,附图中:

[0028] 图1A是示出根据本发明构思的一些实施方式的集成电路器件中包括的元件的平面布局的图示。

[0029] 图1B是该集成电路器件沿图1A的线B-B'截取的横截面。

[0030] 图2是根据本发明构思的一些实施方式的集成电路器件的横截面。

[0031] 图3A是示出根据本发明构思的一些实施方式的集成电路器件中包括的元件的平面布局的图示。

[0032] 图3B是该集成电路器件沿图3A的线B1-B1'和线B2-B2'截取的横截面。

[0033] 图4是根据本发明构思的一些实施方式的集成电路器件的横截面。

[0034] 图5A是示出根据本发明构思的一些实施方式的集成电路器件中包括的元件的平面布局的图示。

[0035] 图5B是该集成电路器件沿图5A的线B-B'截取的横截面。

[0036] 图6是根据本发明构思的一些实施方式的集成电路器件的横截面。

[0037] 图7A至图7I是示出根据本发明构思的一些实施方式的集成电路器件制造制造中的工艺步骤的横截面。

[0038] 图8是根据本发明构思的一些实施方式的电子设备的方框图。

[0039] 图9是根据本发明构思的一些实施方式的电子系统的方框图。

具体实施方式

[0040] 在下文,本发明构思将通过参照附图说明本发明的示例实施方式而被详细描述。附图中的相同的附图标记表示相同的元件,因此为了简洁起见将省略其详细说明。

[0041] 本发明构思可以以许多不同的形式实施而不应被解释为限于这里阐述的示例实施方式。而是,提供这些实施方式使得本公开透彻和完整,并将本发明构思的范围充分传达

给本领域技术人员。在附图中,为了清晰,层和区域的长度和尺寸可以被夸大。

[0042] 此外,虽然术语像“第一”和“第二”用来在本发明构思的各种实施方式中描述各种元件、部件、区域、层和/或部分,但是所述元件、部件、区域、层和/或部分不应受到这些术语限制。这些术语仅用于将一个元件、部件、区域、层或部分与另一个区别开。因此,以下论述的第一元件、部件、区域、层或部分可以被称为第二元件、部件、区域、层或部分,而没有背离本发明构思的教导。

[0043] 除非另外地限定,否则这里使用的所有术语(包括技术和科学术语)都具有本发明构思所属的领域内的普通技术人员所通常理解的相同的含义。还将理解的是,术语诸如通用词典中限定的那些应当被解释为与现有技术的背景中的含义相一致的含义,而不会被解释为理想化或过度形式化的含义,除非这里明确如此限定。

[0044] 当某一实施方式可以以不同的方式实施时,指定的工艺次序可以以不同的方式进行以被描述。例如,被顺序地描述的两个工艺可以基本上同时进行或可以以与描述的次序相反的次序进行。

[0045] 因而,由例如制造技术和/或公差引起的图示形状的偏差将是可能发生的。因此,本发明构思的实施方式不应被解释为限于这里示出的区域的特定形状,而是将包括由例如制造引起的形状偏差。当在这里使用时,术语“和/或”包括一个或多个所列相关项目的任意和所有组合。诸如“...中的至少一个”的表述,当在一列元件之后时,修饰元件的整个列表,而不是修饰该列表的单个元件。术语诸如“基板”可以表示基板自身,或包括基板和形成在基板的表面上的预定层或膜的堆叠结构。此外,术语“基板的表面”可以表示基板自身的暴露表面或形成在基板上的预定层或膜的外表面。

[0046] 图1A是示出根据本发明构思的一些实施方式的集成电路器件100中包括的主要元件的平面布局的图示。图1B是集成电路器件100沿图1A的线B-B'截取的横截面。

[0047] 首先参照图1A和1B,集成电路器件100包括从基板110突出的鳍型有源区FA。基板110可以包括半导体材料诸如Si和Ge或化合物半导体材料诸如SiGe、SiC、GaAs、InAs和InP。在某些示例实施方式中,基板110可以包括III-V族材料和IV族材料中的至少一种。III-V族材料可以包括二元的、三元的或四元的化合物,其包括至少一个III族元素和至少一个V族元素。III-V族材料可以是包括In、Ga和Al中的至少一种元素作为III族元素以及As、P和Sb中的至少一种元素作为V族元素的化合物。例如,III-V族材料可以从 InP 、 $\text{In}_z\text{Ga}_{1-z}\text{As}$ ($0 \leq z \leq 1$)和 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ ($0 \leq z \leq 1$)中选择。二元化合物可以是例如 InP 、 GaAs 、 InAs 、 InSb 和 GaSb 中的一种。三元化合物可以是 InGaP 、 InGaAs 、 AlInAs 、 InGaSb 、 GaAsSb 和 GaAsP 中的一种。IV族材料可以是Si或Ge。然而,一个或多个示例实施方式不限于III-V族材料和IV族材料的以上示例。III-V族材料和IV族材料诸如Ge可以用作用于形成具有低功耗和高运行速度的晶体管的沟道材料。高性能互补金属氧化物半导体(CMOS)可以通过利用包括III-V族材料例如GaAs(其具有比Si基板高的电子迁移率)的半导体基板以及具有半导体材料例如锗(其具有比Si基板高的空穴迁移率)的半导体基板制造。

[0048] 在某些示例实施方式中,当NMOS晶体管形成在基板110上时,基板110可以包括以上说明的III-V族材料中的一种。在某些其它的示例实施方式中,当PMOS晶体管形成在基板110上时,基板110的至少一部分可以包括Ge。在一些实施方式中,基板110可以具有绝缘体上硅(SOI)结构。基板110可以包括导电的区域,例如用杂质掺杂的阱或用杂质掺杂的结构。

[0049] 鳍型有源区FA可以由形成在基板110中的沟槽T限定。鳍型有源区FA在垂直于基板110的主表面的方向(Z方向)上从基板110突出,并可以沿一方向(图1A和1B中的Y方向)在基板110上延伸。覆盖鳍型有源区FA的下侧壁的器件隔离层112形成在基板110上。鳍型有源区FA从器件隔离层112突出为鳍形状。

[0050] 鳍型有源区FA包括在其下部上的沟道区CH和位于沟道区CH下面的基底区BA。鳍型有源区FA的下侧壁被多个衬层132和134嵌入。此外,鳍型有源区FA的下侧壁被器件隔离层112嵌入,多个衬层132和134插设在两者之间。

[0051] 在某些示例实施方式中,鳍型有源区FA的沟道区CH可以包括单一的材料。例如,包括沟道区CH的鳍型有源区FA可以包括Si。在一些其它的示例实施方式中,鳍型有源区FA的一部分可以包括Ge,鳍型有源区FA的另一个部分可以包括Si。

[0052] 在图1B中,鳍型有源区FA形成为具有关于中心线CL对称的轮廓,该中心线CL在垂直于基板110的主表面的方向(Z方向)上延伸。然而,一个或多个示例实施方式不限于图1B所示的示例,鳍型有源区FA可以具有关于中心线CL不对称的轮廓。

[0053] 鳍型有源区FA的沟道区CH被界面层122覆盖。覆盖鳍型有源区FA的相反的侧壁和上表面的栅绝缘层124和栅线150可以在交叉鳍型有源区FA延伸的方向的方向(例如图1A和1B中的X方向)上在界面层122上延伸。

[0054] 栅绝缘层124包括覆盖多个衬层132和134中的端部的上表面的突起PR。突起PR可以形成在鳍型有源区FA的相反两侧。

[0055] 多个衬层132和134可以包括包含彼此不同的材料的绝缘衬层132和应力衬层134。在图1B中,多个衬层132和134具有双层结构,但是一个或多个示例实施方式不限于图1B的示例。例如,集成电路器件100可以包括包含三个或更多的层的衬层,代替多个衬层132和134。

[0056] 绝缘衬层132接触鳍型有源区FA的下侧壁并可以包括在距鳍型有源区FA周围的基板110的上表面(也就是,沟槽T的底表面)的第一高度H1处的第一上表面TS1。应力衬层134与鳍型有源区FA的下侧壁间隔开并且绝缘衬层132插设在两者之间,并且应力衬层134可以具有距鳍型有源区FA周围的基板110的上表面(也就是,沟槽T的底表面)的第二高度H2处的第二上表面TS2。应力衬层134的第二上表面TS2可以面对栅绝缘层124的突起PR。栅绝缘层124的突起PR可以围绕绝缘衬层132的第一上表面TS1和应力衬层134的第二上表面TS2。

[0057] 绝缘衬层132包括设置在鳍型有源区FA和沟槽T中的应力衬层134之间的侧壁延伸部132W以及一体地连接到侧壁延伸部132W并设置在沟槽T的底表面和应力衬层134之间的底部延伸部132B。侧壁延伸部132W的第一厚度D1可以大于底部延伸部132B的第二厚度D2。

[0058] 应力衬层134的在沟槽中沿鳍型有源区FA的下侧壁延伸的部分可以在厚度上等于应力衬层134的沿沟槽T的底表面延伸的部分。

[0059] 在某些示例实施方式中,绝缘衬层132可以包括氧化物层。例如,绝缘衬层132可以包括自然氧化物层。在某些示例实施方式中,包括在绝缘衬层132中的第一氧化物层可以通过对鳍型有源区FA的表面进行热氧化而获得。在一些其它的示例实施方式中,绝缘衬层132可以包括通过原位蒸汽产生(ISSG)工艺形成的氧化物层。在某些示例实施方式中,绝缘衬层132可以具有约10至约100Å的厚度。

[0060] 应力衬层134可以包括施加应力到鳍型有源区FA的沟道区CH的材料。应力衬层134

可以通过施加应力到鳍型有源区FA的沟道区CH而改善沟道区CH中的载流子迁移率。在某些示例实施方式中,当沟道区CH为N型沟道区时,应力衬层134可以包括施加张应力到沟道区CH的材料。例如,应力衬层134可以包括硅氮化物(SiN)、硅氮氧化物(SiON)、硅硼氮化物(SiBN)、碳化硅(SiC)、SiC:H、SiCN、SiCN:H、SiOCN、SiOCN:H、硅氧碳化物(SiOC)、二氧化硅(SiO₂)、多晶硅或其组合。在某些示例实施方式中,当沟道区CH是P型沟道区时,应力衬层134可以包括施加压应力到沟道区CH的材料。例如,应力衬层134可以包括SiN、SiON、SiBN、SiC、SiC:H、SiCN、SiCN:H、SiOCN、SiOCN:H、SiOC、SiO₂、多晶硅或其组合。在某些示例实施方式中,应力衬层134可以具有约10至约100Å的厚度。

[0061] 栅线150可以具有在对应于栅绝缘层124的突起PR的位置且邻近于绝缘衬层132的第一上表面TS1和应力衬层134的第二上表面TS2的凹陷表面部分150R。

[0062] 器件隔离层112可以具有在距鳍型有源区FA周围的基板110的上表面(也就是,沟槽T的底表面)的比第一高度H1低的第三高度H3的上表面。器件隔离层112具有朝向基板110的相反侧凹入的上表面112T。器件隔离层112可以包括从应力衬层134朝向器件隔离层112的上表面112T的中心部分延伸的倾斜面112S。从倾斜面112S到基板110的垂直距离可以朝向上表面112T的中心部分减小。

[0063] 晶体管TR可以形成在鳍型有源区FA和栅线150彼此交叉的部分上。晶体管TR是具有三维结构的金属氧化物半导体(MOS)晶体管,其沟道形成在鳍型有源区FA的上表面和相反侧壁上。MOS晶体管TR可以配置NMOS晶体管或PMOS晶体管。

[0064] 在某些示例实施方式中,器件隔离层112可以包括包含硅的绝缘层诸如硅氧化物层、硅氮化物层、硅氮氧化物层和硅碳氮化物膜、多晶硅或其组合。例如,器件隔离层112可以包括通过沉积工艺或涂覆工艺形成的膜。在某些示例实施方式中,器件隔离层112可以包括通过可流动的化学气相沉积(FCVD)工艺或旋涂工艺形成的氧化物层。例如,器件隔离层112可以包括氟化物硅酸盐玻璃(FSG)、非掺杂的硅酸盐玻璃(USG)、硼磷硅酸盐玻璃(BPSG)、磷硅酸盐玻璃(PSG)、可流动的氧化物(FOX)、等离子体增强的正硅酸乙酯(PE-TEOS)或聚硅氮烷,但是不限于此。

[0065] 在某些示例实施方式中,界面层122可以通过氧化鳍型有源区FA的表面而获得。界面层122可以接触鳍型有源区FA。界面层122可以修复鳍型有源区FA和栅绝缘层124之间的界面缺陷。

[0066] 在某些示例实施方式中,界面层122可以包括具有9或更小的介电常数的低介电材料层,例如硅氧化物层、硅氮氧化物层或其组合。在一些其它的示例实施方式中,界面层122可以包括硅酸盐、硅酸盐和硅氧化物层的组合、或硅酸盐和硅氮氧化物层的组合。在某些示例实施方式中,界面层122可以具有约5Å至约20Å的厚度,但是不限于此。在某些示例实施方式中,界面层122可以被省略。

[0067] 栅绝缘层124可以包括具有大于界面层122的介电常数的介电常数的材料。例如,栅绝缘层124可以具有约10至约25的介电常数。栅绝缘层124可以包括从铪氧化物、铪氮氧化物、铪硅氧化物、镧氧化物、镧铝氧化物、锆氧化物、锆硅氧化物、钽氧化物、钛氧化物、钡锶钛氧化物、钡钛氧化物、锶钛氧化物、钇氧化物、铝氧化物、铅铋钽氧化物、铋铋酸铅及其组合中选择材料,但是不限于此。栅绝缘层124可以通过原子层沉积(ALD)、化学气相沉积(CVD)或物理气相沉积(PVD)工艺形成。栅绝缘层124可以具有约10Å至约40Å的厚度,但是

不限于此。

[0068] 栅线150可以包括包含用于调节功函数的金属的层和用于填充形成在包含用于调节功函数的金属的层的上部上的间隙的包含金属的层。在某些示例实施方式中,栅线150可以具有其中金属氮化物层、金属层、导电的覆盖层和间隙填充金属层被顺序地堆叠的结构。金属氮化物层和金属层可以每个包括从Ti、W、Ru、Nb、Mo、Hf、Ni、Co、Pt、Yb、Tb、Dy、Er和Pd中选择的至少一种金属材料。金属氮化物层和金属层可以通过ALD工艺、金属有机ALD(MOALD)工艺或金属有机CVD(MOCVD)工艺形成。导电的覆盖层可以用作用于防止金属层的表面的氧化的保护层。此外,导电的覆盖层可以用作用于使另一个导电层在金属层上的沉积容易的润湿层。导电的覆盖层可以包括金属氮化物层例如TiN、Ta₂N或其组合,但是不限于此。间隙填充金属层可以在导电的覆盖层上延伸。间隙填充金属层可以包括W层。间隙填充层可以通过ALD、CVD或PVD工艺形成。间隙填充金属层可以嵌入由导电的覆盖层的上表面上的区域之间的台阶形成的凹陷空间而没有空隙。在某些示例实施方式中,栅线150可以包括TiAlC/TiN/W的堆叠结构、TiN/Ta₂N/TiAlC/TiN/W的堆叠结构或TiN/Ta₂N/TiN/TiAlC/TiN/W的堆叠结构。在以上堆叠结构中,TiAlC层或TiN层可以用作包含用于调节功函数的金属的层。

[0069] 如图1A所示,一对源极和漏极区162可以形成在栅线150的相反两侧且在鳍型有源区FA中。该对源极和漏极区162可以包括从鳍型有源区FA外延地生长的半导体层。源极和漏极区162可以具有嵌入的SiGe结构,该嵌入的SiGe结构包括外延地生长的Si层、外延地生长的SiC层和外延地生长的多个SiGe层。

[0070] 在参照图1A和1B示出的集成电路器件100中,覆盖鳍型有源区FA的沟道区CH的栅绝缘层124包括在覆盖多个衬层132和134的端部的上表面的部分上的突起PR,多个衬层132和134覆盖鳍型有源区FA的下侧壁。根据依照某些实施方式的具有以上结构的集成电路器件100,可以获得根据高度集成的半导体器件中的期望设计而优化的操作特性,并可以改善高度地按比例缩小的鳍型FET的性能。

[0071] 现在参照图2,将论述根据本发明构思的某些实施方式的集成电路器件200的横截面。在图2中,与图1A和1B相同的附图标记表示相同的元件,因此为了简洁起见将省略这些元件的详细说明。

[0072] 如图2所示,集成电路器件200包括在垂直于基板110的主表面的方向(Z方向)上从基板110突出并平行于彼此延伸的一对鳍型有源区FA。

[0073] 每个鳍型有源区FA的下侧壁被多个衬层132和134覆盖。器件隔离层112覆盖每个鳍型有源区FA的下侧壁,并且多个衬层132和134插设在两者之间。多个衬层132和134可以包括包含彼此不同的材料的绝缘衬层132和应力衬层134。

[0074] 每个鳍型有源区FA中的沟道区CH的表面被界面层122覆盖。界面层122上的覆盖该对鳍型有源区FA的相反侧壁和上表面的栅绝缘层124和栅线150可以在交叉该对鳍型有源区FA的延伸方向(Y方向)的方向(图2的X方向)上延伸。

[0075] 栅绝缘层124和栅线150延伸以覆盖该对鳍型有源区FA的每个中的沟道区CH的相反侧壁和上表面、多个衬层132和134以及器件隔离层112。

[0076] 栅绝缘层124可以包括从覆盖多个衬层132和134的部分的多个突起PR。栅线150可以具有在面对栅绝缘层124的突起PR的部分上的多个凹陷表面150R,该多个凹陷表面150R具有对应于多个突起PR的形状。

[0077] 栅绝缘层124的多个突起PR可以形成在面对应力衬层134的第二上表面TS2的部分上。

[0078] 基板110包括形成在该对鳍型有源区FA之间并具有第一水平LV1的底表面的浅沟槽ST以及形成在每个鳍型有源区FA的一侧并具有低于第一水平LV1的第二水平LV2的底表面的深沟槽DT。

[0079] 在浅沟槽ST和深沟槽DT的每个中,绝缘衬层132和应力衬层134可以形成。此外,浅沟槽ST和深沟槽DT中的应力衬层134的上部空间可以被器件隔离层112填充。

[0080] 绝缘衬层132可以形成在深沟槽DT中从而接触每个鳍型有源区FA的下侧壁。应力衬层134与鳍型有源区FA间隔开且绝缘衬层132设置在两者之间。

[0081] 在深沟槽DT中,绝缘衬层132包括设置在鳍型有源区FA和应力衬层134之间的侧壁延伸部132W以及一体地连接到侧壁延伸部132W并设置在深沟槽DT的底表面和应力衬层134之间的底部延伸部132B。在深沟槽DT中,侧壁延伸部132W的第一厚度D1大于底部延伸部132B的第二厚度D2。深沟槽DT中的应力衬层134可以具有恒定的厚度。

[0082] 在浅沟槽ST中,绝缘衬层132可以形成为具有沿浅沟槽ST的内壁的恒定厚度。因此,绝缘衬层132的覆盖浅沟槽ST的侧壁的部分可以具有与绝缘衬层132的覆盖浅沟槽ST的底表面的部分相同的厚度。在浅沟槽ST中,应力衬层134可以具有恒定的厚度。

[0083] 在某些示例实施方式中,绝缘衬层132的覆盖浅沟槽ST的底表面的部分的第三厚度D3可以大于覆盖深沟槽DT的底表面的底部延伸部132B的第二厚度D2。

[0084] 器件隔离层112可以包括填充浅沟槽ST的第一器件隔离层112S和填充深沟槽DT的第二器件隔离层112D。第一和第二器件隔离层112S和112D可以分别具有在比绝缘衬层132和应力衬层134的上表面低的水平处的上表面112TS和112TD。根据示例实施方式,第一和第二器件隔离层112S和112D的上表面112TS和112TD可以位于比绝缘衬层132的第一上表面TS1低的水平处。在另一个示例实施方式中,第一和第二器件隔离层112S和112D的上表面112TS和112TD可以低于应力衬层134的第二上表面TS2。第一和第二器件隔离层112S和112D的上表面112TS和112TD可以远离绝缘衬层132和应力衬层134而降低以具有凹入的中心部分。

[0085] 第一和第二器件隔离层112S和112D的上表面112TS和112TD可以分别具有从绝缘衬层132和应力衬层134朝向第一和第二器件隔离层112S和112D的中心部分延伸的倾斜面112SS和112SD。在某些示例实施方式中,第一器件隔离层112S的上表面112TS中的倾斜面112SS的斜度可以大于第二器件隔离层112D的上表面112TD中的倾斜面112SD的斜度,但是不限于此。

[0086] 第一和第二器件隔离层112S和112D的详细结构与参照图1A和1B示出的器件隔离层112的基本上类似。

[0087] 在参照图2示出的集成电路器件200中,覆盖一对鳍型有源区FA的沟道区CH的栅绝缘层124包括从覆盖多个衬层132和134的端部上的上表面的部分的突起PR,多个衬层132和134覆盖一对鳍型有源区FA的下侧壁。根据某些实施方式的具有以上结构的集成电路器件200可以获得根据高度地集成的半导体器件中的期望设计而优化的操作特性,并可以改善高度地按比例缩小的鳍型FET的性能。

[0088] 现在将参照图3A和图3B进行论述,图3A是示出根据某些实施方式的集成电路器件

300的主要元件的平面布局图,图3B是集成电路器件300沿图3A的线B1-B1'和B2-B2'截取的横截面。在图3A和3B中,与图1A和1B相同的附图标记表示相同的元件,因此为了简洁起见将省略对其的详细说明。

[0089] 参照图3A和3B,集成电路器件300的基板110包括第一区域I和第二区域II。基板110的第一区域I和第二区域II表示基板110中的不同的区域,也就是要求彼此不同的阈值电压的区域。例如,第一区域I可以是NMOS晶体管,第二区域II可以是PMOS晶体管,但是不限于此。

[0090] 在集成电路器件300的第一区域I中,第一栅线150A在第一鳍型有源区F1上延伸以交叉第一鳍型有源区F1,在第二区域II中,第二栅线150B在第二鳍型有源区F2上延伸以交叉第二鳍型有源区F2。

[0091] 第一晶体管TR1可以形成在第一鳍型有源区F1和第一栅线150A彼此交叉的部分上。第二晶体管TR2可以形成在第二鳍型有源区F2和第二栅线150B彼此交叉的部分上。第一晶体管TR1和第二晶体管TR2可以是具有三维结构的MOS晶体管,其中沟道形成在第一和第二鳍型有源区F1和F2的每个的上表面和相反两侧表面上。MOS晶体管可以是NMOS晶体管或PMOS晶体管。例如,形成在第一区域I上的第一晶体管TR1可以是NMOS晶体管,形成在第二区域II上的第二晶体管TR2可以是PMOS晶体管,但是不限于此。

[0092] 本发明构思的技术思想不限于图3A所示的结构。例如,在第一区域I和第二区域II的每个中,至少一条栅线可以延伸以交叉单个或多个鳍型有源区,彼此交叉的栅线和鳍型有源区的数目可以不限于以上示例。

[0093] 如图3B所示,在第一区域I中,第一鳍型有源区F1可以通过形成在基板110中的第一沟槽T11限定。第一鳍型有源区F1可以在垂直于基板110的主表面的方向(也就是,Z轴方向)上从基板110突出。第一鳍型有源区F1可以包括第一沟道区CH1。第一鳍型有源区F1的相反的侧壁被第一沟道区CH1的下部上的第一器件隔离层112A覆盖。

[0094] 第一鳍型有源区F1可以具有沿纵向方向(Y轴方向)在基板110上线性地延伸的线形。第一鳍型有源区F1的第一沟道区CH1具有小于位于其下的第一基底区域BA1的宽度,其中第一沟道区CH1突出在第一器件隔离层112A之上。第一鳍型有源区F1的第一沟道区CH1可以具有在第一鳍型有源区F1的较短轴方向(也就是,X轴方向)上的第一宽度W1。

[0095] 第一鳍型有源区F1的第一沟道区CH1被第一界面层122A覆盖。覆盖第一鳍型有源区F1的相反侧壁和上表面的第一栅绝缘层124A和第一栅线150A可以在交叉第一鳍型有源区F1的延伸方向的方向(图3A和3B中的X轴方向)上在第一界面层122A上延伸。

[0096] 第一栅绝缘层124A包括覆盖多个衬层132和134的端部处的上表面的第一突起PR1。第一突起PR1可以设置在第一鳍型有源区F1的相反两侧。

[0097] 第一栅线150A可以包括在第一栅绝缘层124A的第一突起PR1的部分处具有对应于第一突起PR1的形状的凹陷表面部分150R1,以邻近绝缘衬层132的第一上表面TS1和应力衬层134的第二上表面TS2。

[0098] 设置在第一鳍型有源区F1和第一器件隔离层112A之间的多个衬层132和134可以沿第一沟槽T11的侧壁和底表面延伸。多个衬层132和134可以包括如以上参照图1A和1B描述的绝缘衬层132和应力衬层134。绝缘衬层132接触第一鳍型有源区F1的下侧壁,并可以具有位于比自第一沟槽T11的底表面到第一器件隔离层112A的上表面112AT的高度高的水平

处的第一上表面TS1。应力衬层134与第一鳍型有源区F1的下侧壁间隔开并且绝缘衬层132设置在两者之间,并且应力衬层134可以具有位于比绝缘衬层132的自第一沟槽T11的底表面的第一上表面TS1高的水平处的第二上表面TS2。应力衬层134的第二上表面TS2可以面对第一栅绝缘层124A的第一突起PR1。第一栅绝缘层124A的第一突起PR1可以围绕绝缘衬层132的第一上表面TS1和应力衬层134的第二上表面TS2。

[0099] 第一器件隔离层112A的上表面112AT包括从第一鳍型有源区F1的一侧处的边缘朝向中心部分的上表面降低的第一倾斜面112AS,并可以具有在上表面112AT的中心部分处的凹入形状。

[0100] 绝缘衬层132包括在第一沟槽T11中的设置在第一鳍型有源区F1和应力衬层134之间的侧壁延伸部132W以及一体地连接到侧壁延伸部132W并设置在第一沟槽T11的底表面和应力衬层134之间的底部延伸部132B。侧壁延伸部132W的第一厚度D11可以大于底部延伸部132B的第二厚度D12。

[0101] 在应力衬层134中,在第一沟槽T11中沿第一鳍型有源区F1的下侧壁延伸的部分具有与沿第一沟槽T11的底表面延伸的部分基本上相同的厚度。

[0102] 在第一区域I中,第一栅绝缘层124A和第一栅线150A可以在第一鳍型有源区F1的第一沟道区CH1、绝缘衬层132的第一上表面TS1、应力衬层134的第二上表面TS2以及第一器件隔离层112A的凹入的上表面112AT上延伸。

[0103] 在第二区域II中,第二鳍型有源区F2可以通过形成在基板110中的第二沟槽T21限定。第二鳍型有源区F2可以在垂直于基板110的主表面的方向(Z轴方向)上从基板110突出。第二鳍型有源区F2可以包括第二沟道区CH2。第二鳍型有源区F2的相反的侧壁在第二沟道区CH2的下部被第二器件隔离层112B覆盖。

[0104] 第二鳍型有源区F2可以具有沿纵向方向(Y轴方向)在基板110上线性地延伸的线形。第二鳍型有源区F2的突出在第二器件隔离层112B之上的第二沟道区CH2可以具有比位于其下的第二基底区域BA2小的宽度。第二鳍型有源区F2的第二沟道区CH2可以具有在第二鳍型有源区F2的较短轴方向(X轴方向)上的第二宽度W2,其中第二宽度W2小于第一鳍型有源区F1的第一沟道区CH1的第一宽度W1。

[0105] 第二鳍型有源区F2的第二沟道区CH2被第二界面层122B覆盖。覆盖第二鳍型有源区F2的相反侧壁和上表面的第二栅绝缘层124B和第二栅线150B可以在交叉第二鳍型有源区F2的延伸方向的方向(图3A和3B中的X轴方向)上在第二界面层122B上延伸。

[0106] 覆盖第二鳍型有源区F2的下侧壁的绝缘衬层142可以设置在第二鳍型有源区F2和第二器件隔离层112B之间。绝缘衬层142可以沿第二沟槽T21的侧壁和底表面延伸。绝缘衬层142可以包括在第二沟槽T21中设置在第二鳍型有源区F2和第二器件隔离层112B之间的侧壁延伸部142W以及一体地连接到侧壁延伸部142W并设置在第二沟槽T21的底表面和第二器件隔离层112B之间的底部延伸部142B。侧壁延伸部142W的第一厚度D21可以大于底部延伸部142B的第二厚度D22。绝缘衬层142可以接触第二器件隔离层112B。

[0107] 绝缘衬层142可以包括氧化物层。例如,绝缘衬层142可以包括自然氧化物层。在某些示例实施方式中,绝缘衬层142可以通过对第二鳍型有源区F2的表面进行热氧化而获得。在一些其它的示例实施方式中,绝缘衬层142可以是由ISSG工艺形成的氧化物层。在某些示例实施方式中,绝缘衬层142可以具有约10至约100Å的厚度。在某些示例实施方式中,绝缘

衬层142可以包括与形成在第一区域I上的绝缘衬层132相同的材料。

[0108] 在第二区域II中,绝缘衬层142可以具有面对第二栅绝缘层124B的第三上表面TS3。第二栅绝缘层124B可以不包括在面向第三上表面TS3的部分上的突起。第二器件隔离层112B可以具有在第二鳍型有源区F2的一侧处的边缘部分的上表面112BT,其中上表面112BT可以从绝缘衬层142的第三上表面TS3连续地延伸而没有形成台阶。第二器件隔离层112B包括从第二鳍型有源区F2的一侧处的边缘部分朝向其中心部分的上表面逐渐地降低的第二倾斜面112BS,第二器件隔离层112B的上表面112BT可以具有在中心部分处的凹入表面。

[0109] 在第二区域II中,第二栅绝缘层124B和第二栅线150B可以延伸以覆盖第二鳍型有源区F2的第二沟道区CH2、绝缘衬层142的第三上表面TS3以及第二器件隔离层112B的凹入的上表面112BT。

[0110] 形成在第一区域I上的第一栅绝缘层124A和形成在第二区域II上的第二栅绝缘层124B可以具有彼此不同的厚度。在图3B中,形成在第一区域I上的第一栅绝缘层124A的第一厚度TH1大于形成在第二区域II上的第二栅绝缘层124B的第二厚度TH2。例如,当第一区域I是NMOS晶体管区域并且第二区域II是PMOS晶体管区域时,第一栅绝缘层124A的第一厚度TH1可以大于第二栅绝缘层124B的第二厚度TH2使得形成在第一区域I和第二区域II上的第一晶体管TR1和第二晶体管TR2的每个的功函数可以被优化。然而,一个或多个示例实施方式不限于参照图3B示出的示例,而是在本发明构思的范围内可以进行各种变型。

[0111] 图3A和3B中示出的第一和第二器件隔离层112A和112B、第一和第二界面层122A和122B、第一和第二栅绝缘层124A和124B以及第一和第二栅线150A和150B的具体结构类似于以上参照图1A和1B描述的器件隔离层112、界面层122、栅绝缘层124和栅线150的具体结构。

[0112] 在某些示例实施方式中,在第一区域I和第二区域II中,第一和第二栅绝缘层124A和124B可以每个包括单层。在某些示例实施方式中,第一和第二栅绝缘层124A和124B可以具有相同的材料。在某些示例实施方式中,第一栅线150A可以包括TiAlC/TiN/W或TiN/TaN/TiAlC/TiN/W的堆叠结构,第二栅线150B可以包括TiN/TaN/TiN/TiAlC/TiN/W的堆叠结构。在第一栅线150A中,TiAlC层可以用作用于调节功函数的包含金属的层(metal containing layer),并且在第二栅线150B中,TiN可以用作用于调节功函数的包含金属的层。

[0113] 如图3A所示,在第一区域I中,第一源/漏极区162A可以在第一鳍型有源区F1中形成在第一栅线150A的相反两侧。此外,在第二区域II中,第二源/漏极区162B可以在第二鳍型有源区F2中形成在第二栅线150B的相反两侧。

[0114] 尽管没有在附图中示出,但是第一和第二源/漏极区162A和162B可以每个包括从第一鳍型有源区F1或第二鳍型有源区F2外延地生长的半导体层。第一和第二源/漏极区162A和162B可以每个包括嵌入的SiGe结构,该嵌入的SiGe结构包括外延地生长的多个SiGe层、外延地生长的Si层或外延地生长的SiC层。第一源/漏极区162A可以具有与第二源/漏极区162B不同的结构。

[0115] 在以上参照图3A和3B示出的集成电路器件300中,在具有不同的导电类型的沟道区的第一区域I和第二区域II中,覆盖第一和第二鳍型有源区F1和F2的下侧壁的衬层具有彼此不同的结构,覆盖第一和第二鳍型有源区F1和F2的第一和第二沟道区CH1和CH2以及衬层的端部的上表面的第一和第二栅绝缘层124A和124B的形状彼此不同。根据按照一个或多

个示例实施方式的具有以上结构的集成电路器件,当具有不同的导电类型的沟道区的高度地按比例缩小的鳍型FET形成在基板的多个区域上时,可以获得适合于分别形成在该多个区域上的每个晶体管的优化的操作特性,并可以改善晶体管的性能。此外,执行其不同的功能的多栅极晶体管可以容易地形成在第一区域I和第二区域II上。

[0116] 现在参照图4,将论述示出根据某些实施方式的集成电路器件400沿图3A的线B1-B1'和B2-B2'截取的横截面。在图4中,与图3A和3B相同的附图标记表示相同的元件,因此为了简洁起见将省略对其的详细说明。

[0117] 参照图4,集成电路器件400具有与图3A和3B中示出的集成电路器件300基本上相同的结构,除了图4的集成电路器件400还包括在第二区域II上的设置在绝缘衬层142和第二器件隔离层112B之间的应力衬层144。

[0118] 在第二区域II中,绝缘衬层142具有第四上表面TS4,第四上表面TS4具有自基板110(也就是,第二沟槽T21的底表面)的第四高度H4,应力衬层144可以具有第五上表面TS5,第五上表面TS5具有自基板110(也就是,第二沟槽T21的底表面)的比第四高度H4高的第五高度H5。形成在第二区域II上的应力衬层144的第五上表面TS5的第五高度H5可以低于形成在第一区域I上的应力衬层134的第二上表面TS2的高度。在某些示例实施方式中,第二区域II中的绝缘衬层142的第四上表面TS4的高度和应力衬层144的第五上表面TS5的高度之间的差异可以小于第一区域I上的绝缘衬层132的第一上表面TS1的高度和应力衬层134的第二上表面TS2的高度之间的差异。

[0119] 在第二区域II中,第二栅绝缘层124B可以包括在覆盖应力衬层144的部分上的第二突起PR2。第二栅线150B可以包括具有对应于第二栅绝缘层124B的第二突起PR2的形状的凹入的表面部分150R2,在邻近于绝缘衬层142的上表面TS4和应力衬层144的第五上表面TS5的位置。

[0120] 形成在第二区域II上的第二突起PR2可以小于形成在第一区域I上的第一突起PR1。

[0121] 应力衬层144的具体结构类似于以上参照图1A和1B描述的应力衬层134的具体结构。在某些示例实施方式中,形成在第二区域II上的应力衬层144的厚度可以小于形成在第一区域I上的应力衬层134的厚度。例如,形成在第一区域I上的应力衬层134可以具有约 50\AA 至约 100\AA 的厚度,形成在第二区域II上的应力衬层144可以具有约 10\AA 至约 40\AA 的厚度,但是它们不限于此。

[0122] 例如,形成在第一区域I上的应力衬层134施加第一应力到第一沟道区CH1以改善第一沟道区CH1中的载流子迁移率。在某些示例实施方式中,当第一沟道区CH1为N型沟道区时,应力衬层134可以包括施加张应力到第一沟道区CH1的材料。例如,第一应力衬层134可以包括SiN、SiON、SiBN、SiC、SiC:H、SiCN、SiCN:H、SiOCN、SiOCN:H、SiOC、SiO₂、多晶硅或其组合。形成在第二区域II上的应力衬层144可以包括施加第二应力到第二沟道区CH2的材料,其中第二应力不同于第一应力。应力衬层144可以施加第二应力到第二沟道区CH2以改善第二沟道区CH2中的载流子迁移率。在某些示例实施方式中,当第二沟道区CH2是P型沟道区时,应力衬层144可以包括施加压应力到第二沟道区CH2的材料。例如,应力衬层144可以包括SiN、SiON、SiBN、SiC、SiC:H、SiCN、SiCN:H、SiOCN、SiOCN:H、SiOC、SiO₂、多晶硅或其组合。

[0123] 在某些示例实施方式中,形成在第一区域I上的应力衬层134和形成在第二区域II上的应力衬层144可以包括相同的材料。在一些其它的示例实施方式中,形成在第一区域I上的应力衬层134和形成在第二区域II上的应力衬层144可以包括彼此不同的材料。在某些示例实施方式中,形成在第一区域I上的应力衬层134和形成在第二区域II上的应力衬层144可以包括相同的材料,其施加不同的应力到相邻的沟道区。形成在第一区域I上的应力衬层134和形成在第二区域II上的应力衬层144可以分别包括通过不同的工艺获得的膜。关于应力衬层144的详细说明可以采用关于以上参照图1A和1B描述的应力衬层134的描述。

[0124] 图5A是根据某些实施方式的集成电路器件500的平面布局图,图5B是集成电路器件500沿图5A的线B-B'截取的横截面。在图5A和5B中,与图1A至4相同的附图标记表示相同的元件,因此省略对其的详细说明。

[0125] 参照图5A和5B,集成电路器件500包括具有第一区域I和第二区域II的基板110。在第一区域I中,多个第一鳍型有源区F1从基板110突出。在限定多个第一鳍型有源区F1的多个第一沟槽T11的每个中,绝缘衬层134、应力衬层134和第一器件隔离层112A被顺序地形成。

[0126] 在第二区域II中,多个第二鳍型有源区F2从基板110突出。在限定多个第二鳍型有源区F2的多个第二沟槽T21的每个中,绝缘衬层142和第二器件隔离层112B被顺序地形成。

[0127] 多个第一鳍型有源区F1和多个第二鳍型有源区F2可以在基板110上沿Y轴方向平行于彼此延伸。虚设鳍型有源区FD形成在多个第一鳍型有源区F1和多个第二鳍型有源区F2之间。虚设鳍型有源区FD可以沿第一区域I和第二区域II之间的边界延伸。

[0128] 虚设鳍型有源区FD可以平行于多个第一鳍型有源区F1和多个第二鳍型有源区F2延伸。在某些示例实施方式中,多个第一鳍型有源区F1、多个第二鳍型有源区F2以及设置在第一鳍型有源区F1和第二鳍型有源区F2之间的虚设鳍型有源区FD可以以相等的距离彼此间隔开。

[0129] 形成在第一区域I上的多个第一鳍型有源区F1的每个中的第一沟道区CH1可以具有在第一鳍型有源区F1的较短宽度方向(X轴方向)上的第一宽度W1。形成在第二区域II上的多个第二鳍型有源区F2的每个中的第二沟道区CH2可以具有在第二鳍型有源区F2的较短宽度方向(X轴方向)上小于第一宽度W1的第二宽度W2。

[0130] 在沿第一区域I和第二区域II之间的边界延伸的虚设鳍型有源区FD中,基于沿虚设鳍型有源区FD的高度方向延伸的中心线CL的相反侧壁可以具有不对称的轮廓。虚设鳍型有源区FD的上部可以具有在较短宽度方向(X轴方向)上的小于第一宽度W1且大于第二宽度W2的第三宽度W3。

[0131] 在图5A中,四个第一鳍型有源区F1和四个第二鳍型有源区F2被示出为示例,但是不限于此。例如,在第一区域I和第二区域II中,第一鳍型有源区F1的数目和第二鳍型有源区F2的数目可以是一个或多个,并可以根据需要而被不同地选择。

[0132] 在基板110的第一区域I和第二区域II上,多个第一栅线150A和多个第二栅线150B可以在交叉多个第一和第二鳍型有源区F1和F2的延伸方向(Y轴方向)的方向(X轴方向)上延伸。

[0133] 在第一栅线150A和第二栅线150B当中,在直线上延伸的一个第一栅线150A和一个第二栅线150B可以在虚设鳍型有源区FD上或在虚设鳍型有源区FD周围一体地连接到彼此。

[0134] 在第一区域I中,第一界面层122A和第一栅绝缘层124A可以设置在多个第一鳍型有源区F1的第一沟道区CH1与多个第一栅线150A之间。在第二区域II中,第二界面层122B和第二栅绝缘层124B设置在多个第二鳍型有源区F2的第二沟道区CH2与多个第二栅线150B之间。

[0135] 在多个第一和第二栅线150A和150B当中,一体地连接到彼此的第一和第二栅绝缘层124A和124B可以在第一和第二栅线150A和150B下面平行于第一和第二栅线150A和150B延伸,第一和第二栅线150A和150B沿直线并排地设置。

[0136] 在第一区域I上,第一栅绝缘层124包括在覆盖绝缘衬层132和应力衬层134的部分上的多个第一突起PR1。在第二区域II上,第二栅绝缘层124B可以不包括在绝缘衬层142的端部的上表面周围的突起。

[0137] 在沿第一区域I和第二区域II之间的边界延伸的虚设鳍型有源区FD与覆盖虚设鳍型有源区FD的第一和第二栅线150A和150B之间,可以设置虚设界面层122D和虚设栅绝缘层124D。虚设栅绝缘层124D可以包括第一栅绝缘层124A和第二栅绝缘层124B连接到彼此的部分。虚设栅绝缘层124D可以包括对应于第一栅绝缘层124A的第一厚度TH1和第二栅绝缘层124B的第二厚度TH2之间的差异的台阶部分124S,如由虚设鳍型有源区FD的上部上的虚线所示的。在图5B中,虚设栅绝缘层124D的台阶部分124S邻近于虚设鳍型有源区FD的上表面定位,但是不限于此。例如,虚设栅绝缘层124D的台阶部分124S可以位于虚设鳍型有源区FD的侧壁上,并可以由虚设鳍型有源区FD形成。

[0138] 在虚设鳍型有源区FD的相反的下侧壁之间,第一区域I侧的下侧壁通过第一沟槽T11限定,第二区域II侧的下侧壁通过第二沟槽T21限定。在虚设鳍型有源区FD的相反的下侧壁之间,第一区域I侧的下侧壁可以被形成在第一沟槽T11中的绝缘衬层132、应力衬层134和第一器件隔离层112A顺序地覆盖。另一方面,第二区域II侧的虚设鳍型有源区FD的下侧壁可以被形成在第二沟槽T21中的绝缘衬层142和第二器件隔离层112B顺序地覆盖。

[0139] 第一栅绝缘层124A的第一突起PR1可以邻近于虚设鳍型有源区FD的在第一区域I侧的侧壁设置,使得覆盖虚设鳍型有源区FD的侧壁的绝缘衬层132和应力衬层134的端部的上表面可以被第一突起PR1覆盖。然而,覆盖虚设鳍型有源区FD的在第二区域II侧的侧壁的第二栅绝缘层124B可以不包括突起。因此,覆盖虚设鳍型有源区FD的相反侧壁的第一栅绝缘层124A和第二栅绝缘层124B可以具有基于虚设鳍型有源区FD的不对称的横截面。

[0140] 图6是根据另一个示例实施方式的集成电路器件600沿图5A的线B-B'截取的横截面。在图6中,与图1A至图5相同的附图标记表示相同的元件,因此为了简洁起见将省略对其的详细说明。

[0141] 参照图6,集成电路器件600具有与以上参照图5A和5B示出的集成电路器件500类似的结构。然而,图6的集成电路器件600还包括在第二区域II上的设置在绝缘衬层142和第二器件隔离层112B之间的应力衬层144,类似于以上参照图4示出的集成电路器件400。

[0142] 在集成电路器件600中,第一区域I的结构类似于图5A和5B的第一区域I的结构。在第二区域II上,绝缘衬层142、应力衬层144和第二器件隔离层112B顺序地形成在限定多个第二鳍型有源区F2的多个第二沟槽T21的每个中。

[0143] 虚设鳍型有源区FD形成在形成于第一区域上的多个鳍型有源区F1A与形成于第二区域II上的多个第二鳍型有源区F2之间。虚设鳍型有源区FD可以沿第一区域I和第二区域

II之间的边界延伸。

[0144] 在虚设鳍型有源区FD的相反的下侧壁之间,第一区域I侧的下侧壁通过第一沟槽T11限定,第二区域II侧的下侧壁可以通过第二沟槽T21限定。因此,虚设鳍型有源区FD的在第一区域I侧的下侧壁可以被形成在第一沟槽T11中的绝缘衬层132、应力衬层134和第一器件隔离层112A顺序地覆盖。此外,虚设鳍型有源区FD的在第二区域II侧的下侧壁可以被形成在第二沟槽T21中的绝缘衬层142、应力衬层144和第二器件隔离层112B顺序地覆盖。

[0145] 在第一区域I上,第一栅绝缘层124A包括在覆盖绝缘衬层132和应力衬层134的上端表面的部分上的第一突起PR1。在第二区域II上,第二栅绝缘层124B包括在覆盖绝缘衬层142和应力衬层144的上端表面的部分上的第二突起PR2。形成在第二区域II上的第二突起PR2可以在尺寸上小于形成在第一区域I上的第一突起PR1。

[0146] 形成在第一栅绝缘层124A中的第一突起PR1可以设置得邻近于虚设鳍型有源区FD在第一区域I侧的侧壁。第一突起PR1可以覆盖绝缘衬层132和应力衬层134的上端表面,绝缘衬层132和应力衬层134覆盖虚设鳍型有源区FD在第一区域I侧的侧壁。此外,形成在第二栅绝缘层124B中的第二突起PR2可以设置得邻近于虚设鳍型有源区FD在第二区域II侧的侧壁。第二突起PR2可以覆盖绝缘衬层142和应力衬层144的上端表面,绝缘衬层142和应力衬层144覆盖虚设鳍型有源区FD在第二区域II侧的侧壁。由于第一突起PR1和第二突起PR2的尺寸之间的差异,覆盖虚设鳍型有源区FD的相反侧壁的第一栅绝缘层124A和第二栅绝缘层124B的截面形状可以基于虚设鳍型有源区FD是不对称的。

[0147] 图7A至7I是示出根据本发明构思的一些实施方式的集成电路器件的制造中的工艺步骤的横截面。参照图7A至7I,以下将描述制造参照图3A和3B示出的集成电路器件300的示例方法。在图7A至7I中,与图1A至3B的那些相同的附图标记表示相同的元件,因此为了简洁起见将省略其详细说明。

[0148] 参照图7A,制备包括第一区域I和第二区域II的基板110。多个衬垫氧化物层图案712和多个掩模图案714形成在基板110的第一区域和第二区域II上。

[0149] 多个衬垫氧化物层图案712和多个掩模图案714可以在一方向(Y轴方向)上在基板110上平行于彼此延伸。

[0150] 在某些示例实施方式中,多个衬垫氧化物层图案712可以包括通过热氧化基板110的表面获得的氧化物层。多个掩模图案714可以包括硅氧化物层、硅氮氧化物层、玻璃上旋涂(SOG)层、硬掩模上旋涂(SOH)层、光致抗蚀剂层或其组合,但是不限于此。

[0151] 参照图7B,基板110通过利用多个掩模图案714作为蚀刻掩模而被部分地蚀刻,从而在基板110中形成多个第一沟槽T11和多个第二沟槽T21。当多个第一和第二沟槽T11和T21被形成时,可以获得在垂直于基板110的主表面的方向(Z轴方向)上从基板110突出并在一方向(Y轴方向)上延伸的第一和第二初始鳍型有源区P1和P2。

[0152] 参照图7C,覆盖第一和第二初始鳍型有源区P1和P2的暴露表面的绝缘衬层132形成在第一区域I和第二区域II上。

[0153] 绝缘衬层132可以通过氧化第一和第二初始鳍型有源区P1和P2的表面而获得。当形成绝缘衬层132时,第一和第二初始鳍型有源区P1和P2可以由于从其表面到预定深度的氧化而被消耗。在某些示例实施方式中,绝缘衬层132可以通过热氧化工艺形成。在一些其它的示例实施方式中,绝缘衬层132可以通过利用H₂气体和O₂气体的混合物的原位水汽生成

(ISSG)工艺形成。然而,用于形成绝缘衬层132的工艺不限于以上示例。在一些示例实施方式中,绝缘衬层132可以形成为约 10\AA 至约 100\AA 的厚度。

[0154] 参照图7D,应力衬层134形成在第一区域I和第二区域II上的绝缘衬层132上。应力衬层134可以具有恒定的厚度以共形地覆盖绝缘衬层132。

[0155] 当NMOS晶体管将形成在第一区域I上时,应力衬层134可以包括施加张应力到将通过后续工艺形成的第一鳍型有源区F1(见图3B)的第一沟道区CH1的材料。例如,应力衬层134可以包括例如SiN、SiON、SiBN、SiC、SiC:H、SiCN、SiCN:H、SiOCN、SiOCN:H、SiOC、SiO₂、多晶硅或其组合。在一些示例实施方式中,应力衬层134可以形成为约 10\AA 至约 100\AA 的厚度。

[0156] 在某些示例实施方式中,应力衬层134可以通过等离子体增强化学气相沉积(PECVD)工艺、高密度等离子体CVD(HDP CVD)工艺、感应耦合等离子体CVD(ICP CVD)工艺或电容耦合等离子体CVD(CCP CVD)工艺形成。

[0157] 参照图7E,覆盖第一区域I的掩模图案720形成在基板110上从而暴露第二区域II,应力衬层134和绝缘衬层132在第二区域II上被除去以暴露第二初始鳍型有源区P2。

[0158] 在某些示例实施方式中,当用于除去应力衬层134和绝缘衬层132的蚀刻工艺在第二区域II上进行时,第二初始鳍型有源区P2由于蚀刻气氛而从其暴露表面部分地消耗,从而减小第二初始鳍型有源区P2的宽度。

[0159] 参照图7F,绝缘衬层142形成在第二区域II上的第二初始鳍型有源区P2的暴露表面上,然后,保留在第一区域I上的掩模图案720被除去以从第一区域I暴露应力衬层134。

[0160] 绝缘衬层142可以通过氧化第二初始鳍型有源区P2的表面而获得。在某些示例实施方式中,绝缘衬层142可以通过热氧化工艺形成。当形成绝缘衬层142时,第二初始鳍型有源区P2可以从其表面消耗到预定深度。在一些其它的示例实施方式中,绝缘衬层142可以通过利用H₂气体和O₂气体的混合物的ISSG工艺形成。然而,用于形成绝缘衬层142的工艺不限于以上示例。在一些示例实施方式中,绝缘衬层142可以形成为约 10\AA 至约 100\AA 的厚度。

[0161] 参照图7G,填充第一沟槽T11和第二沟槽T21的初始器件隔离层112P形成在第一区域I和第二区域II上。

[0162] 为了形成初始器件隔离层112P,氧化物材料被沉积以填充多个第一和第二沟槽T11和T21,并被退火从而使沉积的氧化物材料固化并致密。

[0163] 初始器件隔离层112P可以通过可流动的化学气相沉积(FCVD)工艺或旋涂工艺形成。例如,初始器件隔离层112P可以包括FSG、USG、BPSG、PSG、FOX、PE-TEOS或聚硅氮烷。

[0164] 为了进行初始器件隔离层112P的退火工艺,可以使用熔炉或快速热处理(RTP)腔室。例如,初始器件隔离层112P的退火可以通过利用RTP腔室在约700°C至约1100°C的温度进行几秒至几分钟。

[0165] 在退火初始器件隔离层112P期间,第一和第二区域I和II上的绝缘衬层132和142被部分地氧化,从而增大绝缘衬层132和142的某些部分的厚度。具体地,绝缘衬层132和142的覆盖第一和第二初始鳍型有源区P1和P2侧壁的部分很可能受退火气氛的影响,因此,其厚度可以由于氧化而相对大量地增加。在这些实施方式中,第一初始鳍型有源区P1、第二初始鳍型有源区P2和应力衬层134的至少某些部分可以由于氧化而从其表面消耗至预定深度。绝缘衬层132和142的覆盖第一和第二沟槽T11和T21的底表面的部分较少地受到退火气氛的影响。因此,所述部分的厚度可以由于绝缘衬层132和142的氧化而较少地增加。

[0166] 因此,在退火初始器件隔离层112P之后,第一区域I上的绝缘衬层132可以具有包括侧壁延伸部132W和底部延伸部132B的结构,侧壁延伸部132W设置在第一初始鳍型有源区P1和应力衬层134之间并具有第一厚度D11,底部延伸部132B设置在第一沟槽T11的底表面和应力衬层134之间并具有小于第一厚度D11的第二厚度D12。在第一沟槽T11中,应力衬层134可以具有恒定的厚度。

[0167] 此外,在第二区域II上,绝缘衬层142可以具有包括侧壁延伸部142W和底部延伸部142B的结构,侧壁延伸部142W设置在第二初始有源区P2和初始器件隔离层112P之间并具有第一厚度D21,底部延伸部142B设置在第二沟槽T21的底表面和初始器件隔离层112P之间并具有小于第一厚度D21的第二厚度D22。

[0168] 在进行初始器件隔离层112P的退火工艺之后,初始器件隔离层112P的上部被部分地除去以暴露多个掩模图案714的上表面。

[0169] 参照图7H,多个掩模图案714和多个衬垫氧化物层图案712(见图7G)被除去以暴露第一和第二初始鳍型有源区P1和P2的上表面和侧壁,凹陷工艺被进行以部分地除去初始器件隔离层112P、绝缘衬层132和142以及应力衬层134。

[0170] 因此,具有减小的高度的第一和第二器件隔离层112A和112B在第一和第二区域I和II上获得,第一和第二鳍型有源区F1和F2可以从第一和第二初始鳍型有源区P1和P2获得。

[0171] 在某些示例实施方式中,干蚀刻、湿蚀刻、或干蚀刻和湿蚀刻的组合可以用于进行凹陷工艺。

[0172] 当多个掩模图案714包括硅氮化物层时,可以进行利用例如 H_3PO_4 的湿蚀刻工艺以便除去多个掩模图案714。为了除去多个衬垫氧化物层图案712,可以进行利用例如稀释的HF(DHF)的湿蚀刻工艺。

[0173] 在某些示例实施方式中,为了进行初始器件隔离层112P的凹陷工艺,进行利用 NH_4OH 、四甲基氢氧化铵(TMAH)、氢氧化钾(KOH)溶液等作为蚀刻剂的湿蚀刻工艺或诸如ICP工艺、TCP工艺、电子回旋共振(ECR)工艺、反应离子蚀刻(RIE)工艺等的干蚀刻工艺。当初始器件隔离层112P的凹陷工艺通过干蚀刻工艺进行时,使用含氟气体诸如 CF_4 、含氯气体诸如 Cl_2 、HBr等,但是不限于此。

[0174] 在进行凹陷工艺期间,第一和第二初始鳍型有源区P1和P2(见图7G)的暴露在第一和第二区域I和II上的上部可以暴露于后续工艺的蚀刻气氛诸如等离子体和/或清洁气氛。因此,第一和第二初始鳍型有源区P1和P2的暴露于蚀刻、氧化和/或清洁气氛的上部被部分地消耗,并且如图7H所示,可以获得具有减小的宽度的上部的第一和第二鳍型有源区F1和F2。具体地,由于第二鳍型有源区F2在参照图7E示出的蚀刻工艺期间在第二初始鳍型有源区P2的外表面已经被部分地除去的状态下另外地经受凹陷工艺,所以第二鳍型有源区F2的上部的宽度可以比第一鳍型有源区F1的上部的宽度进一步减小。

[0175] 在第一区域I和第二区域II上进行凹陷工艺期间,第一和第二沟槽T11和T21的中心部分上的初始器件隔离层112P的蚀刻量可以大于中心部分的周边部分上的蚀刻量。因此,在完成凹陷工艺之后,具有凹入的上表面112AT的第一器件隔离层112A可以在第一区域I上获得,具有凹入的上表面112BT的第二器件隔离层112B可以在第二区域II上获得。

[0176] 第一区域I上的应力衬层134可以在凹陷工艺期间在蚀刻气氛下具有小于初始器

件隔离层112P的蚀刻选择比。于是,具有在比第一器件隔离层112A的上表面112AT高的水平处的第二上表面TS2的应力衬层134可以保留。此外,由于第一区域I上的设置在第一鳍型有源区F1和应力衬层134之间的绝缘衬层132设置在第一鳍型有源区F1和应力衬层134之间的相对窄的间隙中,所以绝缘衬层132可以在初始器件隔离层112P的凹陷工艺期间比初始器件隔离层112P较少地受到蚀刻气氛的影响。因此,绝缘衬层132的蚀刻量可以大于应力衬层134的蚀刻量并可以小于初始器件隔离层112P的蚀刻量。因此,在完成凹陷工艺之后,绝缘衬层132的第一上表面TS1可以低于应力衬层134的第二上表面TS2并可以高于第一器件隔离层112A的上表面112AT。

[0177] 然而,在第二区域II上,在凹陷工艺期间初始器件隔离层112P和绝缘衬层142的蚀刻量可以类似于彼此,或可以具有非常小的差异。因此,第二器件隔离层112B的上表面112BT可以从绝缘衬层142的第三上表面TS3连续地延伸而不产生台阶。

[0178] 在某些示例实施方式中,用于调整阈值电压的杂质离子注入工艺可以对第一和第二鳍型有源区F1和F2的暴露在第一和第二区域I和II上的上部进行。在用于调整阈值电压的杂质离子注入工艺期间,硼(B)离子被注入到第一和第二区域I和II中的其上将形成NMOS晶体管的一个中,磷(P)或砷(As)离子可以被注入到第一和第二区域I和II中的将形成PMOS晶体管的一个中。

[0179] 参照图7I,分别在第一和第二区域I和II上的覆盖第一和第二鳍型有源区F1和F2的暴露表面的第一和第二界面层122A和122B、第一和第二栅绝缘层124A和124B和第一和第二栅线150A和150B、以及第一和第二源/漏极区162A和162B(见图3A)被形成以制造参照图3A和3B示出的集成电路器件300。

[0180] 在某些示例实施方式中,置换多栅极(RPG)工艺可以用于形成第一和第二界面层122A和122B、第一和第二栅绝缘层124A和124B、以及第一和第二栅线150A和150B。第一和第二鳍型有源区F1和F2的上部可以分别形成第一沟道区CH1和第二沟道区CH2。

[0181] 为了在第一区域I和第二区域II上形成具有彼此不同的厚度的第一和第二栅绝缘层124A和124B,覆盖第一和第二区域I和II上的第一和第二鳍型有源区F1和F2的暴露表面的第一和第二界面层122A和122B被首先形成,然后从第一和第二界面层122A和122B的上部分别连续地延伸到第一和第二器件隔离层112A和112B的上部的第一栅绝缘层124A可以形成在第一和第二区域I和II上。然后,第一栅绝缘层124A在第二区域II上从其上表面被选择性地部分去除至预定深度以形成具有减小的厚度的第二栅绝缘层124B。

[0182] 形成在第一区域I上的第一栅绝缘层124A具有在覆盖绝缘衬层132的第一上表面TS1和应力衬层134的第二上表面TS2的部分上的第一突起PR1。当形成第一栅绝缘层124A时,第一突起PR1可以由于绝缘衬层132的第一上表面TS1、应力衬层134的第二上表面TS2和第一器件隔离层112A的上表面112AT的高度之间的差异而产生。第一突起PR1可以设置在第一鳍型有源区F1的相反两侧。第一栅线150A可以形成为在其面对第一栅绝缘层124A的第一突起PR1的部分上包括对应于第一突起PR1的凹陷表面部分150R1,在邻近于绝缘衬层132的第一上表面TS1和应力衬层134的第二上表面TS2的位置。

[0183] 在第二区域II上,台阶在第二器件隔离层112B的上表面112BT和绝缘衬层142的第三上表面TS3之间几乎看不到。因此,第二栅绝缘层124B可以不包括在第二器件隔离层112B的上表面112BT和绝缘衬层142的第三上表面TS3之间的边界上的突起。

[0184] 根据参照图7A至7I示出的制造集成电路器件300的方法,具有不同的导电类型的沟道区的第一和第二区域I和II具有不同构造的衬层,其中衬层覆盖第一和第二鳍型有源区F1和F2的下侧壁,覆盖第一和第二鳍型有源区F1和F2的第一和第二沟道区CH1和CH2以及衬层的上端表面的第一和第二栅绝缘层124A和124B在第一和第二区域I和II上是不同的。因此,当具有不同的导电类型的沟道区的被高度地按比例缩小的鳍FET形成在基板的多个区域上时,可以获得适合于形成在多个区域上的晶体管的每个的优化的操作特性,从而改善晶体管的性能。

[0185] 图3A和3B中示出的制造集成电路器件300的方法在以上参照图7A至7I描述,但是说明书中示出的各种结构示例的集成电路器件(例如如图1A和1B的集成电路器件100、图2的集成电路器件200、图4的集成电路器件400、图5A和5B的集成电路器件500、图6的集成电路器件600和其它修改的集成电路器件)可以通过利用在本发明构思的范围内的各种修改的方法来实现。

[0186] 例如,为了制造图2的集成电路器件200,浅沟槽ST形成在基板110中,然后,深沟槽DT以与参照图7A和图7B示出的类似的方式形成以限定一对鳍型有源区FA。然后,绝缘衬层132、应力衬层134和器件隔离层112可以关于第一区域I以与参照图7C至7H示出的类似的方式形成在浅沟槽ST和深沟槽DT中。这里,形成在浅沟槽ST中的绝缘衬层132可以形成为在覆盖浅沟槽ST的侧壁的部分处和在覆盖浅沟槽ST的底表面的部分处具有大致恒定的厚度。因此,如图2所示,浅沟槽ST的底表面上的绝缘衬层132的第三厚度D3可以大于覆盖深沟槽DT的底表面的底部延伸部132B的第二厚度D2。

[0187] 在制造图2的集成电路器件200的工艺中,为了使浅沟槽ST的底表面上的绝缘层132的第三厚度D3形成得大于深沟槽DT的底表面上的底部延伸部132B的第二厚度D2,参照图7G示出的初始器件隔离层112P的退火处理条件以及浅沟槽ST和深沟槽DT的尺寸可以被调整。例如,浅沟槽ST的底表面可以在浅沟槽ST和深沟槽DT的宽度方向(X轴方向)上具有小于深沟槽DT的底表面的宽度。在这种情况下,当进行初始器件隔离层112P的退火工艺时,绝缘衬层132的氧化在浅沟槽ST的底表面上在比深沟槽DT窄的空间中进行,因此,在浅沟槽ST的底表面上,绝缘衬层132的覆盖浅沟槽ST的侧壁的部分以及绝缘衬层132的覆盖浅沟槽ST的底表面的部分由于氧化同时在厚度上增大。因此,绝缘衬层132的厚度可以在限定窄空间的浅沟槽ST的底表面上比在深沟槽DT上更多地增加。

[0188] 为了制造图4的集成电路器件400,如参照图7A至7F所示进行工艺到第二区域II上的第二初始鳍型有源区P2的暴露表面上形成绝缘衬层142的步骤,然后,在除去保留在第一区域I上的掩模图案720之前可以在第二区域II上进一步进行在绝缘衬层142上形成应力衬层144的工艺。

[0189] 应力衬层144可以包括与包含在应力衬层134中的材料相同的材料,或者可以包括与包含在应力衬层134中的材料不同的材料。然而,应力衬层144可以包括比形成在第一区域I上的应力衬层134小的厚度。因而,在如参照图7H所述进行初始器件隔离层112P的凹陷工艺之后,形成在第二区域II上的应力衬层144的第五上表面TS5的第五高度H5可以低于形成在第一区域I上的应力衬层134的第二上表面TS2的高度。此外,第二区域II上的绝缘衬层142的上表面TS4与应力衬层144的第五上表面TS5之间的差异可以小于第一区域I上的绝缘衬层132的第一上表面TS1与应力衬层134的第二上表面TS2之间的差异。因此,当第二栅绝

缘层124B以与图7I类似的方式形成在第二区域II上时,覆盖绝缘衬层142的第四上表面TS4和应力衬层144的第五上表面TS5的第二突起PR2可以如图4所示形成。此外,第二栅线150B可以包括在面向第二突起PR2的部分上的对应于突起PR2的凹陷表面部分150R2。

[0190] 以上描述了根据一个或多个示例实施方式的制造集成电路器件的示例方法。然而,本领域普通技术人员将理解,图1A至图6中示出的集成电路器件100、200、300、400、500和600以及具有从其修改和改变的各种结构的集成电路器件可以通过在本发明构思的范围内的各种制造方法来制造。

[0191] 现在参照图8,将论述根据本发明构思的某些实施方式的电子设备1000的方框图。如图8所示,电子设备1000包括逻辑区域1010和存储器区域1020。

[0192] 逻辑区域1010可以包括各种逻辑单元,该各种逻辑单元包括多个电路元件诸如晶体管、寄存器等作为执行期望的逻辑功能的标准单元诸如计数器、缓存器等。逻辑单元可以配置例如AND、NAND、OR、NOR、XOR(异或)、XNOR(同或)、INV(非门)、ADD(加法器)、BUF(缓冲器)、DLY(延迟)、FILL(滤波器)、多路复用器(MXT/MXIT)、OAI(OR/AND/INVERTER)、AO(和/或)、AOI(AND/OR/INVERTER)、D触发器、复位触发器、主从触发器、锁存器等。然而,根据一个或多个示例实施方式的逻辑单元不限于以上示例。

[0193] 存储器区域1020可以包括SRAM、DRAM、MRAM、RRAM和PRAM中的至少一个。逻辑区域1010和存储器区域1020可以分别包括图1A至6中示出的集成电路器件100、200、300、400、500和600以及具有从以上集成电路器件100、200、300、400、500和600修改和改变的各种结构的其它集成电路器件中的至少一个。在某些示例实施方式中,存储器区域1020可以包括图1A至图4中示出的集成电路器件100、200、300和400以及具有从其修改和改变的各种结构的集成电路器件中的至少一个。

[0194] 现在参照图9,将论述根据本发明构思的某些实施方式的电子系统2000的方框图。如图9所示,电子系统2000包括经由总线2050连接到彼此的控制单元2010、输入/输出(I/O)装置2020、存储器2030以及接口2040。

[0195] 控制单元2010可以包括微处理器、数字信号处理器及其他类似的处理器中的至少一个。I/O装置2020可以包括键区、键盘和显示器中的至少一个。存储器2030可以用于存储被控制单元2010执行的命令。例如,存储器2030可以用于存储用户数据。

[0196] 电子系统2000可以配置无线通信装置或者能够在无线通信环境下发送和/或接收信息的装置。接口2040可以包括无线接口以在电子系统2000中经由无线通信网络发送/接收数据。接口2040可以包括天线和/或无线收发器。在某些示例实施方式中,电子系统2000可以用于第三代通信系统通信接口协议,例如码分多址(CDMA)、全球移动通信系统(GSM)、北美数字蜂窝(NADC)、扩展时分多址(E-TDMA)和/或宽频带码分多址(WCDMA)。电子系统2000包括图1A至图6中示出的集成电路器件100、200、300、400、500和600和具有在本发明构思的范围内修改和改变的各种结构的各种集成电路器件中的至少一个。

[0197] 虽然已经参照其示例实施方式具体示出和描述了本发明构思,但是将理解,可以在其中进行形式和细节上的各种变化,而没有背离权利要求书的精神和范围。

[0198] 本申请要求于2015年9月1日在韩国知识产权局提交的韩国专利申请第10-2015-0123660的权益,其公开内容通过引用整体结合于此。

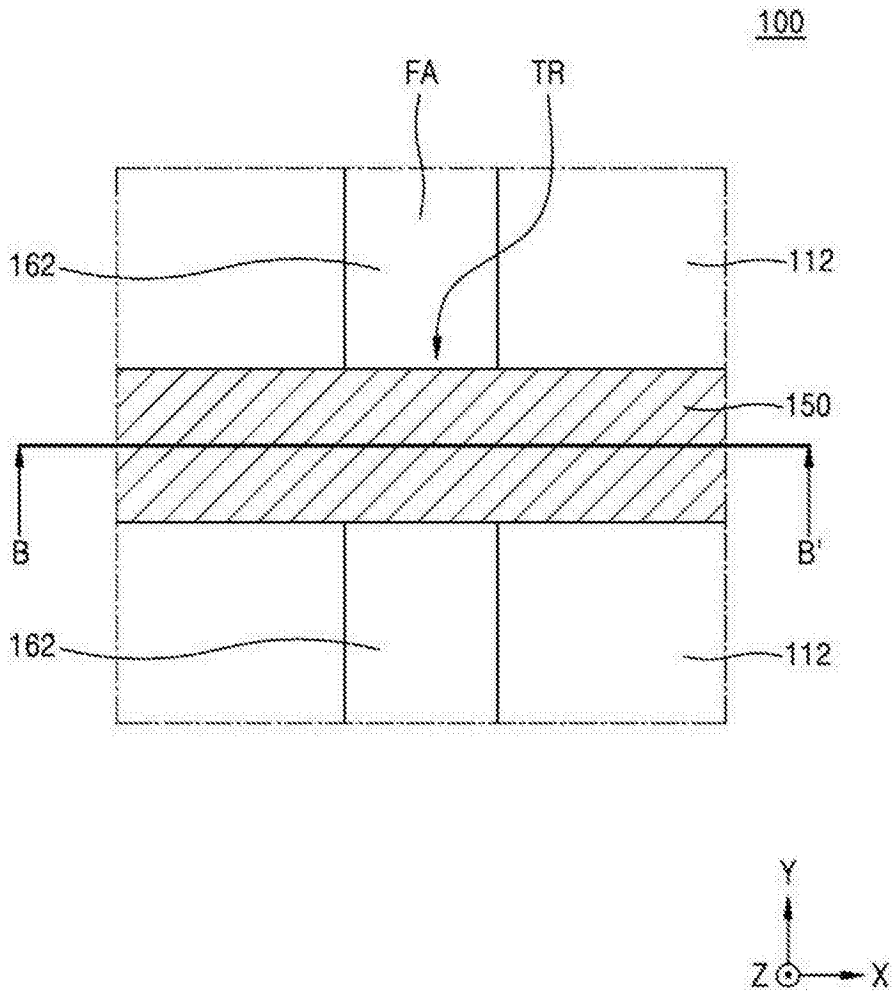


图1A

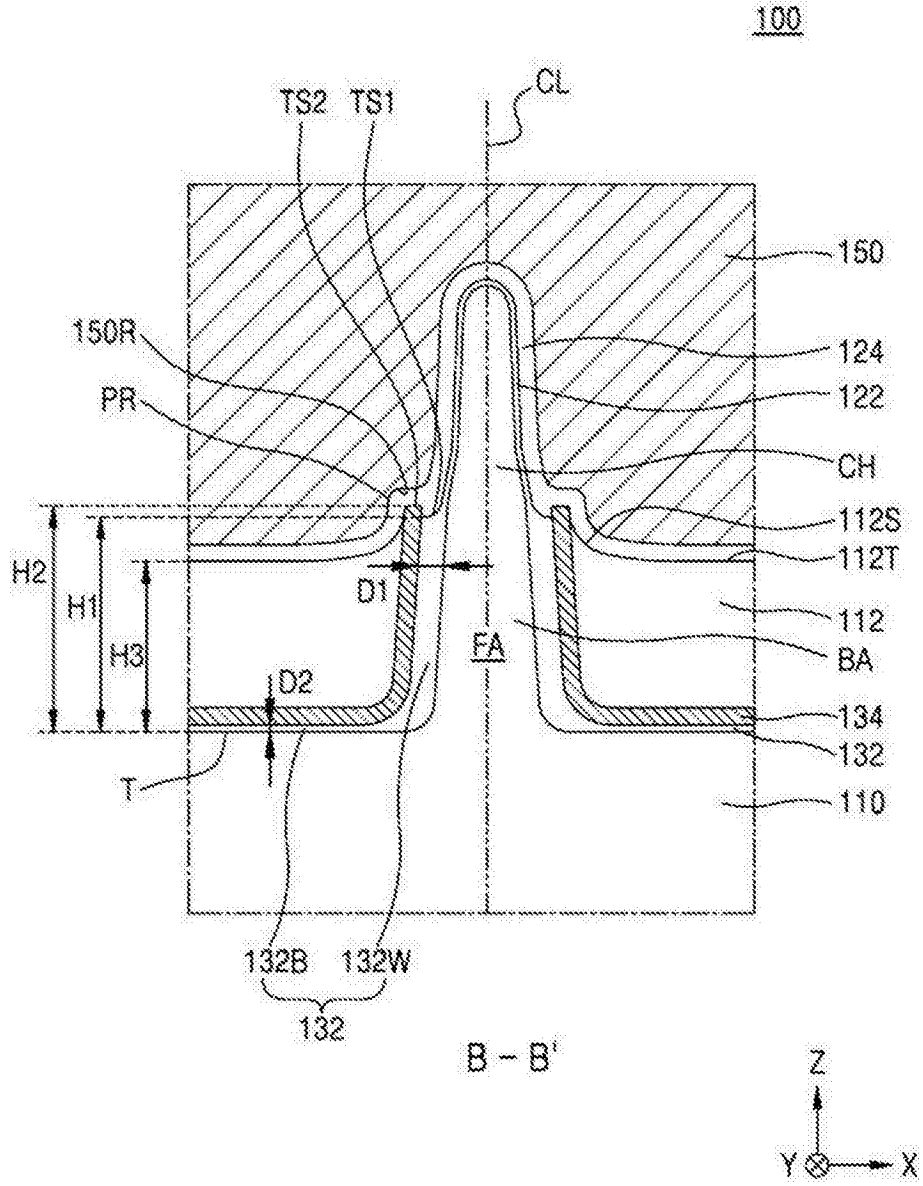


图1B

200

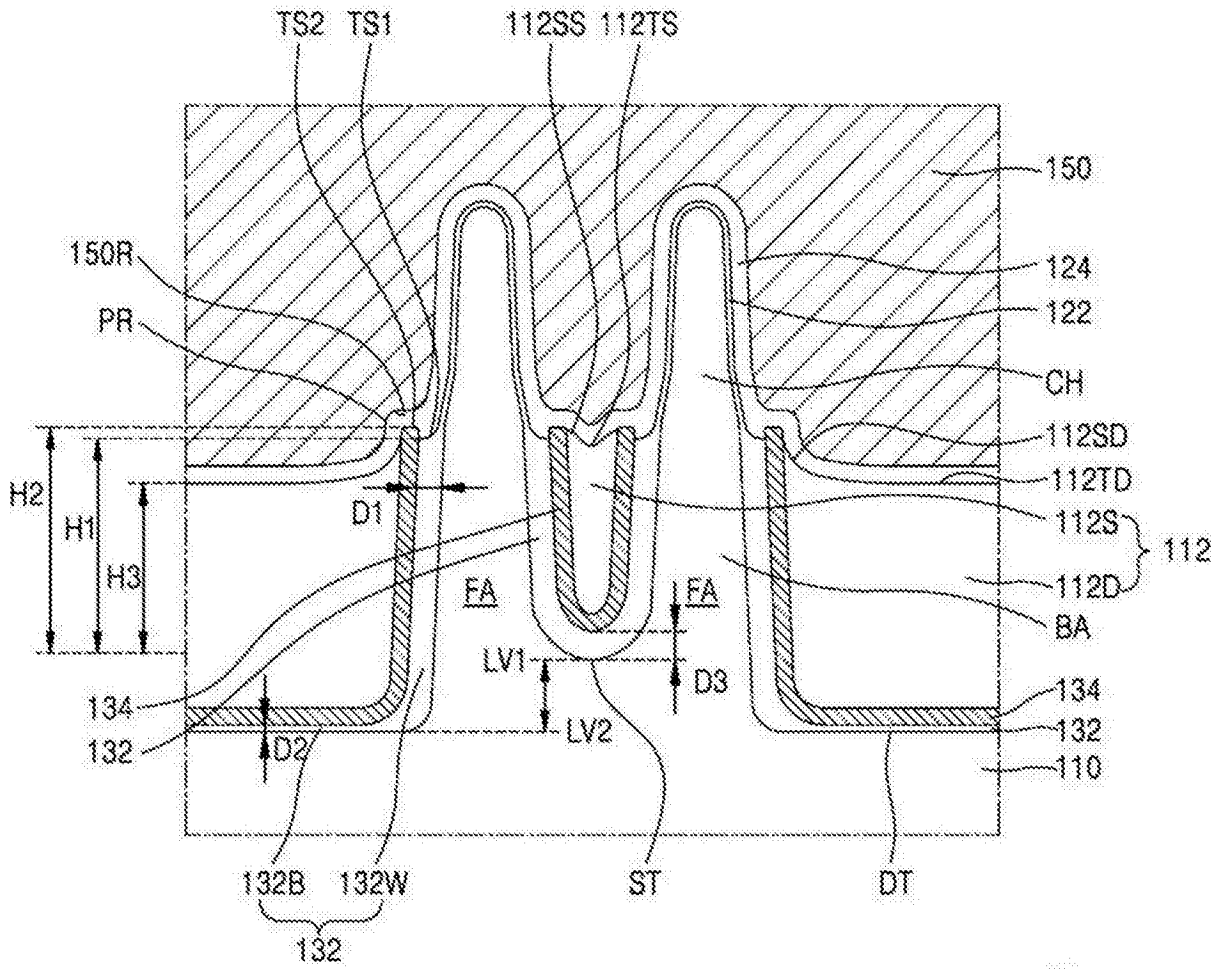


图2

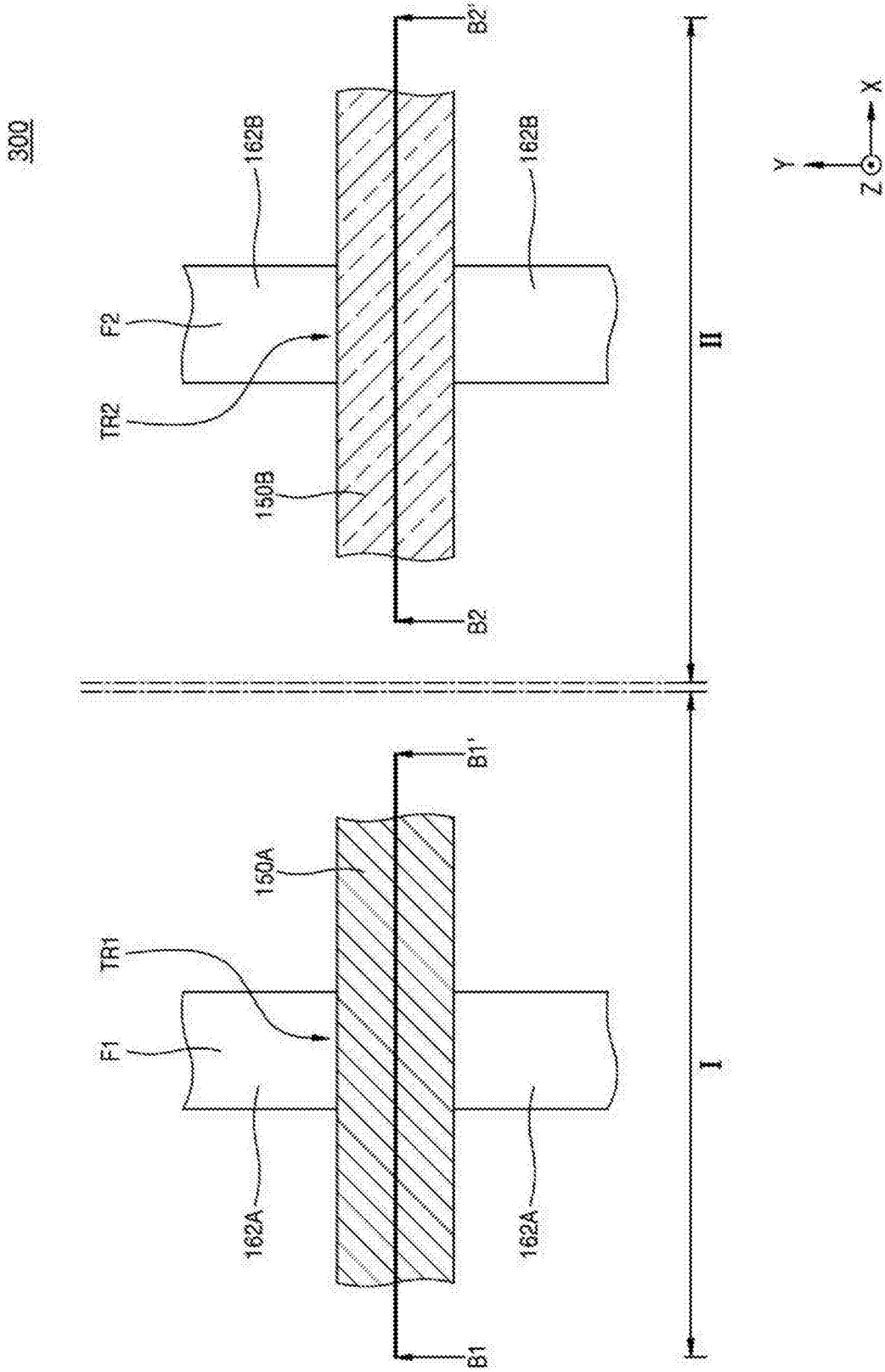


图3A

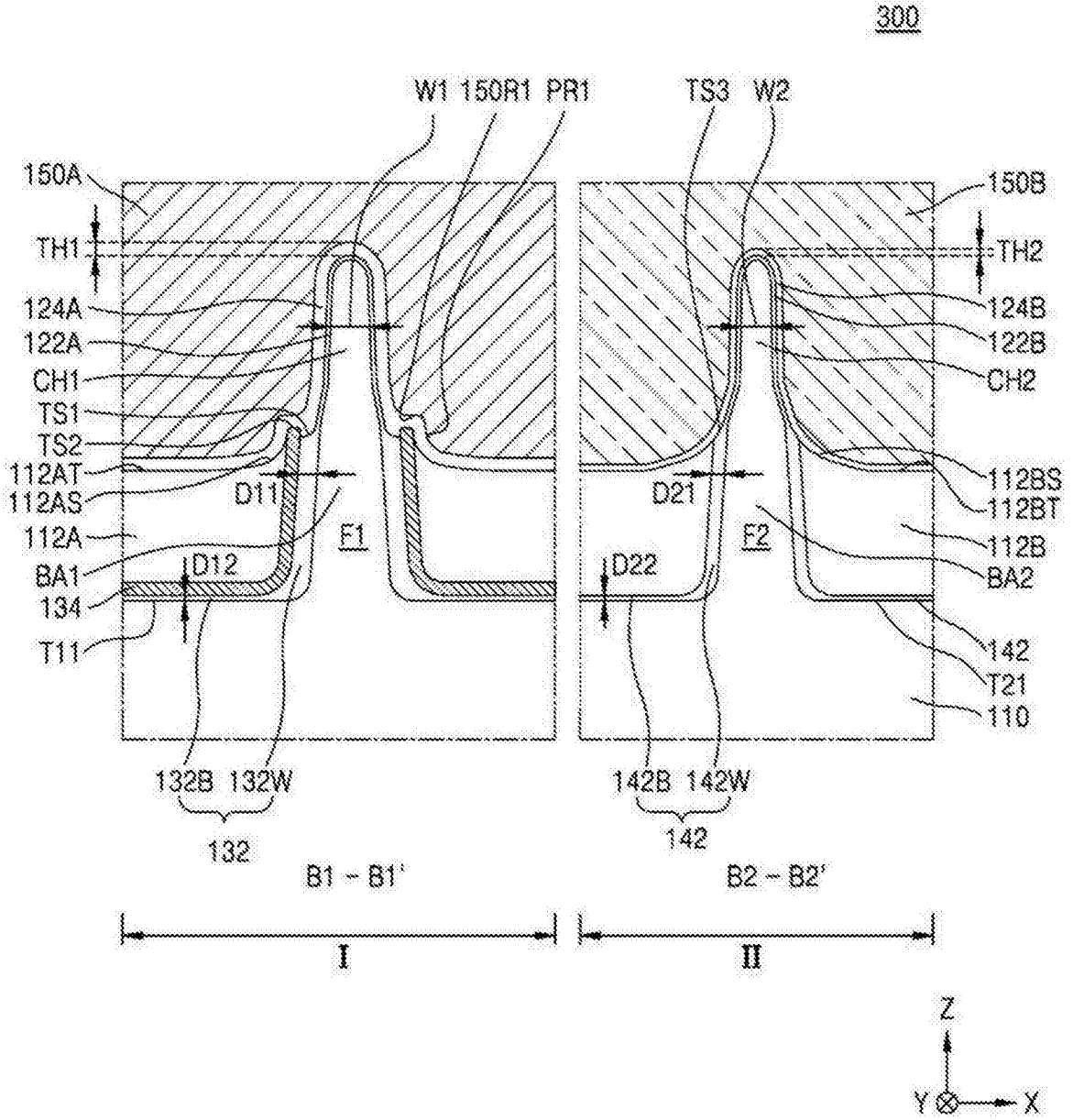


图3B

400

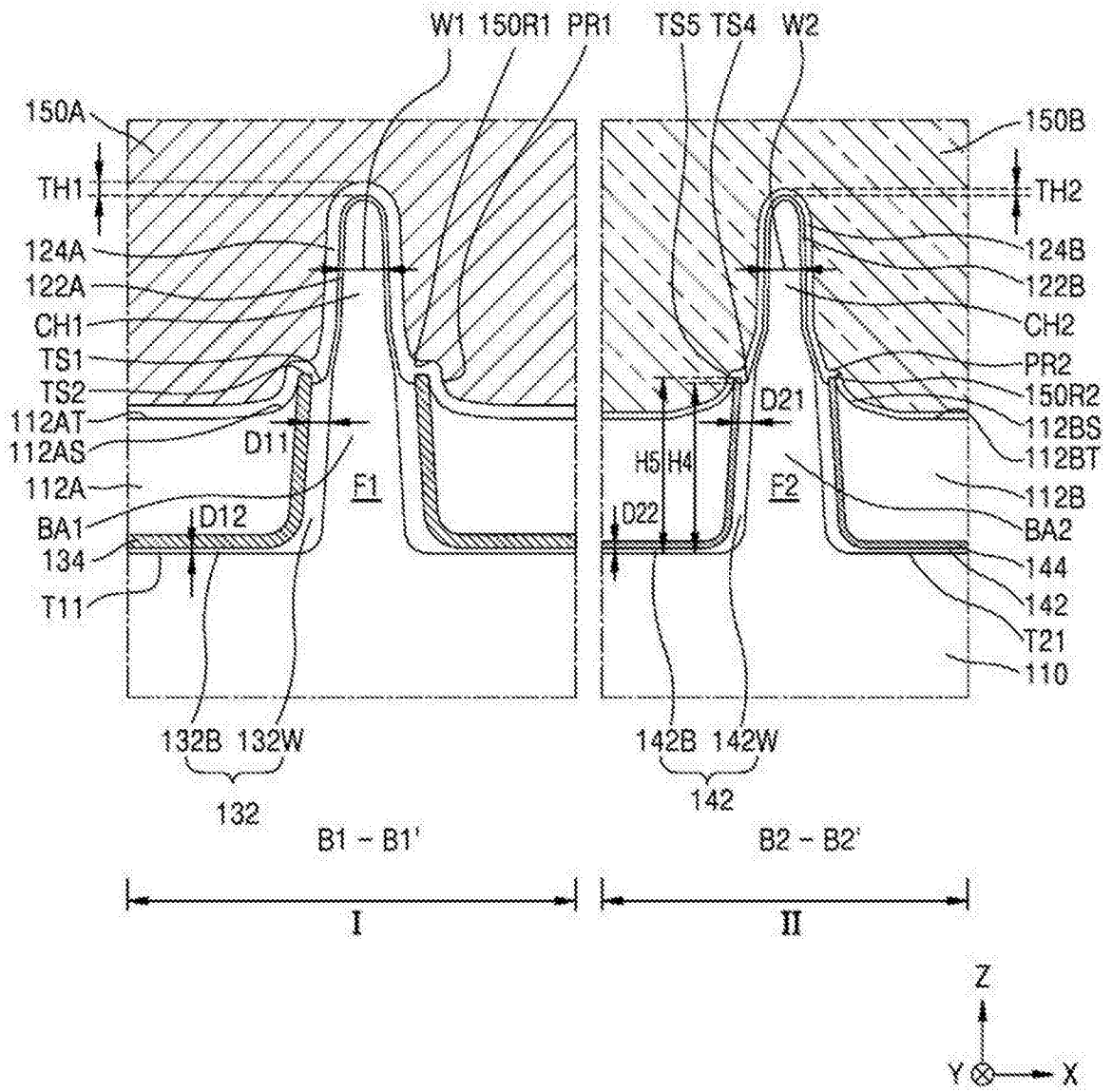


图4

500

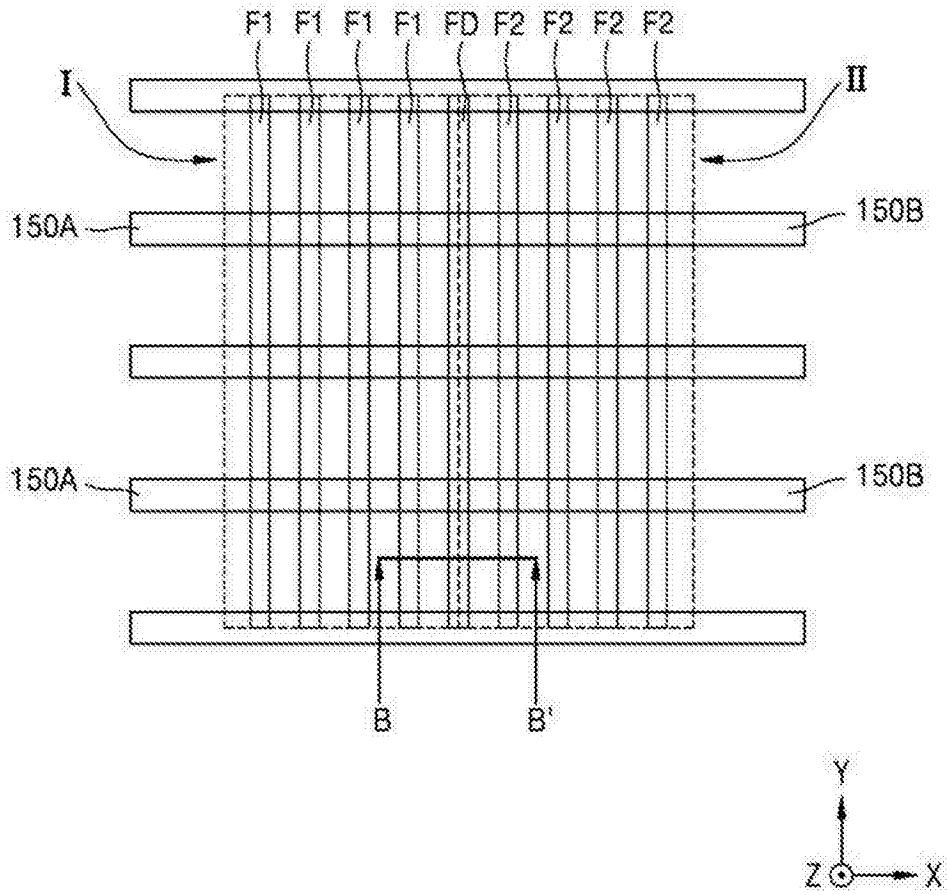


图5A

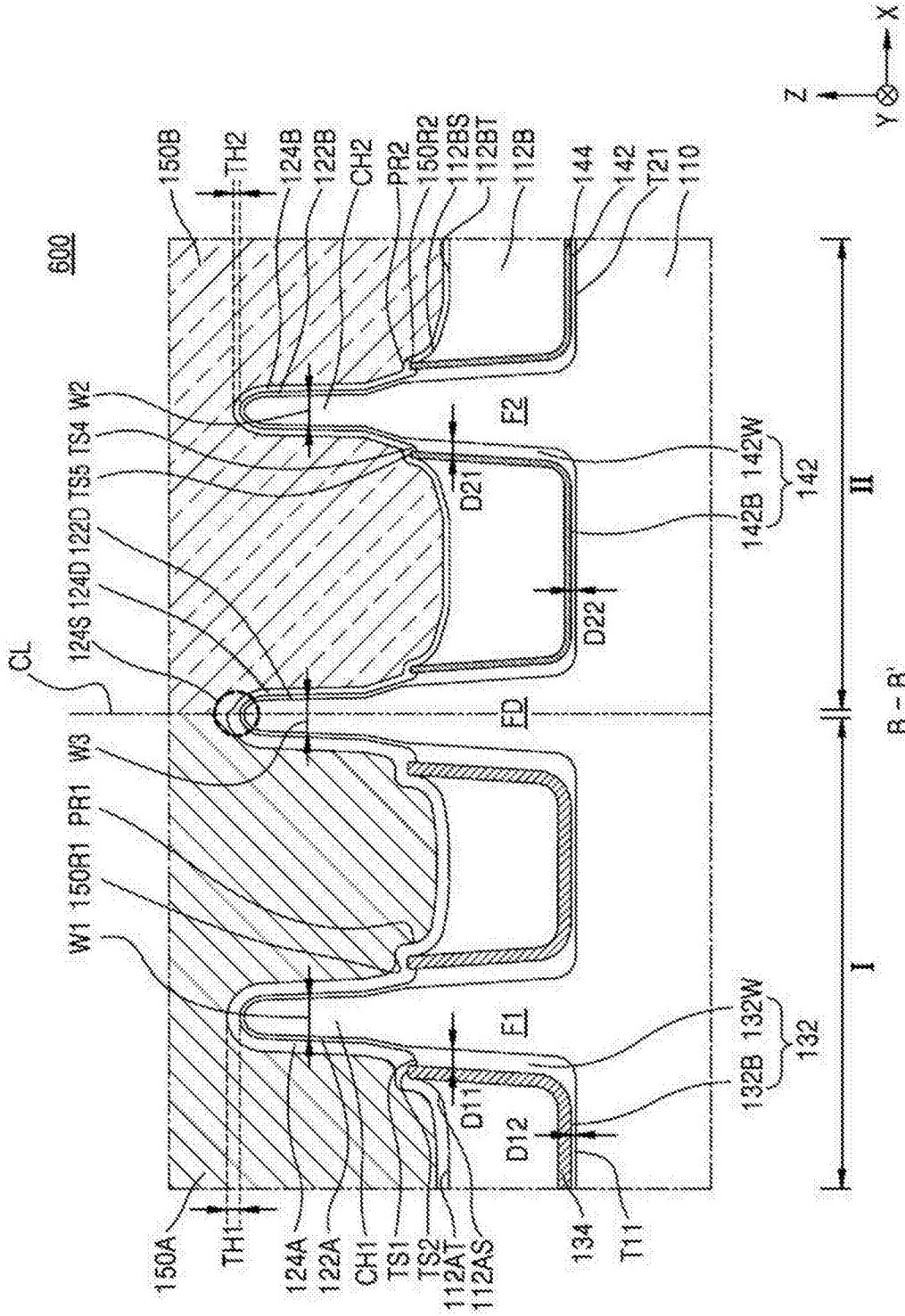


图6

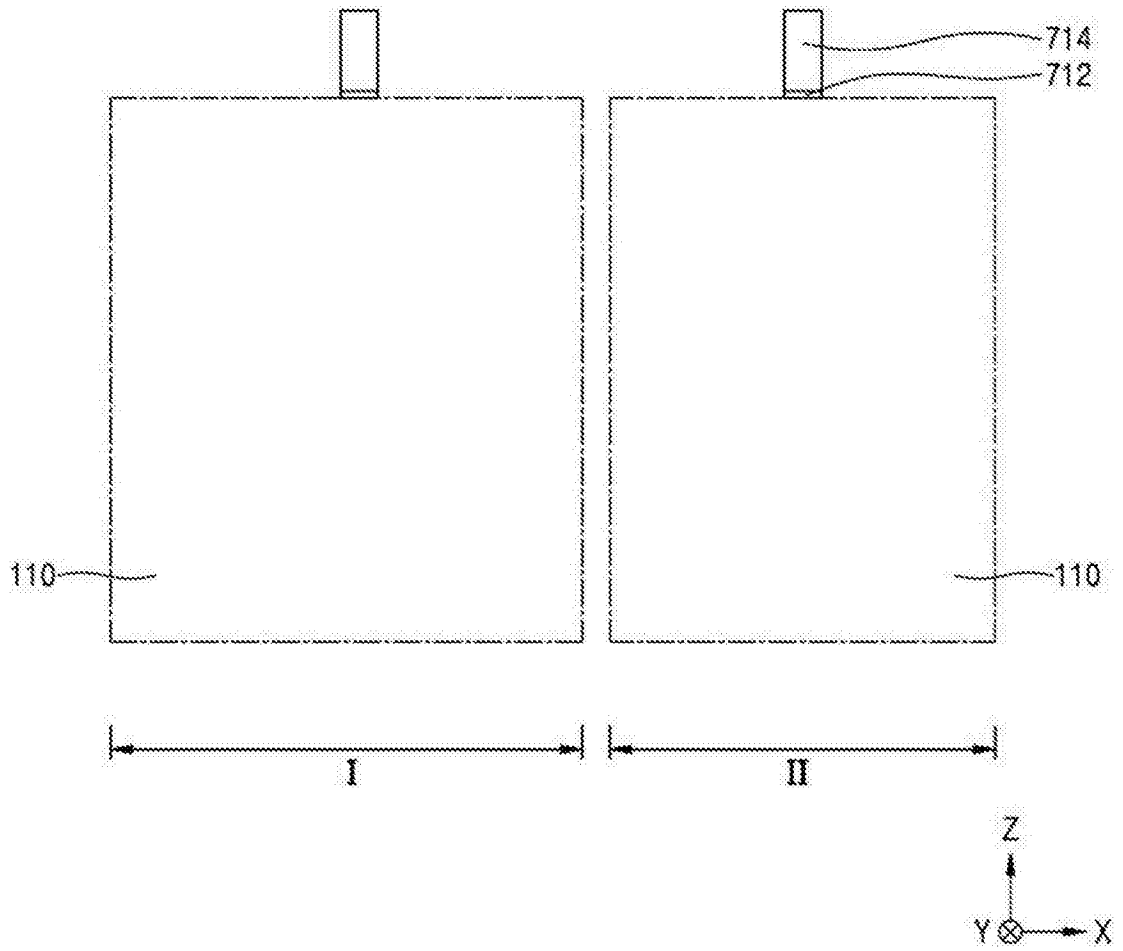


图7A

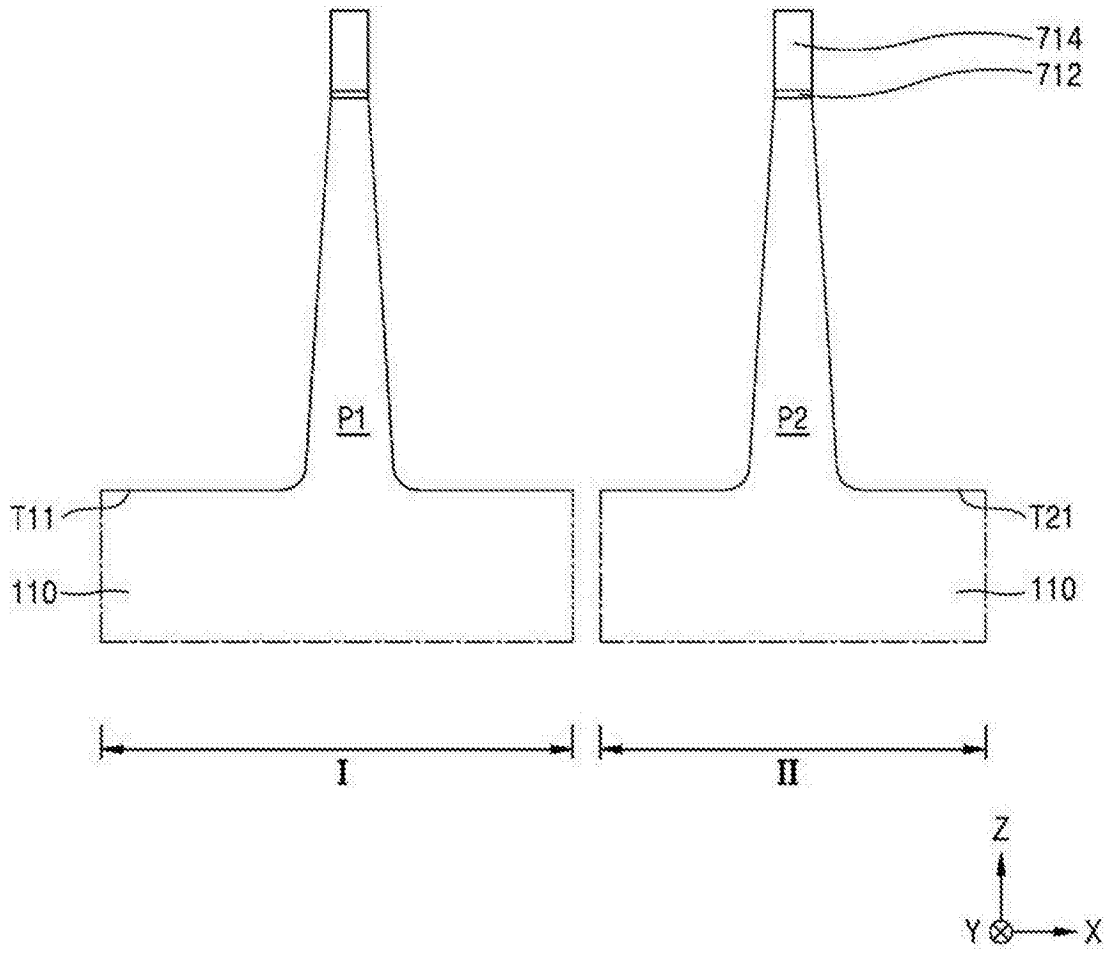


图7B

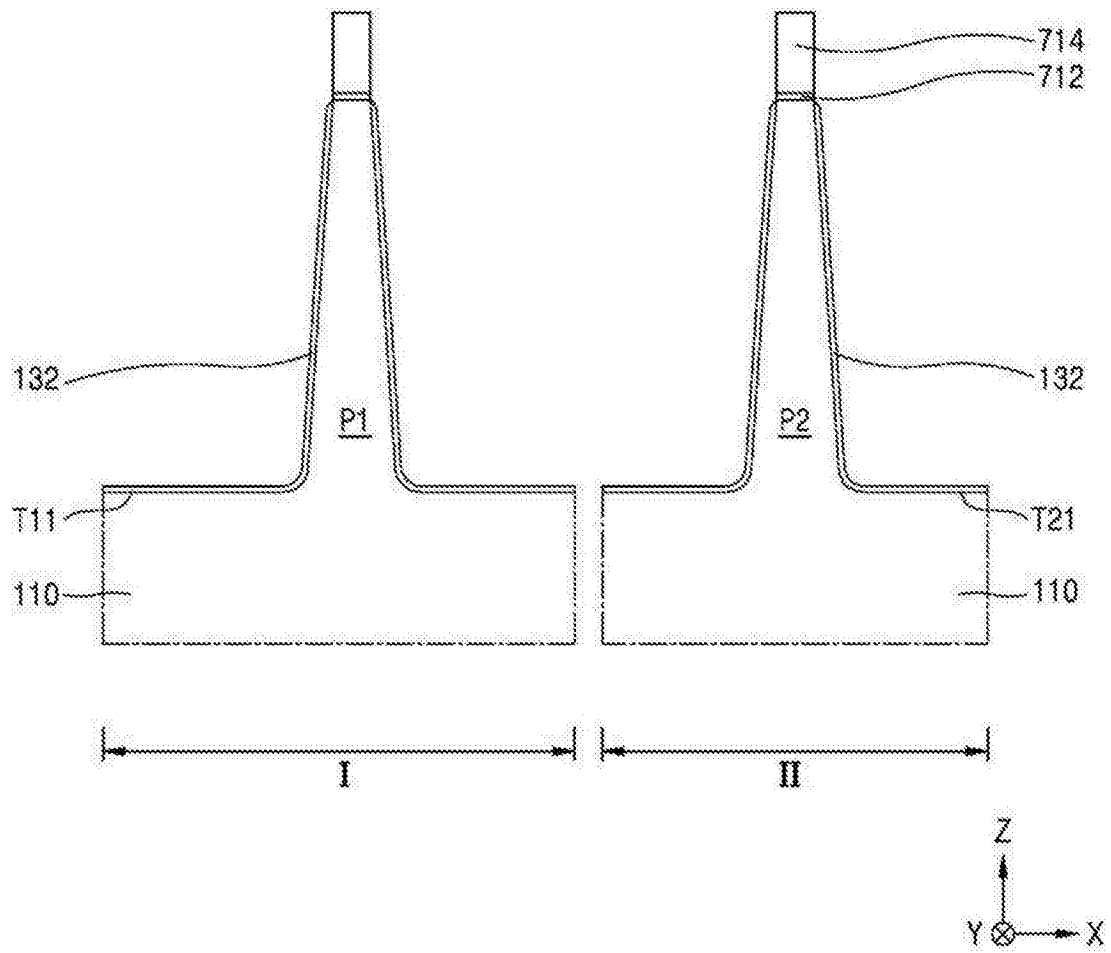


图7C

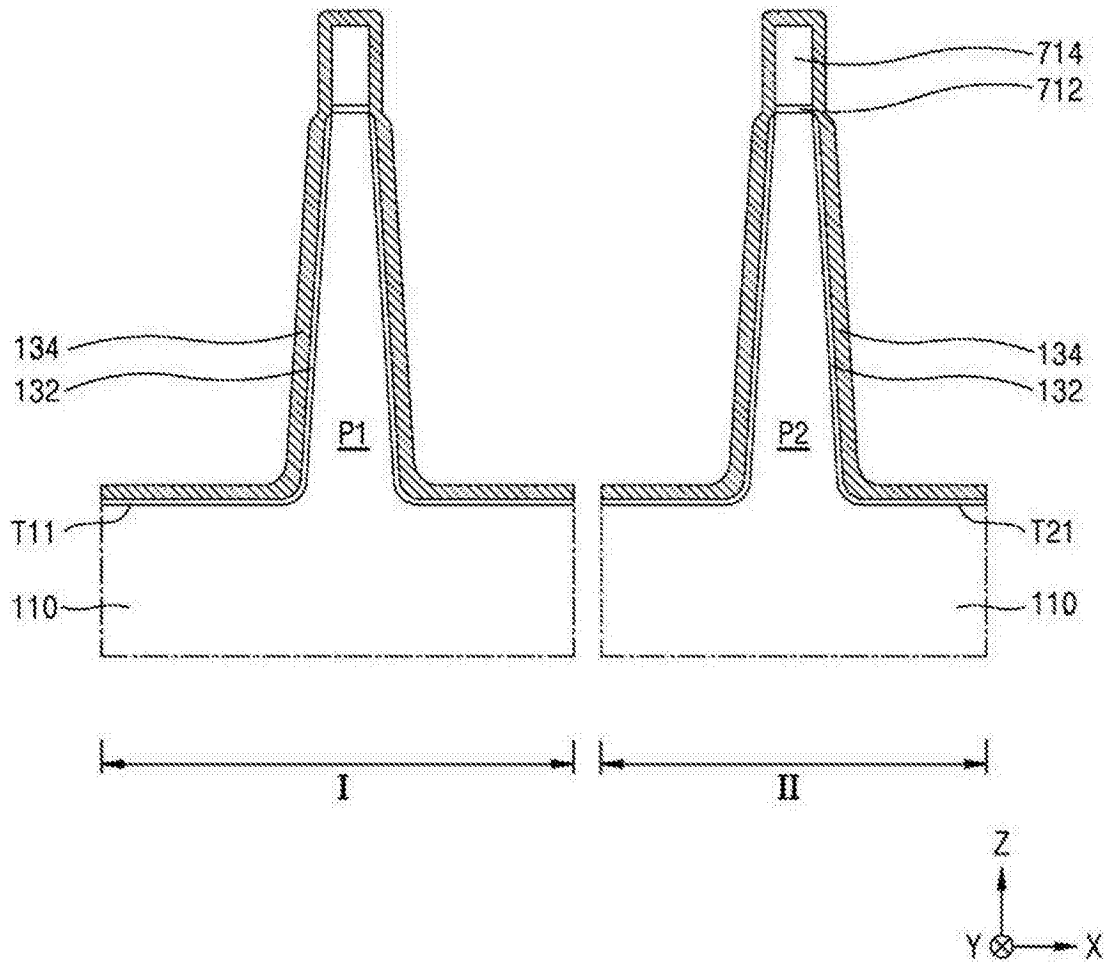


图7D

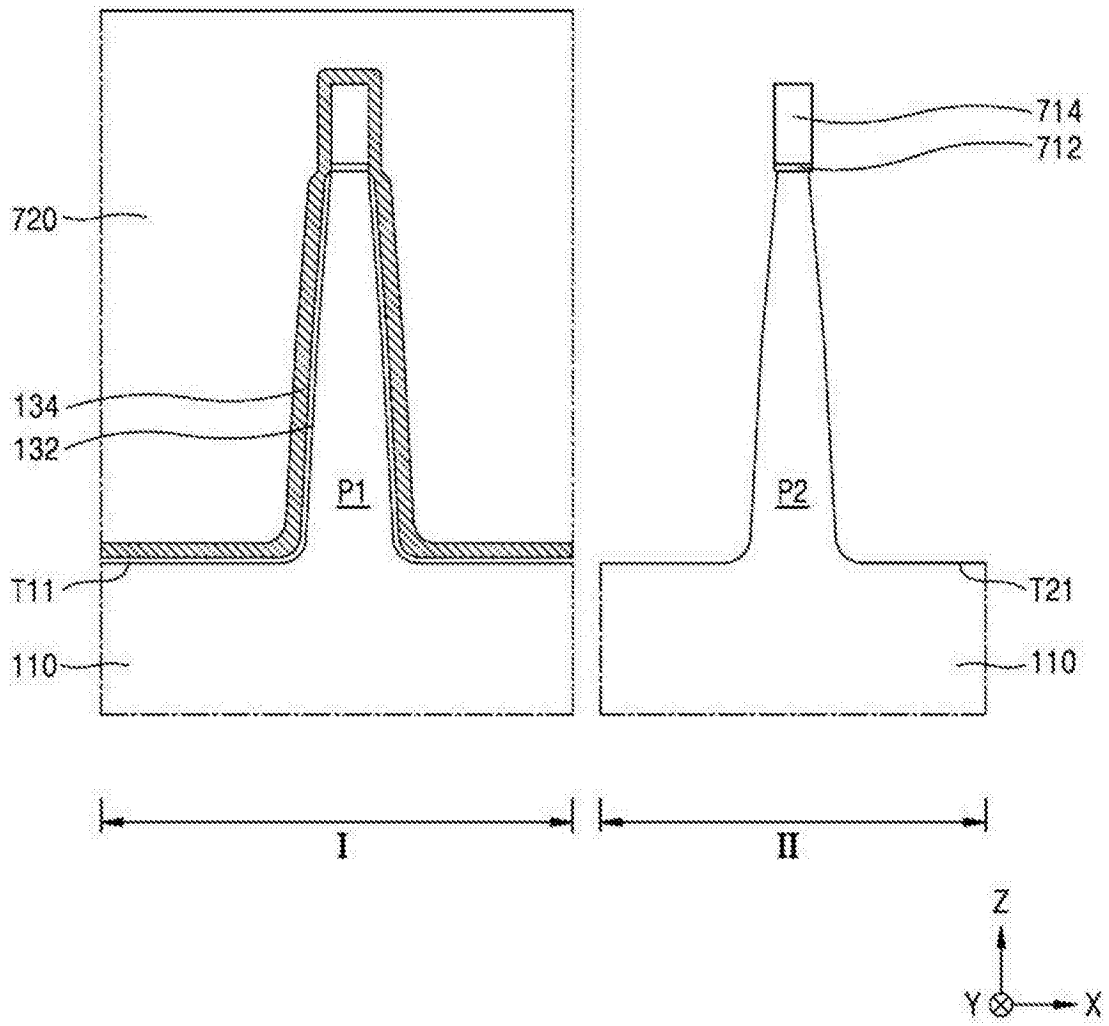


图7E

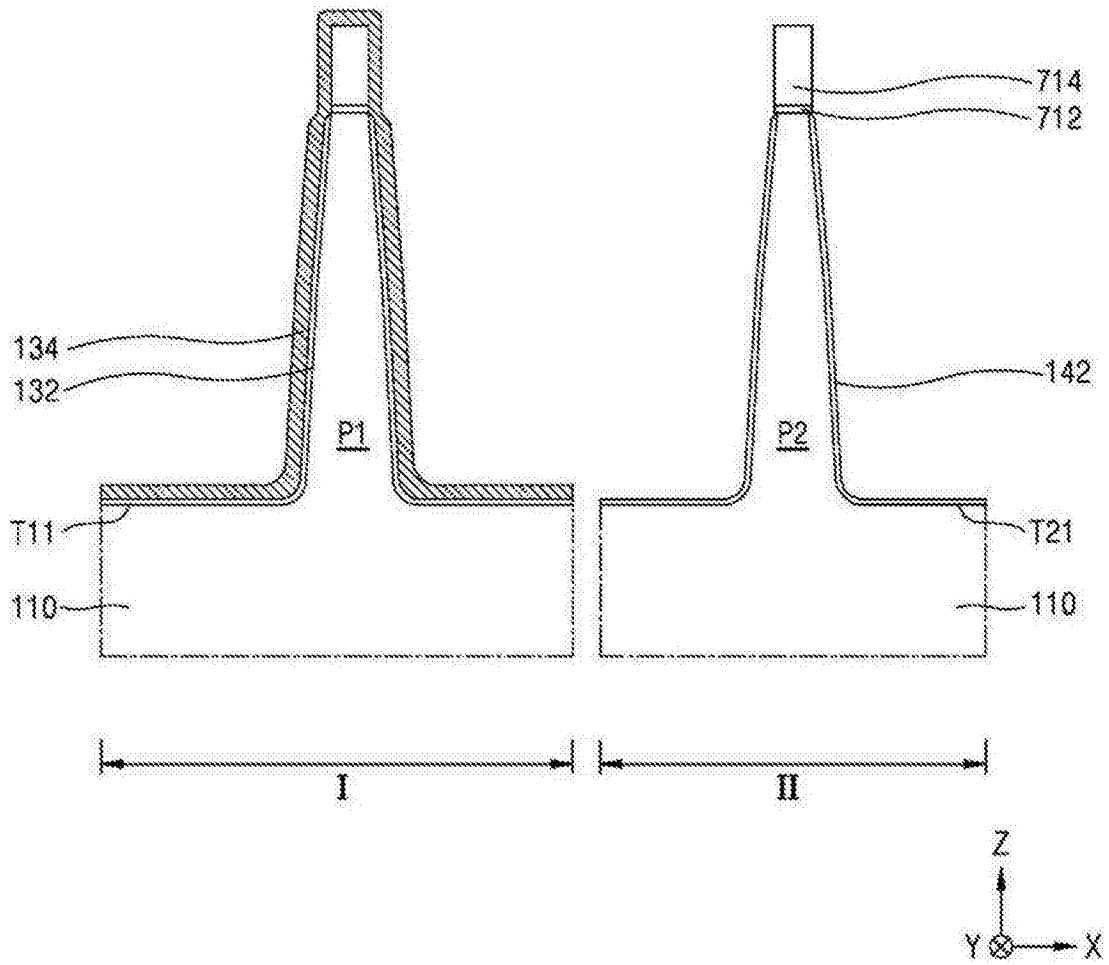


图7F

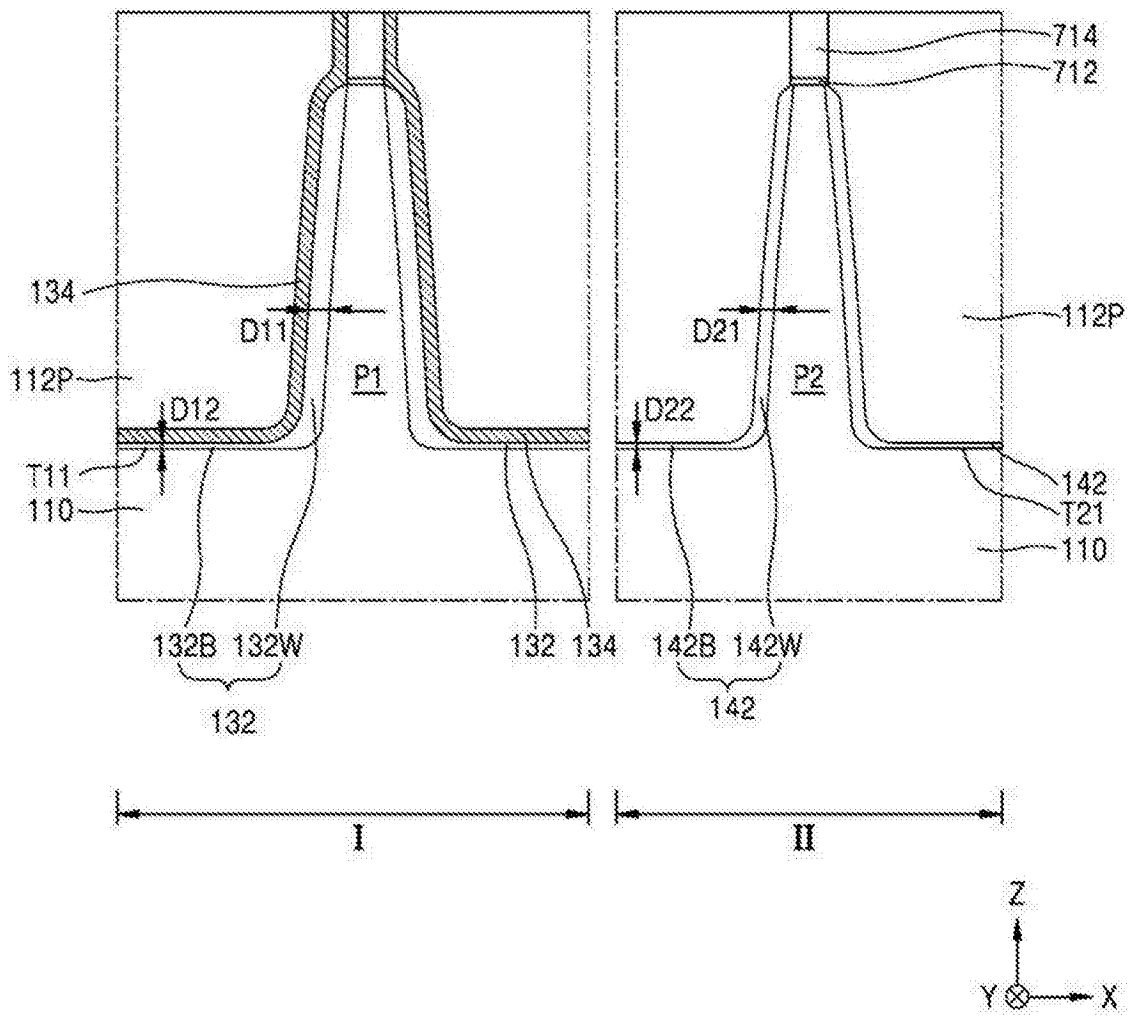


图7G

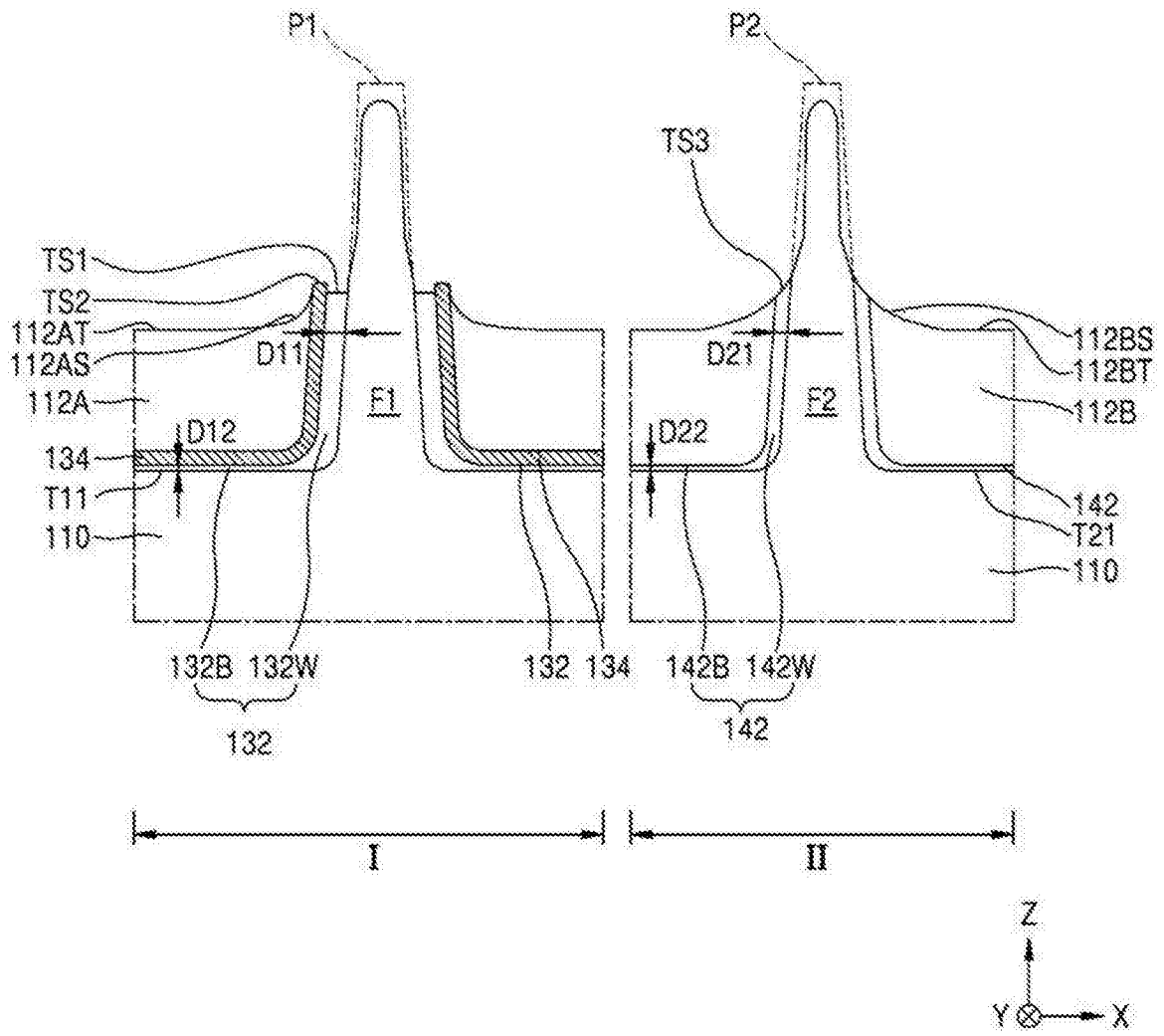


图7H

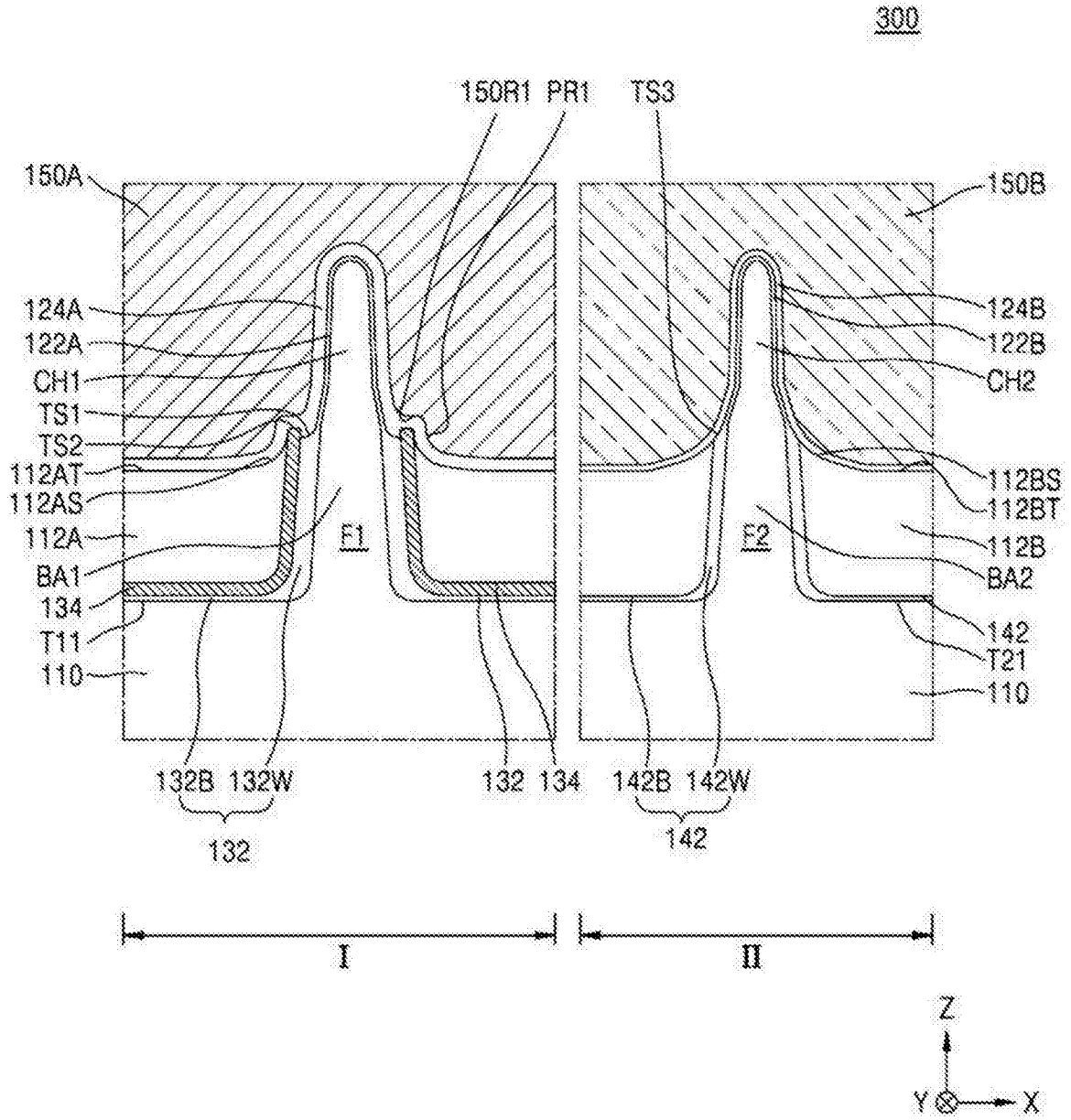


图7I

1000

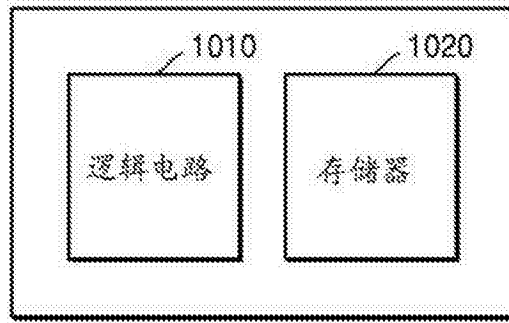


图8

2000

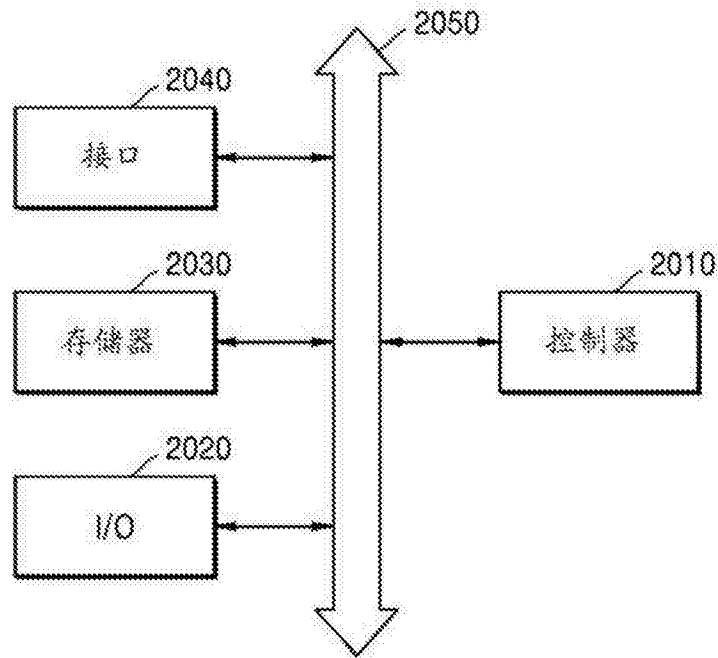


图9