

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5467454号  
(P5467454)

(45) 発行日 平成26年4月9日(2014.4.9)

(24) 登録日 平成26年2月7日(2014.2.7)

(51) Int.Cl.		F I	
<b>H03K</b>	<b>17/06</b>	<b>(2006.01)</b>	H03K 17/06 C
<b>H03K</b>	<b>17/687</b>	<b>(2006.01)</b>	H03K 17/687 F
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G 3/20 612L
<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	G09G 3/36

請求項の数 13 (全 20 頁)

(21) 出願番号	特願2009-202060 (P2009-202060)	(73) 特許権者	303018827 NLTテクノロジー株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成21年9月1日(2009.9.1)	(74) 代理人	100080816 弁理士 加藤 朝道
(65) 公開番号	特開2011-55235 (P2011-55235A)	(72) 発明者	野中 義弘 神奈川県川崎市中原区下沼部1753番地 NEC液晶テクノロジー株式会社内
(43) 公開日	平成23年3月17日(2011.3.17)		
審査請求日	平成24年8月30日(2012.8.30)	審査官	栗栖 正和

最終頁に続く

(54) 【発明の名称】 ブートストラップ回路及びレベルシフト回路並びにワード線駆動回路

(57) 【特許請求の範囲】

【請求項1】

第1の電源と出力端子とを接続する第1のトランジスタと、  
前記第1のトランジスタのゲート端子に第1の入力信号を印加する、前記第1のトランジスタと同じ導電型の第2のトランジスタと、

入力を時間遅延させて出力する信号遅延回路と、

入力を直流電圧分オフセットさせて出力する直流バイアス回路と、

を備え、

前記第1の入力信号に対してレベル反転し、前記信号遅延回路により遅延させ、さらに前記直流バイアス回路により直流バイアスされた第2の入力信号を、前記第2のトランジスタのゲート端子に入力することを特徴とするブートストラップ回路。

10

【請求項2】

前記第2のトランジスタのゲート端子側に、前記信号遅延回路を設け、前記第2のトランジスタのソースまたはドレイン端子側に、前記直流バイアス回路を設けることを特徴とする請求項1記載のブートストラップ回路。

【請求項3】

第2の電源と前記出力端子とを接続する、前記第1のトランジスタと同じ導電型の第3のトランジスタをさらに備え、

前記第3のトランジスタのゲート端子に前記第1の入力信号のレベル反転信号を与えることを特徴とする請求項1に記載のブートストラップ回路。

20

## 【請求項 4】

前記第 2 の電源と前記信号遅延回路の出力端子とを接続する、前記第 1 のトランジスタと同じ導電型の第 4 のトランジスタをさらに備え、

前記第 4 のトランジスタのゲート端子と前記第 1 のトランジスタのゲート端子を結ぶことを特徴とする請求項 1 または 2 記載のブートストラップ回路。

## 【請求項 5】

前記直流バイアス回路は、少なくとも前記第 2 のトランジスタの閾値電圧以上の直流バイアス電圧を加えることを特徴とする請求項 1 または 2 記載のブートストラップ回路。

## 【請求項 6】

前記直流バイアス回路は、入力端と出力端を接続する容量素子と、前記出力端とバイアス電圧源を接続するスイッチ素子とで構成されることを特徴とする請求項 1、2 又は 5 に記載のブートストラップ回路。

10

## 【請求項 7】

前記直流バイアス回路は、

入力端と出力端を接続する第 1 の容量素子と、

前記入力端の信号の反転信号が一端に与えられる第 2 の容量素子と、

前記出力端とバイアス電圧源とを接続する第 1 のスイッチ素子と、

前記第 2 の容量素子の他端と前記バイアス電圧源とを接続する第 2 のスイッチ素子と

を備え、

20

前記第 1 のスイッチ素子のゲート端子と前記第 2 の容量素子の他端とを接続し、前記第 2 のスイッチ素子のゲート端子と前記出力端とを接続することを特徴とする請求項 1、2 又は 5 に記載のブートストラップ回路。

## 【請求項 8】

前記信号遅延回路は、直列接続される複数の反転回路で構成されることを特徴とする請求項 1 または 2 記載のブートストラップ回路。

## 【請求項 9】

前記信号遅延回路は、

入力端と出力端を接続する直列抵抗と、

一方を前記出力端に接続し、他方に固定電位が与えられる容量素子と、

を備えることを特徴とする請求項 1 または 2 記載のブートストラップ回路。

30

## 【請求項 10】

前記直列抵抗は、一端をソース端子とし、他端をドレイン端子とするトランジスタであることを特徴とする請求項 9 記載のブートストラップ回路。

## 【請求項 11】

前記容量素子は、一端をソース端子およびドレイン端子とし、他端をゲート端子とするトランジスタであることを特徴とする請求項 9 記載のブートストラップ回路。

## 【請求項 12】

請求項 1 乃至 11 のいずれか一に記載のブートストラップ回路を出力回路として備えることを特徴とするレベルシフト回路。

40

## 【請求項 13】

請求項 1 乃至 11 のいずれか一に記載のブートストラップ回路を出力回路として備えることを特徴とするワード線駆動回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、ブートストラップ回路に関し、特に入力信号の振幅を拡大させるレベルシフト回路やメモリ装置のワード線駆動回路に好適なブートストラップ回路に関する。

## 【背景技術】

## 【0002】

50

半導体装置を構成する回路としては、一般に低消費電力であることから、N型MOSトランジスタとP型MOSトランジスタを用いたCMOS回路が用いられることが多い。2値のパルス信号を出力する場合、電源として高電位(VDD)と低電位(VSS)を用いて、それぞれのレベルの電位を出力することができる。すなわち高電位を出力するためにP型MOSトランジスタを、低電位を出力するためにN型MOSトランジスタをそれぞれ導通するように回路を構成することができる。しかしながら、CMOS半導体装置を製造するには、成膜、マスク露光、エッチングなどの工程に加えて、P型MOSおよびN型MOSを作るために複数回の不純物注入工程があり、製造コストが増加する。

#### 【0003】

一方、P型MOSもしくはN型MOSの単一導電型MOSトランジスタのみで構成される半導体装置は、その製造工程において不純物注入などの工程数を減らすことが可能なため、製造コストを低減することができる。しかしながら、導電特性が単一であるためにCMOSに比べて消費電力の増加や出力マージンの低下が生じる。例えば、P型MOSトランジスタのみで回路を構成した場合、低電位のVSSの出力時にはトランジスタの閾値電圧に対応する電位だけ高い電圧が出力され、またN型MOSトランジスタのみで回路を構成した場合、高電位のVDDの出力時にはトランジスタの閾値電圧に対応する電位だけ低い電圧が出力される。

#### 【0004】

そこで振幅を拡大するために、ブートストラップ効果を用いたダイナミック回路が提案され、利用されている。従来のブートストラップ回路の一例を特許文献1から引用して図18に示す。このブートストラップ回路は、電源VDDと出力端子OutをつなぐN型MOSトランジスタ101と、トランジスタ101のゲート電極(ノードN1)に入力パルス信号Inを入力するN型MOSトランジスタ102と、トランジスタ101のソース電極とゲート電極につながるカップリング容量103と、電源VSSと出力端子OutをつなぐN型MOSトランジスタ104で構成される。トランジスタ102のゲート電極には電源VDDをつなぎ、トランジスタ104のゲート電極には入力パルスInbを入力する。入力パルス信号Inは高電位がVDD、低電位がVSSであり、InbはInの反転信号である。

#### 【0005】

図19は、以上のようなブートストラップ回路の動作を示すタイミング図である。まず、期間t2において、パルス信号Inbが高電位のVDD、Inが低電位のVSSとなると、トランジスタ102および104が導通してノードN1および出力Outは低電位のVSSに下がる。次に期間t3になると、パルス信号Inbは低電位のVSS、Inは高電位のVDDとなる。そのときトランジスタ104は非導通になる。またトランジスタ102を介してノードN1の電位はVSSから上昇する。この場合、VDDよりもトランジスタ102の閾値電圧Vth分下がった電位に達したところで、トランジスタ102が非導通状態となるため、ノードN1の電位はそれ以上には上がらない。このとき低電位のVSSのままであるOutの電位をソース、VDD-VthであるノードN1の電位をゲートとして、ゲート・ソース間電圧がトランジスタ101の閾値電圧を超えていれば、トランジスタ101は導通状態になる。すなわち、トランジスタ101を介して出力Outが高電位VDDに向けて上昇し、またカップリング容量103で結合されたノードN1の電位も上昇する。その際、トランジスタ102は、ゲート電位およびソース電位がVDDとなるため非導通であり、ノードN1の電位の上昇の妨げにはならない。ノードN1は高電位VDD以上に上昇して出力Outは高電位のVDDまで達する。なお、ここでは閾値電圧Vthとはソース・ドレインの間に有効な量の電流、例えば10の-7乗アンペアを流すのに必要なゲート・ソース間電圧と定義する。

#### 【0006】

また、特許文献2ではブートストラップの対象となるノードの電位を、VDD-Vthまで落さずにVDDにする方法が開示されている。図20で開示されている回路は、出力Vwにつながるトランジスタ111、113、トランジスタ111のゲートに入力信号S

10

20

30

40

50

を伝えるトランジスタ112、信号Sを反転するインバータ115、インバータ115の出力を遅延させてトランジスタ113のゲートおよびトランジスタ114のドレイン(ノードN3)に与える遅延回路116、トランジスタ112のゲートとノードN3をつなぐトランジスタ114で構成される。この回路は、ブートストラップの対象となるノードN2の電位をトランジスタ112の閾値電圧に依存せず、VDDとするために、ノードN6の電位を別のブートストラップによってVDDよりも昇圧するように動作する。図21は、図20のタイミングチャートである。

【0007】

さらに、特許文献3においてもブートストラップの対象となるノードの電位を、VDD - V<sub>th</sub>まで落さずにVDDとする電圧発生回路が開示されている。図22に示されている電圧発生回路は、図18に示したトランジスタ102のゲートに接続される回路に相当する。信号0、1が高電位のVDDのとき、ノードN21を低電位のVSS、ノードN23をVDD - V<sub>th</sub>として容量C1を充電する。ノードN21が高電位VDDに反転したとき、ノードN23を、VDD - V<sub>th</sub> + VDD - VSSまで上昇させてトランジスタT11を導通させ、出力GをVDD近くにまで充電する。さらにノードN21が低電位VSSに反転したときにノードN22のVDDへの上昇により、出力GはVDD以上に上昇する。

10

【先行技術文献】

【特許文献】

【0008】

20

【特許文献1】特開2004 - 64528

【特許文献2】特開平11 - 39865

【特許文献3】特開平1 - 94591

【発明の概要】

【発明が解決しようとする課題】

【0009】

以下の分析は本発明において与えられる。

【0010】

ここで、先の図18のブートストラップ回路が動作するための条件を考えてみる。トランジスタ101、102の閾値電圧を共にV<sub>th</sub>とする。図19の期間t3でブートストラップ効果が起こる前のノードN1、すなわちトランジスタ101のゲートは、VDD - V<sub>th</sub>であり、出力Outすなわちトランジスタ101のソースはVSSである。ブートストラップ効果が起こるためには、少なくともトランジスタ101が導通状態とならなければならない、ゲートとソースの電位差が閾値電圧以上、すなわち、(VDD - V<sub>th</sub>) - VSS > V<sub>th</sub>が必要である。これは入力信号In、Inbの振幅である、VDD - VSSが閾値電圧V<sub>th</sub>の2倍以上であることを意味する。

30

【0011】

また、図20において、別のブートストラップの対象であるノードN6をVDDよりも昇圧させるためには、トランジスタ114にブートストラップ効果が起こらなければならない、結局VDD - VSSは、トランジスタの閾値電圧の2倍以上が必要となる。すなわち、図21の期間t1において、信号S(ノードN1)が低電位のVSS、ノードN3が高電位のVDDのとき、トランジスタ114によってノードN6の電圧は上昇するが、VDDよりも閾値電圧分低い電圧までである。トランジスタ112のソース(ノードN1)はVSS、ゲート(ノードN6)はVDD - V<sub>th</sub>であるから、VDD - V<sub>th</sub> - VSS > V<sub>th</sub>でなければ、トランジスタ112は導通状態とならない。そのため、次に期間t2において、信号Sが高電位のVDDに上がったとしても、ノードN6にブートストラップ効果は働かず、電圧は上昇しない。したがって、図20の回路が動作する条件は、特許文献1に示された回路と同等であり、閾値電圧に対して回路の動作マージンを改善するものではない。

40

【0012】

50

一方、図22において、出力Gは少なくとも、 $V_{DD} + V_{th}$ とされる。よってトランジスタにより充電される電位は少なくとも $V_{th}$ であり、ゲート電位は少なくとも $2V_{th}$ が必要である。ノードN23の上昇した電位が、 $2V_{DD} - V_{th}$ であることから、回路の動作条件は、 $2V_{DD} - V_{th} > 2V_{th}$ である。すなわち閾値電圧に対する回路の動作マージンは、 $V_{DD} > 1.5V_{th}$ までは改善される。

【0013】

以上のように、従来のブートストラップ効果を用いた回路において、トランジスタの閾値電圧による電圧降下を受けるため、ブートストラップ効果を起こすのに回路を構成するトランジスタの閾値電圧の1.5～2倍以上の振幅を持った入力信号が必要である。このため、小さい振幅の入力信号では回路が動作せず、動作マージンが狭くなってしまふ。すなわち、扱う信号の振幅や電圧に対して回路を構成するトランジスタの閾値電圧が十分に小さくない場合に問題が生じる。このような回路の例として、小さい振幅の入力信号を大振幅に拡大するレベルシフト回路がある。

10

【0014】

また、トランジスタの閾値電圧の製造ばらつきが大きい場合にも問題であり、回路の動作マージンが狭まってしまふ。例えば、薄膜トランジスタ(TFT:Thin Film Transistor)技術を用いて表示装置の基板上に単一導電性薄膜トランジスタによって画素トランジスタやワード線駆動回路等を同時に形成すると、製造コストの低減や走査配線接続の信頼向上などの優位性が生まれる。しかしながら、一般に薄膜トランジスタの閾値電圧は大きく、製造ばらつきも大きい。そのため、薄膜トランジスタを用いてレベルシフト回路を構成するためには、ばらつきが少なく、制御された閾値電圧の薄膜トランジスタ製造技術が必要となる。

20

【課題を解決するための手段】

【0015】

本発明の1つのアスペクト(側面)に係るブートストラップ回路は、第1の電源と出力端子とを接続する第1のトランジスタと、前記第1のトランジスタのゲート端子に第1の入力信号を印加する、前記第1のトランジスタと同じ導電型の第2のトランジスタと、入力を時間遅延させて出力する信号遅延回路と、入力を直流電圧分オフセットさせて出力する直流バイアス回路と、を備え、前記第1の入力信号に対してレベル反転し、前記信号遅延回路により遅延させ、さらに前記直流バイアス回路により直流バイアスされた第2の入力信号を、前記第2のトランジスタのゲート端子に入力する。

30

【発明の効果】

【0016】

本発明によれば、ブートストラップ効果を起こすために、回路を構成するトランジスタの閾値電圧の1.5～2倍以上の振幅の入力信号を必要としない。したがって、入力信号の振幅に対して動作マージンの広い回路を提供することができる。

【図面の簡単な説明】

【0017】

【図1】本発明の第1の実施例に係るブートストラップ回路の回路図である。

【図2】遅延回路のタイミングチャートである。

40

【図3】遅延回路の一例を示す回路図である。

【図4】遅延回路の他の例を示す回路図である。

【図5】遅延回路のさらに他の例を示す回路図である。

【図6】直流バイアス回路の一例を示す回路図である。

【図7】直流バイアス回路のタイミングチャートである。

【図8】直流バイアス回路の他の例を示す回路図である。

【図9】本発明の第1の実施例に係るブートストラップ回路のタイミングチャートである。

【図10】本発明の第2の実施例に係るブートストラップ回路の回路図である。

【図11】本発明の第2の実施例に係るブートストラップ回路のタイミングチャートであ

50

る。

【図12】本発明の第3の実施例に係るブートストラップ回路の回路図である。

【図13】本発明の第3の実施例に係るブートストラップ回路のタイミングチャートである。

【図14】本発明の第4の実施例に係るレベルシフト回路の回路図である。

【図15】本発明の第4の実施例に係るレベルシフト回路のタイミングチャートである。

【図16】本発明の第5の実施例に係るワード線駆動回路の回路図である。

【図17】本発明の第5の実施例に係るワード線駆動回路のタイミングチャートである。

【図18】従来のブートストラップ回路の回路図である。

【図19】従来のブートストラップ回路のタイミングチャートである。

10

【図20】従来のワード線駆動回路の回路図である。

【図21】従来のワード線駆動回路のタイミングチャートである。

【図22】従来のワード線駆動用の電圧発生回路の回路図である。

【発明を実施するための形態】

【0018】

本発明の実施形態に係るブートストラップ回路は、第1の電源（図1のV5に相当）と出力端子（図1のOutに相当）とを接続する第1のトランジスタ（図1の1に相当）と、第1のトランジスタのゲート端子に第1の入力信号（図1のInに相当）を印加する、第1のトランジスタと同じ導電型の第2のトランジスタ（図1の2に相当）と、入力を時間遅延させて出力する信号遅延回路（図1の5に相当）と、入力を直流電圧分オフセット 20  
させて出力する直流バイアス回路（図1の6に相当）と、を備え、第1の入力信号に対してレベル反転して、前記信号遅延回路により遅延させ、さらに前記直流バイアス回路により直流バイアスされた第2の入力信号（図1のInbdに相当）を、第2のトランジスタのゲート端子に入力する。

【0019】

第2のトランジスタによって第1の入力信号を第1のトランジスタのゲート端子に印加し、ブートストラップ効果により、このゲート端子の電位が変化する際に、第2の入力信号を遅延させているので、第2のトランジスタが非導通状態となる。したがって、このゲート端子の電位変化を妨げることがない。この場合、第2のトランジスタのゲート端子に、直流バイアスされた電圧を印加するので、第1の入力信号がトランジスタの閾値電圧による電圧降下を受けることなく第1のトランジスタのゲート端子に印加され、この印加電圧が第1のトランジスタの閾値電圧を超えていればブートストラップ効果が起こる。 30

【0020】

以上のことから、回路を構成するトランジスタの閾値電圧と同程度の小さい振幅を持った入力信号でブートストラップ回路を動作させることができる。このため、消費電力の低いブートストラップ回路を提供することができる。

【0021】

また、製造時や長期使用中にトランジスタの特性にばらつきが生じたとしても、トランジスタの閾値電圧に対して広い動作マージンが確保されている。したがって、歩留まりおよび信頼性の高いブートストラップ回路を提供することができる。 40

【0023】

ブートストラップ回路において、第2のトランジスタのゲート端子側に、信号遅延回路を設け、第2のトランジスタのソースまたはドレイン端子側に、直流バイアス回路を設けるようにしてもよい。

【0024】

ブートストラップ回路において、信号遅延回路は、第2のトランジスタのゲート端子との間に直流バイアス回路を設け、信号遅延回路の出力端と第2の電源との間を接続し、ゲート端子が第1のトランジスタのゲート端子に接続される、第1のトランジスタと同じ導電型の第4のトランジスタ（図12の7に相当）をさらに備えるようにしてもよい。

【0025】

50

このようなブートストラップ回路によれば、第2のトランジスタによって第1の入力信号を第1のトランジスタのゲート端子に印加した時点で、第4のトランジスタにより第2のトランジスタが強制的に非導通状態となる。したがって、ブートストラップ効果により、第1のトランジスタのゲート端子の電位が変化する際に電位変化を妨げることがない。

【0026】

また、遅延回路による信号遅れが大きくなったとしても、ブートストラップ回路を動作させることができる。それは遅延回路による第2のトランジスタの非導通が遅れたとしても、第4のトランジスタにより第2のトランジスタが非導通となるからである。

【0027】

ブートストラップ回路において、第2の電源（図1のV1に相当）と出力端子とを接続する、第1のトランジスタと同じ導電型の第3のトランジスタ（図1の4に相当）をさらに備え、第3のトランジスタのゲート端子に第1の入力信号のレベル反転信号（図1のInbに相当）を与えるようにしてもよい。

10

【0028】

このようなブートストラップ回路によれば、第1の入力信号が第1の出力トランジスタを導通させるフェーズのとき、反転信号である第2の入力信号は第2のトランジスタを非導通させる。すなわち、信号源として第1の入力信号一つでブートストラップ回路を動作させることができる。

【0029】

ブートストラップ回路において、直流バイアス回路は、少なくとも第2のトランジスタの閾値電圧以上の直流バイアス電圧を加えるようにしてもよい。

20

【0030】

このようなブートストラップ回路によれば、第2の入力信号を直流バイアス回路によって閾値電圧以上にバイアスすることで第2のトランジスタを導通状態に保ち、第1のトランジスタのゲート端子に第1の入力信号を、第2のトランジスタの閾値電圧分降下すること無く印加することができる。

【0031】

ブートストラップ回路において、直流バイアス回路は、入力端と出力端を接続する容量素子（図6の21に相当）と、出力端とバイアス電圧源（図6の23に相当）を接続するスイッチ素子（図6の22に相当）とで構成されるようにしてもよい。

30

【0032】

ブートストラップ回路において、直流バイアス回路は、入力端と出力端を接続する第1の容量素子（図8の21に相当）と、入力端の信号（図8のInb2に相当）の反転信号（図8のIn2に相当）が一端に与えられる第2の容量素子（図8の24に相当）と、出力端とバイアス電圧源（図8の23に相当）とを接続する第1のスイッチ素子（図8の22に相当）と、第2の容量素子の他端とバイアス電圧源とを接続する第2のスイッチ素子（図8の25に相当）と、を備え、第1のスイッチ素子のゲート端子と第2の容量素子の他端とを接続し、第2のスイッチ素子のゲート端子と出力端とを接続するようにしてもよい。

【0033】

このような直流バイアス回路によれば、入力端の信号およびこの反転信号の振幅が、第1および第2のスイッチ素子の閾値電圧を超えていれば、直流バイアス動作を起こすことができる。

40

【0034】

ブートストラップ回路において、信号遅延回路は、直列接続される複数の反転回路（図3の31に相当）で構成されるようにしてもよい。

【0035】

ブートストラップ回路において、信号遅延回路は、入力端と出力端を接続する直列抵抗（図4の32に相当）と、一方を出力端に接続し、他方に固定電位が与えられる容量素子（図4の33に相当）と、を備えるようにしてもよい。

50

## 【0036】

ブートストラップ回路において、直列抵抗は、一端をソース端子とし、他端をドレイン端子とするトランジスタ（図5の34に相当）であってもよい。

## 【0037】

ブートストラップ回路において、容量素子は、一端をソース端子およびドレイン端子とし、他端をゲート端子とするトランジスタ（図5の35に相当）であってもよい。

## 【0038】

本発明のレベルシフト回路において、上記のブートストラップ回路を出力回路として備えるようにしてもよい。また、本発明のワード線駆動回路において、上記のブートストラップ回路を出力回路として備えるようにしてもよい。このようなレベルシフト回路やワード線駆動回路によれば、振幅の小さい入力信号であっても広い動作マージンが保証された回路を提供することができる。

10

## 【0039】

以下、本発明の実施例について図面を参照して詳細に説明する。

## 【実施例1】

## 【0040】

図1は、本発明の第1の実施例に係るブートストラップ回路の回路図である。図1において、ブートストラップ回路は、電源 $V_5$ と出力 $Out$ をつなぐトランジスタ1、トランジスタ1のゲート（ノード $N_1$ ）と入力信号 $In$ をつなぐトランジスタ2、トランジスタ1のソースとゲート間につながるカップリング容量3、出力 $Out$ と電源 $V_1$ をつなぐトランジスタ4、入力信号 $In_b$ とトランジスタ2のゲートの間に入る遅延回路5および直流バイアス回路6で構成される。なお、トランジスタ1、2、4は、NMOSトランジスタである。

20

## 【0041】

ここで入力信号 $In$ は、ハイレベルが $V_2$ 、ロウレベルが $V_1$ のパルス信号であり、 $In_b$ は $In$ の論理反転信号である。また出力 $Out$ は、ハイレベルが $V_5$ 、ロウレベルが $V_1$ のパルス信号である。なお、電源 $V_5$ の電位は電源 $V_2$ と同じであっても良い。また、カップリング容量3は、回路が動作するように種々の構成が可能である。例えば、トランジスタ1のソースとゲート間の結合容量のみで形成してもよいし、これに加えて配線間の寄生容量を用いてもよい。さらに別途容量を形成するように設計し付加してもよい。遅延回路5は、入力信号を時間シフトした信号 $In_b_2$ を直流バイアス回路6に出力し、直流バイアス回路6は、信号 $In_b_2$ に直流バイアス電圧 $V_B$ を加えた信号 $In_b_d$ をトランジスタ2のゲートに出力する。

30

## 【0042】

次に、遅延回路5の詳細について説明する。遅延回路5の構成を示す前に、遅延回路5のタイミングチャートを図2に示す。遅延回路5は、入力信号 $In_b$ に対して時間シフトすることで、信号 $In_b_2$ を出力する。この場合、信号の遅延はパルスの立ち上がり、立下り時間のなまりによって発生させても、同様の効果を与える。

## 【0043】

このような出力信号を生成する遅延回路5aは、図3に示すように複数の反転回路31を直列接続して伝播遅延を生じさせる回路で実現してもよい。

40

## 【0044】

また、図4に示すように、入力信号 $In_b$ と信号 $In_b_2$ の間を抵抗32で接続し、信号 $In_b_2$ と接地間に容量33を接続し、抵抗32と容量33によるCR時定数によって立ち上がり、立下り時間になまりを与える遅延回路5bとして構成してもよい。

## 【0045】

さらに、図4の遅延回路5bにおける抵抗32を、図5に示すようにトランジスタのソース・ドレイン抵抗34に置き換えたり、図4の遅延回路5bにおける容量33をトランジスタのMOS容量35に置き換えたりしてもよい。図5の遅延回路5cの特徴は、各トランジスタのゲートバイアス電圧を調整することで、抵抗34と容量35の値を変化させ

50



て、遅延時間を調節することができる点である。なお、図3から図5に示した遅延回路を直列にさらに複数つないだとしても同様に遅延回路とすることができる。

【0046】

次に、直流バイアス回路について、図6の回路図および図7のタイミングチャートを用いて説明する。図6において、直流バイアス回路6aは、入力をInb2、出力をInbdとし、容量21を介してInb2とInbdをつなぎ、電圧V1+VBを出力するバイアス電源23とInbdとをスイッチ22を介してつなぐ。このような回路の動作は、図7に示すように入力Inb2がロウレベル(V1)のときスイッチ22を導通させて出力Inbdの電位をV1+VBとし、容量21にバイアス電源23の電圧を充電する。そして信号Inb2がハイレベルのV2に反転したときにスイッチ22を切断して、Inbd

10

【0047】

図8は、直流バイアス回路の他の例を示す回路図である。図8において、直流バイアス回路6bは、図6のスイッチ22をN型MOSトランジスタとする。スイッチ22およびスイッチ25は、トグル動作をするN型MOSトランジスタである。すなわち、Inb2がハイレベルのV2のとき、Inbdは、V2+VBに昇圧されるため、スイッチ25が導通し、Indの電位はバイアス電源の電位V1+VBであるロウレベルとなる。よってスイッチ22は非導通となる。これに対し、Inb2がロウレベルのV1のとき、代わりにIndが昇圧され、InbdはロウレベルであるV1+VBとなる。スイッチ25は、導通する際、ゲート端子(Inbd)の電位がV2+VBであって、ソース端子(Ind)の電位が最大でV1+VBである。すなわち、スイッチ25を構成するN型MOSトランジスタのゲート・ソース間電圧は、VBであり、これが閾値電圧Vthを超えていれば、直流バイアス回路6bは機能する。

20

【0048】

次に、ブートストラップ回路の動作について説明する。図9は、図1に示したブートストラップ回路のタイミングチャートである。まず、期間t1において、Inbがハイレベル(V2)になるので、トランジスタ4が導通して出力Outの電位はロウレベルのV1となる。また、トランジスタ2のゲートに印加される信号Inbdは、Inbを時間シフトさせた上、直流バイアス電圧VB分オフセットされた信号であり、ハイレベルは、V2+VB、ロウレベルは、V1+VBである。信号Inがロウレベルになると、トランジスタ2は導通状態となる。なぜならば、トランジスタ2のゲートInbdは、InやInbよりも電圧VB分高くなっているからである。そして、トランジスタ1のゲート(ノードN1)の電位は、ロウレベルのV1に下がり、トランジスタ1は非導通となる。

30

【0049】

次に、期間t2において、InbはロウレベルのV1に、InはハイレベルのV2にそれぞれ反転するが、Inbdは時間遅延があるため、まだハイレベルのV2+VBのままである。このときバイアス電圧VBをトランジスタのゲート・ソース間電圧Vgsとしたときにトランジスタを導通できるレベルに設定しておくことで、トランジスタ2は導通状態を保ち、ノードN1はハイレベルのV2まで充電される。ここでトランジスタ1のゲート(ノードN1)がハイレベルのV2で、ソース(Out)がロウレベルのV1であるから、トランジスタ1は導通状態になり、ソースOutの電位は電源V5に向けて上昇する。このとき、カップリング容量3で結合されたゲートN1の電位も上昇するブートストラップ効果が起こる。

40

【0050】

そして、期間t3において、遅延していたInbdが反転してロウレベルのV1+VBに下がることで、トランジスタ2は非導通状態になる。よってノードN1は浮遊状態となるため、ブートストラップ効果によって電源V5以上の電位にまで上昇する。これにより出力OutのハイレベルはV5まで達する。

【0051】

50

このようなブートストラップ回路の特徴は、第一に、期間  $t_2$  において、ノード  $N_1$  の電位をトランジスタ 2 の閾値電圧で低下させず、入力信号  $I_n$  のハイレベル  $V_2$  まで上げている点である。これによりブートストラップ効果を起こすための最低条件は、トランジスタ 1 の閾値電圧を  $V_{th}$  として、 $V_2 - V_1 > V_{th}$ 、すなわち「信号振幅が閾値電圧以上」まで緩和される。第二に、期間  $t_3$  において、トランジスタ 2 を非導通状態とすることで、ブートストラップ効果によるノード  $N_1$  の電圧上昇を妨げないことである。これらの特徴は、入力信号  $I_n$  や  $I_{nb}$  に対して、遅延回路 5 と直流バイアス回路 6 を用いて、 $I_{nb}$  に遅延と直流オフセットを加えていることで得られている。

#### 【0052】

ここでバイアス電圧  $V_B$  の範囲について説明する。NMOS トランジスタの場合、閾値電圧を  $V_{th}$  とすると、 $V_B$  の電位は  $V_{th}$  以上が必要である。なぜならば、期間  $t_2$  において、 $V_{gs} > V_{th}$  でトランジスタ 2 を導通させるからである。また、入力信号  $I_n$  の振幅 ( $V_2 - V_1$ ) と  $V_{th}$  の和より低い必要がある。なぜならば、期間  $t_3$  において、 $V_{gs} < V_{th}$  でトランジスタ 2 を非導通させるからである。バイアス電圧  $V_B$  は上記範囲内で適宜選択できるが、一例として入力信号のハイレベル  $V_2$  が挙げられる。

#### 【0053】

上記の説明では、信号遅延回路 5、直流バイアス回路 6 の順に接続されているが、本発明の目的、効果を達するならば順序が逆になっていてもよい。また、直流バイアスの効果は、 $I_n$ 、 $I_{nb}$  に対する  $I_{nbd}$  の相対的なものであるから、 $I_{nbd}$  ではなく入力信号  $I_n$ 、 $I_{nb}$  に直流バイアスがかかっている場合においても本発明の効果は有効である。この点について次の第 2 の実施例で述べる。

#### 【実施例 2】

#### 【0054】

図 10 は、本発明の第 2 の実施例に係るブートストラップ回路の回路図である。図 10 において、ブートストラップ回路は、電源  $V_1$  と出力  $Out$  をつなぐトランジスタ 1 a、トランジスタ 1 a のゲート (ノード  $N_1$ ) と信号  $I_N$  をつなぐトランジスタ 2 a、トランジスタ 1 a のソースとゲート間につながるカップリング容量 3 a、出力  $Out$  と電源  $V_5$  をつなぐトランジスタ 4 a、トランジスタ 4 a のゲートに入力される信号  $I_{NB}$ 、入力信号  $I_{nb}$  とトランジスタ 2 a のゲートの間に入る遅延回路 5 d、入力信号  $I_n$  および  $I_{nb}$  にそれぞれ直流バイアスを与え、それぞれ信号  $I_N$  および  $I_{NB}$  に変換する直流バイアス回路 6 c、6 d で構成される。なお、トランジスタ 1 a、2 a、4 a は、PMOS トランジスタである。遅延回路 5 d と直流バイアス回路 6 c、6 d は、第 1 の実施例で説明した各種の遅延回路、直流バイアス回路と同等の構成で実現される。

#### 【0055】

入力信号  $I_n$  および  $I_{nb}$  は、ハイレベルが  $V_2$ 、ロウレベルが  $V_1$  の信号であり、信号  $I_N$  および  $I_{NB}$  は、 $I_{nb}$  に対して、 $V_B$  だけ直流バイアスがかかった信号である。 $V_B$  の極性は PMOS トランジスタの場合、 $I_{nb}$  に対して  $I_N$ 、 $I_{NB}$  がプラスにバイアスする。すなわちトランジスタ 2 a のゲート端子に入力する信号に対して、トランジスタ 1 a のゲート端子  $N_1$  に入力される信号はプラスにバイアスされる。これは実施例 1 の NMOS トランジスタの場合と逆である。出力  $Out$  は、ハイレベルが  $V_5$ 、ロウレベルが  $V_1$  のパルス信号である。ここで、直流バイアス電圧  $V_B$  は、 $V_2 + V_B$  が  $V_5$  と同等となるようにする。カップリング容量 3 a は、回路が動作するように種々の構成が可能である。例えば、トランジスタ 1 a のソースとゲート間の結合容量のみで構成してもよいし、これに加えて配線間の寄生容量を用いてもよい。さらに別途容量を構成するように設計し付加してもよい。信号遅延回路 5 d は、入力信号  $I_{nb}$  を時間シフトした信号  $I_{nb2}$  をトランジスタ 2 a のゲートに出力する。

#### 【0056】

次に、以上のブートストラップ回路の動作について説明する。図 11 は、本発明の第 2 の実施例に係るブートストラップ回路のタイミングチャートである。まず、期間  $t_1$  において、 $I_{NB}$  がロウレベルになるので、トランジスタ 4 a が導通して出力  $Out$  の電位は

ハイレベルの $V_5$ となる。また、トランジスタ2 aのゲートに印加される信号 $I_{nb}2$ は、 $I_{nb}$ を時間シフトさせた信号である。信号 $I_N$ がハイレベルになると、トランジスタ2は導通状態となる。なぜならば、トランジスタ2のゲート(信号 $I_{nb}2$ )は、 $I_N$ よりも電圧 $V_B$ 分低くなっているからである。そして、トランジスタ1 aのゲート(ノード $N_1$ )の電位は、ハイレベルの $V_2 + V_B$ に上昇し、トランジスタ1 aは非導通となる。

【0057】

次に、期間 $t_2$ において、 $I_{NB}$ はハイレベル $V_2 + V_B$ に、 $I_N$ はロウレベル $V_1 + V_B$ にそれぞれ反転する。しかし、 $I_{nb}2$ は時間遅延があるため、まだロウレベルの $V_1$ のままである。このときバイアス電圧 $V_B$ を、トランジスタのゲート・ソース間電圧 $V_{gs}$ としたときに、トランジスタを導通できるレベルに設定しておくことで、トランジスタ2 aは導通状態を保ち、ノード $N_1$ は $I_N$ のロウレベルである $V_1 + V_B$ まで充電される。ここでトランジスタ1 aのゲート(ノード $N_1$ )がロウレベルの $V_1 + V_B$ で、ソース( $O_{ut}$ )がハイレベルの $V_5$ であるから、トランジスタ1 aは導通状態になり、ソース( $O_{ut}$ )の電位は電源 $V_1$ に向けて低下する。このとき、カップリング容量3 aで結合されたノード $N_1$ の電位も低下するブートストラップ効果が起こる。

【0058】

そして期間 $t_3$ において、遅延していた $I_{nb}2$ が反転してハイレベルの $V_2$ になることでトランジスタ2 aは非導通状態に入る。よってノード $N_1$ は、浮遊状態となるため、ブートストラップ効果によって電源 $V_1$ 以下の電位にまで低下することができる。これにより出力 $O_{ut}$ のロウレベルは $V_1$ まで達する。

【実施例3】

【0059】

図12は、本発明の第3の実施例に係るブートストラップ回路の回路図である。図12において、図1と同一の符号は同一物を表し、その説明を省略する。第3の実施例のブートストラップ回路は、ゲート端子をノード $N_1$ に、ドレイン端子を遅延回路5の出力(信号 $I_{nb}2$ )、ソース端子を電源 $V_1$ に接続したトランジスタ7を図1に追加して備える。トランジスタ7の機能は、図13の期間 $t_2$ において、ノード $N_1$ が $V_1$ よりも閾値電圧 $V_{th}$ 分高くなった時点で導通して、遅延回路5の出力を強制的にロウレベルの $V_1$ に落すことである。これにより直流バイアスされた信号 $I_{nbd}$ もロウレベルである $V_1 + V_B$ に落ちる。したがって、トランジスタ2は非導通となりノード $N_1$ を浮遊状態にして、トランジスタ1のブートストラップ効果を妨げることがない。トランジスタ7が無く、仮に遅延回路5による信号遅延が図13の点線のように長くなり過ぎると、期間 $t_2$ でノード $N_1$ が電位 $V_2$ に固定され続けるため、トランジスタ1のブートストラップ効果によるノード $N_1$ および出力 $O_{ut}$ の電位上昇を妨げてしまい、出力 $O_{ut}$ の高速な反転が行えない。

【0060】

なお、実施例1~3において、ブートストラップ回路を構成するトランジスタをN型MOSトランジスタあるいはP型MOSトランジスタとして示したが、本発明の目的、効果を達することができるならば、その他、薄膜トランジスタなどを用いてもよい。

【実施例4】

【0061】

図14は、本発明の第4の実施例に係るレベルシフト回路の回路図である。図14において、図1と同一の符号は同一物を表し、その説明を省略する。図14のレベルシフト回路は、図1のブートストラップ回路を、低振幅の論理信号を高振幅に拡大する回路として適用した例である。レベルシフト回路は、振幅が $V_{DD}$ である入力信号 $I_n$ および $I_{nb}$ を振幅が $V_{DH} (> V_{DD})$ である信号 $O_{ut}$ に変換する。

【0062】

図15は、本発明の第4の実施例に係るレベルシフト回路のタイミングチャートである。図15において、図9と信号名が異なるだけであって、実質同一のタイミングを有し、その説明を省略する。ここで図15に示すように、信号 $I_{nbd}$ は遅延回路5によって入

10

20

30

40

50

力信号  $I_{nb}$  から遅延した上、直流バイアス回路 6 によって  $V_{DD}$  分オフセットのかかった信号である。

【0063】

以上のようなレベルシフト回路によれば、振幅の小さい入力信号  $I_n$  であっても広い動作マージンが保証された回路を実現することができる。

【実施例 5】

【0064】

図 16 は、本発明の第 5 の実施例に係るワード線駆動回路の回路図である。図 16 において、実施例 1 で説明したブートストラップ回路をメモリ装置のワード線駆動回路に適用した例について説明する。ワード線駆動回路は、ワード線駆動電圧  $V_{PP}$  と出力信号端子  $O_{ut}$  をつなぐトランジスタ 11、トランジスタ 11 のゲート  $N_2$  と入力信号  $S$  をつなぐトランジスタ 12、出力信号端子  $O_{ut}$  と電源  $V_{SS}$  をつなぐトランジスタ 13、入力信号  $S$  を反転するインバータ 14、インバータ 14 の出力を遅延する遅延回路 5、遅延回路 5 の出力に直流オフセットを与え、トランジスタ 12 のゲートに供給する直流バイアス回路 6 を備える。このようなワード線駆動回路は、図 1 のブートストラップ回路と実質同一の構成を有する。なお、トランジスタ 11、12、13 は、図 1 のトランジスタ 1、2、4 に相当する。

【0065】

次にワード線駆動回路の動作について説明する。図 17 は、本発明の第 5 の実施例に係るワード線駆動回路のタイミングチャートである。ここで入力信号  $S$  は、ハイレベルが  $V_{DD}$ 、ロウレベルが  $V_{SS}$  のパルス信号である。まず、期間  $t_1$  において、ノード  $N_1$  の信号  $S$  がロウレベルの  $V_{SS}$  であるので、ノード  $N_3$  はハイレベルの  $V_{DD}$  であり、トランジスタ 13 が導通して出力ノード  $N_4$  の電位はロウレベルの  $V_{SS}$  となる。また、ノード  $N_6$  は、 $V_{DD} + V_B$  とハイレベルであるから、トランジスタ 12 が導通して、トランジスタ 11 のゲート (ノード  $N_2$ ) は、信号  $S$  と同じロウレベルの  $V_{SS}$  である。

【0066】

次に、期間  $t_2$  に移ると、信号  $S$  (ノード  $N_1$ ) はハイレベルの  $V_{DD}$  に反転し、ノード  $N_3$  はロウレベルの  $V_{SS}$  に落ちてトランジスタ 13 は非導通となるが、遅延回路 5 によってノード  $N_6$  はまだハイレベルのままである。そこでトランジスタ 12 は導通状態を保ってノード  $N_2$  の電位を  $V_{DD}$  まで充電する。このときトランジスタ 11 において、ノード  $N_4$  が浮遊状態でのロウレベルの  $V_{SS}$ 、ノード  $N_2$  が  $V_{DD}$  であるから、トランジスタ 11 は導通状態になり、出力ノード  $N_4$  の電位は  $V_{PP}$  に向けて上昇する。

【0067】

そして期間  $t_3$  に移って、遅れていたゲート  $N_6$  の反転が起こりロウレベルに落ちるとトランジスタ 12 が非導通状態となるため、トランジスタ 11 のゲート (ノード  $N_2$ ) が浮遊状態になる。ノード  $N_2$  およびノード  $N_4$  がともに浮遊状態となったトランジスタ 11 のブートストラップ効果によって出力ノード  $N_4$  は  $V_{PP}$  まで上昇する。このときノード  $N_2$  も同時に  $V_{PP}$  以上まで上昇してトランジスタ 11 の導通状態は保たれる。

【0068】

ここで本回路の特徴は、期間  $t_1$  および期間  $t_2$  において、ゲート  $N_6$  の電位を直流バイアス回路 6 により、 $V_{DD} + V_B$  とハイレベルに保つことでノード  $N_2$  の電位をトランジスタ 12 の閾値電圧で低下させていない点である。これによりブートストラップ効果を起こすための最低条件は、 $V_{DD} - V_{SS} > V_{th}$  まで緩和される。

【0069】

先に図 20 で説明したワード線駆動回路では、図 21 の期間  $t_2$  において、トランジスタ 112 のゲート (ノード  $N_6$ ) の電位を  $V_{DD}$  以上に昇圧するために、トランジスタ 112 のブートストラップ効果を用いている。そのため期間  $t_1$  でノード  $N_6$  に充電される電位は、ノード  $N_3$  よりもトランジスタ 114 の閾値電圧分低下した電圧となる。なぜならば、トランジスタ 114 は、ゲート電位  $V_{DD}$ 、ドレイン (ノード  $N_3$ ) の電位  $V_{DD}$  の状態で通電するため、ソース (ノード  $N_6$ ) の上昇は、 $V_{DD}$  より閾値電圧分低い電位

10

20

30

40

50

までとなる。これは特許文献 1 の従来のブートストラップ回路と同じ構成のため、ブートストラップ効果を起こす条件は、 $V_{DD} - V_{SS} > 2V_{th}$  となり、条件は緩和されない。

【0070】

また、本実施例のワード線駆動回路の別の特徴は、図 16 において、トランジスタ 11 にワード線を駆動する直流電圧  $V_{PP}$  を接続することで、小振幅の信号  $S$  のみで大振幅のワード線駆動信号を生成している点である。これは信号  $S$  が反転する期間  $t_2$  の開始直後から、トランジスタ 11 のブートストラップ効果が始まっているからである。

【0071】

一方、図 20 において、ハイレベルが  $V_{PP}$ 、ロウレベルが  $V_{SS}$  のクロック信号をノード  $N_4$  に入力している。そのため期間  $t_2$  の間には、ノード  $N_2$  の  $V_{DD}$  電位充電および浮遊状態への移行がなされるが、トランジスタ 11 のブートストラップ効果は、ノード  $N_4$  の電位が反転する期間  $t_3$  まで働かない。すなわちワード線駆動信号の生成は、(1) 信号  $S$  の反転、(2) 遅延回路 116 による遅延、(3) クロック信号の反転、の 3 つの手順で進められる。この利点はワード線駆動信号のタイミングを、パルス出力を選択する論理回路の遅延に依存する信号  $S$  や遅延回路 116 の遅延変動に依存せず、クロック信号に同期させることができる点である。しかしながら、入力信号が信号  $S$  とクロック信号と複数必要となる。

【0072】

また、一般に  $V_{PP}$  は  $V_{DD}$  よりも高いことから、クロック信号は、ハイレベルが  $V_{DD}$ 、ロウレベルが  $V_{SS}$  である信号  $S$  に比べて振幅が大きい。すなわち、このクロック信号は、別のレベルシフト回路を用いて振幅を拡大して生成する必要がある。それに対して、本実施例のワード線駆動回路では、ワード線の駆動には高圧の直流電圧  $V_{PP}$  を用い、入力信号はハイレベルが  $V_{DD}$ 、ロウレベルが  $V_{SS}$  の信号  $S$  のみである。そのため別途、レベルシフト回路を用いずとも、小振幅の入力信号から大振幅のワード線駆動信号を生成することができる。

【産業上の利用可能性】

【0073】

本発明によれば、ブートストラップ回路を用いた半導体装置、例えばアクティブマトリクスを有する表示装置を組み込んだ携帯端末や携帯電話、光学系 2 次元センサー装置を組み込んだ指紋読み取り装置、さらにはアドレスデコード機能を有した半導体メモリ装置等に適用することができる。

【0074】

なお、前述の特許文献等の各開示を、本書に引用をもって繰り込むものとする。本発明の全開示（請求の範囲を含む）の枠内において、さらにその基本的技術思想に基づいて、実施形態ないし実施例の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【符号の説明】

【0075】

- 1、1 a、2、2 a、4、4 a、7、11、12、13 トランジスタ
- 3、3 a カップリング容量
- 5、5 a、5 b、5 c、5 d 遅延回路
- 6、6 a、6 b、6 c、6 d 直流バイアス回路
- 14、26、31 反転回路
- 21、24、33 容量
- 22、25 スイッチ
- 23 バイアス電源
- 32 抵抗

10

20

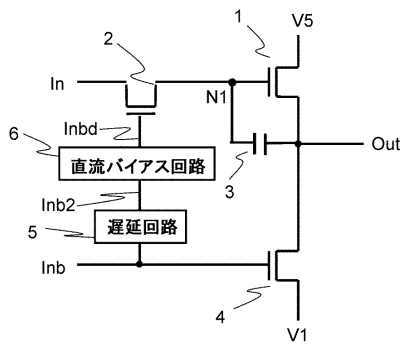
30

40

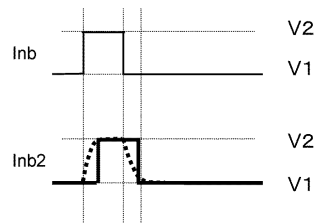
50

- 3 4 トランジスタ抵抗
- 3 5 トランジスタ容量

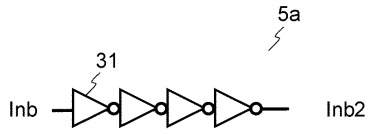
【図 1】



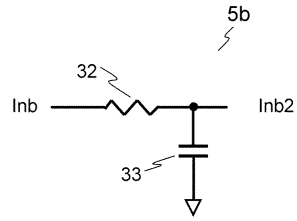
【図 2】



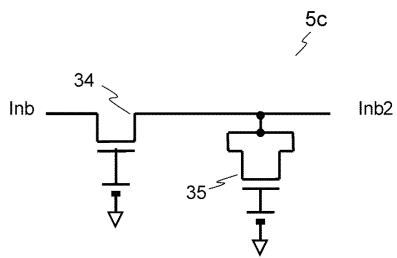
【 図 3 】



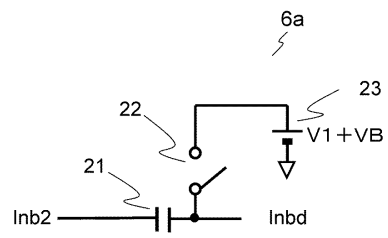
【 図 4 】



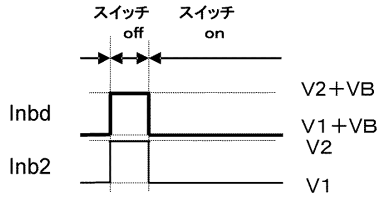
【 図 5 】



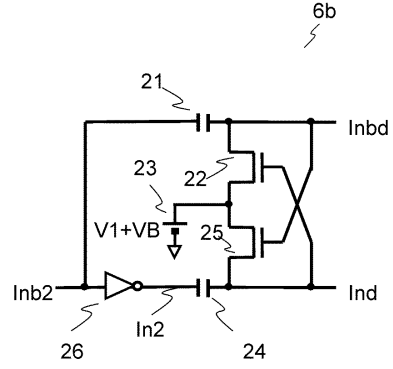
【 図 6 】



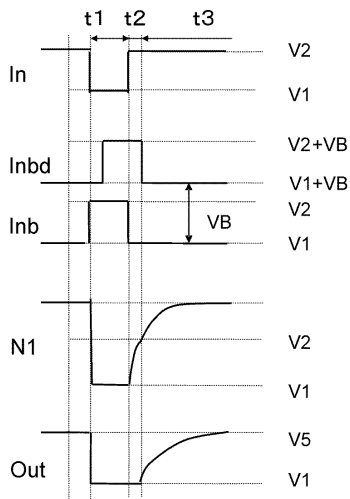
【図7】



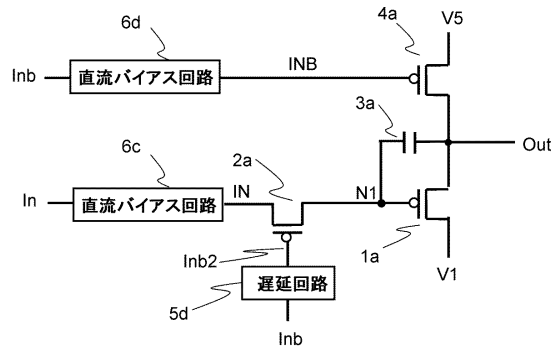
【図8】



【図9】

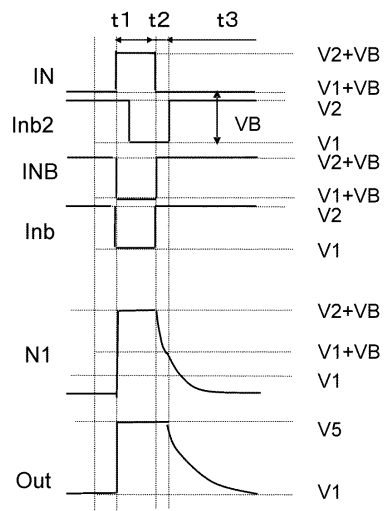


【図10】

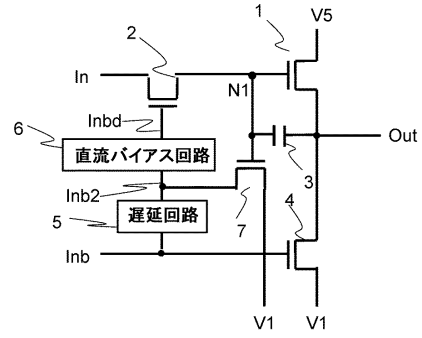




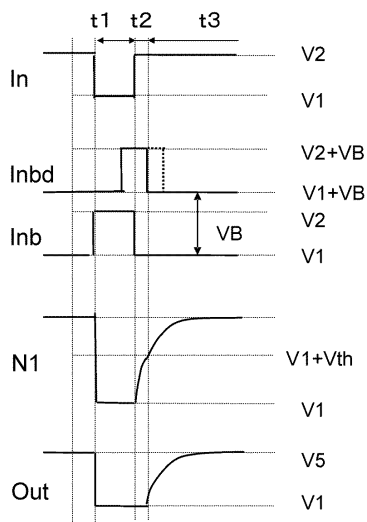
【図11】



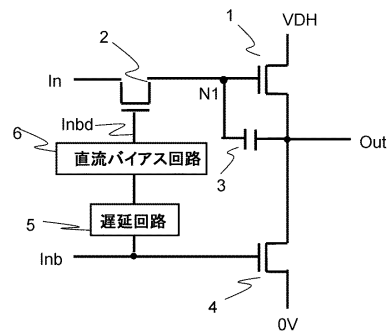
【図12】



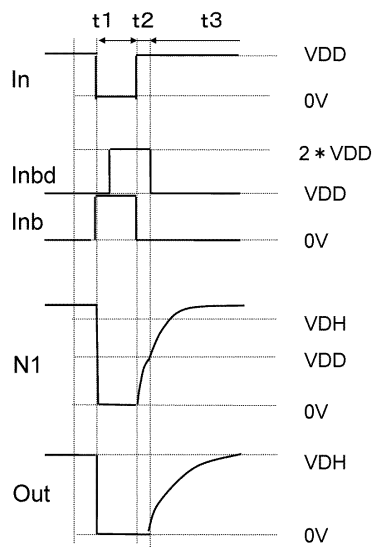
【図13】



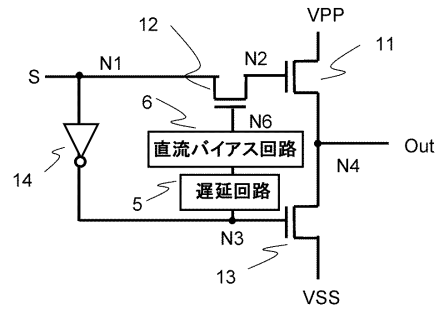
【図14】



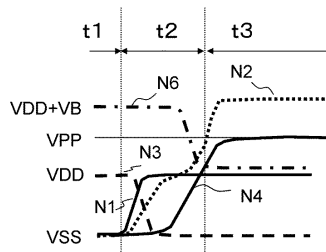
【図15】



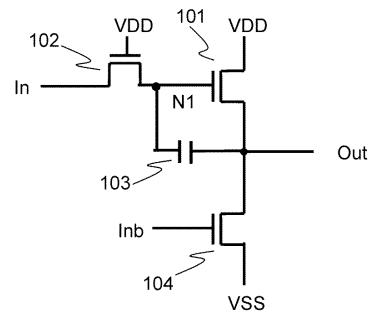
【図16】



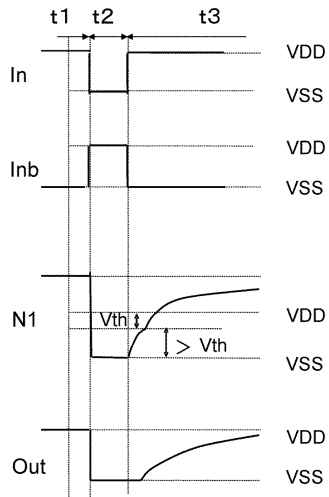
【図17】



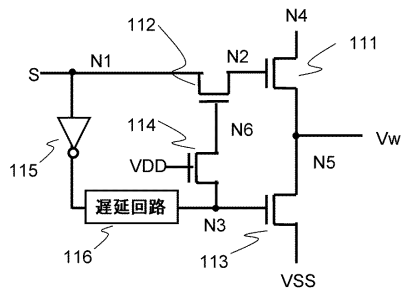
【図18】



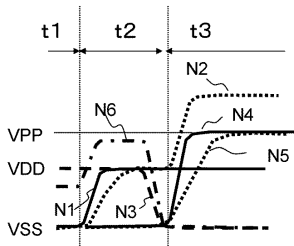
【図19】



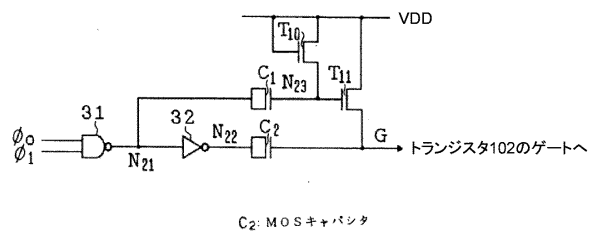
【図20】



【図21】



【図22】



---

フロントページの続き

- (56)参考文献 特開平 1 1 - 0 3 9 8 6 5 ( J P , A )  
特開 2 0 0 4 - 2 0 5 9 5 7 ( J P , A )  
特開平 0 9 - 1 7 2 3 6 7 ( J P , A )  
特開平 0 7 - 1 8 3 4 7 1 ( J P , A )  
特開平 1 0 - 2 4 1 3 6 4 ( J P , A )

(58)調査した分野(Int.Cl. , DB名)

H 0 3 K 1 7 / 0 0 - 1 7 / 7 0  
G 0 9 G 3 / 2 0  
G 0 9 G 3 / 3 6