

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年7月2日(02.07.2020)



(10) 国際公開番号

WO 2020/136764 A1

(51) 国際特許分類:
H01L 21/67 (2006.01) H01L 21/301 (2006.01)

(21) 国際出願番号: PCT/JP2018/047917

(22) 国際出願日: 2018年12月26日(26.12.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 日立化成株式会社(HITACHI CHEMICAL COMPANY, LTD.) [JP/JP]; 〒1006606 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).

(72) 発明者: 本田 一尊 (HONDA Kazutaka); 〒1006606 東京都千代田区丸の内一丁目9番2号 日立化成株式会社内 Tokyo (JP). 小川 剛 (OGAWA Tsuyoshi); 〒1006606 東京都千代田区丸の内一丁目9番2号 日立化成株式会社内 Tokyo (JP). 松原 望(MATSUBARA Nozomi); 〒1006606 東京都千代田区丸の内一丁目9番2号 日立化成株式会社内 Tokyo (JP).

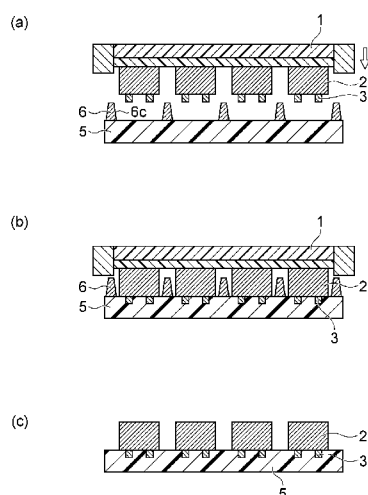
(74) 代理人: 長谷川 芳樹, 外(HASEGAWA Yoshiki et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号丸の内 M Y P L A Z A (明治安田生命ビル) 9階 創英国際特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,

(54) Title: METHOD FOR MANUFACTURING ELECTRONIC COMPONENT PACKAGE

(54) 発明の名称: 電子部品パッケージの製造方法



(57) Abstract: A method for manufacturing an electronic component package, the method comprising: a first step of preparing an expand tape and multiple chips fixed on the expand tape; a second step of expanding the expand tape, thereby widening the intervals between the multiple chips fixed on the expand tape; a third step of keeping the tension of the expanded expand tape; a fourth step of providing a mask, which has multiple openings, on a carrier or on a board and transferring the multiple chips onto the carrier or onto the board through the openings of the mask; and a fifth step of peeling the expand tape away from the multiple chips and removing the mask from the carrier or from the board, wherein the mask in the fourth step has a first surface provided on the carrier or on the board and a second surface on the opposite side, and the multiple openings each have such a tapering shape that tapers from the second surface down to the first surface.

ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：エキスパンドテープと、当該エキスパンドテープ上に固定された複数のチップと、を準備する第1工程と、エキスパンドテープを延伸することにより、エキスパンドテープ上に固定された複数のチップの間隔を広げる第2工程と、延伸されたエキスパンドテープのテンションを保持する第3工程と、キャリア又は基板上に複数の開口部を有するマスクを設け、当該マスクの開口部を通して、複数のチップをキャリア又は基板に転写する第4工程と、複数のチップからエキスパンドテープを剥離するとともに、キャリア又は基板からマスクを外す第5工程を備える、電子部品パッケージの製造方法であって、マスクは、第4工程においてキャリア又は基板上に設けられる第1面と、その反対側の第2面とを有し、複数の開口部は第2面から第1面に向かって先細りとなるようなテーパ形状を有する、電子部品パッケージの製造方法。

明 細 書

発明の名称：電子部品パッケージの製造方法

技術分野

[0001] 本発明はエキスパンドテープを用いた電子部品パッケージの製造方法に関する。

背景技術

[0002] 近年、半導体装置の小型化、高機能化、高集積化に伴い、半導体の多ピン化、高密度化、配線の狭ピッチ化が進展している。そのため、ピン若しくは配線の微細化又は低誘電率化を目的としたlow-K層のような脆弱層の適用に伴い高信頼性化技術が求められている。このような背景の中、高信頼性化、高生産化等が可能なウエハレベルパッケージ（Wafer Level Package:WLP）技術が進展している。

[0003] WLP技術は、ウエハ状態のままで組立を行い、その最終工程でダイシングによってウエハを個片化することを特徴とする。ウエハレベルで一括に組立てる（封止を行う）ことから高生産性及び高信頼性化が可能な技術である。

[0004] WLPには、例えば、半導体チップの回路面の絶縁膜上にポリイミド及び銅配線等で再配線パターンを形成した再配線層を形成し、その再配線上にメタルパッド又ははんだボールを搭載して、接続端子用バンプを構成するWLCSP（Wafer Level Chip Scale Package）、FI-WLP（Fan In Wafer Level Package）がある。このような電子部品パッケージでは、小型化、薄型化が急速に進展しているため、信頼性を確保するためにウエハレベルで封止を行って半導体チップ周辺を保護した後に、パッケージ毎に個片化して、その後の二次実装等のハンドリングを行うことで信頼性を確保している。このような組立において、ダイシングによってウエハを個片化した後は、得られた複数のチップ同士の間隔が狭いため、チップをキャリア又は基板に再配置する必要がある。

[0005] また、ディスクリート半導体のような単機能半導体の実装分野もハンドリングの際の半導体チップのクラック及びパッド周辺部にかかるストレス低減を目的に、ウエハレベルで封止を行って半導体チップ周辺を保護した後に、パッケージ毎に個片化して次の工程（SMTプロセス等）に進んでいる。ディスクリート半導体はシステムＬＣＩに比べて小型のものが多く、半導体チップをより高度に保護するため、半導体チップの５面又は６面封止が特に求められている。半導体チップの側面を封止するためには、ウエハを個片化して半導体チップを作製した後に半導体チップの間隔を広げる必要があり、キャリア等にチップ間隔を広げて再配置を行い、オーバーモールドを行う。

[0006] ＬＥＤ分野でもチップサイズの小型化が進展しており、ミニＬＥＤ（ $200\mu\text{m}$ 以下）又はマイクロＬＥＤ（ $100\mu\text{m}$ 以下）の組立てにおいて、ＬＥＤウエハをダイシング後に基板に搭載する際に、ＤＣ幅が小さく、チップ間隔を広げて搭載する必要がある。

[0007] 特許文献１では、半導体チップの間隔を広げる方法として、複数のチップをエキスパンドテープ上に固定し、当該エキスパンドテープを延伸することにより、半導体チップの間隔を広げる方法が提案されている。

先行技術文献

特許文献

[0008] 特許文献１：国際公開第２０１８／２１６６２１号

発明の概要

発明が解決しようとする課題

[0009] ところで、チップの小型化が進展する中で、エキスパンドテープの延伸後におけるチップの位置精度に改善の余地があることが、本発明者等の検討により明らかとなった。

[0010] そこで本発明は、エキスパンドテープの延伸後に、チップの位置精度を改善することが可能な、電子部品パッケージの製造方法を提供することを目的とする。

課題を解決するための手段

[0011] 本発明者らは、鋭意研究した結果、以下の〔１〕～〔５〕に記載の発明により、上記課題を解決できることを見出すに至った。

〔１〕 エキスパンドテープと、当該エキスパンドテープ上に固定された複数のチップと、を準備する第１工程と、

エキスパンドテープを延伸することにより、エキスパンドテープ上に固定された複数のチップの間隔を広げる第２工程と、

延伸されたエキスパンドテープのテンションを保持する第３工程と、

キャリア又は基板上に複数の開口部を有するマスクを設け、当該マスクの開口部を通して、複数のチップをキャリア又は基板に転写する第４工程と、

複数のチップからエキスパンドテープを剥離するとともに、キャリア又は基板からマスクを外す第５工程を備える、電子部品パッケージの製造方法であって、

マスクは、第４工程においてキャリア又は基板上に設けられる第１面と、その反対側の第２面とを有し、複数の開口部は第２面から第１面に向かって先細りとなるようなテーパ形状を有する、電子部品パッケージの製造方法。

〔２〕 第２工程において、エキスパンドテープが２５℃以上の温度で延伸される、〔１〕に記載の電子部品パッケージの製造方法。

〔３〕 マスクの開口部におけるテーパ比が０．９～２である、〔１〕又は〔２〕に記載の電子部品パッケージの製造方法。

〔４〕 マスクの開口部を形成する側面における傾斜角が５４．７°である、〔１〕～〔３〕のいずれかに記載の電子部品パッケージの製造方法。

〔５〕 マスクがシリコンから形成される、〔１〕～〔４〕のいずれかに記載の電子部品パッケージの製造方法。

発明の効果

[0012] 本発明によれば、エキスパンドテープの延伸後に、チップの位置精度を改善することが可能な、電子部品パッケージの製造方法を提供することができ

る。

図面の簡単な説明

[0013] [図1]第1工程～第3工程の一実施形態を説明するための模式断面図である。

[図2]第4工程～第5工程の一実施形態を説明するための模式断面図である。

[図3]第4工程の一実施形態で用いられるマスクの模式断面図である。

[図4]第4工程の一実施形態で用いられるマスクの上面図である。

発明を実施するための形態

[0014] 以下、図面を参照しながら本実施形態について詳細に説明する。以下の説明では、同一又は相当部分には同一符号を付し、重複する説明は省略する。また、上下左右等の位置関係は、特に断らない限り、図面に示す位置関係に基づくものとする。さらに、図面の寸法比率は図示の比率に限られるものではない。

[0015] まず、上述の第1工程～第5工程について、図1及び2に基づいて説明する。図1は、第1工程～第3工程の一実施形態を説明するための模式断面図であり、図2は、第4工程及び第5工程の一実施形態を説明するための模式断面図である。

[0016] まず、第1工程では、エキスパンドテープ1と、エキスパンドテープ1上に固定された複数のチップ2とを準備する。エキスパンドテープ1は、粘着層1aと基材フィルム1bとを有し、粘着層1aがチップ2と接する。また、チップ2は、パッド（回路）3が設けられた回路面を有する。チップ2は回路面とは反対側の面がエキスパンドテープ1に固定されていてもよく（図1（a））、回路面がエキスパンドテープ1に固定されていてもよい（図示せず）。なお、複数のチップ2は、間隔を置いて配置されている。

第2工程では、エキスパンドテープ1を延伸することにより、エキスパンドテープ1上に固定された、複数のチップ2の間隔を広げる（図1（b））。

第3工程では、延伸されたエキスパンドテープ1を、固定用ジグ4を用いて固定することにより、エキスパンドテープ1のテンションを保持する（図

1 (c))。

第4工程では、キャリア5上に、複数の開口部を有するマスク6を設け、当該マスク6の開口部6cを通して(図2(a))、複数のチップ2を前記キャリア5に転写する(図2(b))。

第5工程では、複数のチップ2から、エキスパンドテープ1を剥離するとともに、キャリア5からマスク6を外す(図2(c))。なお、第4工程及び第5工程において、キャリア5は基板であってもよい。

以下、各工程について詳細に説明する。

[0017] <第1工程>

エキスパンドテープと、エキスパンドテープ上に固定された複数のチップと、を準備する方法に特に制限はない。例えば、ダイシングテープ等にウエハをラミネート後、ブレード又はレーザーでダイシングして複数の個片化されたチップを得た後、これらをエキスパンドテープに転写することにより作製することができる。

ダイシングは、レーザーで脆弱層を形成してエキスパンドすることによって行ってもよい。また、上述の転写を省略して生産性を向上させる観点から、エキスパンドテープに半導体ウエハを直接ラミネートして、上述の方法で半導体ウエハをダイシングして作製してもよい。

[0018] 生産性、低コスト化の観点から、初期のチップ間隔(第2工程前のチップの間隔)は狭い方が好ましく、 $100\mu\text{m}$ 以下が好ましく、 $80\mu\text{m}$ 以下がより好ましく、 $60\mu\text{m}$ 以下が更に好ましい。ダイシングによるウエアの切削は、上記チップ間隔が広い程ウエハを無駄にするため、低コスト化の観点から、上述のように狭い方が好ましい。チップ間隔を広げる際に、チップにストレスがかからないようにするために、初期のチップの間隔は $10\mu\text{m}$ 以上が好ましい。 $10\mu\text{m}$ より小さいと複数のチップの間のエキスパンドテープ領域が少ないため広がりにくい。

[0019] 上記チップは、半導体チップであってもよく、その他のチップであってもよい。半導体チップとしては、例えば、シリコン、ゲルマニウム等の元素半

導体、ガリウムヒ素、インジウムリン等の化合物半導体等が挙げられる。その他のチップとしては、ガリウムナイトライド、サファイア等が挙げられる。

[0020] チップの回路面上のパッドの種類は、チップの回路面に形成され得るものであれば特に限定されず、銅バンプ、はんだバンプ等のバンプ（突起電極）であっても、Ni/Auめっきパッド等の比較的平坦な金属パッドであってもよい。

[0021] <第2工程>

エキスパンドテープを延伸することにより、複数のチップの間隔を広げる。

[0022] エキスパンドテープの延伸方法としては、例えば、突き上げ方式と引張り方式がある。突き上げ方式は、エキスパンドテープを固定後、所定の形をしたステージが上昇することでエキスパンドテープが引き伸ばされる。引張り方式はエキスパンドテープを固定後、設置したエキスパンドテープ面と平行に所定の方向に引っ張ることで、エキスパンドテープが引き伸ばされる方式である。チップの間隔を均一に引き伸ばせる点、及び必要な（占有する）装置面積が小さくてコンパクトである点から、突き上げ方式の方が好ましい。

[0023] 延伸条件は、エキスパンドテープの特性に応じて適宜設定すればよい。例えば、突き上げ方式を採用した場合の突き上げ量（引張り量）は10mm～500mmが好ましく、10mm～300mmがより好ましい。10mm以上であると、複数のチップの間隔が広がりやすく、500mm以下であるとチップの飛散及び位置ずれが起こりづらくなる。

温度もエキスパンドテープ特性に応じて適宜設定すればよいが、例えば10℃～200℃であってもよく、10℃～150℃、20℃～100℃であってもよい。温度が10℃以上であるとエキスパンドテープが延伸しやすくなり、温度が200℃以下であるとエキスパンドテープの熱膨張及び低弾性化による歪み又はたるみによるチップの位置ずれ（エキスパンドテープからのチップの剥離）、チップの飛散等が起こりづらくなる。

突き上げ速度もエキスパンドテープ特性に応じて適宜設定すればよいが、例えば0.1 mm/秒～500 mm/秒であってもよく、0.1 mm/秒～300 mm/秒、0.1 mm/秒～200 mm/秒であってもよい。0.1 mm/秒以上であると生産性が向上する。500 mm/秒以下であると、チップとエキスパンドテープ間での剥離が生じづらくなる。

[0024] 第2工程後の複数のチップの間隔は、チップの側面をより確実に封止する観点から、300 μ m以上が好ましい。取り扱い性の観点から、第2工程後の複数のチップの間隔は、500 μ m以上がより好ましく、1 mm以上が更に好ましい。上限は特に制限はないが、5 mm以下とすることができる。

[0025] <第3工程>

延伸されたエキスパンドテープが元の状態に戻ることを防ぐために、エキスパンドテープのテンションを保持する。

[0026] エキスパンドテープのテンションを保持する方法は、テンションが保持され、チップの間隔が元に戻らなければ特に制限はない。例えば、グリップリング（株式会社テクノビジョン製）等の固定用ジグを用いて固定する、又はエキスパンドテープの外周部を加熱して収縮させて（ヒートシュリンク）テンションを保持する方法等が挙げられる。

[0027] <第4工程>

キャリア又は基板上に複数の開口部を有するマスクを設け、当該マスクの開口部を通して、複数のチップをキャリア又は基板に転写（ラミネート）する。マスクは、キャリア又は基板上に設けられる第1面とその反対側の第2面とを有し、複数の開口部は第2面から第1面に向かって先細りとなるようなテーパ形状を有する。

[0028] 第4工程において、複数のチップは、第2面側のより広い開口部を通過して、第1面側のより狭い開口部へと誘導されるので、第3工程においてチップの位置ずれが生じていたとしても、チップの位置を補正することができる。これにより、チップの位置精度が向上する。

[0029] 以下、図3及び図4に基づいて、第4工程の一実施形態で用いられるマス

クについて説明する。図3は、図2のマスク6の一部を拡大した模式断面図であり、図4は、マスク6全体の上面図である。

[0030] 図3及び図4のマスク6は、第1面6a及び第2面6bを有し、且つ第1面6aから第2面6bに向かってマスク6を貫通する複数の開口部6cを有する。図3及び図4における開口部6cの形状は正方形である。開口部6cの形状は、チップの形状に合わせて適宜設定することができる。例えば、チップの形状が四角形である場合は、開口部6cの形状を正方形又は長方形とすることが好ましい。

[0031] 図3中、“A”は第2面6bにおける開口部の端部間の長さを示し、“B”は第1面6aにおける開口部の端部間の長さを示し、“a”は第2面6bにおける開口部の端部から第1面6aに向かって垂線を下ろしたときに第1面6aと交差する点から、対応する第1面6aにおける開口部の端部までの長さを示す。特に開口部の形状が正方形である場合には、“A”及び“B”は、それぞれ第2面6b及び第1面6aの開口部における一辺の長さを意味する。

[0032] AとBとの差は、aの2倍に相当する($A - B = 2a$)。この値を使って、マスクの開口部(第1面6a、第2面6b及び開口部6cの側面から形成される空間)におけるテーパー比(以下、単に「テーパー比」という)を $2a/L$ (Lはマスクの厚み)と規定する。また、マスクの開口部を形成する側面と第1面とがなす角度を、マスクの開口部を形成する側面における傾斜角 θ (以下、単に「傾斜角 θ 」という)とする。

[0033] 上記A及びBの長さは、チップのサイズに応じて、適宜設定することができるが、上記Bの長さはチップのサイズと同じかそれ以上の長さとする必要がある。上記Bの長さがチップのサイズと略同じである場合には、位置精度は最も高いが、転写する際にチップが破損する虞もある。このため、上記Bの長さは、製造するパッケージによって適宜調整すればよいが、位置精度を向上させる観点から、チップのサイズ+5%以内の範囲で調整すると好ましい。

[0034] テーパー比及び傾斜角 θ は、チップ同士の間隔によって適宜設定すればよ

いが、傾斜角 θ が小さいほど、エキスパンド後に生じたゆがみ及び位置ずれを補正しやすい。位置ずれ補正の精度向上と生産性向上を両立する観点から、テーパー比は0.9～2であると好ましい。同様の観点から、傾斜角 θ は $45^{\circ} \sim 65^{\circ}$ であると好ましく、 $50^{\circ} \sim 60^{\circ}$ であるとより好ましく、 $53^{\circ} \sim 57^{\circ}$ であると更に好ましく、 54.7° であると特に好ましい。

[0035] マスクの材質はシリコンであると好ましい。シリコンは、異方性エッチングにより低コストで加工することが可能であり、上記の傾斜角を有するマスクを簡単に精度良く作製することができる。

[0036] マスクの厚みは、取り扱い性の観点から厚みを適宜設定すればよい。特にマスクの材質がシリコンである場合のマスクの厚みは、十分な強度を有し、且つ作製が容易である観点から、 $100\mu\text{m} \sim 775\mu\text{m}$ であると好ましい。

[0037] 第4工程において、ラミネート方法は特に制限はないが、ロールラミネータ、ダイヤフラム式ラミネータ、真空ロールラミネータ、真空ダイヤフラム式ラミネータ等を採用することができる。仮ラミネート後、圧着機を用いて圧着してもよい。

[0038] ラミネート条件はエキスパンドテープ、チップ、キャリア及び基板の物性及び特性によって適宜設定すればよい。例えば、ロールラミネータであれば、室温(25°C)～ 200°C であってもよく、室温(25°C)～ 150°C が好ましく、室温(25°C)～ 100°C がより好ましい。室温以上であると、半導体チップがキャリアに転写(ラミネート)しやすくなり、 200°C 以下であるとエキスパンドテープの熱膨張又は低弾性化による歪み又はたるみによる半導体チップの位置ずれ(エキスパンドテープと半導体チップ間の剥離)、半導体チップの飛散等が起こりづらくなる。ダイヤフラム系のラミネータであれば、温度条件に関しては上述のロール系ラミネータと同様である。圧着時間は5秒～300秒であってもよく、5秒～200秒が好ましく、5秒～100秒がより好ましい。5秒以上であると半導体チップがキャリアに転写(ラミネート)しやすく、300秒以下であると生産性が向上する。圧

力は0.1 MPa～3 MPaであってもよく、0.1 MPa～2 MPaが好ましく、0.1 MPa～1 MPaがより好ましい。0.1 MPa以上であると、半導体チップがキャリアに転写（ラミネート）しやすく、2 MPa以下であると半導体チップへのダメージが軽減される。

[0039] <第5工程>

複数のチップからエキスパンドテープを剥離（除去）するとともに、キャリア又は基板からマスクを外す。

[0040] エキスパンドテープを剥離する際に、キャリア又は基板上にマスクがあると、チップの位置ずれが発生しにくい。

[0041] エキスパンドテープを剥離する際は、キャリア上に転写されたチップが位置ずれを起こしたり、キャリアから剥がれたりしないように、エキスパンドテープとキャリア、エキスパンドテープとチップ、チップとキャリアの密着力は適宜設定する必要がある。例えば、エキスパンドテープとチップの密着力が、チップとキャリアの密着力と同じかそれよりも小さいことが好ましい。

[0042] エキスパンドテープ、又はキャリア面にUV硬化機能を付与し、UVを照射することで密着力（接着力）が上下するように設定してもよい。この場合は、UV照射後（UV照射工程を追加）にエキスパンドテープを除去する。例えば、第3工程後にUVを照射してエキスパンドテープの密着力（接着力）を下げた後に、キャリアにラミネートして、エキスパンドテープをチップから剥離することができる。これによってチップへのストレスが軽減され、転写を位置ずれなくスムーズに行うことができる。

[0043] チップのサイズに特に制限はないが、サイズが小さい程、本実施形態の製造方法は従来の方法に対して、高生産化価値が高い。この観点から、チップのサイズは、□10 mm以下が好ましく、□5 mm以下がより好ましい。

[0044] 次に各工程で用いられる材料について説明する。

[0045] （エキスパンドテープ）

エキスパンドテープは、当該エキスパンドテープ上に固定された複数のチ

ップの間隔を広げることができる延伸性を有していれば特に制限はない。第2工程後（チップの間隔を広げた後）のMDとTDのチップ間隔が均一であることが好ましい。

[0046] エキスパンドテープは、延伸性に大きく寄与する基材フィルム（基材層）、粘着力を制御する粘着層等、複数の層構造であってもよい。

[0047] 基材フィルムは、延伸性、第3工程後にチップ間隔を保持する安定性があれば特に制限はない。

[0048] 基材フィルムは、ポリエチレンテレフタレートフィルム等のポリエステル系フィルム；ポリテトラフルオロエチレンフィルム、ポリエチレンフィルム、ポリプロピレンフィルム、ポリメチルペンテンフィルム、ポリビニルアセテートフィルム、及びポリ-4-メチルペンテン-1等の α -オレフィンの単独重合体及びそれらの共重合体、並びに上記単独重合体又は上記共重合体のアイオノマーを含むポリオレフィン系フィルム；ポリ塩化ビニルフィルム；及びポリイミドフィルム；ウレタン樹脂フィルムなどの各種プラスチックフィルムであってよい。上記基材フィルムは、単層のフィルムに限らず、上記プラスチックフィルムを2種以上又は同種のプラスチックフィルムを2つ以上組み合わせて得られる多層のフィルムであってもよい。

[0049] 上記基材フィルムは、延伸性の観点から、ポリオレフィンフィルム、ウレタン樹脂フィルムであることが好ましい。基材フィルムは、必要に応じて、ブロッキング防止剤等の各種添加剤を含んでもよい。

[0050] 上記基材フィルムの厚みは、必要に応じて適宜設定すればよいが、 $50\mu\text{m}$ ～ $500\mu\text{m}$ が好ましい。 $50\mu\text{m}$ より薄いと延伸性が低下し、 $500\mu\text{m}$ より大きいと歪みが発生しやすくなったり、取り扱い性が低下したりする等、不具合が生じる。

[0051] 上記基材フィルムの厚みは、作業性を損なわない範囲で適宜選択される。ただし、粘着層を構成する粘着剤として、高エネルギー線（中でも、紫外線）硬化性粘着剤を用いる場合は、その高エネルギー線の透過を阻害しない厚さにする必要がある。このような観点から、基材フィルムの厚さは、通常は

10～500 μm であってもよく、50～400 μm が好ましく、70～300 μm がより好ましい。

基材層を複数の基材フィルムから構成する場合、基材層全体の厚さが上記範囲内となるように調整することが好ましい。基材フィルムは、粘着層との密着性を向上させるために、必要に応じて、化学的又は物理的に表面処理を施したものであってもよい。上記表面処理としては、例えば、コロナ処理、クロム酸処理、オゾン暴露、火炎暴露、高圧電撃暴露、イオン化放射線処理等が挙げられる。

[0052] 粘着層は、粘着力を制御する（工程毎にチップの位置ずれ、飛散が起きないように設定）ことができれば、特に制限はない。

[0053] 粘着層は、室温で粘着力があり、チップに対し密着力を有する粘着剤成分から構成することが好ましい。粘着層を構成する粘着剤成分のベース樹脂の一例としては、アクリル樹脂、合成ゴム、天然ゴム、ポリイミド樹脂等が挙げられる。

粘着剤成分の糊残りを減少させる観点から、上記ベース樹脂は、他の添加剤と反応し得る官能基（水酸基、カルボキシル基等）を有することが好ましい。粘着剤成分として、紫外線、放射線等の高エネルギー線、又は熱によって硬化する樹脂を使用してもよい。このような硬化性樹脂を使用した場合、樹脂を硬化させることによって粘着力を低下させることができる。また、粘着力を調整するため、上記粘着剤成分は、上記ベース樹脂の官能基と架橋反応できる架橋剤を含んでもよい。架橋剤は、エポキシ基、イソシアネート基、アジリジン基、及びメラニン基からなる群から選ばれる少なくとも1種の官能基を有することが好ましい。これらの架橋剤は、単独で使用してもよいし、2種以上を併用してもよい。

また、反応速度が遅い場合は、必要に応じて、アミン又はスズ等の触媒を使用してもよい。その他、粘着特性を調整するために、上記粘着剤成分は、ロジン系又はテルペン樹脂等のタッキファイヤー、及び各種界面活性剤等の任意成分を適宜含有してもよい。

[0054] 粘着層の厚さは、通常は1～100 μ mであり、2～50 μ mが好ましく、5～40 μ mがより好ましい。粘着層の厚さを1 μ m以上にすることによって、チップとの十分な粘着力を確保することができるため、第2工程の際（チップ間隔を広げる際）に半導体のチップの飛散を抑制することが容易となる。一方、100 μ mを超える厚さとしても、特性において利点はなく、不経済となる。

[0055] 粘着層が10 μ m以上であると、ダイシングテープを用いずに、エキスパンドテープ上で半導体ウエハをダイシングしても基材フィルムにダメージ（切り込み等）が入らないため、第1工程において、ダイシングテープ上で半導体ウエハをダイシングしてエキスパンドテープに転写（貼り付ける）する工程を省略することができる。すなわち、エキスパンドテープ上でダイシングできる。

[0056] （エキスパンドテープの作製方法）

エキスパンドテープは、当技術分野で周知の技術に沿って製造することができる。例えば、以下の方法に従って製造することができる。保護フィルムの上に、ナイフコート法、ロールコート法、スプレーコート法、グラビアコート法、バーコート法、カーテンコート法等によって塗工し、溶媒を除去することによって粘着層を形成する。具体的には、50～200℃、0.1～90分間の加熱を行うことが好ましい。各工程でのボイド発生及び粘度調整に影響がなければ、有機溶媒が1.5%以下となるまで揮発する条件とすることが好ましい。

作製した粘着層付保護フィルムと、基材フィルムを、常温～60℃の温度条件下で、粘着層と基材フィルムが対向するように積層する。

[0057] エキスパンドテープ（基材フィルム、もしくは基材フィルム＋粘着層）は保護フィルムを剥がして使用する。

[0058] 保護フィルムとしては、例えば、A-63（帝人デュポンフィルム株式会社製、離型処理剤：変性シリコン系）、A-31（帝人デュポンフィルム株式会社製、離型処理剤：Pt系シリコン系）等が挙げられる。

保護フィルムの厚さは、作業性を損なわない範囲で適宜選択され、通常は、経済的観点から $100\mu\text{m}$ 以下であることが好ましい。上記保護フィルムの厚さは、 $10\sim75\mu\text{m}$ が好ましく、 $25\sim50\mu\text{m}$ がより好ましい。上記保護フィルムの厚さが $10\mu\text{m}$ 以上であれば、エキスパンドテープの作製時にフィルムが破れる等の不具合が起こり難い。また、上記保護フィルムの厚さが $75\mu\text{m}$ 以下であれば、エキスパンドテープの使用時に保護フィルムを容易に剥離することができる。

[0059] (キャリア)

キャリアは、転写時の温度及び圧力に耐性があれば（チップが破損しないこと、チップ間隔が変わらないこと）、特に制限はない。例えば、キャリアの熱膨張率は、チップの位置ずれ等の不具合を防止するため、 $100\text{ppm}/^\circ\text{C}$ 以下が好ましく、 $50\text{ppm}/^\circ\text{C}$ 以下がより好ましく、 $20\text{ppm}/^\circ\text{C}$ 以下が更に好ましい。また、キャリアの熱膨張率は、チップよりも熱膨張率が小さいと歪み及び反りが生じるため、 $3\text{ppm}/^\circ\text{C}$ 以上が好ましい。

[0060] キャリアの材質としては、特に制限はないが、シリコン（ウエハ）、ガラス、SUS、鉄、Cu等の板、ガラスエポキシ基板などが挙げられる。

[0061] キャリアの厚みは $100\mu\text{m}\sim5000\mu\text{m}$ であってもよく、 $100\mu\text{m}\sim4000\mu\text{m}$ が好ましく、 $100\mu\text{m}\sim3000\mu\text{m}$ がより好ましい。 $100\mu\text{m}$ 以上であると取り扱い性が向上する。厚くても格段の取り扱い性向上が見込めるわけではなく、経済面から考慮して $5000\mu\text{m}$ 以下であればよい。

[0062] キャリアは複数の層から成っていてもよい。上述の材質からなる層に加えて、密着力制御を付与する観点から、粘着層、仮固定材等をラミネートした層があってもよい。密着力はチップ及びエキスパンドテープの密着力を考慮して、適宜設定すればよい。粘着層、仮固定材等をラミネートした層の厚みは特に制限はないが、例えば、 $1\mu\text{m}\sim300\mu\text{m}$ であってもよく、 $1\mu\text{m}\sim200\mu\text{m}$ が好ましい。 $1\mu\text{m}$ 以上とすることでチップとの十分な粘着力を確保することができる。一方、 $300\mu\text{m}$ を超える厚さとしても、特性に

において利点はなく、不経済となる。

符号の説明

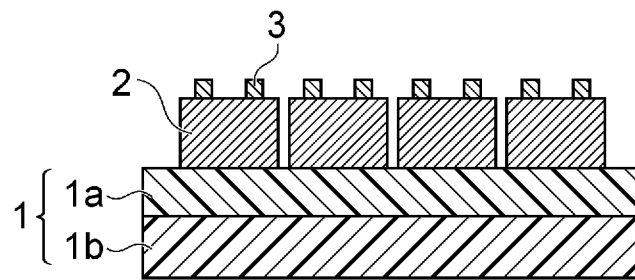
[0063] 1…エキスパンドテープ、1 a…粘着層、1 b…基材フィルム、2…チップ、3…パッド（回路）、4…固定用ジグ、5…キャリア、6…マスク。

請求の範囲

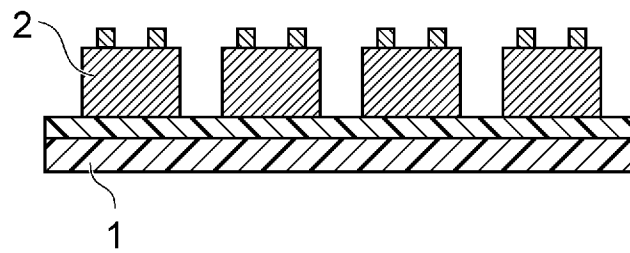
- [請求項1] エキスパンドテープと、当該エキスパンドテープ上に固定された複数のチップと、を準備する第1工程と、
- 前記エキスパンドテープを延伸することにより、前記エキスパンドテープ上に固定された複数の前記チップの間隔を広げる第2工程と、
- 延伸された前記エキスパンドテープのテンションを保持する第3工程と、
- キャリア又は基板上に複数の開口部を有するマスクを設け、当該マスクの開口部を通して、前記複数のチップを前記キャリア又は基板に転写する第4工程と、
- 複数の前記チップから前記エキスパンドテープを剥離するとともに、前記キャリア又は基板から前記マスクを外す第5工程を備える、電子部品パッケージの製造方法であって、
- 前記マスクは、前記第4工程において前記キャリア又は基板上に設けられる第1面と、その反対側の第2面とを有し、前記複数の開口部は第2面から第1面に向かって先細りとなるようなテーパ形状を有する、電子部品パッケージの製造方法。
- [請求項2] 前記第2工程において、前記エキスパンドテープが25℃以上の温度で延伸される、請求項1に記載の電子部品パッケージの製造方法。
- [請求項3] 前記マスクの開口部におけるテーパ比が0.9～2である、請求項1又は2に記載の電子部品パッケージの製造方法。
- [請求項4] 前記マスクの開口部を形成する側面における傾斜角が54.7°である、請求項1～3のいずれか一項に記載の電子部品パッケージの製造方法。
- [請求項5] 前記マスクがシリコンから形成される、請求項1～4のいずれか一項に記載の電子部品パッケージの製造方法。

[図1]

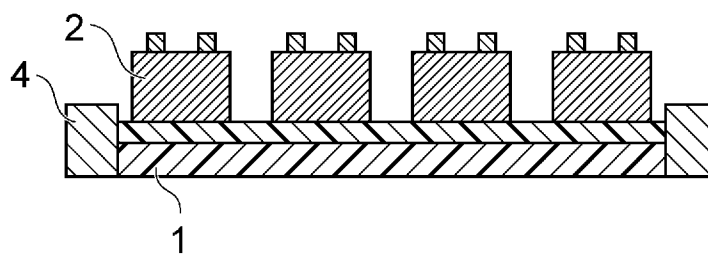
(a)



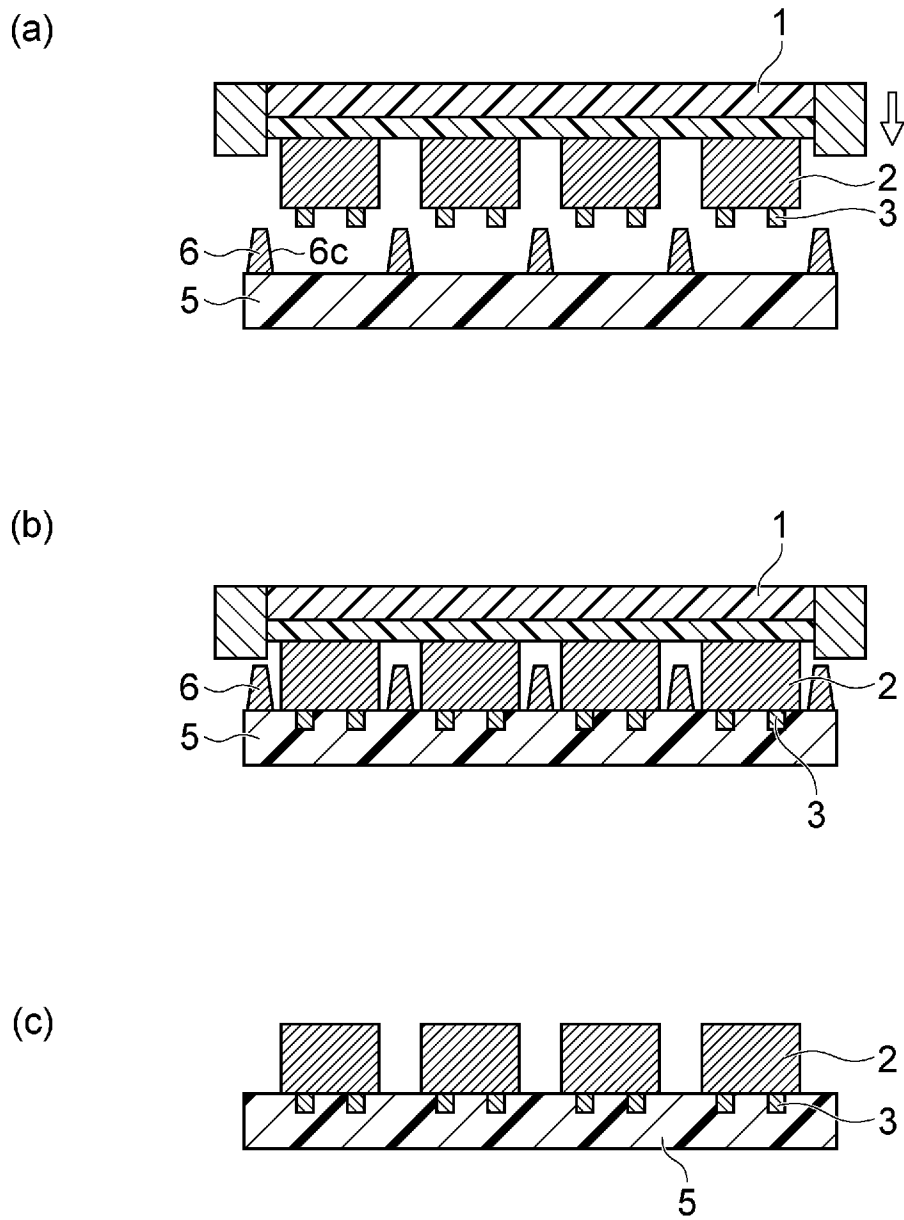
(b)



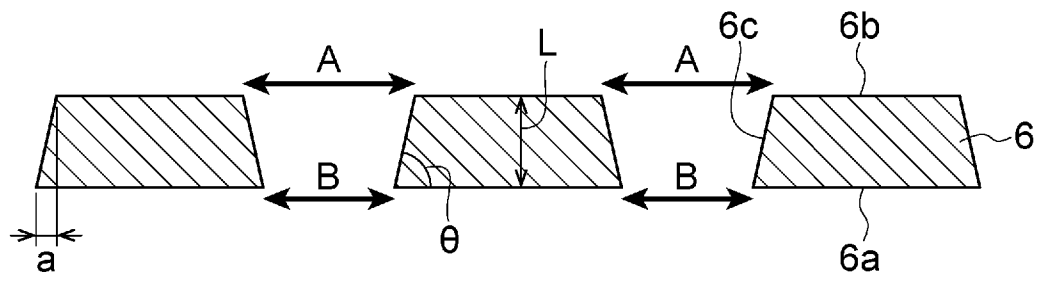
(c)



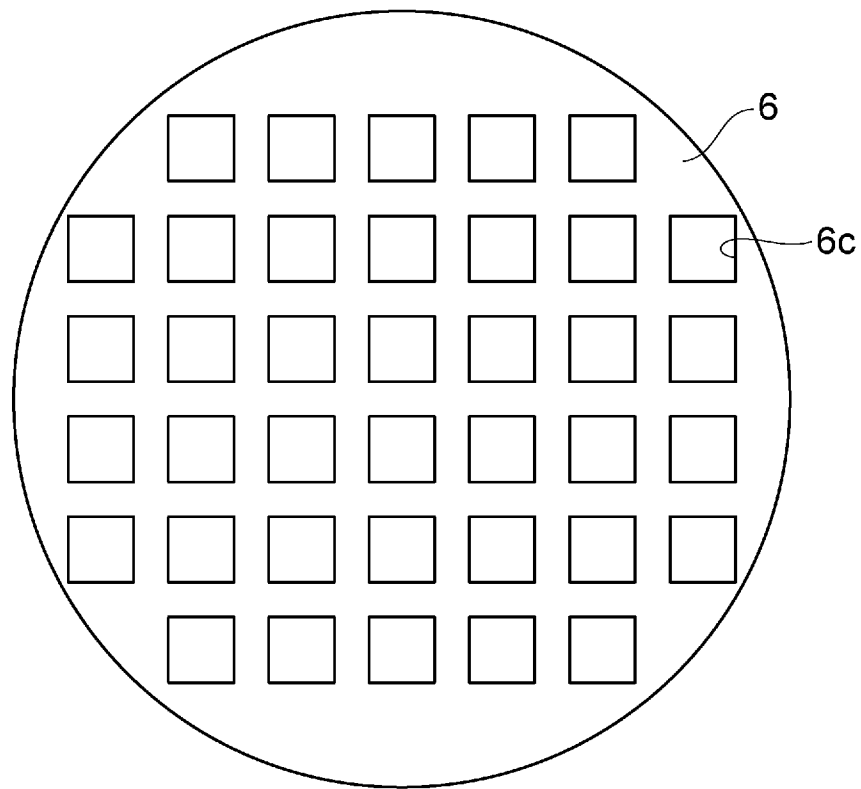
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/047917

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/67 (2006.01) i, H01L21/301 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/67, H01L21/301

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-76748 A (LINTEC CORPORATION) 20 April 2017, paragraphs [0031]-[0040], fig. 2, 3 (Family: none)	1-5
A	JP 2011-96961 A (CITIZEN ELECTRONICS) 12 May 2011, paragraphs [0018]-[0025], fig. 1, 2 (Family: none)	1-5
A	JP 2008-176073 A (JAPAN ADVANCED INSTITUTE OF SCIENCE & TECHNOLOGY HOKURIKU) 31 July 2008, entire text, all drawings (Family: none)	1-5
A	JP 2005-174979 A (SONY CORPORATION) 30 June 2005, fig. 2, 3, 8 (Family: none)	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18.03.2019

Date of mailing of the international search report
26.03.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/67(2006.01)i, H01L21/301(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/67, H01L21/301

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-76748 A（リンテック株式会社）2017.04.20, 段落 [0031]-[0040], 図2-3（ファミリーなし）	1-5
A	JP 2011-96961 A（シチズン電子株式会社）2011.05.12, 段落 [0018]-[0025], 図1-2（ファミリーなし）	1-5
A	JP 2008-176073 A（国立大学法人北陸先端科学技術大学院大学） 2008.07.31, 全文, 全図（ファミリーなし）	1-5
A	JP 2005-174979 A（ソニー株式会社）2005.06.30, 図2-3, 8（フ ァミリーなし）	1-5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

18.03.2019

国際調査報告の発送日

26.03.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

内田 正和

50

9065

電話番号 03-3581-1101 内線 3559