(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-49260
(P2007-49260A)
(43)公開日　平成19年2月22日(2007.2.22)

(51)Int.Cl.			F I			テーマコード（参考）
H03H	9/25	(2006.01)	H03H	9/25	A	5J079
H03B	5/30	(2006.01)	H03B	5/30	A	5J097
H03H	9/145	(2006.01)	H03H	9/145	D	

審査請求 未請求　請求項の数 6　ＯＬ　（全 12 頁）

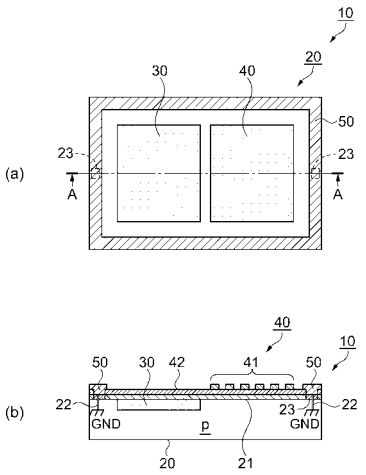
(21)出願番号　特願2005-229144 (P2005-229144)
(22)出願日　平成17年8月8日 (2005.8.8)

(71)出願人　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107076
弁理士　藤綱　英吉
(74)代理人　100107261
弁理士　須澤　修
(72)発明者　矢島　有継
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
(72)発明者　古畑　誠
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

最終頁に続く

(54)【発明の名称】弾性表面波素子

(57)【要約】
【課題】　発振回路が発生するノイズが、半導体基板の外周端面に反射し再度発振回路に侵入すること、且つ、外周端面から弾性表面波素子の表面層に回りこむことを抑制する。
【解決手段】　弾性表面波素子１０は、半導体基板２０の表面層に少なくとも発振回路３０と、ＩＤＴ領域４０と、を混在してなる弾性表面波素子１０であって、発振回路３０とＩＤＴ領域４０とを含む周囲、またはそのどちらか一方の周囲をリング形状に取り囲む導電体層としての金属層５０を備え、金属層５０がＧＮＤに接続されている。このようにすることで、発振回路３０が発生するノイズが、半導体基板２０の外周端面に反射し、再度発振回路に侵入すること、且つ、外周端面から弾性表面波素子の表面層に回りこむことを抑制できる。
【選択図】　図１



【特許請求の範囲】
【請求項１】
半導体基板の表面層に少なくとも発振回路領域と、ＩＤＴ領域と、を混在してなる弾性表面波素子であって、
前記発振回路領域と前記ＩＤＴ領域の周囲をリング形状に取り囲む導電体層を備え、
前記導電体層が接地電極に接続されていることを特徴とする弾性表面波素子。
【請求項２】
請求項１に記載の弾性表面波素子であって、
前記導電体層が、前記半導体基板の前記発振回路領域と前記ＩＤＴ領域とが形成される側の表面層に、前記発振回路領域と前記ＩＤＴ領域とをリング形状に取り囲むように形成される金属層であることを特徴とする弾性表面波素子。
【請求項３】
請求項１に記載の弾性表面波素子であって、
前記導電体層が、前記発振回路領域と前記ＩＤＴ領域とをリング形状に取り囲む範囲、且つ、前記発振回路領域の厚みの範囲に金属層と絶縁層を交互に積層して形成され、
これらの金属層をビアホールで接続し、前記半導体基板の接地電極に接続されていることを特徴とする弾性表面波素子。
【請求項４】
請求項１に記載の弾性表面波素子であって、
前記導電体層が、前記半導体基板の表面層に、前記発振回路領域と前記ＩＤＴ領域とをリング形状に取り囲む範囲、または前記発振回路領域と前記ＩＤＴ領域それぞれ、または前記発振回路領域をリング形状に取り囲む範囲、に形成されるウェルであることを特徴とする弾性表面波素子。
【請求項５】
請求項１に記載の弾性表面波素子であって、
前記導電体層が、前記半導体基板の外周側面に形成されていることを特徴とする弾性表面波素子。
【請求項６】
請求項２または請求項５に記載の弾性表面波素子であって、
前記導電体層が、インクジェット装置を用いて塗布形成される金属層であることを特徴とする弾性表面波素子。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、弾性表面波素子に関し、詳しくは、発振回路領域とＩＤＴ領域を混在する弾性表面波素子のノイズ抑制に関する。
【背景技術】
【０００２】
従来、デジタル回路とアナログ回路を混在する弾性表面波素子において、第１導電型の半導体基板と、この半導体基板の表面層にそれぞれ独立に形成された第２導電型の第１ウェル及び第２導電型の第２ウェルと、第１ウェル内の表面層に形成されたデジタル回路と、第２ウェル内の表面層に形成されたアナログ回路とを有し、半導体基板が、少なくとも第１ウェルの１０００倍以上の比抵抗を有する弾性表面波素子というものが知られている（例えば、特許文献１参照）。
【０００３】
【特許文献１】特開２００１－３４５４２８号公報（第６頁、図１）
【発明の開示】
【発明が解決しようとする課題】
【０００４】
このような特許文献１では、アナログ回路及びデジタル回路それぞれをウェル内に形成

し、これらウェル間に高抵抗半導体基板を配することにより、デジタル回路からのノイズがアナログ回路に浸入することを阻止しようとしているが、第１ウェルと第２ウェルの間からノイズが半導体基板の外周方向に向かって漏洩し、半導体基板の外周端面から表面層にノイズが回り込むことや、外周端面に達したノイズが外周端面で反射され、アナログ回路に侵入し、アナログ回路のＬ成分（インダクタ）成分やＣ成分（静電容量）に影響することが考えられる。

【０００５】

また、この特許文献１による構造では、アナログ回路及びデジタル回路のそれぞれを構成するトランジスタ等の各回路素子毎にウェルを設ける構造であるため、各回路素子毎のウェルの間をノイズが回り込むことが予測され、アナログ回路に影響を与えることが考えられる。

【０００６】

本発明の目的は、発振回路領域とＩＤＴ領域が混在される弾性表面波素子において、発振回路が発生するノイズが、半導体基板の外周端面に反射し再度発振回路に侵入すること、且つ、外周端面から弾性表面波素子の表面層に回りこむこと、を抑制できる弾性表面波素子を提供することである。

【課題を解決するための手段】

【０００７】

本発明の弾性表面波素子は、半導体基板の表面層に少なくとも発振回路領域と、ＩＤＴ領域と、を混在してなる弾性表面波素子であって、前記発振回路領域と前記ＩＤＴ領域の周囲をリング形状に取り囲む導電体層を備え、前記導電体層が接地電極に接続されていることを特徴とする。

ここで、発振回路領域としては発振回路を構成する領域、ＩＤＴ領域とは、圧電体層を含み櫛歯形状のＩＤＴ（Ｉｎｔｅｒｄｉｇｉｔａｌ　Ｔｒａｎｓｄｕｃｅｒ）電極が形成されている領域を示している。

【０００８】

この発明によれば、半導体基板表面層に発振回路領域及びＩＤＴ領域が混在配設される弾性表面波素子において、発振回路領域及びＩＤＴ領域の周囲に導電体層を設け、接地電極（以降、ＧＮＤと表す）に接続することから、発振回路から発生するノイズが導電体層を越えて半導体基板の外周端面に達することを抑制することができる。また、外周端面からノイズが漏洩して外部回路に影響を及ぼすことを抑制することができる。

【０００９】

また、僅かに外周端面まで達したノイズが、外周端面で反射し、再度、発振回路に侵入することを導電体層で抑制することができる。さらに、ＩＤＴ領域から出力される表面波のうち、不要周波数帯域の表面波（ノイズとなる）が、半導体基板の外周端面から発振回路に侵入することを抑制することができる。このことから、安定した発振特性を有する発振回路と、安定した共振周波数を有する弾性表面波素子を備える弾性表面波素子を提供することができる。

【００１０】

また、本発明は、前記導電体層が、前記半導体基板の前記発振回路領域と前記ＩＤＴ領域が形成される側の表面層に、前記発振回路領域と前記ＩＤＴ領域とをリング形状に取り囲むように形成される金属層であることを特徴とする。

【００１１】

発振回路領域及びＩＤＴ領域は、半導体基板の一方の表面層に形成されるので、ノイズは、半導体基板の表面層を半導体基板の外周端面にまで伝搬することが考えられる。従って、発振回路及びＩＤＴ電極がある半導体基板の表面層に導電体層を形成することにより、発振回路やＩＤＴ領域から発生するノイズが半導体基板の外周端面に伝搬し、外周端面からの反射ノイズが発振回路内に浸入することを抑止することができる。

【００１２】

また、導電体層は、半導体基板の最上層に形成されるため、弾性表面波素子の製造プロ

セスの最終段階で形成することが可能で、形成方法において、ウエハの状態でも、半導体チップの状態でも形成できることや、材料の選択肢が増すというような効果もある。

【００１３】

また、本発明の弾性表面波素子は、前記導電体層が、前記発振回路領域と前記ＩＤＴ領域とをリング形状に取り囲む範囲、且つ、前記発振回路領域の厚みの範囲に金属層と絶縁層を交互に積層して形成され、これらの金属層をビアホールで接続し、前記半導体基板の接地電極に接続されていることを特徴とする。

【００１４】

発振回路領域において、詳しくは後述するが、発振回路は複数の絶縁層と金属層（配線層）とが交互に積層して形成される。この絶縁層の層間に、配線層とは分離して導電体層を複数形成し、ビアホールで接続、接地する構造であるため、発振回路の表面層からのノイズに加え、側面方向に発生するノイズが、半導体基板の外周端面に伝搬すること、及び外周端面からの反射ノイズが発振回路内に浸入することを抑止することができる。

【００１５】

このような構造では、発振回路の配線層形成プロセスで、導電体層を形成することが可能で、導電体層を形成するための製造工程は不要であり、製造工程が長くなることはない。

【００１６】

また、前記導電体層が、前記半導体基板の表面層に、前記発振回路領域と前記ＩＤＴ領域とをリング形状に取り囲む範囲、または前記発振回路領域と前記ＩＤＴ領域それぞれ、または前記発振回路領域をリング形状に取り囲む範囲に形成されるウェルであることが好ましい。

【００１７】

このようにすれば、発振回路領域及びＩＤＴ領域が導電体層としてのウェルが取り囲まれているため、前述したようなノイズ抑制効果を奏することができる。なお、ウェルの電気伝導度は、不純物の打ち込み量を調整することで、発振回路内のトランジスタ等の回路素子において形成されるウェルとは異なる本発明の目的に適合する仕様を選択することが可能である。

また、ウェルは、発振回路領域とＩＤＴ領域とをそれぞれ別々に囲むように設けることも、ノイズの発生源となり、ノイズの影響を受け易い発振回路領域だけに設けることにより、ノイズの影響を低減することができる。

【００１８】

また、前記導電体層が、前記半導体基板の外周側面に形成されていることが好ましい。

このようにすれば、半導体装置の側面外周全体が導電体層で覆われることになるため、ノイズを外周側面全体に設けられる導電体層で抑制することができる。

【００１９】

また、前記導電体層が、インクジェット装置を用いて塗布形成される金属層であることが望ましい。

【００２０】

インクジェット装置では、金属微粉を液体に溶融して吐出し、金属配線層を塗布形成することができる。このようなインクジェット装置により導電体層を形成すれば、任意に金属材料を選択して導電体層を形成することができ、また、導電体層の平面形状や厚さを適宜選択して形成することができるというような効果を有する。

【発明を実施するための最良の形態】

【００２１】

以下、本発明の実施の形態を図面に基づいて説明する。

図１は、本発明の実施形態１に係る弾性表面波素子を示し、図２は実施形態２、図３は実施形態３、図４は実施形態３の変形例、図５は実施形態４に係る弾性表面波素子を示している。

（実施形態１）

【００２２】
図１は、実施形態１に係る弾性表面波素子を模式的に示し、（ａ）はその概略構成を示す平面図、（ｂ）は図１（ａ）のＡ－Ａ切断面を示す断面図である。図１（ａ）、図１（ｂ）において、弾性表面波素子１０は、Ｓｉからなる半導体基板２０の表面層に発振回路領域３０（以降、発振回路３０と表すことがある）とＩＤＴ領域４０とが重ならないように形成されている。本実施形態では、半導体基板２０はｐ基板として例示している。
【００２３】
発振回路３０及び半導体基板２０の最上層にはパッシベーション膜２１が形成され、その上面には、圧電体層４２が、ほぼ半導体基板２０の平面形状全体にわたって形成されている。パッシベーション膜２１の外周部には接続電極２３が形成されている。
【００２４】
この接続電極２３は、図１では２箇所に形成されているが、１箇所でももっと多くてもよい。この接続電極２３は、ビアホール２２によって接地電極（ＧＮＤと表す）に接続されている。ＧＮＤは、発振回路３０のＧＮＤ配線層（図示せず）に接続されている。この接続電極２３は、導電体層としての金属層５０に接続される。
【００２５】
金属層５０は、半導体基板２０の最上層、本実施形態では最上層にある圧電体層４２の外周周縁部に矩形のリング形状に形成されている。従って、金属層５０は、発振回路領域３０及びＩＤＴ領域４０を含む外周を取り囲むように形成される。金属層５０は、Ａｌ、Ｃｕの他電気伝導度が高い材料で形成されるが、形成方法としては、蒸着やスパッタリング等があるが、本実施形態では、インクジェット装置により金属の微粉を液体で溶融して吐出する方法を提案している。
【００２６】
金属層５０は、インクジェット装置により塗布する方式によって形成されることにより、金属の材質や、金属層の形状や厚さを、要求される電気伝導度に対応して任意に設定することが可能となる。こうして形成される金属層５０は、形成過程で接続電極２３と接続され、ビアホール２２を介してＧＮＤに接地される。
【００２７】
圧電体層４２の表面には、Ａｌからなる櫛歯形状のＩＤＴ電極４１（平面形状は図示を省略する）が、発振回路領域３０を避けた位置に形成されている。本発明によるＩＤＴ領域４０の構成は周知であるので、詳しい説明は省略する。また、発振回路３０は、弾性表面波素子１０を励振、あるいは検出するための回路素子（図示せず）により構成されるが、これも周知の構成であるため説明を省略する。
【００２８】
なお、上述した接続電極２３は、ＩＤＴ電極４１の内のＧＮＤ電極をワイヤボンディングで接続するための接続電極として用いることができる。
【００２９】
従って、前述した実施形態１によれば、半導体基板２０の表面層に発振回路３０及びＩＤＴ領域４０が混在配設される弾性表面波素子１０において、発振回路領域３０及びＩＤＴ領域４０の周囲の表面層に導電体層としての金属層５０を設け、ＧＮＤに接地していることから、特に発振回路３０から発生するノイズが接地された金属層５０を越えて半導体基板２０の外周端面に達することを抑制することができる。従って、外周端面からノイズが漏洩して外部回路に影響を及ぼすことを抑制することができる。
【００３０】
また、僅かに半導体基板２０の外周端面まで達したノイズが、外周端面で反射し、再度、発振回路３０に侵入することを金属層５０で抑制することができる。ＩＤＴ領域４０から出力される表面波のうち、不要周波数帯域の表面波（ノイズとなる）が、半導体基板２０の外周端面から発振回路３０に侵入することを抑制することができる。このことから、安定した発振特性を有する発振回路３０と、安定した共振周波数を有する弾性表面波素子１０を実現することができる。

【００３１】
さらに、インクジェット装置により金属層５０を形成すれば、任意に金属材料を選択して、容易に導電体層を形成することができ、また、導電体層の平面形状や厚さを適宜選択して形成することができるというような効果を奏する。

（実施形態２）

【００３２】
続いて、本発明の実施形態２に係る弾性表面波素子について図面を参照して説明する。本実施形態は、発振回路３０の形成プロセスの過程で形成されるＡｌ配線層を導電体層として用いることに特徴を有し、共通部分には、実施形態１と同じ符号を附して説明する。
図２は、実施形態２に係る弾性表面波素子を模式的に表し、（ａ）は平面図を示し、（ｂ）は図２（ａ）のＢ－Ｂ切断面を示す断面図である。図２（ａ）、（ｂ）において、本実施形態の弾性表面波素子１０は、発振回路領域３０とＩＤＴ領域４０の周囲を取り囲む導電体層としてのＡｌ配線層７０が絶縁層６０と交互に積層されて形成されている。

【００３３】
発振回路３０は、各絶縁層６１～６３と各Ａｌ配線層（図示せず）とが交互に積層して形成される。この絶縁層６１～６３の層間に、発振回路３０内のＡｌ配線層とは電気的に分離したＡｌ配線層７１～７３が形成される。Ａｌ配線層７１～７３は、発振回路３０にとってはダミー配線層といえる。そして、それぞれのＡｌ配線層７１～７３をビアホール８０でＧＮＤに接地する。ＧＮＤは、発振回路３０のＧＮＤ配線層（図示せず）に接続されている。

【００３４】
発振回路領域３０及び半導体基板２０の最上層にはパッシベーション膜２１が形成され、その上面には、圧電体層４２が、ほぼ半導体基板２０の平面形状全体にわたって形成されている。パッシベーション膜２１の外周部には接続電極２３が形成されている。

【００３５】
この接続電極２３は、ビアホール８０によって各Ａｌ配線層７１～７３と接続され、さらに、ビアホール８０によってＧＮＤに接続されている。ＧＮＤは、発振回路３０のＧＮＤ配線層に接続されている。この接続電極２３は、図２では２箇所に形成されているが、１箇所でももっと多くてもよく、ＩＤＴ領域４０のＧＮＤ電極とワイヤボンディングで接続するための接続電極としてもよい。

【００３６】
圧電体層４２の表面には、Ａｌからなる櫛歯形状のＩＤＴ電極４１（平面形状は図示を省略する）が、発振回路領域３０を避けた位置に形成されている。

【００３７】
上述のように形成された実施形態２による弾性表面波素子１０は、発振回路領域３０とＩＤＴ領域４０の周囲を、発振回路３０が形成される厚みの範囲にＡｌ配線層７０が交互に積層された形態で取り囲んでいる。
なお、導電体層としてのＡｌ配線層７０は、図２（ｂ）では、３層形成であるが、３層に限らず、発振回路領域３０を形成する絶縁層６０及びＡｌ配線層の積層数の範囲で任意に選択して構成することができる。

【００３８】
従って、前述した実施形態２によれば、この絶縁層６１～６３それぞれの層間に、発振回路３０のＡｌ配線層とは分離して導電体層としてのＡｌ配線層７０を形成し、ビアホール８０で接地する構造であるため、発振回路３０の表面層からのノイズに加え、側面方向に発生するノイズが、半導体基板２０の外周端面に伝搬すること、及び外周端面からの反射ノイズが発振回路３０内に浸入することを抑止することができる。

【００３９】
また、このような構造では、発振回路３０のＡｌ配線層形成プロセスで、導電体層を形成することが可能で、導電体層を形成するためだけの製造工程は不要であり、製造工程を長くせずに導電体層を形成することができる。

（実施形態３）

【００４０】

続いて、本発明の実施形態３に係る弾性表面波素子について図面を参照して説明する。実施形態３は、導電体層として半導体製造プロセスによるウェルを用いることを特徴としている。それ以外は、前述した実施形態１（図１（ａ）、（ｂ）参照）と同じ構成であり、同じ符号を附して説明する。

図３は、本発明の実施形態３に係る弾性表面波素子を模式的に表し、（ａ）は平面図、（ｂ）は図３（ａ）のＣ－Ｃ切断面を示す断面図である。図３（ａ）、（ｂ）において、弾性表面波素子１０は、半導体基板２０の表面層に発振回路領域３０とＩＤＴ領域４０と、半導体基板２０の表面、且つ、発振回路領域３０とＩＤＴ領域４０の周囲を取り囲むようにウェル９０が形成されている。

【００４１】

ウェル９０は、半導体基板２０がｐ型シリコンで形成されている本実施形態の場合は、ｎウェルが形成される。また、半導体基板がｎ型シリコンで形成される場合には、ｐウェルが形成される。ウェル９０の形成は、不純物のイオン打ち込み及びアニールによって行われるが、その濃度プロファイルから所定の電気伝導度を設定する。

【００４２】

ウェル９０は、半導体基板２０の表面から発振回路領域３０の断面方向の形成領域の範囲に形成されることが好ましい。

ウェル９０が形成された半導体基板２０の表面に、パッシベーション膜２１、圧電体層４２が形成され、さらに、その上面にＩＤＴ電極４１からなるＩＤＴ領域４０が形成されている。ＩＤＴ領域４０と発振回路領域３０とは重ならないように形成される。

【００４３】

従って、上述した実施形態３によれば、発振回路３０及びＩＤＴ領域４０が導電体層としてのウェル９０によって取り囲まれているため、前述したようなノイズ抑制効果を奏することができる。なお、ウェルの電気伝導度は、不純物の打ち込み量を調整することで、発振回路内のトランジスタ等の回路素子において形成されるウェルとは異なる本発明の目的に適合するイオン濃度を選択することが可能である。

（実施形態３の変形例）

【００４４】

次に、実施形態３の変形例について図面を参照して説明する。この変形例は、上述したウェルを発振回路領域３０とＩＤＴ領域４０それぞれの周囲に形成したことに特徴を有している。

図４は、実施形態３の変形例を模式的に表し、（ａ）は平面図、（ｂ）は、図４（ａ）のＤ－Ｄ切断面を示す断面図である。図４（ａ）、（ｂ）において、半導体基板２０の表面において、発振回路領域３０の周囲にはウェル９１が形成され、ＩＤＴ領域４０の周囲にはウェル９２が形成されている。これらウェル９１，９２は、上述した実施形態３（図３（ｂ）と同じ条件で形成される。従って、半導体基板２０がｐ型シリコンで形成されているので、ウェル９１，９２はｎウェルである。

【００４５】

発振回路領域３０及びウェル９１，９２が形成された半導体基板２０の表面にはパッシベーション膜２１が形成され、その上面には圧電体層４２が形成される。この変形例では、圧電体層４２は、発振回路３０にはかからない範囲、つまり、図４（ｂ）ではリング形状のウェル９２の内側の範囲に形成されており、その上面に、ＩＤＴ電極４１が形成される。

【００４６】

なお、ウェル９１，９２は、その間にはウェルがない領域で区切られているが、発振回路領域３０とＩＤＴ領域４０との間のウェルは共通にして、ウェル９１，９２を連続して形成してもよい。

【００４７】

また、ＩＤＴ領域の周囲のウェル９２は形成せずに、発振回路３０の周囲に形成するウェル９１だけ形成してもよい。本発明の課題とするノイズは、発生源が発振回路３０であり、また、ノイズの影響を強く受けるのも発振回路３０であるため、ウェル９１のみ設ける構造としても前述したノイズ抑制の効果は充分あると考えられる。

（実施形態４）

【００４８】

続いて、本発明の実施形態４に係る弾性表面波素子について図面を参照して説明する。実施形態４は、前述した実施形態１に説明した導電体層としての金属層５０を半導体基板２０の外周端面（側面）に形成したところに特徴を有している。

図５は、実施形態４に係る弾性表面波素子を模式的に表し、（ａ）は斜視図、（ｂ）は図５（ａ）のＥ切断面を示す断面図である。

【００４９】

図５（ａ）、（ｂ）において、弾性表面波素子１０は、前述した発振回路領域３０とＩＤＴ領域４０とが半導体基板２０の表面層に形成されている。半導体基板２０の外周側面には全周にわたって導電体層としての金属層９５が形成されている。この金属層９５は、前述した実施形態１（図１、参照）において説明した金属層５０と同様な手段で外周側面に形成される。

【００５０】

つまり、金属層９５は、Ａｌ、Ｃｕの他、電気伝導度が高い材料で形成され、インクジェット装置により塗布する方式によって形成される。従って、金属の材質や、金属層の形状や厚さを、要求される電気伝導度に対応して任意に設定することが可能となる。

また、半導体基板２０の最上層（圧電体層４２）の外周部表面には金属層９６が形成されており、この金属層９６と外周側面に設けられる金属層９５とは接続されている。

【００５１】

この金属層９６は、外周側面に形成される金属層９５をＧＮＤに接地する目的のために設けられ、この金属層９６を形成する際に接続電極２３と接続し、ビアホール２２によって、金属層９５がＧＮＤに接地される。

【００５２】

従って、上述した実施形態４によれば、ノイズ発生源である発振回路３０の側面方向全体が導電体層としての金属層９５で覆われることになるため、ノイズの回り込み、反射を抑制することができる。

【００５３】

なお、本発明は前述の実施形態に限定されるものではなく、本発明の目的を達成できる範囲での変形、改良等は本発明に含まれるものである。

すなわち、本発明は、主に特定の実施形態に関して特に図示され、且つ、説明しているが、本発明の技術的思想及び目的の範囲に逸脱することなく、以上説明した実施形態に対し、形状、材質、それらの組み合わせ、及びその他の詳細な構成において、当業者が様々な変形を加えることができるものである。

【００５４】

従って、上記に開示した形状、材質、工程順などを限定した記載は、本発明の理解を容易にするために例示的に記載したものであり、本発明を限定するものでないから、それらの形状、材質、及び組み合わせ、工程順などの限定の一部もしくは全部の限定をはずした部材の名称での記載は、本発明に含まれるものである。

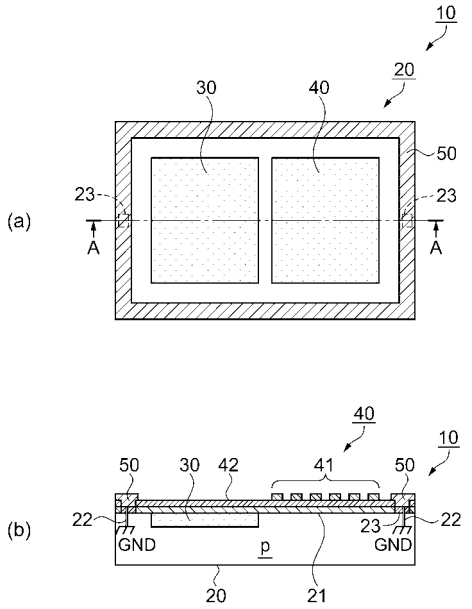
【００５５】

例えば、実施形態４（図５，参照）では金属層９６が部分的に設けられていることに対して、前述した実施形態１（図１（ａ）、参照）に示す金属層５０を半導体基板２０の外周部全体にリング形状に形成し、外周側面に設けられる金属層９５と接続する構造を採用することができる。

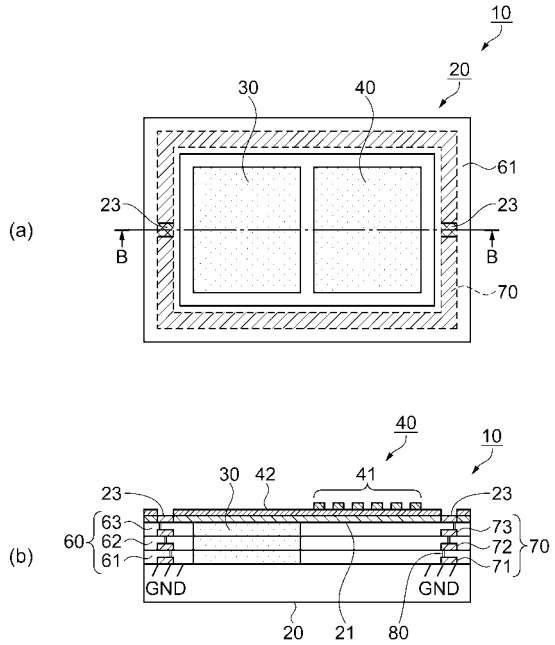
このようにすれば、外周側面と外周表面とを導電体層で覆うことになるため、より一層、ノイズの回り込み及び反射ノイズの抑制効果を高めることができる。

【００５６】
　また、前述の実施形態２と実施形態４とを組み合わせる構造を採用することができる。つまり、実施形態２によるＡｌ配線層７０を半導体基板２０内に形成し、さらに、外周側面に金属層９５を形成し、Ａｌ配線層の内の一つを外周端面まで延在させ、金属層９５と接続する。
　このようにすれば、導電体層が二重に形成されることになり、一層、ノイズの発振回路３０への浸入を抑制することができる。
【００５７】
　同様な考え方で、実施形態１，２、実施形態４のように金属層５０，９５及びＡｌ配線層７０を形成する構造と、実施形態３によるウェル９０を設ける構造とを組み合わせることも可能である。
【００５８】
　また、前述の実施形態１～実施形態４では、本発明を発振回路領域３０とＩＤＴ領域４０とが混在する弾性表面波素子を例示して説明したが、例えば、アナログ回路とデジタル回路とが混在する弾性表面波素子、複数の機能回路領域を一つの半導体基板内に混在する弾性表面波素子に本発明の技術的思想を応用することが可能である。
【００５９】
　従って、前述した実施形態によれば、発振回路と弾性表面波素子が混在される弾性表面波素子において、発振回路が発生するノイズが、半導体基板の外周端面に反射し、再度発振回路に侵入すること、且つ、外周端面から弾性表面波素子の表面層に回りこむこと、を抑制できる弾性表面波素子を提供することができる。
【図面の簡単な説明】
【００６０】
【図１】（ａ）は、本発明の実施形態１に係る弾性表面波素子を模式的に示す平面図、（ｂ）は図１（ａ）のＡ－Ａ切断面を示す断面図。
【図２】（ａ）は、本発明の実施形態２に係る弾性表面波素子を模式的に示す平面図、（ｂ）は図２（ａ）のＢ－Ｂ切断面を示す断面図。
【図３】（ａ）は、本発明の実施形態３に係る弾性表面波素子を模式的に示す平面図、（ｂ）は図３（ａ）のＣ－Ｃ切断面を示す断面図。
【図４】（ａ）は、本発明の実施形態３の変形例の弾性表面波素子を模式的に示す平面図、（ｂ）は図４（ａ）のＤ－Ｄ切断面を示す断面図。
【図５】（ａ）は、本発明の実施形態４に係る弾性表面波素子を模式的に示す平面図、（ｂ）は図５（ａ）のＥ切断面を示す断面図。
【符号の説明】
【００６１】
　１０…弾性表面波素子、２０…半導体基板、３０…発振回路領域（発振回路）、４０…ＩＤＴ領域、４１…ＩＤＴ電極、５０…導電体層としての金属層。

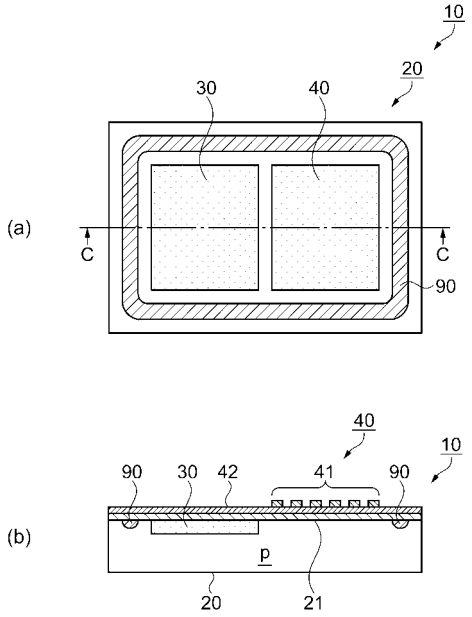
【図１】


(a)
(b)
10
20
30
40
50
23
A
22
GND
p
21
41
42

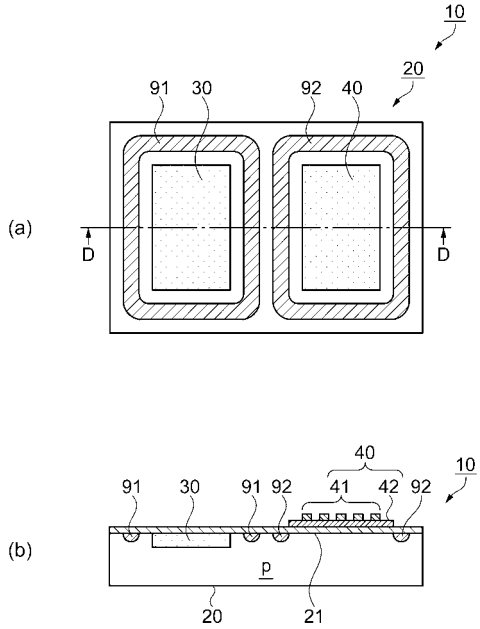
【図２】


(a)
(b)
10
20
30
40
61
23
B
70
GND
p
21
80
41
42
63
62
60
73
72
71

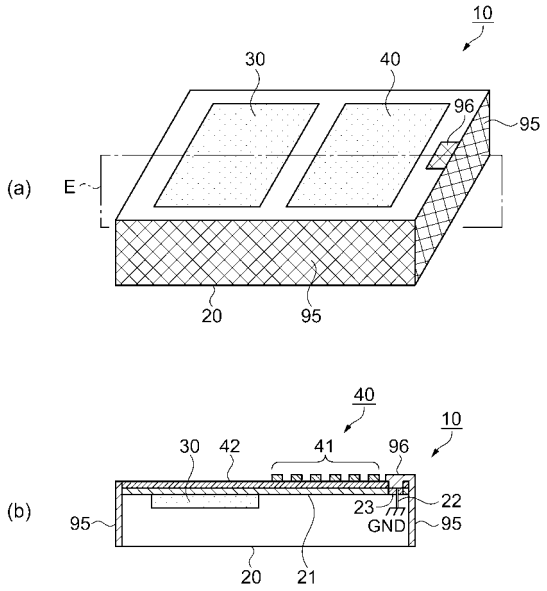
【図３】


(a)
(b)
10
20
30
40
C
90
GND
p
21
41
42

【図４】


(a)
(b)
10
20
91
30
92
40
D
GND
p
21
41
42

【図５】



フロントページの続き

Ｆターム(参考) 5J079 AA06 BA43 BA44 HA08
5J097 AA10 AA29 BB01 EE08 JJ07 KK09 LL03 LL08