

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年1月28日 (2010.1.28)

【公表番号】特表2009-518862(P2009-518862A)

【公表日】平成21年5月7日 (2009.5.7)

【年通号数】公開・登録公報2009-018

【出願番号】特願2008-544405(P2008-544405)

【国際特許分類】

H 0 1 L 21/337 (2006.01)

H 0 1 L 29/808 (2006.01)

H 0 1 L 21/331 (2006.01)

H 0 1 L 29/732 (2006.01)

H 0 1 L 29/80 (2006.01)

H 0 1 L 29/73 (2006.01)

【 F I 】

H 0 1 L 29/80 C

H 0 1 L 29/72 S

H 0 1 L 29/80 V

H 0 1 L 29/72 Z

【手続補正書】

【提出日】平成21年12月3日 (2009.12.3)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ソース / エミッタ層が第 1 の伝導型の半導体材料のチャンネル層、あるいは前記第 1 の伝導型と異なる第 2 の伝導型の半導体材料のベース層の上にあり、前記チャンネルあるいはベース層が前記第 1 の伝導型の半導体材料のドリフト層上にあってかつ前記ドリフト層が半導体基板層上にある、前記第 1 の伝導型の半導体材料の前記ソース / エミッタ層上面にマスクを蒸着、

前記マスクの開口部から前記ソース / エミッタ層および下層のチャンネルあるいはベース層を選択エッチングして底面と側壁を有するエッチングされた特徴体を 1 つあるいはそれ以上形成、

前記マスクがマスクされた前記ソース / エミッタ層の前記上面での成長を妨げながら、前記マスクの開口部から前記のエッチングされた特徴体の前記底面および側壁上に前記第 2 の伝導型の半導体材料をエピタキシャル成長させてゲート領域 / ベースコンタクト領域を形成、

続いて前記のエッチングされた特徴体に平坦化材料を充填、

前記ゲート / ベースコンタクト領域がもはや前記ソース / エミッタ層と接触しなくなるまで前記ゲート / ベースコンタクト領域をエッチング、および

前記ゲート領域 / ベースコンタクト領域をエッチングした後に残るマスクおよび平坦化材料を除去することを含む、半導体デバイスを製造する方法。

【請求項 2】

前記マスクが再成長マスク層上に蒸着されたエッチングマスク層を含みかつ前記再成長マスク層が前記ソース / エミッタ層の前記上面にあり、前記方法が前記マスクの前記開口

部より前記のエッチングされた特徴体の前記底面および側壁上に前記第 2 の伝導型の半導体材料をエピタキシャル成長させる前に前記エッチングマスク層を除去すると同時に前記ソース / エミッタ層の前記上面の前記再成長マスク層を除去することをさらに含む、請求項 1 に記載の方法。

【請求項 3】

続いて前記のエッチングされた特徴体に平坦化材料を充填する前に、

前記ドライエッチングマスク材料を前記ソース / エミッタ層の前記上面および前記のエッチングされた特徴体の底面に異方性蒸着し、

前記ドライエッチングマスク材料をエッチングして前記ソース / エミッタ層の上面に隣接する前記のエッチングされた特徴体の前記側壁上のゲート層 / ベースコンタクト層を露出させることをさらに含む請求項 1 に記載の方法。

【請求項 4】

前記のマスクの前記開口部から前記のエッチングされた特徴体の前記底面および側壁上に前記の第 2 の伝導型の半導体材料をエピタキシャル成長させることが第 1 のドーピング濃度を有する前記第 2 の伝導型の半導体材料をエピタキシャル成長させた後に第 2 のドーピング濃度を有する前記第 2 の伝導型の半導体材料をエピタキシャル成長させることを含む、請求項 1 に記載の方法。

【請求項 5】

マスクを蒸着することが前記ソース / エミッタ層の前記上面に再成長マスキング材料の層を蒸着し、前記再成長マスキング材料の層の上に前記エッチングマスク層をパターンニングしさらに前記エッチングマスク層の開口部から前記再成長マスキング材料の層をエッチングすることを含む、請求項 1 に記載の方法。

【請求項 6】

前記ソース / エミッタ層および下層の前記チャンネルあるいはベース層を選択エッチングすることが前記チャンネルあるいはベース層をエッチングして下層のドリフト層を露出させることを含む、請求項 1 に記載の方法。

【請求項 7】

前記ソース / エミッタ層および下層の前記チャンネルあるいはベース層を選択エッチングすることが前記チャンネルあるいはベース層および前記下層のドリフト層をエッチングすることをさらに含む、請求項 6 に記載の方法。

【請求項 8】

前記のエッチングされた特徴体に前記フォトレジストである平坦化材料を充填することが：

前記デバイスの前記エッチングされた表面上で平坦化材料をスピンコーティングし、

前記デバイス上で前記フォトレジストを焼き固め、さらに

前記フォトレジストを選択エッチングすることを含む、請求項 1 に記載の方法。

【請求項 9】

前記のエッチングされた特徴体に平坦化材料を充填することが：

前記平坦化材料を前記デバイスの前記のエッチングされた表面上にコーティングし、さらに

前記のコーティングした平坦化材料を選択エッチングすることを含む、請求 1 に記載の方法。

【請求項 10】

再成長マスク層および平坦化材料を除去した後のある時点で露出したソース / エミッタ層上にコンタクトを形成し、露出したゲート層 / ベースコンタクト層にコンタクトを形成しかつドリフト層の対側の基板層にコンタクトを形成することをさらに含む、請求項 1 に記載の方法。

【請求項 11】

ソース / エミッタ層が第 1 の伝導型の半導体材料のチャンネル層、あるいは前記第 1 の伝導型と異なる第 2 の伝導型の半導体材料のベース層の上にあり、前記チャンネルあるい

はベース層が前記第 1 の伝導型の半導体材料のドリフト層上にあってかつ前記ドリフト層が半導体基板層上にある、前記第 1 の伝導型の半導体材料の前記ソース / エミッタ層の上面にエッチングマスクを蒸着、

前記エッチングマスクの開口部から前記ソース / エミッタ層および下層のチャンネルあるいはベース層を選択エッチングして底面と側壁を有するエッチングされた特徴体を 1 つあるいはそれ以上形成、

前記エッチングマスクを除去して前記ソース / エミッタ層の前記上面を露出、

前記第 2 の伝導型の半導体材料のゲート層 / ベースコンタクト層を前記ソース / エミッタ層の前記上面および前記のエッチングされた特徴体の前記底面および側壁上でエピタキシャル成長、

続いて前記のエッチングされた特徴体に第 1 の平坦化材料を充填、

前記ソース / エミッタ層の前記上面の前記ゲート層 / ベースコンタクト層をエッチングして下層のソース / エミッタ層を露出、

前記ゲート層 / ベースコンタクト層をエッチングした後に残った第 1 の平坦化材料を除去、

ドライエッチングマスク材料を前記ソース / エミッタ層の前記上面および前記のエッチングされた特徴体の底面に異方性蒸着、

前記ドライエッチングマスク材料をエッチングして前記ソース / エミッタ層の前記上面に隣接する前記のエッチングされた特徴体の前記側壁上のゲート層 / ベースコンタクト層を露出、

前記のエッチングされた特徴体の前記側壁の前記ソース / エミッタ層に隣接する前記ゲート層 / ベースコンタクト層が露出するように前記のエッチングされた特徴体に第 2 の平坦化材料を充填、

前記のエッチングされた特徴体の前記側壁上の前記ソース / エミッタ層に隣接する露出したゲート層 / ベースコンタクト層をエッチングして前記のエッチングされた特徴体に残った前記ゲート層 / ベースコンタクト層がもはや前記ソース / エミッタ層と接触しなくなるまで下層のソース / エミッタ層を露出、および

前記のエッチングされた特徴体の前記側壁上の露出したゲート層 / ベースコンタクト層をエッチングした後に残る第 2 の平坦化材料を除去することを含む、半導体デバイスを製造する方法。

#### 【請求項 12】

チャンネルあるいはベース層が第 1 の伝導型の半導体材料のドリフト層上にあってかつ前記ドリフト層が半導体基板層上にある、前記第 1 の伝導型の半導体材料の前記チャンネル層あるいは前記第 1 の伝導型と異なる第 2 の伝導型の半導体材料の前記ベース層の上面にエッチングマスクを蒸着、

前記マスクの開口部から前記チャンネルあるいはベース層を選択エッチングして底面と側壁を有するエッチングされた特徴体を 1 つあるいはそれ以上形成、

前記エッチングマスクを除去して前記チャンネルあるいはベース層の前記上面を露出、

前記第 2 の伝導型の半導体材料のゲート層 / ベースコンタクト層を前記チャンネルあるいはベース層の上面および前記のエッチングされた特徴体の前記底面および側壁上でエピタキシャル成長、

続いて前記のエッチングされた特徴体に第 1 の平坦化材料を充填、

ゲート層 / ベースコンタクト層が前記のエッチングされた特徴体の前記底面および側壁に残るように前記チャンネルあるいはベース層の前記上面の前記ゲート層 / ベースコンタクト層をエッチング、

前記ゲート層 / ベースコンタクト層をエッチングした後に残った第 1 の平坦化材料を除去、

前記チャンネルあるいはベース層の前記上面および前記のエッチングされた特徴体の前記底面および側壁上の前記ゲート層 / ベースコンタクト層上に再成長マスク層を蒸着、

続いて前記のエッチングされた特徴体に第 2 の平坦化材料を充填、

前記再成長マスク層が前記のエッチングされた特徴体の前記底面および側壁上の前記ゲート層 / ベースコンタクト層上に残りながら、前記チャンネルあるいはベース層の前記上面の前記再成長マスク層をエッチングして下層のチャンネルあるいはベース層を露出、

前記再成長マスク層をエッチングした後に残る第 2 の平坦化材料を除去、

前記のエッチングされた特徴体の前記底面および側壁上の前記ゲート層 / ベースコンタクト層上に残った前記再成長マスク層が前記第 1 の伝導型の半導体材料の第 1 の層の成長を阻害しながら、前記第 1 の伝導型の半導体材料の前記第 1 の層を前記チャンネルあるいはベース層の前記上面でエピタキシャル成長、

前記エッチングされた特徴体の前記底面および側壁上の前記ゲート層 / ベースコンタクト層上に残った前記再成長マスク層が前記第 1 の伝導型の半導体材料の前記第 2 の層の成長を阻害する、前記第 1 の伝導型の半導体材料の前記第 1 の層上で前記第 1 の伝導型の半導体の前記第 2 の層をエピタキシー成長、および

残った再成長マスク層を除去することを含む、半導体デバイスを製造する方法。

【請求項 13】

ソース / エミッタ層が第 1 の伝導型の半導体材料のチャンネル層、あるいは前記第 1 の伝導型と異なる第 2 の伝導型の半導体材料のベース層の上にあり、前記チャンネルあるいはベース層が前記第 1 の伝導型の半導体材料のドリフト層上にあってかつ前記ドリフト層が半導体基板層上にある、前記第 1 の伝導型の半導体材料の前記ソース / エミッタ層の上面にエッチングマスクを蒸着、

前記エッチングマスクの開口部から前記ソース / エミッタ層および下層のチャンネルあるいはベース層を選択エッチングして底面と側壁を有するエッチングされた特徴体を 1 つあるいはそれ以上形成、

前記エッチングマスクを除去して前記ソース / エミッタ層の前記上面を露出、

前記第 2 の伝導型の半導体材料のゲート層 / ベースコンタクト層を前記ソース / エミッタ層の前記上面および前記のエッチングされた特徴体の前記底面および側壁上でエピタキシャル成長、

続いて前記のエッチングされた特徴体に平坦化材料を充填、

ゲート層 / ベースコンタクト層が前記のエッチングされた特徴体の前記底面および前記のエッチングされた特徴体の前記側壁に前記のチャンネル層あるいはベース層と接触して残りながら、前記ゲート層 / ベースコンタクト層がもはや前記ソース / エミッタ層と接触しなくなるまで前記ソース / エミッタ層の前記上面および前記ソース / エミッタ層に接触する前記のエッチングされた特徴体の前記側壁上の前記ゲート層 / ベースコンタクト層をエッチング、および

前記ゲート層 / ベースコンタクト層をエッチングした後に残る平坦化材料を除去することを含む、半導体デバイスを製造する方法。

【請求項 14】

ソース / エミッタ層が第 1 の伝導型の半導体材料のチャンネル層、あるいは前記第 1 の伝導型と異なる第 2 の伝導型の半導体材料のベース層上にあり、前記チャンネルあるいはベース層が前記第 1 の伝導型の半導体材料のドリフト層上にあってかつ前記ドリフト層が半導体基板層上にある、前記第 1 の伝導型の半導体材料の前記ソース / エミッタ層上面にエッチング / 再成長マスクを蒸着、

前記マスクの開口部より前記ソース / エミッタ層および下層のチャンネルあるいはベース層を選択エッチングして底面と側壁を有するエッチングされた特徴体を 1 つあるいはそれ以上形成、

前記マスクが前記のマスクされた前記ソース / エミッタ層上面での成長を妨げながら、前記マスク開口部から前記のエッチングされた特徴体の前記底面および側壁上に前記第 2 の伝導型の半導体材料をエピタキシャル成長させてゲート領域 / ベースコンタクト領域を形成、

前記マスクを除去して前記ソース / エミッタ層の前記上面を露出させてもよく、

ドライエッチングマスク材料を前記のエッチングされた特徴体の底面および前記ソース

／エミッタ層の前記上面あるいは前記マスク上のいずれかに蒸着、

前記ドライエッチングマスク材料をエッチングして前記のエッチングされた特徴体の前記側壁上の前記ゲート領域／ベースコンタクト領域の上部を露出、

前記のエッチングされた特徴体の前記側壁上の前記ゲート領域／ベースコンタクト領域の前記上部が露出したままとなるよう、前記のエッチングされた特徴体に平坦化材料を充填、

前記のエッチングされた特徴体の前記側壁上の前記ソース／エミッタ層に隣接する露出したゲート層／ベースコンタクト層をエッチングして前記のエッチングされた特徴体に残った前記ゲート層／ベースコンタクト層がもはや前記ソース／エミッタ層と接触しなくなるまで下層のソースエミッタ層を露出、および

前記のエッチングされた特徴体の前記側壁上で露出したゲート層／ベースコンタクト層をエッチングした後に残るエッチング／再成長マスクおよび平坦化材料を除去することを含む、半導体デバイスを製造する方法。