(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 27/108

(11) 공개번호 특1995-0024348
(43) 공개일자 1995년08월21일

(21) 출원번호 특1995-0000610
(22) 출원일자 1995년01월16일
(30) 우선권주장 94-004621 1994년01월20일 일본(JP)
94-153368 1994년07월05일 일본(JP)
(71) 출원인 미쓰비시 덴끼 가부시끼가이샤 기다오까 다까시
일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3
(72) 발명자 꾸게 시게히로
일본국 효고 664 이다미시 미즈하라 4쪼메 1반지 미쓰비시 덴끼 가부시끼가이샤 울트라 엘에스아이가이하쭈겡규소나이
아리모또 가주따미
일본국 효고 664 이다미시 미즈하라 4쪼메 1반지 미쓰비시 덴끼 가부시끼가이샤 울트라 엘에스아이가이하쭈겡규소나이
쭈꾸데 마사끼
일본국 효고 664 이다미시 미즈하라 4쪼메 1반지 미쓰비시 덴끼 가부시끼가이샤 울트라 엘에스아이가이하쭈겡규소나이
후지시마 가주야수
일본국 효고 664 이다미시 미즈하라 4쪼메 1반지 미쓰비시 덴끼 가부시끼가이샤 울트라 엘에스아이가이하쭈겡규소나이
(74) 대리인 김영길

*심사청구 : 있음*

**(54) 반도체 집적회로**

## *요약*

NAND 게이트로 구성된 트랜지스터들(P1, P2, N1, N2)상에 고융점금속의 배선패턴(W)과 알루미늄 배선패턴들(A11, A12)들이 적층된다.

상기 트랜지스터들(P1, P2, N1, N2)을 서로 접속하기 의한 로칼배선(RL)이 고융점금속의 배선패턴(W)에 의해 형성되고, 상기 NAND게이트와 그 외부와의 신호 입출력을 위한 신호배선(SL, SL′ )은 알루미늄 배선패턴(A11)으로 형성되며, 상기 NAND게이트에 전원전위(Vcc, Vss)를 공급하기 위한 전원배선(VL,VL′ )은 알루미늄 배선패턴(A12)으로 구성된다.

상기 로칼배선(RL)이 알루미늄 배선패턴(A11)으로 구성원 종래기술과 비교하여, 러레이아웃의 자유도가 개선될 수 있으며 레이아웃 면적이 감소될 수 있다.

## *대표도*

*도1*

## *명세서*

[발명의 명칭]

반도체 집적회로

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 따른 DRAM칩의 주변회로 영역의 NAND게이트를 포함하는 영역의 레이아웃을 나타낸 일부 단편 평면도,

제2도는 제1도에 도시된 NAND게이트를 포함하는 영역의 요부 확대도,

제3도는 제1도에 도시된 NAND게이트를 포함하는 영역의 요부단면도,

제4도는 제1실시예의 개량예를 나타낸 일부 단편 평면도이다.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

## *(57) 청구의 범위*

### 청구항 1

반도체 기판상에 형성된 반도체 집적회로에 있어서, 상기 반도체 기판의 표면에 형성되어 각각 소정 동작을 수행하는 복수의 반도체 소자군; 상기 복수의 반도체 소자군 위에 형성되어 상기 각 반도체 소자군의 반도체 소자들(P1, P2, N1, N2)을 접속하기 위한 로칼(local) 배선(RL)으로 사용되는 제1배선패턴; 상기 제1배선패턴 위에 형성된 제2배선패턴; 및 상기 제2배선패턴 위에 형성된 제3배선패턴으로 구성된 반도체 집적회로.

### 청구항 2

제1항에 있어서, 상기 제2배선패턴은 상기 각 반도체 소자군과 그 외부와의 사이에서 신호를 입출력하기 위한 하층 신호배선(SL, SL')으로 사용되고, 상기 제3배선패턴은 상기 각 반도체 소자군에 전원전위를 공급하는 하층 전원배선(VL, VL′ )으로 사용되는 반도체 집적회로.

### 청구항 3

제2항에 있어서, 상기 제2배선패턴은 상기 상층 전원배선(VL, VL′ )에 상기 각 반도체 소자군을 접속하기 위한 접속전극으로 사용되는 반도체 집적회로.

### 청구항 4

제1항에 있어서, 상기 제2배선패턴은 상기 각 반도체 소자군에 전원전위를 공급하는 하층 전원배선(VL, VL′ )으로 사용되고, 상기 제3배선패턴은 상기 각 반도체 소자군과 그 외부와의 신호 입출력을 위한 상층 신호배선(SL, SL')으로 사용되는 반도체 집적회로.

### 청구항 5

제4항에 있어서, 상기 하층 전원배선(VL, VL′ )은 상기 로칼배선(RL)을 덮도록 형성되는 반도체 집적회로.

### 청구항 6

제5항에 있어서, 상기 제2배선패턴은 상기 상층 신호배선(SL, SL′ )을 상기 각 반도체 소자군에 접속하기 위한 접속전극(EL)으로도 사용되는 반도체 집적회로.

### 청구항 7

제1항에 있어서, 상기 제2 및 제3배선패턴들은 상기 각 반도체 소자군과 그 외부와의 신호 입출력을 위한 하층 및 상층 신호배선(SL1, …; SL21, …)들로 각각 사용되는 반도체 집적회로.

### 청구항 8

제7항에 있어서. 상기 상층 신호배선(SL21, …)과 하층 신호배선(SL1, …)은 적어도 일부가 서로 중첩(overlapping)되지 않도록 설치되는 반도체 집적회로.

### 청구항 9

제1항에 있어서, 상기 제2 및 제3배선패턴은 상기 각 반도체 소자군에 전원전위를 공급하기 위한 하층 및 상층 전원배선(VL(sub). v1(main))으로 각각 사용되는 반도체 집적회로.

### 청구항 10

제1항에 있어서, 상기 제1, 제2 및 제3 배선패턴은 알루미늄으로 이루어진 반도체 집적회로.

### 청구항 11

제1항에 있어서, 상기 제1배선패턴은 텅스텐과 같은 고용점금속으로 구성되고, 상기 제2 및 제3배선패턴은 알루미늄으로 이루어진 반도체 집적회로.

### 청구항 12

제1항에 있어서, 상기 복수의 각 반도체 소자군은 제I 및 제2도전형의 복수의 반도체 소자들(N1, N2; P1, P2)을 포함하고, 상기 제1배선패턴은 상기 각 반도체 소자군내의 상기 제1도전형의 반도체 소자를 접속하는 반도체 집적회로.

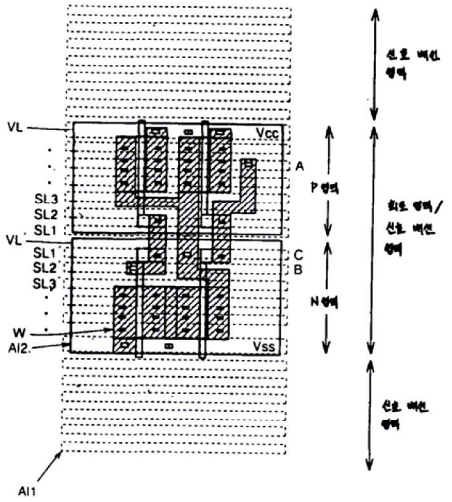
### 청구항 13

제1항에 있어서, 상기 반도체 기판상의 표면에 행렬로 배열된 복수의 메모리 셀(MC)을 구비하고, 상기 제1배선패턴은 각 메모리셀 렬(column)에 대응하여 설치된 비트선(BL, /BL)으로 사용되는 반도체 집적회로.

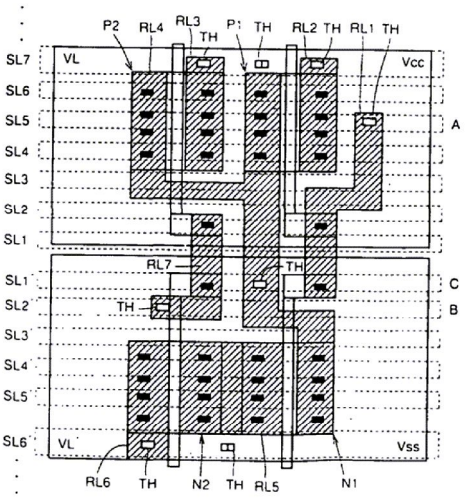
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

## 도면

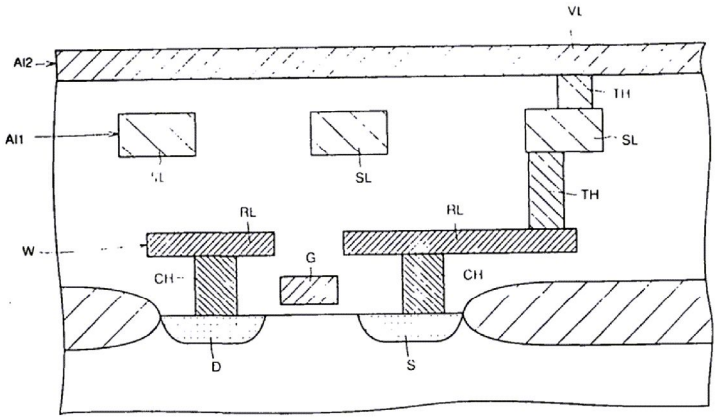
### 도면1



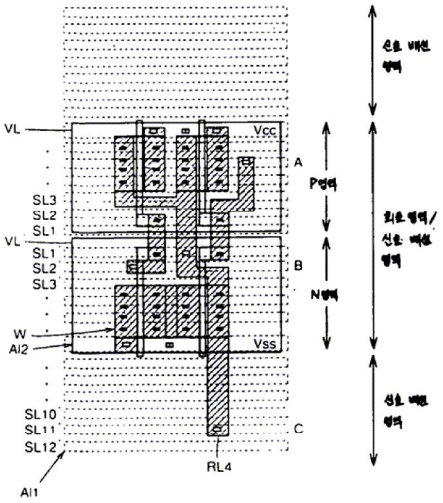

### 도면2




### 도면3



도면4


VL
Vcc
A
SL3
SL2
SL1
VL
SL1
SL2
SL3
B
W
Al2
Vss
SL10
SL11
SL12
C
RL4
Al1