



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년12월18일
(11) 등록번호 10-2057299
(24) 등록일자 2019년12월12일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) G02F 1/1362 (2006.01)
G02F 1/167 (2019.01) H01L 27/12 (2006.01)
H01L 27/32 (2006.01) H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
G02F 1/136227 (2013.01)
(21) 출원번호 10-2018-7033266(분할)
(22) 출원일자(국제) 2010년07월09일
심사청구일자 2018년11월16일
(85) 번역문제출일자 2018년11월16일
(65) 공개번호 10-2018-0126096
(43) 공개일자 2018년11월26일
(62) 원출원 특허 10-2012-7005266
원출원일자(국제) 2010년07월09일
심사청구일자 2015년06월26일
(86) 국제출원번호 PCT/JP2010/062019
(87) 국제공개번호 WO 2011/013522
국제공개일자 2011년02월03일
(30) 우선권주장
JP-P-2009-180077 2009년07월31일 일본(JP)
(56) 선행기술조사문헌
JP2007123861 A*
JP2009135380 A*
JP2009141002 A*
KR100831344 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자끼 슌페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
호소바 미유키
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
장수길, 박충범, 이중희

전체 청구항 수 : 총 17 항

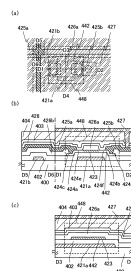
심사관 : 최혜미

(54) 발명의 명칭 반도체 디바이스 및 그 형성 방법

(57) 요약

과제는, 배선들 사이의 기생 용량을 효율적으로 감소시킬 수 있는 구성을 갖는 반도체 디바이스를 제공하는 것이다. 산화물 반도체층을 이용하는 바텀 게이트 박막 트랜지스터에 있어서, 게이트 전극층과 중첩하는 산화물 반도체층 위에 그의 일부에 접촉하는 채널 보호층으로서 이용되는 산화물 절연층을 형성하고, 그와 동시에, 적층된
(뒷면에 계속)

대표도 - 도1



산화물 반도체층의 주연부(측면을 포함함)를 덮는 산화물 절연층을 형성한다. 또한, 채널 보호층과 중첩하지 않도록 소스 전극층 및 드레인 전극층을 형성한다. 따라서, 소스 전극층 및 드레인 전극층 위의 절연층이 산화물 반도체층에 접촉하는 구성을 제공한다.

(52) CPC특허분류

G02F 1/167 (2019.01)

H01L 27/1225 (2013.01)

H01L 27/3262 (2013.01)

H01L 29/66742 (2013.01)

H01L 29/78606 (2013.01)

G02F 2001/13606 (2013.01)

(72) 발명자

사카따 준이찌로

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 켄큐쇼 내

구와바라 히데아끼

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

반도체 디바이스로서,

기관 위에서 직접 접하는 게이트 전극;

상기 게이트 전극 위의 게이트 절연층;

상기 게이트 절연층 위의, 상기 게이트 전극과 중첩하는 영역을 포함하는 산화물 반도체층;

상기 산화물 반도체층 위의, 단일층인 제1 산화물 절연층;

상기 제1 산화물 절연층 위의 소스 전극;

상기 제1 산화물 절연층 위의 드레인 전극;

상기 제1 산화물 절연층, 상기 소스 전극, 및 상기 드레인 전극 위의 제2 산화물 절연층;

상기 제2 산화물 절연층 위의 평탄화 절연층; 및

상기 평탄화 절연층 위의, 상기 소스 전극 또는 상기 드레인 전극과 전기적으로 접속되는 화소 전극을 포함하고,

상기 소스 전극은 상기 제1 산화물 절연층에 제공되는 제1 개구를 통해 상기 산화물 반도체층과 전기적으로 접속되고,

상기 드레인 전극은 상기 제1 산화물 절연층에 제공되는 제2 개구를 통해 상기 산화물 반도체층과 전기적으로 접속되고,

상기 소스 전극 및 상기 드레인 전극 각각은, 상기 산화물 반도체층 및 상기 제1 산화물 절연층과 직접 접하는 영역을 포함하는 제1 도전층 및 상기 제1 도전층 위의 제2 도전층을 포함하고,

상기 제1 도전층은 Ti를 포함하고,

상기 제2 도전층은 Cu를 포함하고,

상기 제1 산화물 절연층은 상기 산화물 반도체층의 채널 형성 영역과 직접 접하는 영역 및 상기 산화물 반도체층의 주연부를 덮는 영역을 포함하고,

상기 제2 산화물 절연층은 상기 제1 산화물 절연층과 직접 접하는 제1 영역 및 상기 산화물 반도체층과 직접 접하는 제2 영역을 포함하고,

상기 산화물 반도체층은 적어도 In, Ga, 및 Zn을 포함하는, 반도체 디바이스.

청구항 2

반도체 디바이스로서,

기관 위에서 직접 접하는 게이트 전극;

상기 게이트 전극 위의 게이트 절연층;

상기 게이트 절연층 위의, 상기 게이트 전극과 중첩하는 영역을 포함하는 산화물 반도체층;

상기 산화물 반도체층 위의, 단일층인 제1 산화물 절연층;

상기 제1 산화물 절연층 위의 소스 전극;

상기 제1 산화물 절연층 위의 드레인 전극;

상기 제1 산화물 절연층, 상기 소스 전극, 및 상기 드레인 전극 위의 제2 산화물 절연층;

상기 제2 산화물 절연층 위의 평탄화 절연층; 및

상기 평탄화 절연층 위의, 상기 소스 전극 또는 상기 드레인 전극과 전기적으로 접속되는 화소 전극을 포함하고,

상기 소스 전극은 상기 제1 산화물 절연층에 제공되는 제1 개구를 통해 상기 산화물 반도체층과 전기적으로 접속되고,

상기 드레인 전극은 상기 제1 산화물 절연층에 제공되는 제2 개구를 통해 상기 산화물 반도체층과 전기적으로 접속되고,

상기 제1 산화물 절연층은 상기 산화물 반도체층의 채널 형성 영역과 직접 접하는 영역 및 상기 산화물 반도체층의 주연부를 덮는 영역을 포함하고,

상기 제2 산화물 절연층은 상기 제1 산화물 절연층과 직접 접하는 제1 영역 및 상기 산화물 반도체층과 직접 접하는 제2 영역을 포함하고,

상기 산화물 반도체층은 결정층을 포함하는 영역을 포함하는, 반도체 디바이스.

청구항 3

반도체 디바이스로서,

기판 위에서 직접 접하는 게이트 전극;

상기 게이트 전극 위의 게이트 절연층;

상기 게이트 절연층 위의, 상기 게이트 전극과 중첩하는 영역을 포함하는 산화물 반도체층;

상기 산화물 반도체층 위의, 단일층인 제1 산화물 절연층;

상기 제1 산화물 절연층 위의 소스 전극;

상기 제1 산화물 절연층 위의 드레인 전극;

상기 제1 산화물 절연층, 상기 소스 전극, 및 상기 드레인 전극 위의 제2 산화물 절연층;

상기 제2 산화물 절연층 위의, 수지를 포함하는 층; 및

상기 수지를 포함하는 상기 층 위의, 상기 소스 전극 또는 상기 드레인 전극과 전기적으로 접속되는 화소 전극을 포함하고,

상기 소스 전극은 상기 제1 산화물 절연층에 제공되는 제1 개구를 통해 상기 산화물 반도체층과 전기적으로 접속되고,

상기 드레인 전극은 상기 제1 산화물 절연층에 제공되는 제2 개구를 통해 상기 산화물 반도체층과 전기적으로 접속되고,

상기 소스 전극 및 상기 드레인 전극 각각은, 상기 산화물 반도체층 및 상기 제1 산화물 절연층과 직접 접하는 영역을 포함하는 제1 도전층 및 상기 제1 도전층 위의 제2 도전층을 포함하고,

상기 제1 도전층은 Ti를 포함하고,

상기 제2 도전층은 Cu를 포함하고,

상기 제1 산화물 절연층은 상기 산화물 반도체층의 채널 형성 영역과 직접 접하는 영역 및 상기 산화물 반도체층의 주연부를 덮는 영역을 포함하고,

상기 제2 산화물 절연층은 상기 제1 산화물 절연층과 직접 접하는 제1 영역 및 상기 산화물 반도체층과 직접 접하는 제2 영역을 포함하고,

상기 산화물 반도체층은 적어도 In, Ga, 및 Zn을 포함하는, 반도체 디바이스.

청구항 4

반도체 디바이스로서,
 기관 위에서 직접 접하는 게이트 전극;
 상기 게이트 전극 위의 게이트 절연층;
 상기 게이트 절연층 위의, 상기 게이트 전극과 중첩하는 영역을 포함하는 산화물 반도체층;
 상기 산화물 반도체층 위의, 단일층인 제1 산화물 절연층;
 상기 제1 산화물 절연층 위의 소스 전극;
 상기 제1 산화물 절연층 위의 드레인 전극;
 상기 제1 산화물 절연층, 상기 소스 전극, 및 상기 드레인 전극 위의 제2 산화물 절연층;
 상기 제2 산화물 절연층 위의, 수지를 포함하는 층; 및
 상기 수지를 포함하는 상기 층 위의, 상기 소스 전극 또는 상기 드레인 전극과 전기적으로 접속되는 화소 전극을 포함하고,
 상기 소스 전극은 상기 제1 산화물 절연층에 제공되는 제1 개구를 통해 상기 산화물 반도체층과 전기적으로 접속되고,
 상기 드레인 전극은 상기 제1 산화물 절연층에 제공되는 제2 개구를 통해 상기 산화물 반도체층과 전기적으로 접속되고,
 상기 제1 산화물 절연층은 상기 산화물 반도체층의 채널 형성 영역과 직접 접하는 영역 및 상기 산화물 반도체층의 주연부를 덮는 영역을 포함하고,
 상기 제2 산화물 절연층은 상기 제1 산화물 절연층과 직접 접하는 제1 영역 및 상기 산화물 반도체층과 직접 접하는 제2 영역을 포함하고,
 상기 산화물 반도체층은 결정을 포함하는 영역을 포함하는, 반도체 디바이스.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,
 상기 산화물 반도체층은 상기 소스 전극과 직접 접하는 제3 영역 및 상기 드레인 전극과 직접 접하는 제4 영역을 포함하고,
 상기 채널 형성 영역의 산소 농도는 상기 제3 영역 및 상기 제4 영역 각각의 산소 농도보다 높은, 반도체 디바이스.

청구항 6

제1항 내지 제4항 중 어느 한 항에 있어서,
 상기 게이트 절연층은, 상기 게이트 전극 위의 제1 게이트 절연층, 및 상기 제1 게이트 절연층 위에서 상기 산화물 반도체층과 직접 접하는 제2 게이트 절연층을 포함하고,
 상기 제1 게이트 절연층은 질화 규소를 포함하고,
 상기 제2 게이트 절연층은 산화 규소를 포함하는, 반도체 디바이스.

청구항 7

반도체 디바이스로서,
 기관 위에서 직접 접하는 제1 배선;
 상기 제1 배선 위의 게이트 절연층;

상기 게이트 절연층 위의, 상기 제1 배선과 중첩하는 영역을 포함하는 제1 산화물 반도체층;

상기 제1 산화물 반도체층 위의, 단일층인 제1 산화물 절연층;

상기 제1 산화물 절연층 위의 제2 배선;

상기 제1 산화물 절연층 위의 제1 전극;

상기 제1 산화물 절연층, 상기 제2 배선, 및 상기 제1 전극 위의 제2 산화물 절연층; 및

상기 제1 배선 또는 상기 제2 배선과 전기적으로 접속되는 제1 보호 회로를 포함하고,

상기 제1 배선은 게이트 전극으로서 기능할 수 있는 영역을 포함하고,

상기 제2 배선은 소스 전극 또는 드레인 전극으로서 기능할 수 있는 영역을 포함하고,

상기 제2 배선은 상기 제1 산화물 절연층에 제공되는 제1 개구를 통해 상기 제1 산화물 반도체층과 전기적으로 접속되고,

상기 제1 전극은 상기 제1 산화물 절연층에 제공되는 제2 개구를 통해 상기 제1 산화물 반도체층과 전기적으로 접속되고,

상기 제1 산화물 절연층은 상기 제1 산화물 반도체층의 채널 형성 영역과 직접 접하는 영역 및 상기 제1 산화물 반도체층의 주연부를 덮는 영역을 포함하고,

상기 제2 산화물 절연층은 상기 제1 산화물 절연층과 직접 접하는 제1 영역 및 상기 제1 산화물 반도체층과 직접 접하는 제2 영역을 포함하고,

상기 제1 보호 회로는 제2 산화물 반도체층을 포함하는 비선형 소자를 포함하고,

상기 제1 산화물 반도체층은 적어도 In, Ga, 및 Zn을 포함하고,

상기 제2 산화물 반도체층은 적어도 In, Ga, 및 Zn을 포함하는, 반도체 디바이스.

청구항 8

제7항에 있어서,

상기 제2 산화물 반도체층은 상기 제1 산화물 반도체층과 동일한 단계에서 형성되는, 반도체 디바이스.

청구항 9

제7항에 있어서,

상기 제2 배선과 전기적으로 접속되는 제2 보호 회로를 더 포함하고,

상기 제2 보호 회로는 제3 산화물 반도체층을 포함하는 제2 비선형 소자를 포함하고,

상기 제3 산화물 반도체층은 적어도 In, Ga, 및 Zn을 포함하고,

상기 제1 보호 회로는 상기 제1 배선과 전기적으로 접속되는, 반도체 디바이스.

청구항 10

제9항에 있어서,

상기 제2 산화물 반도체층 및 상기 제3 산화물 반도체층 각각은 상기 제1 산화물 반도체층과 동일한 단계에서 형성되는, 반도체 디바이스.

청구항 11

제7항에 있어서,

상기 제2 산화물 절연층 위의 평탄화 절연층; 및

상기 평탄화 절연층 위에서 상기 제1 전극과 전기적으로 접속되는 화소 전극을 더 포함하는, 반도체 디바이스.

청구항 12

제7항에 있어서,

상기 제1 산화물 반도체층은 상기 제2 배선과 직접 접하는 제3 영역 및 상기 제1 전극과 직접 접하는 제4 영역을 포함하고,

상기 채널 형성 영역의 산소 농도는 상기 제3 영역 및 상기 제4 영역 각각의 산소 농도보다 높은, 반도체 디바이스.

청구항 13

제7항에 있어서,

상기 게이트 절연층은, 상기 제1 배선 위의 제1 게이트 절연층, 및 상기 제1 게이트 절연층 위에서 상기 제1 산화물 반도체층과 직접 접하는 제2 게이트 절연층을 포함하고,

상기 제1 게이트 절연층은 질화 규소를 포함하고,

상기 제2 게이트 절연층은 산화 규소를 포함하는, 반도체 디바이스.

청구항 14

제7항에 있어서,

상기 제1 산화물 절연층은 산화 규소를 포함하는, 반도체 디바이스.

청구항 15

제7항에 있어서,

상기 제2 산화물 절연층은 산화 규소를 포함하는, 반도체 디바이스.

청구항 16

모듈로서,

제1항 내지 제4항 및 제7항 중 어느 한 항에 따른 반도체 디바이스; 및

FPC를 포함하는, 모듈.

청구항 17

전자 디바이스로서,

제16항에 따른 모듈을 포함하는, 전자 디바이스.

발명의 설명

기술 분야

[0001] 본 발명은 산화물 반도체를 이용하는 반도체 디바이스 및 그 형성 방법에 관한 것이다.

[0002] 본 명세서에 있어서, 반도체 디바이스란, 일반적으로 반도체 특성을 이용함으로써 기능할 수 있는 디바이스를 의미하고, 전기 광학 디바이스, 반도체 회로, 및 전자 기기는 모두 반도체 디바이스이다.

배경 기술

[0003] 최근, 절연 표면을 갖는 기판 위에 형성된 반도체 박막(두께가 수 나노미터 내지 수백 나노미터 정도임)을 이용해서 박막 트랜지스터(thin film transistor(TFT))를 형성하는 기술이 많은 주목을 받고 있다. 박막 트랜지스터는 ICs 또는 전기 광학 디바이스 등의 전자 디바이스에 광범위하게 응용되고, 특히, 화상 표시 디바이스용 스위칭 소자로서 이용될 박막 트랜지스터의 조속한 개발을 기대하고 있다. 다양한 금속 산화물이 여러가지 용도에 이용된다. 산화 인듐은 잘 알려진 재료이고, 액정 디스플레이 등에 필요한 투명 전극 재료로서 이용된다.

- [0004] 어떤 금속 산화물은 반도체 특성을 나타낸다. 그러한 반도체 특성을 갖는 금속 산화물의 예로서는, 산화 텅스텐, 산화 주석, 산화 인듐, 및 산화 아연 등을 포함한다. 그러한 반도체 특성을 갖는 금속 산화물로 채널 형성 영역이 형성된 박막 트랜지스터가 알려져 있다(특허 문헌 1 및 특허 문헌 2).
- [0005] 절연 표면 위에 복수의 박막 트랜지스터를 형성하는 경우, 예를 들면, 게이트 배선과 소스 배선이 서로 교차하는 부분이 있다. 게이트 배선과 소스 배선이 서로 교차하는 부분에는, 게이트 배선과, 해당 게이트 배선과는 전위가 다른 소스 배선 사이에 유전체로서 기능하는 절연층이 설치되어, 용량이 형성된다. 이 용량은, 배선들 사이의 기생 용량이라고도 불릴 수 있고, 신호 파형의 왜곡을 야기할 수 있다. 또한, 기생 용량이 큰 경우, 신호 전달의 지연이 발생할 수 있다.
- [0006] 또한, 기생 용량의 증가는, 배선들 사이에서 전기 신호가 누설되는 크로스 토크(cross talk) 현상이나, 전력 소비의 증대로 연결된다.
- [0007] 또한, 액티브 매트릭스 표시 디바이스에 있어서, 특히, 비디오 신호를 공급하는 신호 배선과, 다른 배선 또는 전극 사이에 큰 기생 용량이 형성되면, 표시 품질이 저하할 수 있다.
- [0008] 또한, 회로가 미세화되는 경우, 배선들 사이의 간격이 좁아져서, 배선들 사이의 기생 용량이 증가될 수 있다.

선행기술문헌

특허문헌

- [0009] (특허문헌 0001) 특허 문헌 1 : 일본 특개 제2007-123861호 공보
(특허문헌 0002) 특허 문헌 2 : 일본 특개 제2007-096055호 공보

발명의 내용

해결하려는 과제

- [0010] 본 발명의 일 실시 형태의 과제는, 배선들 사이의 기생 용량을 충분히 감소시킬 수 있는 구성을 갖는 반도체 디바이스를 제공하는 것이다.
- [0011] 또한, 절연 표면 위에 서로 다른 복수의 회로를 형성할 경우, 예를 들면, 화소부와 구동 회로를 하나의 기판 위에 형성할 경우, 화소부에 이용되는 박막 트랜지스터의 큰 온 오프 비율 등의 우수한 스위칭 특성이 요구된다. 구동 회로에 이용되는 박막 트랜지스터에 대해서는 빠른 동작 속도가 요구된다. 특히, 표시 디바이스의 정밀도가 증가됨에 따라, 표시 화상의 기입 시간이 감소되기 때문에, 구동 회로에 이용되는 박막 트랜지스터는 고속으로 동작하는 것이 바람직하다.
- [0012] 다른 과제는, 공정의 복잡화 및 제조 코스트의 증대를 방지하면서, 하나의 기판 위에 다양한 회로가 형성되고, 다양한 회로의 요구되는 특성에 부합하는 다양한 박막 트랜지스터를 구비한 반도체 디바이스를 제공하는 것이다.
- [0013] 바텀 게이트 박막 트랜지스터(bottom-gate thin film transistor)에 있어서, 게이트 전극층과 중첩하는 산화물 반도체층의 일부에 접촉하여 채널 보호층으로서 기능하는 산화물 절연층을 형성한다. 산화물 절연층의 형성과 동일한 단계에서, 산화물 반도체층의 주연부(측면을 포함함)를 덮는 산화물 절연층을 형성한다.
- [0014] 산화물 반도체층의 주연부(측면을 포함함)를 덮는 산화물 절연층은 게이트 전극층과, 게이트 전극층의 위측 또는 주변에 형성되는 배선층(소스 배선층 및 용량 배선층 등) 사이의 거리를 증가시킴으로써, 기생 용량이 감소될 수 있다. 산화물 반도체층의 주연부를 덮는 산화물 절연층은 채널 보호층과 동일한 형성 단계에서 형성된다. 그러므로, 제조 단계의 수를 증가시키지 않고, 기생 용량이 감소될 수 있다.
- [0015] 산화물 반도체층의 주연부(측면을 포함함)를 덮는 산화물 절연층은, 기생 용량을 감소시킬 수 있고, 신호 파형의 왜곡을 억제할 수 있다.
- [0016] 기생 용량을 감소시키기 위해, 배선들 사이의 산화물 절연층에, 낮은 유전율의 절연 재료를 이용하는 것이 바람직하다.

- [0017] 본 명세서에 개시되는 본 발명의 일 실시 형태는, 절연 표면 위의 게이트 전극층, 상기 게이트 전극층 위의 게이트 절연층, 상기 게이트 절연층 위의 산화물 반도체층, 상기 산화물 반도체층 위의 산화물 절연층, 상기 산화물 반도체층 위의 소스 전극층 및 드레인 전극층, 및 상기 소스 전극층 및 상기 드레인 전극층 위의 절연층을 포함하는 반도체 디바이스이다. 상기 산화물 반도체층은, 상기 산화물 절연층에 접촉하는 제1 영역, 상기 소스 전극층 또는 상기 드레인 전극층에 접촉하는 제2 영역, 및 상기 절연층에 접촉하는 제3 영역을 포함한다. 상기 제1 영역에 있어서, 채널 형성 영역이 게이트 전극층과 그 사이에 게이트 절연층을 개재하여 중첩한다. 상기 제3 영역은 상기 채널 형성 영역과 상기 제2 영역 사이에 위치한다.
- [0018] 상기의 구성에 의해, 상기의 과제들 중 적어도 하나를 해결할 수 있다.
- [0019] Ti 등의 금속 전극으로 이루어지는 드레인 전극층은, 산화물 반도체층의 윗면의 일부에 접촉하고, 드레인 전극층과 중첩하는 산소 결핍 영역인 고저항 드레인 영역(high resistance drain region)(HRD 영역이라고도 부름)이 형성된다. 또한, 소스 전극층은, 산화물 반도체층의 윗면의 일부에 접촉하고, 소스 전극층과 중첩하는 산소 결핍 영역인 고저항 소스 영역(high resistance source region)(HRS 영역이라고도 부름)이 형성된다.
- [0020] 소스 전극층 및 드레인 전극층은 산화물 반도체층의 채널 형성 영역과 중첩하지 않는다. 또한, 소스 전극층 및 드레인 전극층은 게이트 절연층을 사이에 개재하여 게이트 전극층과 극히 작은 면적에서 중첩하거나, 또는 게이트 전극층과 중첩하지 않는다. 이에 따라, 기생 용량의 감소가 달성된다. 또한, 채널 보호층으로서 기능하는 산화물 절연층의 폭은, 소스 전극층의 측면과, 그 소스 전극층의 측면에 대향하는 드레인 전극층의 측면 사이의 거리보다 작다. 박막 트랜지스터의 고속 동작을 위해서, 채널 보호층으로서 기능하는 산화물 절연층이 작은 폭(채널 길이 방향의 길이)을 갖도록 설계하면, 소스 전극층의 측면과, 그 소스 전극층의 측면에 대향하는 드레인 전극층의 측면 사이의 거리도 감소되어, 소스 전극층과 드레인 전극층을 단락(short-circuit)시키게 할 수 있다. 그러므로, 이 측면들 사이의 거리를 증가시키는 것이 유용하다.
- [0021] 또한, 상기의 구성에서, 채널 보호층으로서 기능하는 산화물 절연층은 스피터링 방법에 의해 무기 절연막, 대표적으로는 산화 규소막, 질화 산화 규소막, 산화 알루미늄막, 또는 산화질화 알루미늄막 등을 이용하여 형성된다.
- [0022] 상기의 구성에서, 산화물 반도체층은, 산화물 반도체층의 윗면에 있어서, 산화물 절연층과 중첩하지 않고, 또한 드레인 전극층 또는 소스 전극층과도 중첩하지 않는 영역, 즉, 제3 영역을 갖는다. 이 제3 영역의 채널 길이 방향의 폭은, 산화물 반도체층이 패터닝되는 위치와, 드레인 전극층 및 소스 전극층이 패터닝되는 위치에 의존한다. 이 제3 영역의 채널 길이 방향의 폭이 크면, 박막 트랜지스터의 오프 전류가 감소될 수 있다. 이에 반해, 이 제3 영역의 채널 길이 방향의 폭이 작으면, 박막 트랜지스터의 동작 속도가 가속화될 수 있다.
- [0023] 또한, 제3 영역과 접촉하는 절연층도 스피터링 방법에 의해 무기 절연막, 대표적으로는 산화 규소막, 질화 산화 규소막, 산화 알루미늄막, 또는 산화질화 알루미늄막 등을 이용하여 형성된다. 제3 영역과 접촉하는 절연층을 채널 보호층으로서 기능하는 산화물 절연층과 동일한 재료를 이용하여 형성하는 경우, 채널 보호층으로서 기능하는 산화물 절연층을 제1 산화물 절연층이라고 부를 수 있고, 제3 영역과 접촉하는 절연층을 제2 산화물 절연층이라고 부를 수 있고, 제1 산화물 절연층과 제2 산화물 절연층 사이의 경계가 불명료하게 된다는 것을 유의한다.
- [0024] 산화물 반도체층으로서는, 예를 들면, $\text{InMO}_3(\text{ZnO})_m$ ($m>0$)의 박막이 형성된다. 이 박막을 산화물 반도체층으로 사용하여 박막 트랜지스터를 제작한다. M은 Ga, Fe, Ni, Mn 및 Co로부터 선택되는 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다는 것을 유의한다. 예를 들면, M은 Ga일 수 있거나, 또는 M은 Ga 외에도 상기의 금속 원소를 함유할 수 있으며, 즉, M은 Ga와 Ni, 또는 Ga와 Fe 등일 수 있다. 또한, 상기의 산화물 반도체는, M으로서 함유되는 금속 원소 이외에, 불순물 원소로서 Fe 또는 Ni 등의 전이 금속 원소, 또는 전이 금속 원소의 산화물을 함유할 수 있다. 본 명세서에서는, $\text{InMO}_3(\text{ZnO})_m$ ($m>0$)으로 표기되는 조성식의 산화물 반도체층 중, M으로서 적어도 Ga를 함유하는 조성식의 산화물 반도체를 In-Ga-Zn-O 계 산화물 반도체라고 부르고, In-Ga-Zn-O 계 산화물 반도체의 박막을 In-Ga-Zn-O계 비단결정막이라고도 부른다.
- [0025] 또한, 산화물 반도체층에 적용하는 금속 산화물로서, 상기의 것 외에도, 다음의 금속 산화물, 즉, In-Sn-Zn-O계 금속 산화물, In-Al-Zn-O계 금속 산화물, Sn-Ga-Zn-O계 금속 산화물, Al-Ga-Zn-O계 금속 산화물, Sn-Al-Zn-O계 금속 산화물, In-Zn-O계 금속 산화물, Sn-Zn-O계 금속 산화물, Al-Zn-O계 금속 산화물, In-O계 금속 산화물, Sn-O계 금속 산화물, 및 Zn-O계 금속 산화물 중 임의의 것을 적용할 수 있다. 대안적으로, 상기의 금속 산화물

을 이용하여 형성되는 산화물 반도체층에 산화 규소를 포함시켜도 된다.

- [0026] 상기의 구성에서, 소스 전극층 및 드레인 전극층은, Ti, Mo, W, Al, Cr, Cu, 및 Ta로부터 선택된 임의의 원소, 이 원소들 중 임의의 원소를 성분으로서 포함하는 합금, 이 원소들의 임의의 조합을 포함하는 합금 등을 이용하여 형성된다. 소스 전극층 및 드레인 전극층은 각각, 전술한 원소를 함유하는 단층에 한정되지 않고, 2층 이상의 적층될 수 있다.
- [0027] 상기의 구조를 실현하기 위한 실시 형태는, 절연 표면을 갖는 기판 위에 게이트 전극층을 형성하는 단계, 상기 게이트 전극층 위에 게이트 절연층을 형성하는 단계, 상기 게이트 절연층 위에 산화물 반도체층을 형성하는 단계, 상기 산화물 반도체층을 탈수 또는 탈수소화하는 단계 -이에 따라 산화물 반도체층은 대기에 노출되는 것이 방지되고 더 이상의 물 또는 수소 오염이 방지됨-, 상기 산화물 반도체층의 일부에 접촉하고, 상기 산화물 반도체층의 주연부 및 측면을 덮는 산화물 절연층을 형성하는 단계, 상기 산화물 절연층 위에 소스 전극층 및 드레인 전극층을 형성하는 단계, 및 상기 산화물 절연층, 상기 소스 전극층, 상기 드레인 전극층, 및 상기 산화물 반도체층에 접촉하는 절연층을 형성하는 단계를 포함하는, 반도체 디바이스의 형성 방법이다.
- [0028] 탈수 또는 탈수소화가, 질소 또는 희 가스 등(아르곤 또는 헬륨 등)의 불활성 기체 분위기에서 400℃ 이상이며 기판의 왜곡점(strain point) 미만인 온도에서, 바람직하게는 420℃ 이상 570℃ 이하의 온도에서 가열 처리에 의해 행해짐으로써, 산화물 반도체층에 포함된 수분 등의 불순물의 레벨을 감소시킨다.
- [0029] 질소 또는 희 가스 등(예를 들면, 아르곤 또는 헬륨)의 불활성 기체 분위기에서의 가열 처리에 의해, 산화물 반도체층은 산소 결핍형 산화물 반도체층으로 바뀌어 저저항을 갖게 되고, 즉, n형(n⁻형) 산화물 반도체층으로 되고, 그 후, 산화물 반도체층에 접촉하는 산화물 절연막의 형성과, 그 형성 후의 가열 처리에 의해, 산화물 반도체층이 산소 과잉 상태에 놓여 고저항을 갖게 되고, 즉, i형 산화물 반도체층이 된다고 말할 수 있다. 또한, 산화물 반도체층이 산소 과잉 상태에 놓임으로써 고체상 산화가 행해진다고도 말할 수 있다. 이에 의해, 전기적 특성이 양호하고 신뢰성이 높은 박막 트랜지스터를 포함하는 반도체 디바이스를 제작하고, 제공하는 것이 가능하다.
- [0030] 가열 처리의 조건은, 탈수 또는 탈수소화 후의 산화물 반도체층에 대하여 TDS(Thermal Desorption Spectroscopy)에 의해 450℃까지 측정을 행해도, 물의 2개의 피크 또는 적어도 300℃ 부근의 1개의 피크가 검출되지 않도록 하는 것이다. 따라서, 탈수 또는 탈수소화가 행해진 산화물 반도체층을 포함한 박막 트랜지스터에 대하여 TDS에 의해 450℃까지 측정을 행해도, 적어도 300℃ 부근의 물의 피크는 검출되지 않는다.
- [0031] 또한, 탈수 또는 탈수소화를 행하는 가열 온도 T로부터 온도를 내리는 경우, 탈수 또는 탈수소화를 위해 이용했던 동일한 노(furnace)를 이용하여 산화물 반도체층이 대기에 노출되지 않도록 하여, 물 또는 수소의 혼입을 방지하는 것이 중요하다. 탈수 또는 탈수소화에 의해 저저항을 갖게 되고, 즉, n형(n⁻형) 산화물 반도체층이 된 후에, 고저항을 갖도록 하여 i형 반도체층이 되도록 하는 방식으로 산화물 반도체층을 이용해서 박막 트랜지스터를 제작하면, 박막 트랜지스터의 임계값 전압이 포지티브로 될 수 있어서, 소위 노멀리 오프 스위칭 소자(normally-off switching element)를 실현할 수 있다. 0V에 가능한 한 가깝고 포지티브 값인 임계값 전압을 갖는 채널이 형성된 반도체 디바이스(표시 디바이스)가 바람직하다. 박막 트랜지스터의 임계값 전압이 네거티브이면, 소위 노멀리 온(normally on)으로 되는 경향이 있어서, 즉, 게이트 전압이 0V인 경우에도, 소스 전극과 드레인 전극 사이에 전류가 흐른다. 액티브 매트릭스형 표시 디바이스에서는, 회로에 포함되는 박막 트랜지스터의 전기적 특성이 중요하고, 표시 디바이스의 성능은 박막 트랜지스터의 전기적 특성에 의존한다. 박막 트랜지스터의 전기적 특성 중, 임계값 전압(V_{th})이 특히 중요하다. 전계 효과 이동도가 높더라도 임계값 전압값이 높거나, 또는 마이너스측이면, 회로는 제어하기가 곤란하다. 임계값 전압값이 높고, 임계값 전압의 절대값이 큰 박막 트랜지스터는 낮은 전압에서 구동될 때, 스위칭 기능을 완수하는 것이 불가능할 수 있고, 부하가 될 수 있다. n채널 박막 트랜지스터의 경우, 게이트 전압으로서 포지티브 전압을 인가한 후 채널이 형성되어 드레인 전류가 흐르기 시작하는 것이 바람직하다. 구동 전압을 증가하지 않으면 채널이 형성되지 않는 트랜지스터, 및 네거티브 전압 상태의 경우에도 채널이 형성되어 드레인 전류가 흐르는 트랜지스터는 회로에 부적합하다.
- [0032] 또한, 가열 온도 T로부터 온도를 내리는 기체 분위기는, 가열 온도 T까지 온도를 올리는 기체 분위기와는 다른 기체 분위기로 전환해도 된다. 예를 들면, 탈수 또는 탈수소화를 위해 이용된 동일한 노를 이용하여, 대기에 노출시키지 않고, 노 안을 고순도의 산소 가스 또는 고순도의 N₂O 가스, 또는 초건조 공기(이슬점이 -40℃ 이하, 바람직하게는 -60℃ 이하임)로 채워서 냉각을 행한다.

- [0033] 탈수 및 탈수소화를 위한 가열 처리에 의해 막 내에 함유된 수분을 감소시킨 후, 수분을 함유하지 않는 분위기(이슬점이 -40°C 이하, 바람직하게는 -60°C 이하임)에서 서냉(또는 냉각)하여 얻은 산화물 반도체막을 이용하여, 박막 트랜지스터의 전기적 특성을 향상시키고, 양산성과 고성능을 구비한 박막 트랜지스터를 실현한다.
- [0034] 본 명세서에서는, 질소, 또는 희 가스(아르곤 또는 헬륨 등)의 불활성 기체 분위기에서의 가열 처리를, 탈수 또는 탈수소화를 위한 가열 처리라고 부른다. 본 명세서에서, 탈수소화란 이 가열 처리에 의해 H_2 를 제거하는 것만을 일컫는 것이 아니고, 탈수 또는 탈수소화란 H 및 OH 등을 제거하는 것도 포함해서, 편의상 일컫는 것이다.
- [0035] 질소 또는 희 가스(아르곤 또는 헬륨 등) 등의 불활성 기체 분위기에서의 가열 처리에 의해, 산화물 반도체층은 산소 결핍형 산화물 반도체층으로 바뀌어 저저항을 가지며, 즉, n형(예를 들면, n^{-} 형) 산화물 반도체층이 된다.
- [0036] 또한, 드레인 전극층과 중첩하고 산소 결핍 고저항 드레인(HRD라고도 부름) 영역인 영역이 형성된다. 또한, 소스 전극층과 중첩하고 산소 결핍 고저항 소스(HRS라고도 부름) 영역인 영역이 형성된다.
- [0037] 구체적으로는, 고저항 드레인 영역의 캐리어 농도는, $1 \times 10^{18} / \text{cm}^3$ 이상이며, 적어도 채널 형성 영역의 캐리어 농도($1 \times 10^{18} / \text{cm}^3$ 미만)보다 높다. 본 명세서에서의 캐리어 농도는, 실온에서 Hall 효과 측정에 의해 구해진다는 것을 유의한다.
- [0038] 그리고, 탈수 또는 탈수소화된 산화물 반도체층의 적어도 일부를 산소 과잉 상태에 둬으로써 고저항을 갖는, 즉, i형 영역이 되는 채널 형성 영역을 형성한다. 탈수 또는 탈수소화된 산화물 반도체층을 산소 과잉 상태로 하는 처리로서는, 탈수 또는 탈수소화된 산화물 반도체층에 접촉하는 산화물 절연막의 스퍼터링 방법에 의한 피착, 또는 산화물 절연막 피착 후의 가열 처리, 또는 산화물 절연막 피착 후 산소를 함유하는 분위기에서의 가열 처리, 또는 산화물 절연막 피착 후 불활성 기체 분위기에서 가열 처리 후에 산소 분위기에서의 냉각 처리, 또는 산화물 절연막 피착 후 불활성 기체 분위기에서 가열 처리 후에 초진조 공기(이슬점이 -40°C 이하, 바람직하게는 -60°C 이하)에서의 냉각 처리 등에 의해 행한다는 것을 유의한다.
- [0039] 또한, 탈수 또는 탈수소화된 산화물 반도체층의 일부(게이트 전극층과 중첩하는 부분)를 채널 형성 영역으로서 기능하게 하기 위해서, 반도체층이 선택적으로 산소 과잉 상태에 놓일 수 있고 고저항을 가질 수 있으며, 즉, i형 반도체층이 된다.
- [0040] 이에 의해, 전기적 특성이 양호하고 신뢰성이 높은 박막 트랜지스터를 포함한 반도체 디바이스를 제작하고 제공할 수 있는 것이 가능하게 된다.
- [0041] 드레인 전극층과 중첩하는 산화물 반도체층에 있어서 고저항 드레인 영역을 형성함으로써, 구동 회로를 형성할 때의 신뢰성이 향상될 수 있다는 것을 유의한다. 구체적으로는, 고저항 드레인 영역을 형성함으로써, 드레인 전극층, 고저항 드레인 영역, 및 채널 형성 영역의 도전성을 변화시킬 수 있다. 그 때문에, 박막 트랜지스터가 고전원 전위 VDD를 공급하는 배선에 접속된 드레인 전극층에 의해 동작하는 경우, 게이트 전극층과 드레인 전극층 사이에 고전계가 인가되어도 고저항 영역이 버퍼로서 기능하고 국소적으로 고전계가 인가되지 않아서, 트랜지스터의 내압의 증가를 유도할 수 있다.
- [0042] 또한, 드레인 전극층과(그리고 소스 전극층과) 중첩하는 산화물 반도체층의 일부에 있어서 고저항 드레인 영역을 형성함으로써, 구동 회로를 형성할 때의 신뢰성을 향상시킬 수 있다. 구체적으로는, 고저항 드레인 영역을 형성함으로써, 트랜지스터의 드레인 전극층과 소스 전극층 사이의 리크 전류(leakage current)가, 드레인 전극층측, 드레인 전극층측의 고저항 드레인 영역, 채널 형성 영역, 소스 전극층측의 고저항 소스 영역, 및 소스 전극층을 이 순서로 통하여 흐른다. 이 경우, 채널 형성 영역에서는, 드레인 전극층측의 고저항 드레인 영역으로부터 채널 영역에 흐르는 리크 전류를, 트랜지스터가 오프된 때에, 고저항을 갖는 게이트 절연층과 채널 형성 영역 간의 계면 근방에 집중시킬 수 있다. 이에 의해, 백 채널부(back channel portion)(게이트 전극층으로부터 떨어져 있는 채널 형성 영역의 표면의 일부)에서의 리크 전류(leakage current)의 양을 감소시킬 수 있다.
- [0043] 또한, 구동 회로를 포함하는 표시 디바이스로서는, 액정 표시 디바이스 이외에, 발광 소자를 이용한 발광 표시 디바이스, 및 전기영동 표시 소자(electrophoretic display element)를 이용한 "전자 종이(electronic paper)"라고도 불리는 표시 디바이스가 주어진다.
- [0044] 발광 소자를 이용한 발광 표시 디바이스에서는, 화소부에 복수의 박막 트랜지스터가 포함되고, 화소부는, 박막 트랜지스터의 게이트 전극이 다른 박막 트랜지스터의 소스 배선 또는 드레인 배선에 접속되는 영역을 포함한다.

또한, 발광 소자를 이용한 발광 표시 디바이스의 구동 회로는, 박막 트랜지스터의 게이트 전극이 그 박막 트랜지스터의 소스 배선 또는 드레인 배선에 접속되는 영역을 포함한다.

[0045] 박막 트랜지스터는 정전기 등에 기인하여 파괴되기 쉽기 때문에, 화소부의 박막 트랜지스터 보호용의 보호 회로를 게이트선 또는 소스선과 동일한 기관 위에 설치하는 것이 바람직하다. 보호 회로는, 산화물 반도체층을 포함한 비선형 소자로 형성하는 것이 바람직하다.

[0046] 본 명세서에 있어서, "제1" 및 "제2" 등의 서수는 편의상 이용하는 것이며, 단계들의 순서 및 층들의 적층 순서를 나타내는 것은 아니라는 것을 유의한다. 또한, 본 명세서에 있어서 서수는 본 발명을 특징하는 특별한 명칭을 나타내는 것은 아니다.

발명의 효과

[0047] 산화물 반도체층의 주연부를 산화물 절연층으로 덮어 기생 용량이 감소된 박막 트랜지스터를 제작할 수 있다. 또한, 소스 전극층과 드레인 전극층 사이의 거리를 증가시킴으로써, 오프 전류를 감소시킨 박막 트랜지스터를 실현할 수 있다.

도면의 간단한 설명

[0048] 도 1의 (a) 내지 도 1의 (c)는 본 발명의 일 실시 형태의 평면도 및 단면도이다.
 도 2의 (a) 내지 도 2의 (e)는 본 발명의 일 실시 형태의 공정 단면도이다.
 도 3의 (a) 및 도 3의 (b)는 본 발명의 일 실시 형태의 단면도이다.
 도 4의 (a1) 내지 도 4의 (b2)는 본 발명의 일 실시 형태의 단면도 및 평면도이다.
 도 5의 (a) 및 도 5의 (b)는 각각 본 발명의 일 실시 형태의 단면도 및 평면도이다.
 도 6의 (a) 및 도 6의 (b)는 본 발명의 일 실시 형태의 단면도이다.
 도 7의 (a) 내지 도 7의 (c)는 본 발명의 일 실시 형태의 평면도 및 단면도이다.
 도 8의 (a) 내지 도 8의 (e)는 본 발명의 실시 형태의 제조 공정의 공정 단면도이다.
 도 9의 (a) 및 도 9의 (b)는 각각 반도체 디바이스를 도시한다.
 도 10의 (a1) 내지 도 10의 (b)는 각각 반도체 디바이스를 도시한다.
 도 11의 (a) 및 도 11의 (b)는 각각 반도체 디바이스를 도시한다.
 도 12는 반도체 디바이스의 화소 등가 회로를 도시한다.
 도 13의 (a) 내지 도 13의 (c)는 각각 반도체 디바이스를 도시한다.
 도 14의 (a) 및 도 14의 (b)는 각각 반도체 디바이스를 도시하는 블록도이다.
 도 15의 (a) 및 도 15의 (b)는 각각 신호선 구동 회로의 구성을 나타내는 도면과, 동작을 도시하는 타이밍 차트이다.
 도 16의 (a) 내지 도 16의 (d)는 시프트 레지스터의 구성의 회로도이다.
 도 17의 (a) 및 도 17의 (b)는 각각 시프트 레지스터의 동작을 도시하는 도면과 타이밍 차트이다.
 도 18은 반도체 디바이스를 도시한다.
 도 19는 반도체 디바이스를 도시한다.
 도 20은 전자 서적의 예를 도시하는 외관도이다.
 도 21의 (a) 및 도 21의 (b)는 각각 텔레비전 세트의 예 및 디지털 액자의 예를 도시하는 외관도이다.
 도 22의 (a) 및 도 22의 (b)는 각각 오락기의 예를 도시하는 외관도이다.
 도 23의 (a) 및 도 23의 (b)는 각각 휴대형 컴퓨터의 예 및 휴대 전화기의 예를 도시하는 외관도이다.
 도 24는 반도체 디바이스를 도시한다.

도 25는 반도체 디바이스를 도시한다.
 도 26은 반도체 디바이스를 도시한다.
 도 27은 반도체 디바이스를 도시한다.
 도 28은 반도체 디바이스를 도시한다.
 도 29는 반도체 디바이스를 도시한다.
 도 30은 반도체 디바이스를 도시한다.
 도 31은 반도체 디바이스를 도시한다.
 도 32는 반도체 디바이스를 도시한다.
 도 33은 반도체 디바이스를 도시한다.
 도 34는 반도체 디바이스를 도시한다.
 도 35는 반도체 디바이스를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0049] 이하에서는, 본 발명의 실시 형태에 대해서 첨부 도면을 참조해서 상세하게 설명한다. 그러나, 본 발명은 하기의 설명에 한정되지 않고, 본 명세서에 개시된 형태 및 상세는, 본 발명의 사상 및 범위를 벗어나지 않으면서 여러가지 방식으로 변경될 수 있다는 것을, 당업자는 용이하게 이해할 것이다. 그러므로, 본 발명은 실시 형태의 기재 내용에 한정되는 것으로 해석되는 것은 아니다.
- [0050] (실시 형태 1)
- [0051] 본 실시 형태에 있어서, 반도체 디바이스 및 반도체 디바이스의 형성 방법의 일 실시 형태를 도 1의 (a) 내지 도 1의 (c), 및 도 2의 (a) 내지 도 2의 (e)를 참조하여 설명한다.
- [0052] 도 1의 (a)는 화소에 설치되는 채널 보호형 박막 트랜지스터(448)의 평면도이며, 도 1의 (b)는 도 1의 (a)의 선 D1-D2 및 선 D5-D6을 따라 절개한 단면도이다. 도 1의 (c)는 선 D3-D4를 따라 절개한 단면도이다. 도 2의 (e)는 도 1의 (b)와 동일하다는 것을 유의한다.
- [0053] 화소에 설치되는 박막 트랜지스터(448)는 채널 보호형(채널 스톱형이라고도 불림) 박막 트랜지스터이며, 절연 표면을 갖는 기판(400) 위에, 게이트 전극층(421a), 게이트 절연층(402), 채널 형성 영역(423)을 포함하는 산화물 반도체층(442), 채널 보호층으로서 기능하는 산화물 절연층(426a), 소스 전극층(425a), 및 드레인 전극층(425b)을 포함한다. 또한, 박막 트랜지스터(448)를 덮고, 산화물 절연층(426a), 소스 전극층(425a), 및 드레인 전극층(425b)과 접촉해서 절연층(428)이 설치된다. 절연층(428) 위에는 보호 절연층(403) 및 평탄화 절연층(404)이 적층된다. 평탄화 절연층(404) 위에는, 화소 전극층(427)이 드레인 전극층(425b)과 접촉해서 설치되고, 박막 트랜지스터(448)에 전기적으로 접속된다.
- [0054] 화소용 박막 트랜지스터(448)는, 소스 전극층과 중첩하는 고저항 소스 영역(424a), 드레인 전극층과 중첩하는 고저항 드레인 영역(424b), 소스 전극층과 중첩하지 않는 고저항 소스 영역(424e), 드레인 전극층과 중첩하지 않는 고저항 드레인 영역(424f), 및 채널 형성 영역(423)을 포함하는 산화물 반도체층(442)을 갖는다. 소스 전극층(425a)의 하면에 접촉해서 고저항 소스 영역(424a)이 형성된다는 것을 유의한다. 드레인 전극층(425b)의 하면에 접촉해서 고저항 드레인 영역(424b)이 형성된다. 박막 트랜지스터(448)는, 고전계가 인가되어도, 2개의 고저항 드레인 영역 또는 2개의 고저항 소스 영역이 버퍼로서 기능하여, 국소적으로 고전계가 공급되는 것이 방지되고, 향상된 내압을 갖는다.
- [0055] 도 1의 (b)에 있어서, 산화물 절연층(426a)과 게이트 전극층 사이에, 게이트 절연층과 함께 샌드위치되는 산화물 반도체층의 영역을 채널 형성 영역이라고 부른다. 따라서, 박막 트랜지스터(448)의 채널 길이 L은, 산화물 절연층(426a)의 채널 길이 방향의 폭과 동일하다. 박막 트랜지스터(448)의 채널 길이 L은, 산화물 절연층(426a)과의 계면에 있어서의 산화물 반도체층의 길이, 즉, 도 1의 (b)의 단면도에 있어서 산화물 절연층(426a)을 나타내는 사다리꼴의 저변의 길이를 의미한다는 것을 유의한다.
- [0056] 게이트 배선과 소스 배선이 서로 교차하는 배선 교차부에는, 게이트 전극층(421b)과 소스 전극층(425a) 사이에

게이트 절연층(402)과 산화물 절연층(426b)이 설치되어, 기생 용량이 감소될 수 있다. 채널 형성 영역(423)과 중첩하는 산화물 절연층(426a)과, 채널 형성 영역(423)과 중첩하지 않는 산화물 절연층(426b)은 다른 참조 부호로 나타내지만, 그들은 동일한 재료 및 동일한 단계를 이용하여 형성되는 층들이라는 것을 유의한다.

- [0057] 도 2의 (a) 내지 도 2의 (e)를 참조하여, 하나의 기판 위에 박막 트랜지스터(448)와 배선 교차부를 형성하는 공정을 하기에서 설명한다. 화소부뿐만 아니라 구동 회로도 형성될 수 있고, 그들은 동일한 공정에 의해 동일한 기판 위에 형성될 수도 있다는 것을 유의한다.
- [0058] 우선, 절연 표면을 갖는 기판(400) 위에 도전막을 형성한 후, 제1 포토리소그래피 단계를 이용하여 게이트 전극층(421a, 421b)을 형성한다. 화소부에는, 게이트 전극층(421a, 421b)과 동일한 재료 및 동일한 제1 포토리소그래피 단계에 의해 용량 배선층을 형성한다. 또한, 화소부 외에, 구동 회로도 형성하고, 구동 회로에 용량이 필요할 경우, 구동 회로에 다른 용량 배선층을 형성한다. 레지스트 마스크를 잉크젯 방법(inkjet method)에 의해 형성해도 된다는 것을 유의한다. 레지스트 마스크를 잉크젯 방법에 의해 형성하면, 포토마스크를 사용하지 않기 때문에, 제조 코스트가 감소될 수 있다.
- [0059] 게이트 전극층(421a, 421b)의 재료로서는, Al, Cr, Ta, Ti, Mo, 또는 W로부터 선택된 원소, 전술한 원소를 포함하는 합금, 및 이 원소들의 임의의 조합을 포함한 합금 등을 이용할 수 있다. 게이트 전극층(421a, 421b)을 형성하는 도전막으로서, 투광성 도전막을 이용해도 된다. 산화 인듐(In_2O_3) 또는 산화 인듐 산화 주석 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, 간단하게는 ITO로 표기됨) 등을 이용할 수 있다.
- [0060] 본 명세서에 있어서, 가시광에 대하여 투광성을 갖는 막이란, 가시광의 투과율이 75% 내지 100%인 두께를 갖는 막을 의미한다. 그 막이 도전성을 갖는 경우, 그 막은 투명한 도전막이라고 부른다. 또한, 게이트 전극층, 소스 전극층, 드레인 전극층, 화소 전극층, 다른 전극층, 및 배선층에 적용되는 금속 산화물로서, 가시광에 대하여 반투명한 도전막을 이용해도 된다. 가시광에 대하여 반투명한 도전막은 가시광의 투과율이 50% 내지 75%인 막을 가리킨다.
- [0061] 글래스 기판이 이용되고, 후에 행해질 가열 처리의 온도가 높을 경우에는, 왜곡점이 730°C 이상인 글래스 기판을 이용하는 것이 바람직하다. 글래스 기판으로서, 예를 들면, 알루미늄규소산 글래스, 알루미늄붕소규소산 글래스, 또는 바륨 붕소규소산 글래스 등의 글래스 재료가 이용된다. 붕산보다 바륨 산화물(BaO)의 양을 더 많이 함유시킴으로써, 글래스 기판은 내열성으로 되고 더 실용적으로 된다는 것을 유의한다. 이 때문에, BaO 와 B_2O_3 를 함유하고 B_2O_3 보다 BaO 의 양이 더 많은 글래스 기판을 이용하는 것이 바람직하다.
- [0062] 상기의 글래스 기판 대신에, 세라믹 기판, 석영 기판, 또는 사파이어 기판 등의 절연체로 형성된 기판을 글래스 기판(400)으로서 이용해도 된다는 것을 유의한다. 대안적으로, 결정화 글래스 등을 이용할 수 있다.
- [0063] 기초막으로서 기능하는 절연막을 기판(400)과 게이트 전극층(421a, 421b) 사이에 설치해도 된다. 기초막은, 기판(400)으로부터의 불순물 원소의 확산을 방지하는 기능을 갖고, 질화 규소막, 산화 규소막, 질화 산화 규소막, 및 산화질화 규소막 중의 하나 이상을 이용하는 단층 또는 적층 구조를 가질 수 있다.
- [0064] 다음으로, 게이트 전극층(421a, 421b) 위에 게이트 절연층(402)을 형성한다.
- [0065] 게이트 절연층(402)은, 플라즈마 CVD 방법 또는 스퍼터링 방법 등에 의한, 산화 규소층, 질화 규소층, 산화질화 규소층 또는 질화 산화 규소층의 단층 또는 그의 적층 구조일 수 있다. 예를 들면, 성막 가스로서, SiH_4 , 산소, 및 질소를 이용해서 플라즈마 CVD 방법에 의해 산화질화 규소층을 형성할 수 있다. 게이트 절연층(402)의 막 두께는 100nm 이상 500nm 이하이다. 적층 구조의 경우, 두께 50nm 이상 200nm 이하의 제1 게이트 절연층과, 두께 5nm 이상 300nm 이하의 제2 게이트 절연층이 이 순서로 적층된다.
- [0066] 본 실시 형태에서, 게이트 절연층(402)은 플라즈마 CVD 방법에 의해 형성되고 두께가 200nm 이하인 질화 규소층이다.
- [0067] 다음으로, 게이트 절연층(402) 위에, 두께가 5nm 이상 200nm 이하, 바람직하게는 10nm 이상 20nm 이하인 산화물 반도체막(430)을 형성한다(도 2의 (a) 참조). 산화물 반도체막(430)의 형성 후에, 탈수 또는 탈수소화를 위한 가열 처리를 행하는 경우에도 산화물 반도체막(430)이 비정질이도록 막 두께를 50nm 이하로 얇게 하는 것이 바람직하다. 산화물 반도체막의 두께를 감소시킴으로써, 산화물 반도체층의 형성 후에 가열 처리를 행할 때, 그의 결정화를 억제할 수 있다.
- [0068] 산화물 반도체막(430)은, In-Ga-Zn-O계 비단결정막, In-Sn-Zn-O계 산화물 반도체막, In-Al-Zn-O계 산화물 반도체

체막, Sn-Ga-Zn-O계 산화물 반도체막, Al-Ga-Zn-O계 산화물 반도체막, Sn-Al-Zn-O계 산화물 반도체막, In-Zn-O계 산화물 반도체막, Sn-Zn-O계 산화물 반도체막, Al-Zn-O계 산화물 반도체막, In-O계 산화물 반도체막, Sn-O계 산화물 반도체막, 또는 Zn-O계 산화물 반도체막을 이용한다. 본 실시 형태에서, 산화물 반도체막(430)은, In-Ga-Zn-O계 산화물 반도체 타겟을 이용해서 스퍼터링 방법에 의해 형성한다. 대안적으로, 산화물 반도체막(430)은, 회 가스(대표적으로 아르곤) 분위기, 산소 분위기, 또는 회 가스(대표적으로 아르곤) 및 산소 분위기에서 스퍼터링 방법에 의해 형성할 수 있다. 스퍼터링 방법을 채택할 경우, SiO₂를 2 내지 10wt% 함유하는 타겟을 이용해서 피착을 행하고, 산화물 반도체막(430)에 결정화를 저해하는 SiO_x(x>0)를 함유시켜, 후 공정에서의 탈수 또는 탈수소화를 위한 가열 처리 시에 결정화를 방지하도록 하는 것이 바람직하다.

[0069] 산화물 반도체층은 In을 함유한 산화물 반도체인 것이 바람직하고, In 및 Ga를 함유한 산화물 반도체인 것이 더 바람직하다. i형(진성) 산화물 반도체를 얻기 위해, 산화물 반도체를 탈수 또는 탈수소화하는 것이 효과적이다.

[0070] 본 실시 형태에서는, In-Ga-Zn-O계 산화물 반도체막을 이용한다.

[0071] 여기에서, 산화물 반도체막은, In, Ga, 및 Zn을 함유하는 산화물 반도체 타겟(In₂O₃: Ga₂O₃: ZnO = 1:1:1 [몰 비율])을 이용하여, 아르곤 및 산소(아르곤:산소 = 30sccm:20sccm, 산소 유량 비율은 40%임)를 함유하는 분위기에서 기판과 타겟 사이의 거리가 100mm이고, 압력이 0.2Pa이고, 직류(DC) 전원이 0.5kW인 조건 하에 형성한다. 펄스 직류(DC) 전원을 이용하면, 먼지를 줄일 수 있고, 이 경우 막 두께가 균일해질 수 있기 때문에 바람직하다는 것을 유의한다. In-Ga-Zn-O계 비단결정막은 두께가 5nm 내지 200nm로 형성한다. 본 실시 형태에서는, 산화물 반도체막으로서, In-Ga-Zn-O계 산화물 반도체 타겟을 이용해서 스퍼터링 방법에 의해 막 두께 20nm의 In-Ga-Zn-O계 비단결정막을 형성한다.

[0072] 스퍼터링 방법의 예로서는, 스퍼터링용 전원으로서 고주파 전원을 이용하는 RF 스퍼터링 방법, DC 스퍼터링 방법, 및 펄스 방식으로 바이어스를 인가하는 펄스 DC 스퍼터링 방법을 포함한다. RF 스퍼터링 방법은 주로 절연막을 형성하기 위해 이용되고, DC 스퍼터링 방법은 주로 금속막을 형성하기 위해 이용된다.

[0073] 또한, 복수의 상이한 재료의 타겟을 세팅할 수 있는 다중-소스 스퍼터링 장치도 있다. 다중-소스 스퍼터링 장치에 의해, 동일한 챔버에서 상이한 재료의 막들을 형성 및 적층할 수 있거나, 또는 동일한 챔버에서 복수 종류의 재료를 동시에 방전시켜 막을 형성할 수 있다.

[0074] 또한, 챔버 내부에 자석 기구를 구비하고 마그네트론 스퍼터링 방법을 이용하는 스퍼터링 장치, 및 글로우(glow) 방전을 이용하지 않고 마이크로파를 이용해서 발생시킨 플라즈마를 이용하는 ECR 스퍼터링 방법을 이용하는 스퍼터링 장치가 있다.

[0075] 또한, 스퍼터링 방법에 의한 피착 방법으로서, 피착 동안 타겟 물질과 스퍼터링 가스 성분을 서로 화학 반응시켜서 그것들의 화합물 박막을 형성하는 반응성 스퍼터링 방법, 및 피착 동안 기판에도 전압을 인가하는 바이어스 스퍼터링 방법도 있다.

[0076] 다음으로, 산화물 반도체막(430)을 제2 포토리소그래피 단계에 의해 섬 형상의(island-shaped) 산화물 반도체층들로 가공한다. 섬 형상의 산화물 반도체층들을 형성하기 위한 레지스트 마스크를 잉크젯 방법에 의해 형성해도 된다. 레지스트 마스크를 잉크젯 방법에 의해 형성하면 포토마스크를 필요로 하지 않기 때문에, 제조 코스트를 감소시킬 수 있다.

[0077] 다음으로, 산화물 반도체층의 탈수 또는 탈수소화를 행한다. 탈수 또는 탈수소화를 위한 제1 가열 처리는 400℃ 이상이고 기판의 왜곡점 미만인 온도에서, 바람직하게는 425℃ 이상에서 행한다. 온도가 425℃ 이상인 경우, 가열 처리 시간은 1시간 이하일 수 있지만, 온도가 425℃ 미만인 경우, 가열 처리 시간은 1시간보다 길다는 것을 유의한다. 여기에서는, 가열 처리 장치 중 하나인, 전기로에 기판을 도입하고, 산화물 반도체층에 대하여 질소 분위기에서 가열 처리를 행한다. 그 후, 산화물 반도체층을 대기에 노출시키지 않고, 이로써 산화물 반도체층에의 더 이상의 물이나 수소의 오염을 방지하여, 산화물 반도체층을 얻는다. 본 실시 형태에서는, 산화물 반도체층의 탈수 또는 탈수소화를 행하는 가열 온도 T로부터 물의 재유입을 방지하기에 충분히 낮은 온도까지 온도를 내릴 때까지 하나의 노를 가열 처리에 계속해서 이용한다. 구체적으로는, 온도가 가열 온도 T보다 100℃ 이상 내려갈 때까지 질소 분위기에서 서냉한다. 또한, 질소 분위기에 한정되지 않고, 헬륨, 네온, 또는 아르곤 등의 회 기체 분위기에서 탈수 또는 탈수소화를 행한다.

[0078] 제1 가열 처리에서는, 질소, 또는 헬륨, 네온, 또는 아르곤 등의 회 가스에, 수분 및 수소 등이 함유되지 않는

것이 바람직하다는 것을 유의한다. 또한, 가열 처리 장치에 도입되는 질소, 또는 헬륨, 네온, 또는 아르곤 등의 희 가스는, 순도가 6N(99.9999%) 이상이고, 바람직하게는 7N(99.99999%) 이상이다(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하임).

- [0079] 또한, 산화물 반도체막은, 제1 가열 처리의 조건 또는 산화물 반도체층의 재료에 따라 결정화될 수 있어서 미세 결정막 또는 다결정막으로 된다.
- [0080] 대안적으로, 산화물 반도체층의 제1 가열 처리는, 섬 형상의 산화물 반도체층으로 가공하기 전의 산화물 반도체막(430)에 행할 수도 있다. 그 경우, 제1 가열 처리 후에, 가열 장치로부터 기판을 취출하고, 포토리소그래피 단계를 행한다.
- [0081] 또한, 산화물 반도체막(430)의 피착 전에, 불활성 기체 분위기(예를 들면, 질소, 헬륨, 네온, 또는 아르곤), 또는 산소 분위기, 또는 저압력에서 가열 처리(가열 온도는 400℃ 이상이고 기판의 왜곡점 미만임)를 행하여, 게이트 절연층 내의 수소 및 물 등의 불순물을 제거한다.
- [0082] 다음으로, 게이트 절연층(402) 및 산화물 반도체층 위에 스퍼터링 방법에 의해 산화물 절연막을 형성한다. 그 후, 제3 포토리소그래피 단계에 의해 레지스트 마스크를 형성하고, 선택적으로 에칭을 행해서 산화물 절연층(426a, 426b)을 형성한다. 그 후, 레지스트 마스크를 제거한다. 이 단계에서, 산화물 반도체층에는, 산화물 절연층들과 접촉하는 영역들이 있다. 이 영역들 중, 게이트 절연층을 사이에 개재하여 게이트 전극층과 중첩하고, 산화물 절연층(426a)과도 중첩하는 영역이 채널 형성 영역이다. 또한, 산화물 반도체층의 주연부 및 측면을 덮는 산화물 절연층(426b)과 중첩하는 영역도 있다.
- [0083] 산화물 절연막은, 적어도 1nm 이상의 막 두께로 스퍼터링 방법 등, 산화물 절연막에 물 및 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 이용하여 형성할 수 있다. 본 실시 형태에서는, 산화물 절연막으로서 두께 300nm의 산화 규소막을 스퍼터링 방법에 의해 형성한다. 막 형성 시의 기판 온도는, 실온 이상 300℃ 이하일 수 있다. 본 실시 형태에서 기판의 온도는 실온이다. 산화 규소막의 스퍼터링 방법에 의한 형성은, 희 가스(대표적으로 아르곤) 분위기, 산소 분위기, 또는 희 가스(대표적으로 아르곤) 및 산소 분위기에서 행할 수 있다. 또한, 타겟으로서 산화 규소 타겟 또는 규소 타겟을 이용할 수 있다. 예를 들면, 규소 타겟을 이용하여, 산소 및 질소 분위기에서 스퍼터링 방법에 의해 산화 규소막을 형성할 수 있다. 저저항화한 산화물 반도체층에 접촉해서 형성하는 산화물 절연막으로서, 수분, 수소 이온, 및 OH⁻ 등의 불순물을 포함하지 않고, 이들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용한다. 구체적으로, 산화 규소막, 질화 산화 규소막, 산화 알루미늄막, 또는 산화질화 알루미늄막 등을 이용한다.
- [0084] 다음으로, 불활성 기체 분위기, 또는 질소 분위기에서 제2 가열 처리를, 바람직하게는 200℃ 이상 400℃ 이하의 온도에서, 예를 들면, 250℃ 이상 350℃ 이하에서 행한다(도 2의 (b) 참조). 예를 들면, 질소 분위기에서 250℃에서 1시간 동안 제2 가열 처리를 행한다. 제2 가열 처리에 있어서, 산화물 절연층(426b)과 중첩하는 산화물 반도체층(442)의 단부들과, 산화물 절연층(426a)과 중첩하는 산화물 반도체층(442)의 일부 영역이 산화물 절연층에 접촉한 상태에서 가열된다. 제2 가열 처리에 있어서, 산화물 절연층과 중첩하지 않는 산화물 반도체층(442)의 일부가 노출된 상태에서 가열된다는 것을 유의한다. 산화물 반도체층(442)이 노출되어 있는 질소 분위기 또는 불활성 기체 분위기에서 가열 처리를 행하는 경우, 산화물 반도체층(442)에 있어서 노출된 고저항(i형) 영역을 저저항화할 수 있다. 산화물 절연층(426a)은 산화물 반도체층(442)의 채널 형성 영역 위에 그에 접촉해서 설치되고, 채널 보호층으로서 기능한다.
- [0085] 다음으로, 게이트 절연층(402), 산화물 절연층(426a, 426b), 및 산화물 반도체층(442) 위에 도전막을 형성한다. 그 후, 제4 포토리소그래피 단계에 의해, 레지스트 마스크를 형성하고, 선택적으로 에칭을 행해서 소스 전극층(425a) 및 드레인 전극층(425b)을 형성한다(도 2의 (c) 참조). 도전막은 스퍼터링 방법, 진공 증착 방법(예를 들면, 전자 빔 증착 방법 등), 아크(arc) 방전 이온 플레이팅(plating) 방법, 또는 스프레이(spray) 방법에 의해 형성한다. 도전막의 재료로서는, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소, 이 원소들 중 임의의 것을 성분으로서 함유하는 합금, 이 원소들의 조합을 함유하는 합금 등을 이용할 수 있다. 도전막은, 전술한 원소를 함유하는 단층에 한정되지 않고, 2층 이상의 적층될 수 있다. 본 실시 형태에서, 도전막은 티타늄막, 알루미늄막, 및 티타늄막의 3층 구조를 갖는다. Ti막 대신 질화 티타늄 막을 이용해도 된다.
- [0086] 제4 포토리소그래피 단계에서, 산화물 반도체층 위의 그에 접촉된 도전막 부분들만을 제거한다. 산화물 반도체층 위의 그에 접촉된 도전막 부분들만을 제거하기 위해, 알칼리성의 에천트(etchant)로서 암모니아 과산화물 혼합물(과산화수소:암모니아:물 = 5:2:2) 등을 이용함으로써, 도전막을 선택적으로 제거할 수 있고, In-Ga-Zn-O계

산화물 반도체를 포함하는 산화물 반도체층을 잔존시킬 수 있다.

- [0087] 소스 전극층(425a) 및 드레인 전극층(425b)을 형성하기 위한 레지스트 마스크를 잉크젯 방법에 의해 형성해도 된다. 레지스트 마스크를 잉크젯 방법에 의해 형성하면, 포토마스크를 필요로 하지 않기 때문에, 제조 코스트를 감소시킨다.
- [0088] 다음으로, 산화물 절연층(426a, 426b), 소스 전극층(425a), 및 드레인 전극층(425b) 위에 절연층(428)과 보호 절연층(403)을 형성한다. 본 실시 형태에서는, 스퍼터링 방법을 이용해서 산화 규소막으로 이루어진 절연층(428)과, 질화 규소막으로 이루어진 보호 절연층(403)을 형성 및 적층한다.
- [0089] 산화물 절연층(426a)과 절연층(428) 사이의 경계는 알기 쉽게 하기 위해 도면에 있어서 도시되지만, 실제로는 이 층들이 둘 다 스퍼터링 방법에 의해 형성된 산화 규소막들이기 때문에, 불명료하다는 것을 유의한다.
- [0090] RF 스퍼터링 방법은 양산성이 높기 때문에, 보호 절연층(403)의 피착을 위해 이용하는 것이 바람직하다. 보호 절연층(403)은 수분, 수소 이온, 및 OH^- 등의 불순물을 함유하지 않고, 그러한 불순물들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용하여 형성하며, 전형적으로는 질화 규소막, 질화 알루미늄막, 질화 산화 규소막, 또는 산화질화 알루미늄막 등을 이용하여 형성한다. 물론, 보호 절연층(403)은 투광성을 갖는 절연막이다.
- [0091] 다음으로, 보호 절연층(403) 위에 평탄화 절연층(404)을 형성한다. 평탄화 절연층(404)은 폴리이미드, 아크릴 수지, 벤조시클로부텐계 수지, 폴리아미드, 또는 에폭시 수지 등의, 내열성을 갖는 유기 재료로 형성할 수 있다. 그러한 유기 재료 외에, 저유전율 재료(로우-k 재료), 실록산계 수지, PSG(phosphosilicate glass), 또는 BPSG(borophosphosilicate glass) 등을 이용할 수도 있다. 이들의 재료로 형성되는 복수의 절연막을 적층시킴으로써, 평탄화 절연층(404)을 형성해도 된다.
- [0092] 실록산계 수지는, 실록산계 재료를 출발 재료로서 이용하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당하다는 것을 유의한다. 실록산계 수지는 치환기로서 유기기(예를 들면, 알킬기나 아릴기) 또는 플루오로기를 포함할 수 있다. 또한, 유기기는 플루오로기를 포함할 수 있다.
- [0093] 평탄화 절연층(404)의 형성 방법은, 특별한 방법으로 한정되지 않고, 재료에 따라서 다음의 방법, 즉, 스퍼터링 방법, SOG 방법, 스핀 코팅 방법, 디핑 방법, 스프레이 도포, 액적 토출 방법(droplet discharge method)(예를 들면, 잉크젯 방법, 스크린 인쇄, 또는 오프셋 인쇄 등) 등이 이용될 수 있다. 또한, 평탄화 절연층(404)은 닥터 나이프 또는 롤 코터(roll coater), 커튼 코터(curtain coater), 또는 나이프 코터(knife coater) 등에 의해 형성할 수 있다.
- [0094] 다음으로, 제5 포토리소그래피 단계를 행하여, 레지스트 마스크를 형성하고, 평탄화 절연층(404), 절연층(428), 및 보호 절연층(403)을 에칭하여, 드레인 전극층(425b)에 도달하는 콘택트 홀(441)을 형성한다. 그런 다음, 레지스트 마스크를 제거한다(도 2의 (d) 참조). 도 2의 (d)에 도시된 바와 같이, 콘택트 홀의 아래쪽에는 산화물 절연층(426b)이 설치됨으로써, 콘택트 홀의 아래쪽에 산화물 절연층이 설치되지 않을 경우에 비해, 제거되는 평탄화 절연층의 두께를 얇게 할 수 있고, 따라서, 에칭 시간을 단축할 수 있다. 또한, 콘택트 홀의 아래쪽에 산화물 절연층이 설치되지 않을 경우에 비해, 콘택트 홀(441)의 깊이를 얇게 할 수 있어서, 콘택트 홀(441)과 중첩하는 영역에 있어서, 후에 형성되어 배치되는 투광성 도전막의 커버리지를 여유있게 할 수 있다. 또한, 이 에칭시에 게이트 전극층(421b)에 도달하는 콘택트 홀도 형성한다. 또한, 드레인 전극층(425b)에 도달하는 콘택트 홀을 형성하기 위해 이용되는 레지스트 마스크를 잉크젯 방법에 의해 형성해도 된다. 레지스트 마스크를 잉크젯 방법에 의해 형성하면 포토마스크를 필요로 하지 않기 때문에, 제조 코스트를 감소시킬 수 있다.
- [0095] 다음으로, 투광성 도전막을 형성한다. 투광성 도전막은, 산화 인듐(In_2O_3) 또는 산화 인듐 산화 주석 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, 간단하게는 ITO로 표기됨) 등을 이용하여 스퍼터링 방법이나 진공 증착법 등에 의해 형성할 수 있다. 대안적으로, 질소를 함유한 Al-Zn-O계 비단결정막(즉, Al-Zn-O-N계 비단결정막), Zn-O-N계 비단결정막, 또는 Sn-Zn-O-N계 비단결정막을 이용해도 된다. Al-Zn-O-N계 비단결정막의 아연의 퍼센티지는 47원자% 이하이고 비단결정막 내의 알루미늄의 퍼센티지(원자%)보다 크고, 비단결정막 내의 알루미늄의 퍼센티지(원자%)는 비단결정막 내의 질소의 퍼센티지보다 크다는 것을 유의한다. 그러한 재료는 염산계의 용액에 의해 에칭된다. 그러나, 특히 ITO의 에칭에서는 잔사가 발생하기 쉬우므로, 에칭 가공성을 개선하기 위해서 산화 인듐 산화 아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$)을 이용해도 된다.
- [0096] 또한, 투광성 도전막의 조성의 퍼센티지의 단위는 원자 퍼센트이고, 조성의 퍼센티지는 전자 프로브 X선 마이크

로에널라이저(electron probe X-ray microanalyzer(EPMA))를 이용한 분석에 의해 평가한다는 것을 유의한다.

- [0097] 다음으로, 제6 포토리소그래피 단계를 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거해서 화소 전극층(427)을 형성한 다음, 레지스트 마스크를 제거한다(도 2의 (e) 참조).
- [0098] 이상의 단계들에 의해, 6매의 마스크를 이용하여, 하나의 기판 위에 박막 트랜지스터(448)와, 기생 용량이 감소된 배선 교차부를 형성할 수 있다. 화소용 박막 트랜지스터(448)는, 소스 전극층과 중첩하는 고저항 소스 영역(424a), 드레인 전극층과 중첩하는 고저항 드레인 영역(424b), 소스 전극층과 중첩하지 않는 고저항 소스 영역(424e), 드레인 전극층과 중첩하지 않는 고저항 드레인 영역(424f), 및 채널 형성 영역(423)을 포함하는 산화물 반도체층(442)을 갖는 채널 보호형 박막 트랜지스터이다. 따라서, 고전계가 인가되어도, 2개의 고저항 드레인 영역 또는 2개의 고저항 소스 영역이 버퍼로서 기능하므로, 박막 트랜지스터(448)는, 국소적으로 고전계가 공급되는 것이 방지되고, 향상된 내압을 갖는다. 또한, 소스 전극층과 드레인 전극층 사이의 거리를 증가시킴으로써, 박막 트랜지스터의 오프 전류가 감소된다.
- [0099] 또한, 게이트 절연층(402)을 유전체로서 이용하는 용량 배선층과 용량 전극으로 형성되는 축적 용량(storage capacitor)도 박막 트랜지스터(448)와 동일한 기판 위에 형성할 수 있다. 박막 트랜지스터(448)와 축적 용량을, 화소들이 매트릭스 형상으로 배치되어 있는 화소부의 각각의 화소에 배열함으로써, 액티브 매트릭스 표시 디바이스를 제작하기 위한 기판들 중 하나를 얻을 수 있다. 본 명세서에서는, 편의상 이러한 기판을 액티브 매트릭스 기판이라고 부른다.
- [0100] 또한, 화소와 동일한 기판 위에 구동 회로의 박막 트랜지스터를 설치할 수 있다. 하나의 기판 위에 구동 회로와 화소부를 설치함으로써, 구동 회로와 외부 신호 간의 접속 배선을 단축할 수 있고, 반도체 디바이스의 사이즈 및 코스트를 감소시킬 수 있다.
- [0101] 도 1의 (b)에 도시된 화소용 박막 트랜지스터(448)에 있어서, 산화물 반도체층(442)은, 산화물 절연층(426b)과 중첩하고 산화물 반도체층(442)의 주연부에 위치된 제1 영역(424c) 및 제2 영역(424d)이 설치되어 있다. 산화물 반도체층(442)의 주연부인 제1 영역(424c) 및 제2 영역(424d)은, 채널 형성 영역(423)과 마찬가지로 산소 과잉 상태이다. 제1 영역(424c) 및 제2 영역(424d)에 의해, 산화물 반도체층과, 산화물 반도체층의 전위와는 다른 전위를 갖는 배선이 서로 가까이 배치되는 경우에, 리크 전류 및 기생 용량을 감소시킬 수 있다.
- [0102] 특히, 구동 회로에서는, 고집적화의 관점에서, 복수의 배선 및 복수의 산화물 반도체층의 간격을 좁혀서 배치하는 것이 바람직하다. 그러한 구동 회로에 있어서, 산화물 반도체층을 산화물 절연층(426b)과 중첩함으로써 제1 영역(424c) 및 제2 영역(424d)을 설치하며, 이것은 리크 전류와 기생 용량을 감소시키기 위해 효과적이다. 또한, 복수의 박막 트랜지스터를 직렬 또는 병렬로 배치할 경우, 복수의 박막 트랜지스터 중에 산화물 반도체층을 하나의 섬으로 형성하고, 산화물 반도체층을 산화물 절연층(426b)과 중첩함으로써, 분리 소자를 형성한다. 따라서, 산화물 절연층(426b)과 중첩하는 영역은 분리 소자 영역이다. 이렇게 하여, 좁은 면적에 복수의 박막 트랜지스터를 배치할 수 있으므로, 구동 회로가 고집적화될 수 있다.
- [0103] (실시 형태 2)
- [0104] 본 실시 형태에서는, 실시 형태 1에서 설명된 박막 트랜지스터를 이용하여, 하나의 기판 위에 화소부와 구동 회로를 형성하여, 액티브 매트릭스형 액정 표시 디바이스를 제작하는 예를 설명한다.
- [0105] 도 3의 (a)는 액티브 매트릭스 기판의 단면 구조의 예를 도시한다.
- [0106] 실시 형태 1에서는, 화소부의 박막 트랜지스터 및 배선 교차부만을 도시했지만, 본 실시 형태에서는, 박막 트랜지스터 및 배선 교차부뿐만 아니라 구동 회로의 박막 트랜지스터, 축적 용량, 게이트 배선, 및 소스 배선의 단자부도 도시한다. 용량, 게이트 배선, 및 소스 배선의 단자부는, 실시 형태 1에서 설명된 제작 공정과 동일한 공정에 의해 형성할 수 있다.
- [0107] 도 3의 (a)에 있어서, 화소 전극층(227)에 전기적으로 접속된 박막 트랜지스터(220)는 채널 보호형이고 화소부에 설치된다. 본 실시 형태에서는, 실시 형태 1의 박막 트랜지스터(448)와 동일한 구조를 갖는 트랜지스터를 이용한다.
- [0108] 박막 트랜지스터(220)의 게이트 전극층과 동일한 투광성 도전 재료 및 동일한 형성 단계를 이용하여 형성되는 용량 배선층(230)은, 유전체로서 기능하는 게이트 절연층(202)을 사이에 개재하여 용량 전극(231)과 중첩하여, 축적 용량을 형성한다. 용량 전극(231)은, 박막 트랜지스터(220)의 소스 전극층 및 드레인 전극층과 동일한 금

속 재료 및 동일한 형성 단계를 이용하여 형성된다는 것을 유의한다.

- [0109] 축적 용량은, 화소 전극층(227)의 아래쪽에 설치되고, 용량 전극(231)이 화소 전극층(227)에 전기적으로 접속된다는 것을 유의한다.
- [0110] 본 실시 형태에서는, 용량 전극(231) 및 용량 배선층(230)을 이용해서 축적 용량을 형성하는 예를 설명하지만, 축적 용량을 형성하는 구조에 대해서는 특별히 한정되지 않는다. 예를 들면, 용량 배선층을 설치하지 않고, 화소 전극층을 인접하는 화소의 게이트 배선과, 그 사이에 평탄화 절연층, 보호 절연층, 및 게이트 절연층을 개재하여 중첩함으로써, 축적 용량을 형성해도 된다.
- [0111] 도 3의 (a)에 있어서 축적 용량은, 큰 용량을 형성하기 위해서, 용량 배선과 용량 전극 사이에 게이트 절연층(202)만을 포함하고, 배선 교차부는, 기생 용량을 감소시키기 위해서, 게이트 전극층(421b)과, 게이트 전극층(421b) 위에 형성되는 배선 사이에 게이트 절연층(202)과 산화물 절연층(266b)을 포함한다. 축적 용량에 있어서, 용량 배선과 용량 전극 사이에 게이트 절연층(202)만을 설치하기 위해, 산화물 절연층(266b)을 제거하는 예칭시에, 게이트 절연층(202)만을 남기도록 예칭 조건 또는 게이트 절연층의 재료를 선택한다. 본 실시 형태에서는, 산화물 절연층(266b)이 스퍼터링 방법에 의해 형성되는 산화 규소막이고, 게이트 절연층(202)이 플라즈마 CVD 방법에 의해 형성되는 질화 규소막이기 때문에, 선택적 제거가 실현될 수 있다. 산화물 절연층(266b)과 게이트 절연층(202)이 동일한 예칭 조건 하에서 제거되도록 하는 재료를 이용할 경우에는, 예칭에 의해 게이트 절연층의 두께가 부분적으로 감소되어도 게이트 절연층의 적어도 일부가 잔존할 수 있어서 용량을 형성할 수 있도록 하는 두께들이 설정되는 것이 바람직하다는 것을 유의한다. 축적 용량의 대용량을 형성하기 위해, 게이트 절연층의 두께를 감소시키는 것이 바람직하기 때문에, 산화물 절연층(266b)을 제거하기 위한 예칭 동안 용량 배선 위의 게이트 절연층의 일부의 두께가 감소되어도 된다.
- [0112] 박막 트랜지스터(260)는 채널 보호형이고 구동 회로에 설치된다. 박막 트랜지스터(260)는 박막 트랜지스터(220)보다 채널 길이 L이 짧아서, 동작 속도의 고속화를 실현한다. 구동 회로에 설치되는 채널 보호형 박막 트랜지스터의 채널 길이 L은, 0.1 μ m 이상 2 μ m 이하로 설정하는 것이 바람직하다. 박막 트랜지스터(260)는, 박막 트랜지스터(220)의 구조와는 다른 구조이며, 소스 전극층(265a) 및 드레인 전극층(265b)이 산화물 절연층(266a)과 중첩하도록 형성되는 구조를 갖는다.
- [0113] 박막 트랜지스터(260)는, 절연 표면을 갖는 기판(200) 위에, 게이트 전극층(261), 게이트 절연층(202), 적어도 채널 형성 영역(263), 고저항 소스 영역(264a), 및 고저항 드레인 영역(264b)을 갖는 산화물 반도체층, 소스 전극층(265a), 및 드레인 전극층(265b)을 포함한다. 또한, 채널 형성 영역(263)에 접촉하는 산화물 절연층(266a)도 설치된다.
- [0114] 구동 회로의 박막 트랜지스터(260)의 게이트 전극층은, 산화물 반도체층 위에 설치된 도전층(267)에 전기적으로 접속될 수 있다. 그 경우, 박막 트랜지스터(220)의 드레인 전극층을 화소 전극층(227)에 전기적으로 접속하기 위한 콘택트 홀과 동일한 포토마스크를 이용하여, 평탄화 절연층(204), 절연층(216), 보호 절연층(203), 산화물 절연층(266b), 및 게이트 절연층(202)을 선택적으로 예칭함으로써, 콘택트 홀을 형성한다. 이 콘택트 홀을 통해서, 도전층(267)을 구동 회로의 박막 트랜지스터(260)의 게이트 전극층(261)에 전기적으로 접속한다.
- [0115] 절연층(216)에 대해서는, 산화 규소막, 산화 알루미늄막, 산화질화 규소막, 또는 산화질화 알루미늄막 등의 무기 절연막을 이용한다. 본 실시 형태에서는, 스퍼터링 방법에 의해 형성되는 산화 규소막을 이용한다.
- [0116] 보호 절연층(203)에 대해서는, 질화 규소막, 질화 알루미늄막, 질화 산화 규소막, 산화질화 알루미늄막 등의 무기 절연막을 이용한다. 본 실시 형태에서는, 스퍼터링 방법에 의해 형성되는 질화 규소막을 이용한다.
- [0117] 박막 트랜지스터(260)에 있어서, 게이트 전극층(261)의 폭(채널 길이 방향의 폭)이 산화물 반도체층의 폭보다 크다. 산화물 절연층(266b)은, 산화물 반도체층의 주연부와 중첩하고, 게이트 전극층(261)과도 중첩한다. 산화물 절연층(266b)은, 드레인 전극층(265b)과 게이트 전극층(261) 간의 거리를 증가시키기 위해, 그리고 드레인 전극층(265b)과 게이트 전극층(261) 사이에 형성되는 기생 용량을 감소시키기 위해 이용된다. 산화물 절연층(266b)과 중첩하는 산화물 반도체층의 제1 영역(264c) 및 제2 영역(264d)은, 채널 형성 영역(263)과 마찬가지로 산소 파잉 상태이며, 리크 전류를 감소시키고, 기생 용량도 감소시킨다.
- [0118] 화소 밀도에 따라서 복수의 게이트 배선, 소스 배선, 및 용량 배선층이 설치된다. 단자부에는, 게이트 배선과 동일한 전위인 복수의 제1 단자 전극, 소스 배선과 동일한 전위인 복수의 제2 단자 전극, 용량 배선층과 동일한 전위인 복수의 제3 단자 전극 등이 배열된다. 각각의 단자 전극들의 수는, 실시자가 적합하다고 결정한 임의의

수일 수 있다.

- [0119] 단자부에 있어서, 게이트 배선과 동일한 전위인 제1 단자 전극은, 화소 전극층(227)과 동일한 투광성 재료를 이용하여 형성할 수 있다. 제1 단자 전극은, 게이트 배선에 도달하는 콘택트 홀을 통해서 게이트 배선에 전기적으로 접속된다. 게이트 배선에 도달하는 콘택트 홀은, 박막 트랜지스터(220)의 드레인 전극층을 화소 전극층(227)에 전기적으로 접속하기 위한 콘택트 홀과 동일한 포토마스크를 이용하여, 평탄화 절연층(204), 절연층(216), 보호 절연층(203), 산화물 절연층(266b), 및 게이트 절연층(202)을 선택적으로 에칭함으로써 형성한다.
- [0120] 단자부의 소스 배선(254)과 동일한 전위인 제2 단자 전극(255)은, 화소 전극층(227)과 동일한 투광성 재료를 이용하여 형성할 수 있다. 제2 단자 전극(255)은, 소스 배선(254)에 도달하는 콘택트 홀을 통해서 소스 배선(254)에 전기적으로 접속된다. 소스 배선은, 박막 트랜지스터(260)의 소스 전극층(265a)과 동일한 재료 및 동일한 단계를 이용하여 형성된 금속 배선이며, 소스 전극층(265a)과 동일한 전위이다.
- [0121] 용량 배선층(230)과 동일한 전위인 제3 단자 전극은, 화소 전극층(227)과 동일한 투광성 재료를 이용하여 형성할 수 있다. 용량 배선층(230)에 도달하는 콘택트 홀은, 용량 전극(231)을 화소 전극층(227)에 전기적으로 접속하기 위한 콘택트 홀과 동일한 포토마스크 및 동일한 단계를 이용하여 형성할 수 있다.
- [0122] 액티브 매트릭스형 액정 표시 디바이스를 제작하는 경우에는, 액티브 매트릭스 기관과, 대향 전극이 설치된 대향 기관 사이에 액정층을 설치하고 고정한다. 대향 기관에 설치된 대향 전극에 전기적으로 접속되는 공통 전극을 액티브 매트릭스 기관 위에 설치하고, 공통 전극에 전기적으로 접속되는 제4 단자 전극을 단자부에 설치하는 것을 유의한다. 이 제4 단자 전극은, 공통 전극을 GND 또는 0V 등의 고정 전위로 설정하기 위한 단자이다. 제4 단자 전극은, 화소 전극층(227)과 동일한 투광성 재료를 이용하여 형성할 수 있다.
- [0123] 게이트 전극층, 소스 전극층, 드레인 전극층, 화소 전극층, 다른 전극층, 및 다른 배선층이 동일한 재료를 이용하여 형성되는 경우, 공통의 스퍼터링 타겟이나 공통의 제조 장치를 이용할 수 있다. 따라서, 이 층들의 재료 코스트 및 에칭시에 사용하는 에천트(또는 에칭 가스)의 코스트를 감소시킬 수 있어서, 결과적으로 제조 코스트를 절감한다.
- [0124] 도 3의 (a)의 구조에 있어서, 평탄화 절연층(204)에 감광성 수지 재료를 이용할 경우, 레지스트 마스크를 형성하는 단계를 생략할 수 있다.
- [0125] 도 3의 (b)는 도 3의 (a)에 도시된 것과는 일부 다른 단면 구조를 나타낸다. 도 3의 (b)는, 평탄화 절연층(204)이 단자부에 존재하지 않는다는 점을 제외하고는, 그리고 구동 회로의 박막 트랜지스터의 구조를 제외하고는 도 3의 (a)와 동일하다. 그러므로, 도 3의 (a) 및 도 3의 (b)에 공통적인 컴포넌트들은 동일한 참조 부호를 유지하고, 반복적인 상세한 설명은 생략한다. 도 3의 (b)에서, 금속 배선을 이용하는 박막 트랜지스터(270)를 배치한다. 단자 전극도 금속 배선과 동일한 재료 및 동일한 공정을 이용하여 형성한다.
- [0126] 도 3의 (b)의 구조에서는, 평탄화 절연층(204)에 감광성 수지 재료를 이용하고, 레지스트 마스크를 형성하는 단계를 생략한다. 따라서, 레지스트 마스크를 이용하지 않고, 평탄화 절연층(204)이 단자부에 존재하지 않는 구성을 형성할 수 있다. 단자부에 있어서, 평탄화 절연층이 존재하지 않으면, FPC(Flexible Printed Circuit)에의 양호한 접속을 용이하게 얻을 수 있다.
- [0127] 박막 트랜지스터(270)는, 절연 표면을 갖는 기관(200) 위에, 게이트 전극층(271), 게이트 절연층(202), 적어도 채널 형성 영역(273), 고저항 소스 영역(274a), 및 고저항 드레인 영역(274b)을 갖는 산화물 반도체층, 소스 전극층(275a), 및 드레인 전극층(275b)을 포함한다. 또한, 채널 형성 영역(273)에 접촉하는 산화물 절연층(276a)도 설치된다. 또한, 소스 전극층(275a) 및 드레인 전극층(275b) 위에는 절연층(216)과 보호 절연층(203)이 형성된다.
- [0128] 산화물 절연층(276b)과 중첩하는 산화물 반도체층의 제1 영역(274c) 및 제2 영역(274d)은, 채널 형성 영역(273)과 마찬가지로 산소 과잉 상태이며, 리크 전류를 감소시키고 기생 용량도 감소시키는 기능을 한다. 절연층(216)에 접촉하는 산화물 반도체층의 제3 영역(274e)은, 채널 형성 영역(273)과 고저항 소스 영역(274a) 사이에 설치된다. 절연층(216)에 접촉하는 산화물 반도체층의 제4 영역(274f)은, 채널 형성 영역(273)과 고저항 드레인 영역(274b) 사이에 설치된다. 절연층(216)에 접촉하는 산화물 반도체층의 제3 영역(274e) 및 제4 영역(274f)은 오프 전류의 감소를 가능하게 할 수 있다.
- [0129] 채널 보호형 박막 트랜지스터에 있어서, 채널 형성 영역의 채널 길이 L을 짧게 하기 위해서 산화물 절연층의 폭을 좁게 해서, 폭이 좁은 산화물 절연층 위에 소스 전극층 및 드레인 전극층을 설치하는 경우, 산화물 절연층

위에서 단락이 형성될 수 있다. 그러므로, 소스 전극층(275a) 및 드레인 전극층(275b)은, 폭이 좁은 산화물 절연층(276a)으로부터 그들의 단부들이 분리되도록 설치된다.

[0130] 구동 회로의 박막 트랜지스터(270)의 게이트 전극층은, 산화물 반도체층 위에 설치된 도전층(277)에 전기적으로 접속될 수 있다.

[0131] 단자부의 소스 배선(256)과 동일한 전위인 제2 단자 전극(257)은, 화소 전극층(227)과 동일한 투광성 재료로 형성할 수 있다. 소스 배선은, 박막 트랜지스터(270)의 소스 전극층(275a)과 동일한 재료 및 동일한 단계를 이용하여 형성되는 금속 배선이며, 소스 전극층(275a)과 동일한 전위이다.

[0132] 박막 트랜지스터는 정전기 등에 기인하여 파괴되기 쉽기 때문에, 화소부 또는 구동 회로와 동일한 기관 위에 보호 회로를 설치하는 것이 바람직하다. 보호 회로는, 산화물 반도체층을 포함한 비선형 소자를 이용하여 형성하는 것이 바람직하다. 예를 들면, 보호 회로들은 화소부와 주사선 입력 단자 사이에, 그리고 화소부와 신호선 입력 단자 사이에 설치된다. 본 실시 형태에서는, 복수의 보호 회로는, 주사선, 신호선, 및 용량 버스선에 정전기 등에 기인한 서지(surge) 전압이 인가될 때 유발될 수 있는 화소 트랜지스터 등의 파괴를 방지하기 위해 설치된다. 그러므로, 보호 회로는, 보호 회로에 서지 전압이 인가될 때, 공통 배선에 전하를 릴리즈(release)하도록 형성한다. 또한, 보호 회로는, 주사선을 사이에 개재하여 서로 병렬로 배치된 비선형 소자들을 포함한다. 비선형 소자는, 다이오드 등의 2 단자 소자 또는 트랜지스터 등의 3 단자 소자를 포함한다. 예를 들면, 비선형 소자는 화소부의 박막 트랜지스터(220)와 동일한 단계를 통해 형성할 수도 있고, 비선형 소자의 드레인 단자에 게이트 단자를 접속함으로써 다이오드와 마찬가지로의 특성을 갖도록 만들 수도 있다.

[0133] 평탄화 절연층(204)의 형성 단계를 생략하여, 평탄화 절연층(204)을 설치하지 않는 구조를 채택할 수도 있다. 이 경우, 화소 전극층(227) 및 제2 단자 전극(255)은 보호 절연층(203) 위에 그에 접촉해서 설치된다.

[0134] 본 실시 형태는 실시 형태 1과 적절하게 조합할 수 있다.

[0135] (실시 형태 3)

[0136] 본 실시 형태에서는, 박막 트랜지스터와 동일한 기관 위에 설치되는 단자부의 구성의 예를 설명한다. 실시 형태 2에서는 소스 배선의 단자부의 예를 설명했지만, 본 실시 형태에서는 실시 형태 2에서 설명한 단자부와는 상이한 구성의 소스 배선의 단자부와, 게이트 배선의 단자부를 제시한다. 도 4의 (a1) 내지 도 4의 (b2)에 있어서, 도 3의 (a) 및 도 3의 (b)와 공통적인 컴포넌트들은 동일한 참조 부호를 유지한다는 것을 유의한다.

[0137] 도 4의 (a1) 및 도 4의 (a2)는 각각 게이트 배선의 단자부의 단면도 및 평면도를 도시한다. 도 4의 (a1)은 도 4의 (a2) 중의 선 C1-C2를 따라 절개한 단면도이다. 도 4의 (a1)에 있어서, 절연층(216)과 보호 절연층(203)의 적층 위에 형성되는 도전층(225)은, 입력 단자로서 기능하는 접속용 단자 전극이다. 또한, 도 4의 (a1)의 단자부에서는, 도 2의 (e)의 게이트 전극층(421b)과 동일한 재료로 형성되는 제1 단자(221)와, 소스 배선과 동일한 재료로 형성되는 접속 전극층(223)이 게이트 절연층(202)을 그 사이에 개재하여 중첩하고, 도전층(225)을 통해서 서로 전기적으로 접속된다.

[0138] 도 4의 (b1) 및 도 4의 (b2)는 각각 도 3의 (b)에 도시된 소스 배선 단자부와는 다른 소스 배선 단자부의 단면도 및 평면도이다. 또한, 도 4의 (b1)은 도 4의 (b2) 중의 선 C3-C4를 따라 절개된 단면도이다. 도 4의 (b1)에 있어서, 절연층(216)과 보호 절연층(203)의 적층 위에 형성되는 도전층(225)은, 입력 단자로서 기능하는 접속용 단자 전극이다. 또한, 도 4의 (b1)의 단자부에 있어서, 게이트 배선과 동일한 재료로 형성되는 전극층(226)은, 소스 배선에 전기적으로 접속되는 제2 단자(222)의 아래쪽에 위치하고 게이트 절연층(202)을 사이에 개재하여 그와 중첩한다. 전극층(226)은 제2 단자(222)에 전기적으로 접속되지 않는다. 전극층(226)의 전위를 제2 단자(222)와는 다른 전위, 예를 들면, 플로팅, GND, 또는 0V 등으로 설정하는 경우, 노이즈 또는 정전기를 방지하기 위한 용량을 형성할 수 있다. 또한, 제2 단자(222)는, 절연층(216) 및 보호 절연층(203)의 적층에 형성된 콘택트 홀을 통해서 도전층(225)에 전기적으로 접속된다.

[0139] 화소 밀도에 따라서 복수의 게이트 배선, 소스 배선, 및 용량 배선이 설치된다. 단자부에서는, 게이트 배선과 동일한 전위인 복수의 제1 단자, 소스 배선과 동일한 전위인 복수의 제2 단자, 용량 배선과 동일한 전위인 복수의 제3 단자 등이 배열된다. 각각의 단자 전극들의 수는, 실시자가 적합하다고 결정한 임의의 수일 수 있다.

[0140] 본 실시 형태는 실시 형태 1 또는 실시 형태 2와 적절하게 조합할 수 있다.

[0141] (실시 형태 4)

- [0142] 본 실시 형태에서는, 제1 기판과 제2 기판 사이에 액정층을 봉입하는 액정 표시 디바이스에 있어서, 제2 기판에 설치된 대향 전극에 전기적으로 접속되는 공통 접속부를 제1 기판 위에 형성하는 예를 설명한다. 제1 기판 위에는 스위칭 소자로서 박막 트랜지스터가 형성되고, 공통 접속부를 화소부의 스위칭 소자와 동일한 공정에서 제작함으로써, 공정을 복잡하게 하지 않고 얻어진다.
- [0143] 공통 접속부는, 제1 기판과 제2 기판을 접착하기 위한 시일제(sealant)와 중첩하는 위치에 설치되어, 시일제에 함유되는 도전성 입자를 통해서 대향 전극에 전기적인 접속된다. 대안적으로, 시일제와 중첩하지 않는 위치(화소부를 제외함)에 공통 접속부를 설치하고, 공통 접속부와 중첩하도록 도전성 입자를 함유하는 페이스트를 시일제와는 별도로 설치함으로써, 공통 접속부가 대향 전극에 전기적으로 접속된다.
- [0144] 도 5의 (a)는 박막 트랜지스터와 공통 접속부를 하나의 기판 위에 형성하는 반도체 디바이스의 단면도이다.
- [0145] 도 5의 (a)에 있어서, 화소 전극층(227)에 전기적으로 접속되는 박막 트랜지스터(220)는 채널 보호형이고 화소부에 설치된다. 본 실시 형태에서, 박막 트랜지스터(220)는 실시 형태 1의 박막 트랜지스터(448)와 동일한 구조를 갖는다.
- [0146] 도 5의 (b)는 공통 접속부의 평면도의 예를 도시하며, 도 5의 (b)의 섹션 C5-C6은 도 5의 (a)의 공통 접속부의 단면에 상당하다. 도 5의 (b)에 있어서, 도 5의 (a)와 공통적인 컴포넌트들은 동일한 참조 부호를 유지한다는 것을 유의한다.
- [0147] 공통 전위선(205)은, 게이트 절연층(202) 위에 설치되고, 박막 트랜지스터(220)의 소스 전극층 및 드레인 전극층과 동일한 재료 및 동일한 단계를 이용하여 형성된다.
- [0148] 또한, 공통 전위선(205)은, 절연층(216)과 보호 절연층(203)의 적층에 의해 덮여진다. 절연층(216)과 보호 절연층(203)의 적층은, 공통 전위선(205)과 중첩하는 복수의 개구부를 갖고 있다. 이 개구부는, 박막 트랜지스터(220)의 드레인 전극층을 화소 전극층(227)에 접속하는 콘택트 홀과 동일한 단계를 이용하여 형성된다.
- [0149] 여기에서는, 면적이 상당히 다르기 때문에, 화소부에 있어서의 콘택트 홀과, 공통 접속부의 개구부가 구분된다는 것을 유의한다. 또한, 도 5의 (a)에서는, 화소부와 공통 접속부가 동일한 축척으로 도시되지 않는다. 예를 들면, 공통 접속부의 섹션 C5-C6의 길이가 500 μ m 정도이고, 박막 트랜지스터의 폭이 50 μ m 미만이어서, 실제로 공통 접속부의 면적은 박막 트랜지스터의 면적보다 10배 이상이다. 그러나, 간략화를 위해, 도 5의 (a)에 있어서 화소부와 공통 접속부는 상이한 축척으로 도시된다.
- [0150] 공통 전극층(206)은, 절연층(216)과 보호 절연층(203)의 적층 위에 설치되고, 화소부의 화소 전극층(227)과 동일한 재료 및 동일한 단계를 이용하여 형성된다.
- [0151] 이렇게 하여, 화소부의 스위칭 소자와 동일한 형성 단계에서 공통 접속부를 제작한다.
- [0152] 화소부와 공통 접속부가 설치된 제1 기판과, 대향 전극을 갖는 제2 기판을 시일제로 고정한다.
- [0153] 시일제가 도전성 입자를 함유하여 만들어진 경우에는, 시일제가 공통 접속부에 중첩하도록 한쌍의 기판이 정렬된다. 예를 들면, 소형 액정 패널에는, 화소부의 대향 코너들 등에서 2개의 공통 접속부가 시일제와 중첩하도록 배치된다. 대형 액정 패널에서는, 4개 이상의 공통 접속부들이 시일제와 중첩하도록 배치된다.
- [0154] 공통 전극층(206)은, 시일제에 함유되는 도전성 입자들과 접촉하는 전극이며, 제2 기판의 대향 전극에 전기적으로 접속된다는 것을 유의한다.
- [0155] 액정 주입법을 이용하는 경우에는, 시일제에 의해 2개의 기판을 고정한 후, 액정을 한쌍의 기판 사이에 주입한다. 대안적으로, 액정 적하법을 이용하는 경우에는, 제2 기판 또는 제1 기판 위에 시일제를 묘화하고, 거기에 액정을 적하시킨 후, 감압 하에서 2개의 기판을 접합한다.
- [0156] 본 실시 형태에서는, 대향 전극에 전기적으로 접속되는 공통 접속부의 예를 설명지만, 그것에 어떤 식으로든 한정되지 않고, 그러한 공통 접속부는 임의의 다른 배선에 접속되는 접속부나, 또는 외부 접속 단자 등에 접속되는 접속부로서 이용될 수 있다.
- [0157] 본 실시 형태는 실시 형태 1 내지 실시 형태 3 중 임의의 것과 적절하게 조합될 수 있다.
- [0158] (실시 형태 5)
- [0159] 실시 형태 1 또는 실시 형태 2에서는 게이트 절연층이 단층 구조인 예를 설명했다. 실시 형태 5에서는 적층 구

조의 예를 설명한다. 도 6의 (a) 및 도 6의 (b) 및 도 3의 (a) 또는 도 3의 (b)에 공통적인 컴포넌트들은 동일한 참조 부호를 유지한다는 것을 유의한다.

- [0160] 도 6의 (a)에 있어서, 박막 트랜지스터(280)는, 화소부에 설치되는 채널 보호형 박막 트랜지스터의 예이며, 게이트 절연층이 2층 구조를 갖는 예이다. 게이트 절연층이 2층 구조인 점을 제외하고는, 박막 트랜지스터(280)는 박막 트랜지스터(220)와 동일하다는 것을 유의한다.
- [0161] 본 실시 형태에서, 게이트 절연층은, 두께가 50nm 이상 200nm 이하인 제1 게이트 절연층(282a)과, 두께가 50nm 이상 300nm 이하인 제2 게이트 절연층(282b)의 적층 구조를 갖는다. 제1 게이트 절연층(282a)으로서는, 두께가 100nm인 질화 규소막 또는 질화 산화 규소막을 이용한다. 제2 게이트 절연층(282b)으로서는, 두께가 100nm인 산화 규소막을 이용한다.
- [0162] 축적 용량은, 화소 전극층(227)의 아래쪽에 설치되고, 용량 전극(231)은 화소 전극층(227)에 전기적으로 접속된다.
- [0163] 본 실시 형태에서는, 용량 전극(231) 및 용량 배선층(230)을 이용해서 축적 용량을 형성한다
- [0164] 도 6의 (a)에 있어서, 축적 용량은, 큰 용량을 갖기 위해서, 용량 배선과 용량 전극 사이에 게이트 절연층만을 포함한다.
- [0165] 본 실시 형태는, 게이트 절연층(282b)으로서 스퍼터링 방법에 의해 형성되는 산화 규소막을 이용하고, 용량 배선층(230)과 중첩하는 산화물 절연층을 제거할 때, 산화 규소막을 이용하여 형성된 제2 게이트 절연층을 에칭해서 박막화함으로써, 제3 게이트 절연층(282c)을 형성하는 예를 제시한다. 제1 게이트 절연층(282a)은, 질화 규소막 또는 질화 산화 규소막을 이용하여 형성되며, 에칭 스톱퍼로서 기능하여, 게이트 전극층이나 기판에의 에칭 데미지를 방지한다는 것을 유의한다.
- [0166] 제3 게이트 절연층(282c)이 얇은 두께를 갖는 경우, 축적 용량을 증대시킬 수 있다.
- [0167] 도 6의 (b)는 도 6의 (a)와는 일부 상이한 단면 구조를 나타낸다.
- [0168] 도 6의 (b)에 도시된 박막 트랜지스터(290)에 있어서, 게이트 절연층은, 두께가 50nm 이상 200nm 이하인 제1 게이트 절연층(292a)과, 두께가 1nm 이상 50nm 이하인 제2 게이트 절연층(292b)의 적층 구조를 갖는다. 제1 게이트 절연층(292a)으로서는, 두께가 100nm인 산화 규소막을 이용한다. 제2 게이트 절연층(292b)으로서는, 두께가 10nm인 질화 규소막 또는 질화 산화 규소막을 이용한다.
- [0169] 박막 트랜지스터(290)는, 화소부에 설치되는 채널 보호형 박막 트랜지스터이며, 게이트 절연층이 2층 구조를 갖는 예이다. 게이트 절연층의 2층 구조인 점을 제외하고는, 박막 트랜지스터(290)는 박막 트랜지스터(220)와 동일하다는 것을 유의한다.
- [0170] 본 실시 형태는 실시 형태 1 내지 실시 형태 4 중 임의의 것과 자유롭게 조합할 수 있다.
- [0171] (실시 형태 6)
- [0172] 본 실시 형태에서는, 박막 트랜지스터의 제작 공정의 일부가 실시 형태 1과 다른 예를 도 7의 (a) 내지 도 7의 (c) 및 도 8의 (a) 내지 도 8의 (e)를 참조하여 설명한다. 도 7의 (a) 내지 도 7의 (c) 및 도 8의 (a) 내지 도 8의 (e)는, 도 1의 (a) 내지 도 1의 (c) 및 도 2의 (a) 내지 도 2의 (e)와 공정이 일부 다른 점을 제외하고는 동일하다. 그러므로, 동일한 컴포넌트들은 동일한 참조 부호에 의해 지시하고, 반복적인 상세한 설명은 생략한다.
- [0173] 우선, 실시 형태 1에 따라서, 기판 위에 게이트 전극층, 게이트 절연층, 및 산화물 반도체막(430)을 형성하고, 실시 형태 1에 있어서의 도 2의 (a)에 도시된 단계까지 단계들을 행한다. 도 2의 (a)는 도 8의 (a)와 동일하다.
- [0174] 그런 다음, 산화물 반도체막(430)을 제2 포토리소그래피 단계에 의해 섬 형상의 산화물 반도체층들로 가공한다.
- [0175] 다음으로, 산화물 반도체층의 탈수 또는 탈수소화를 행한다. 탈수 또는 탈수소화를 위한 제1 가열 처리의 온도는, 400℃ 이상이며 기판의 왜곡점 미만이고, 바람직하게는 425℃ 이상으로 설정된다. 온도가 425℃ 이상인 경우, 열처리 시간은 1시간 이하일 수 있지만, 온도가 425℃ 미만인 경우, 가열 처리 시간은 1시간보다 길다는 것을 유의한다. 여기에서는, 가열 처리 장치들 중 하나인, 전기로에 기판을 도입하고, 산화물 반도체층에 대하여 질소 분위기에서 가열 처리를 행한다. 그런 다음, 산화물 반도체층을 대기에 노출시키지 않도록 하여 더 이상

의 물이나 수소 오염을 방지하여, 산화물 반도체층을 얻는다. 그 후, 동일한 노에 고순도의 산소 가스, 고순도의 N_2O 가스, 또는 초건조 공기(이슬점이 $-40^{\circ}C$ 이하, 바람직하게는 $-60^{\circ}C$ 이하)를 도입해서 냉각을 행한다. 산소 가스 및 N_2O 가스는 물 및 수소 등을 포함하지 않는 것이 바람직하다. 대안적으로, 가열 처리 장치에 도입하는 산소 가스 또는 N_2O 가스의 순도는 바람직하게는 6N(99.9999%) 이상, 더 바람직하게는 7N(99.99999%) 이상이다(즉, 산소 가스 또는 N_2O 가스 중의 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하임).

- [0176] 또한, 탈수 또는 탈수소화를 위한 제1 가열 처리 후에, $200^{\circ}C$ 이상 $400^{\circ}C$ 이하, 바람직하게는 $200^{\circ}C$ 이상 $300^{\circ}C$ 이하의 온도에서 산소 가스 또는 N_2O 기체 분위기에서의 가열 처리를 행해도 된다.
- [0177] 대안적으로, 산화물 반도체층의 제1 가열 처리는, 섬 형상의 산화물 반도체층들로 가공하기 전의 산화물 반도체막(430)에 대해 행할 수도 있다. 그 경우, 제1 가열 처리 후에, 가열 장치로부터 기판을 취출하고, 포토리소그래피 단계를 행한다.
- [0178] 이상의 공정을 통해, 산화물 반도체막 전체가 산소 과잉 상태에 놓임으로써 고저항화되며, 즉, i형 산화물 반도체막이 된다.
- [0179] 다음으로, 게이트 절연층(402) 및 산화물 반도체층 위에, 스퍼터링 방법에 의해 산화물 절연막을 형성한다. 그 후, 제3 포토리소그래피 단계에 의해 레지스트 마스크를 형성하고, 선택적으로 에칭을 행함으로써 산화물 절연층(426a, 426b)을 형성한다. 그 후, 레지스트 마스크를 제거한다(도 8의 (b) 참조).
- [0180] 다음으로, 게이트 절연층(402), 산화물 절연층(426a, 426b), 및 산화물 반도체층(422) 위에, 도전막을 형성한다. 그 후, 제4 포토리소그래피 단계에 의해 레지스트 마스크를 형성하고, 선택적으로 에칭을 행해서 소스 전극층(425a) 및 드레인 전극층(425b)을 형성한다(도 8의 (c) 참조).
- [0181] 다음으로, 박막 트랜지스터의 전기적 특성의 변동을 감소시키기 위해서, 불활성 기체 분위기 또는 질소 기체 분위기에서 가열 처리(바람직하게는 $150^{\circ}C$ 이상 $350^{\circ}C$ 미만)를 행해도 된다. 예를 들면, 질소 분위기에서 $250^{\circ}C$ 에서 1시간 동안 가열 처리를 행한다.
- [0182] 다음으로, 산화물 절연층(426a, 426b), 소스 전극층(425a), 및 드레인 전극층(425b) 위에 절연층(428)과 보호 절연층(403)의 적층을 형성한다.
- [0183] 다음으로, 보호 절연층(403) 위에 평탄화 절연층(404)을 형성한다.
- [0184] 다음으로, 제5 포토리소그래피 단계를 행한다. 레지스트 마스크를 형성하고, 평탄화 절연층(404), 보호 절연층(403), 및 절연층(428)을 에칭하여, 드레인 전극층(425b)에 도달하는 콘택트 홀(441)을 형성한다. 그 후, 레지스트 마스크를 제거한다(도 8의 (d) 참조).
- [0185] 다음으로, 투광성 도전막을 형성한다.
- [0186] 다음으로, 제6 포토리소그래피 단계를 행한다. 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거해서, 화소 전극층(427)을 형성한다. 그 후, 레지스트 마스크를 제거한다(도 8의 (e) 참조).
- [0187] 이상의 공정을 통해, 6매의 마스크를 이용하여, 하나의 기관 위에 박막 트랜지스터(420)와, 기생 용량이 감소된 배선 교차부를 제작할 수 있다.
- [0188] 화소용 박막 트랜지스터(420)는, 채널 형성 영역을 갖는 산화물 반도체층(422)을 포함하는 채널 보호형 박막 트랜지스터이다.
- [0189] 또한, 도 7의 (a)는, 화소에 설치되는 채널 보호형 박막 트랜지스터(420)의 평면도이며, 도 7의 (b)는 도 7의 (a)의 선 D7-D8 및 선 D11-D12를 따라 절개한 단면도이다. 도 7의 (c)는 도 7의 (a)의 선 D9-D10을 따라 절개한 단면도이다. 도 8의 (e)는 도 7의 (b)와 동일하다.
- [0190] 본 실시 형태는 실시 형태 1 내지 실시 형태 5 중 임의의 것과 자유롭게 조합할 수 있다.
- [0191] (실시 형태 7)
- [0192] 본 실시 형태에서는, 실시 형태 2와 상이한 축적 용량의 구성의 예에 대해서 도 9의 (a) 및 도 9의 (b)를 참조하여 설명한다. 도 9의 (a)는 축적 용량의 구성이 상이한 점을 제외하고는 도 3의 (a)와 동일하다. 그러므로, 동일한 컴포넌트들은 동일한 참조 부호에 의해 지시하고, 반복적인 상세한 설명은 생략한다. 도 9의 (a)는 화

소부의 박막 트랜지스터(220)와 축적 용량의 단면 구조를 나타낸다는 것을 유의한다.

- [0193] 도 9의 (a)는 보호 절연층(203) 및 평탄화 절연층(204)을 유전체로서 이용하여, 화소 전극층(227), 및 상기 화소 전극층(227)과 중첩하는 용량 배선층(250)으로 축적 용량을 형성하는 예를 나타낸다. 용량 배선층(250)은, 화소부의 박막 트랜지스터(220)의 드레인 전극층의 재료와는 상이한 재료를 이용하여 형성한다. 용량 배선층(250)의 재료는, 박막 트랜지스터(220)의 산화물 반도체층의 재료와도 상이하다. 용량 배선층(250)은, 투광성 도전막을 이용하여 형성된다. 실시 형태 2에 이용된 포토마스크들 외에, 용량 배선층(250)을 패터닝하기 위한 포토마스크가 1매 더 이용된다는 것을 유의한다. 용량 배선층(250)을 형성하기 위한 예칭은, 노출된 박막 트랜지스터(220)의 산화물 반도체층이 제거되지 않는 조건 하에서 행한다.
- [0194] 도 9의 (a)에 도시된 축적 용량은, 한쌍의 전극 및 유전체가 투광성을 갖고 있으므로, 축적 용량 전체가 투광성을 갖는다. 축적 용량을 투광성을 갖도록 함으로써, 화소부의 개구율의 향상을 달성할 수 있다.
- [0195] 도 9의 (b)는, 도 9의 (a)와는 상이한 구조를 갖는 축적 용량의 예를 도시한다. 또한, 도 9의 (b)는, 축적 용량의 구성이 다른 점을 제외하고는, 도 3의 (a)와 동일하다. 그러므로, 동일한 컴포넌트들은 동일한 참조 부호에 의해 지시되고, 반복적인 상세한 설명은 생략한다.
- [0196] 도 9의 (b)는, 게이트 절연층(202)을 유전체로서 이용해서 용량 배선층(230), 및 용량 배선층(230)과 중첩하는 산화물 반도체층(251)과 용량 전극(231)의 적층에 의해 축적 용량을 형성하는 예를 도시한다. 또한, 용량 전극(231)이 산화물 반도체층(251) 위에 그에 접촉해서 적층되고, 축적 용량의 전극들 중 하나로서 기능한다. 산화물 반도체층(251)은, 박막 트랜지스터(220)의 산화물 반도체층과 동일한 재료를 이용하여 동일한 형성 단계에서 형성된다는 것을 유의한다. 용량 배선층(230)은 박막 트랜지스터(220)의 게이트 전극층과 동일한 재료를 이용하여 동일한 단계에서 형성되기 때문에, 용량 배선층(230)은 박막 트랜지스터(220)의 게이트 배선층과 중첩하지 않도록 배치된다. 또한, 용량 전극(231)은 화소 전극층(227)에 전기적으로 접속된다.
- [0197] 용량 배선층(230)의 재료는, 또한 박막 트랜지스터(220)의 산화물 반도체층의 재료와도 상이하다. 용량 전극(231)은 투광성 도전막을 이용하여 형성한다. 실시 형태 2에 이용된 포토마스크 외에, 용량 전극(231)을 패터닝하기 위한 포토마스크가 1매 더 이용된다는 것을 유의한다. 용량 전극(231)을 형성하기 위한 예칭은, 노출된 박막 트랜지스터(220)의 산화물 반도체층이 제거되지 않는 조건 하에서 행한다.
- [0198] 도 9의 (b)에 도시된 축적 용량에 있어서도, 한쌍의 전극 및 유전체가 투광성을 갖고 있기 때문에, 축적 용량 전체가 투광성을 갖는다.
- [0199] 도 9(a) 및 도 9(b)에 도시된 축적 용량들은, 투광성을 갖고 있고, 예를 들어, 게이트 배선의 개수를 증가시킴으로써, 표시 화상의 고정밀화를 달성한다. 그러므로, 화소 크기를 감소시키는 경우에도, 충분한 용량 및 높은 개구율을 얻을 수 있다.
- [0200] 본 실시 형태는 다른 실시 형태들 중 임의의 것과 자유롭게 조합할 수 있다.
- [0201] (실시 형태 8)
- [0202] 본 실시 형태에서는, 하나의 기판 위에 적어도 구동 회로들의 일부와, 화소부에 배치되는 박막 트랜지스터를 형성하는 예에 대해서 하기에서 설명한다.
- [0203] 화소부에 배치되는 박막 트랜지스터는, 실시 형태 1, 2, 5, 6 중 임의의 것에서 설명된 바와 같이 형성한다. 실시 형태 1, 2, 5, 6 중 임의의 것에서 설명된 박막 트랜지스터는 n채널 TFT이기 때문에, 구동 회로들 중, n채널 TFT로 구성될 수 있는 구동 회로들의 일부를 화소부의 박막 트랜지스터가 형성되는 기판 위에 형성한다.
- [0204] 도 14의 (a)는 액티브 매트릭스형 표시 디바이스의 블록도의 예를 도시한다. 표시 디바이스의 기판(5300) 위에는, 화소부(5301), 제1 주사선 구동 회로(5302), 제2 주사선 구동 회로(5303), 및 신호선 구동 회로(5304)가 설치된다. 화소부(5301)에는, 복수의 신호선이 신호선 구동 회로(5304)로부터 연장되어 배치되고, 복수의 주사선이 제1 주사선 구동 회로(5302) 및 제2 주사선 구동 회로(5303)로부터 연장되어 배치된다. 주사선과 신호선의 교차 영역에는, 각각 표시 소자를 갖는 화소들이 매트릭스 형상으로 배치된다는 것을 유의한다. 표시 디바이스의 기판(5300)은 플렉시블 인쇄 회로(FPC) 등의 접속부를 통해 타이밍 제어 회로(5305)(컨트롤러 또는 제어 IC라고도 부름)에 접속된다.
- [0205] 도 14의 (a)에 있어서, 제1 주사선 구동 회로(5302), 제2 주사선 구동 회로(5303), 및 신호선 구동 회로(5304)는, 화소부(5301)가 형성되는 기판(5300) 위에 형성된다. 그 때문에, 외부에 설치되는 구동 회로 등의 컴포넌

트의 수가 감소되므로, 코스트를 감소시킬 수 있다. 또한, 기관(5300) 외부에 설치된 구동 회로로부터 배선을 연장시키는 경우에 형성되는 접속부에서의 접속 수를 감소시킬 수 있어서, 신뢰성 또는 수율을 향상시킬 수 있다.

[0206] 타이밍 제어 회로(5305)는 제1 주사선 구동 회로(5302)에 예를 들면, 제1 주사선 구동 회로용 스타트 신호(GSP1) 및 주사선 구동 회로용 클럭 신호(GCK1)를 공급한다는 것을 유의한다. 또한, 타이밍 제어 회로(5305)는 제2 주사선 구동 회로(5303)에, 예를 들면, 제2 주사선 구동 회로용 스타트 신호(GSP2)(스타트 펄스라고도 부름) 및 주사선 구동 회로용 클럭 신호(GCK2)를 공급한다. 또한, 타이밍 제어 회로(5305)는 신호선 구동 회로(5304)에, 신호선 구동 회로용 스타트 신호(SSP), 신호선 구동 회로용 클럭 신호(SCK), 비디오 신호 데이터(DATA, 간단히 비디오 신호라고도 부름), 및 래치 신호(LAT)를 공급한다. 각각의 클럭 신호는, 위상이 어긋난 복수의 클럭 신호일 수 있거나, 또는 클럭 신호를 반전시킴으로써 얻은 신호(CKB)와 함께 공급될 수도 있다. 제1 주사선 구동 회로(5302)와 제2 주사선 구동 회로(5303) 중 하나를 생략하는 것이 가능하다는 것을 유의한다.

[0207] 도 14의 (b)는 구동 주파수가 낮은 회로들(예를 들면, 제1 주사선 구동 회로(5302)와 제2 주사선 구동 회로(5303))를 화소부(5301)가 형성되는 기관(5300) 위에 형성하고, 신호선 구동 회로(5304)를 화소부(5301)가 형성되는 기관(5300)과는 다른 기관 위에 형성하는 구조를 도시한다. 이 구조에 의해, 단결정 반도체를 포함한 트랜지스터보다 전계 효과 이동도가 낮은 박막 트랜지스터들에 의해, 기관(5300)에 위에 형성되는 구동 회로들을 구성할 수 있다. 따라서, 표시 디바이스의 크기의 증가, 코스트의 감소, 또는 수율의 향상 등을 달성할 수 있다.

[0208] 또한, 실시 형태 1, 2, 5, 6 중 임의의 것의 박막 트랜지스터는 n채널 TFT이다. 도 15의 (a) 및 도 15의 (b)는 n채널 TFT로 구성되는 신호선 구동 회로의 구성 및 동작의 예를 도시한다.

[0209] 신호선 구동 회로는 시프트 레지스터(5601) 및 스위칭 회로(5602)를 포함한다. 스위칭 회로(5602)는 복수의 스위칭 회로(5602_1 내지 5602_N)(N은 자연수)를 포함한다. 스위칭 회로들(5602_1 내지 5602_N)은 각각 복수의 박막 트랜지스터(5603_1 내지 5603_k)(k는 자연수)를 포함한다. 박막 트랜지스터들(5603_1 내지 5603_k)이 n채널 TFT인 예를 하기에서 설명한다.

[0210] 신호선 구동 회로의 접속 관계에 대해서, 스위칭 회로(5602_1)를 예로서 이용하여 설명한다. 박막 트랜지스터들(5603_1 내지 5603_k)의 제1 단자들은 배선들(5604_1 내지 5604_k)에 각각 접속된다. 박막 트랜지스터들(5603_1 내지 5603_k)의 제2 단자들은 신호선들(S1 내지 Sk)에 각각 접속된다. 박막 트랜지스터들(5603_1 내지 5603_k)의 게이트들은 배선(5605_1)에 접속된다.

[0211] 시프트 레지스터(5601)는, 배선들(5605_1 내지 5605_N)에 순차적으로 H 레벨 신호(H 신호 또는 고전원 전위 레벨의 신호라고도 부름)를 출력함으로써, 스위칭 회로들(5602_1 내지 5602_N)을 순차적으로 선택하는 기능을 갖는다.

[0212] 스위칭 회로(5602_1)는, 배선들(5604_1 내지 5604_k)과 신호선들(S1 내지 Sk) 사이의 도통 상태(제1 단자들과 제2 단자들 사이의 도통)를 제어하는 기능, 즉, 배선들(5604_1 내지 5604_k)의 전위를 신호선들(S1 내지 Sk)에 공급할지의 여부를 제어하는 기능을 갖는다. 이렇게 하여, 스위칭 회로(5602_1)는 셀렉터로서 기능한다. 또한, 박막 트랜지스터들(5603_1 내지 5603_k)은 배선들(5604_1 내지 5604_k)과 신호선들(S1 내지 Sk) 사이의 도통 상태를 각각 제어하는 기능, 즉, 배선들(5604_1 내지 5604_k)의 전위를 신호선들(S1 내지 Sk)에 각각 공급하는 기능을 갖는다. 이렇게, 박막 트랜지스터들(5603_1 내지 5603_k)은 각각 스위치로서 기능한다.

[0213] 배선들(5604_1 내지 5604_k) 각각에 비디오 신호 데이터(DATA)가 입력된다. 비디오 신호 데이터(DATA)는, 화상 신호 또는 화상 데이터에 대응하는 아날로그 신호일 경우가 종종 있다.

[0214] 다음으로, 도 15의 (a)의 신호선 구동 회로의 동작에 대해서 도 15의 (b)의 타이밍 차트를 참조하여 설명한다. 도 15의 (b)는 신호들(Sout_1 내지 Sout_N) 및 신호들(Vdata_1 내지 Vdata_k)의 예들을 도시한다. 신호들(Sout_1 내지 Sout_N)은 시프트 레지스터(5601)로부터의 출력 신호들의 예들이다. 신호들(Vdata_1 내지 Vdata_k)은 배선들(5604_1 내지 5604_k)에 입력되는 신호들의 예들이다. 신호선 구동 회로의 일 동작 기간은, 표시 디바이스에 있어서의 일 게이트선택 기간에 대응한다는 것을 유의한다. 일 게이트선택 기간은, 예를 들면, 기간 T1 내지 TN으로 분할된다. 기간 T1 내지 TN 각각은 선택된 행의 화소에 비디오 신호 데이터(DATA)를 기입하기 위한 기간이다.

[0215] 본 실시 형태의 도면 등에 있어서 도시되는 각 구성의 신호 파형의 왜곡 등은, 간략화를 위해 과장될 경우들이

있다는 것을 유의한다. 따라서, 본 실시 형태는 반드시 도면에 도시된 스케일 등에 한정될 필요는 없다.

- [0216] 기간 T1 내지 TN에 있어서, 시프트 레지스터(5601)는 H 레벨의 신호를 배선들(5605_1 내지 5605_N)에 순차적으로 출력한다. 예를 들면, 기간 T1에 있어서, 시프트 레지스터(5601)는 H 레벨 신호를 배선(5605_1)에 출력한다. 그런 다음, 박막 트랜지스터들(5603_1 내지 5603_k)은 턴온되므로, 배선들(5604_1 내지 5604_k)과 신호선들(S1 내지 Sk)이 도통 상태로 된다. 이때, 배선들(5604_1 내지 5604_k)에는 Data(S1) 내지 Data(Sk)가 각각 입력된다. Data(S1) 내지 Data(Sk)는, 각각, 박막 트랜지스터들(5603_1 내지 5603_k)을 통해 선택된 행의 제1 열 내지 제k 열의 화소들에 기입된다. 이렇게 해서, 기간 T1 내지 TN에 있어서, 선택된 행의 k개 열들씩의 화소들에 비디오 신호 데이터(DATA)가 순차적으로 기입된다.
- [0217] 전술한 바와 같이, 비디오 신호 데이터(DATA)가 복수의 열들씩의 화소들에 기입됨으로써, 비디오 신호 데이터(DATA)의 수 또는 배선의 수를 감소시킬 수 있다. 따라서, 외부 회로와의 접속 수를 감소시킬 수 있다. 또한, 비디오 신호가 복수의 열들씩의 화소들에 기입되는 경우, 기입 시간을 연장할 수 있으므로, 비디오 신호의 기입 부족을 방지할 수 있다.
- [0218] 시프트 레지스터(5601) 및 스위칭 회로(5602)를 위해, 실시 형태 1, 2, 5, 6 중 임의의 것의 박막 트랜지스터들에 의해 구성된 임의의 회로를 이용할 수 있다는 것을 유의한다. 그 경우, 시프트 레지스터(5601)는 n채널 트랜지스터들만에 의해 또는 p채널 트랜지스터들만에 의해 구성할 수 있다.
- [0219] 주사선 구동 회로 및/또는 신호선 구동 회로의 일부에 이용되는 시프트 레지스터의 일 실시 형태에 대해서 도 16의 (a) 내지 도 16의 (d) 및 도 17의 (a) 및 도 17의 (b)를 참조하여 설명한다.
- [0220] 주사선 구동 회로는 시프트 레지스터를 포함한다. 또한, 주사선 구동 회로는, 경우에 따라서는, 레벨 시프터 또는 버퍼 등을 포함할 수도 있다. 주사선 구동 회로에 있어서, 시프트 레지스터에 클럭 신호(CLK) 및 스타트 펄스 신호(SP)가 입력됨으로써, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 의해 완충 및 증폭되어, 결과적인 신호가 대응하는 주사선에 공급된다. 주사선에는, 1개의 라인의 화소들의 트랜지스터들의 게이트 전극들이 접속된다. 1개의 라인의 화소들의 트랜지스터들을 일제히 턴온해야 하므로, 큰 전류를 공급할 수 있는 버퍼가 이용된다.
- [0221] 시프트 레지스터는, 제1 펄스 출력 회로(10_1) 내지 제N 펄스 출력 회로(10_N)(N은 3 이상의 자연수)를 포함한다(도 16의 (a) 참조).
- [0222] 도 16의 (a)에 도시된 시프트 레지스터에 있어서, 제1 펄스 출력 회로(10_1) 내지 제N 펄스 출력 회로(10_N)에는, 제1 배선(11)으로부터의 제1 클럭 신호 CK1, 제2 배선(12)으로부터의 제2 클럭 신호 CK2, 제3 배선(13)으로부터의 제3 클럭 신호 CK3, 및 제4 배선(14)으로부터의 제4 클럭 신호 CK4가 공급된다. 제1 펄스 출력 회로(10_1)에는, 제5 배선(15)으로부터의 스타트 펄스 SP1(제1 스타트 펄스)가 입력된다. 제2 또는 그 이후의 스테이지의 제n 펄스 출력 회로(10_n)(n은 2 이상이고 N 이하인 자연수)에는, 이전 스테이지의 펄스 출력 회로로부터의 신호(그러한 신호를 이전 스테이지 신호 OUT(n-1)(SR)이라고 부름)(n은 2 이상이고 N 이하인 자연수)가 입력된다. 제1 펄스 출력 회로(10_1)에는, 다음 스테이지에 이어지는 스테이지의 제3 펄스 출력 회로(10_3)로부터의 신호가 입력된다. 마찬가지로, 제2 또는 그 이후의 스테이지의 제n 펄스 출력 회로(10_n)에는, 다음 스테이지에 이어지는 스테이지의 제(n+2) 펄스 출력 회로(10_(n+2))로부터의 신호(그러한 신호를 후속 스테이지 신호 OUT(n+2)(SR)이라고 부름)가 입력된다. 따라서, 각 스테이지의 펄스 출력 회로는, 후속 스테이지의 펄스 출력 회로에 및/또는 이전 스테이지 전의 스테이지의 펄스 출력 회로에 입력하기 위한 제1 출력 신호(OUT(1)(SR) 내지 OUT(N)(SR)), 및 다른 회로 등에 입력하기 위한 제2 출력 신호(OUT(1) 내지 OUT(N))를 출력한다. 도 16의 (a)에 도시된 바와 같이, 시프트 레지스터의 최종 2개의 스테이지에는, 후속 스테이지 신호 OUT(n+2)이 입력되지 않기 때문에, 예를 들면, 제2 스타트 펄스 SP2와 제3 스타트 펄스 SP3을 최종 2개의 스테이지의 펄스 출력 회로들에 입력할 수 있다는 것을 유의한다.
- [0223] 클럭 신호(CK)는, 일정한 간격으로 H 레벨과 L 레벨(L 신호 또는 저전원 전위 레벨이라고도 부름)을 교대로 반복하는 신호라는 것을 유의한다. 여기에서, 제1 클럭 신호(CK1) 내지 제4 클럭 신호(CK4)는 순차 1/4 주기분 지연된다. 본 실시 형태에서는, 제1 클럭 신호(CK1) 내지 제4 클럭 신호(CK4)에 의해 펄스 출력 회로의 구동 등을 제어한다. 클럭 신호는, 클럭 신호가 입력되는 구동 회로에 의존하여, GCK 또는 SCK라고도 불리는 경우들이 있지만, 다음의 설명에서는 클럭 신호를 CK라고 부른다는 것을 유의한다.
- [0224] 제1 입력 단자(21), 제2 입력 단자(22), 및 제3 입력 단자(23)는 제1 배선(11) 내지 제4 배선(14) 중 어느 하나에 전기적으로 접속된다. 예를 들면, 도 16의 (a)의 제1 펄스 출력 회로(10_1)에 있어서, 제1 입력 단자(21)가

제1 배선(11)에 전기적으로 접속되고, 제2 입력 단자(22)가 제2 배선(12)에 전기적으로 접속되고, 제3 입력 단자(23)가 제3 배선(13)에 전기적으로 접속된다. 제2 펄스 출력 회로(10_2)에 있어서, 제1 입력 단자(21)가 제2 배선(12)에 전기적으로 접속되고, 제2 입력 단자(22)가 제3 배선(13)에 전기적으로 접속되고, 제3 입력 단자(23)가 제4 배선(14)에 전기적으로 접속된다.

[0225] 제1 펄스 출력 회로(10_1) 내지 제N 펄스 출력 회로(10_N) 각각은, 제1 입력 단자(21), 제2 입력 단자(22), 제3 입력 단자(23), 제4 입력 단자(24), 제5 입력 단자(25), 제1 출력 단자(26), 및 제2 출력 단자(27)를 포함한다(도 16의 (b) 참조). 제1 펄스 출력 회로(10_1)에 있어서, 제1 입력 단자(21)에 제1 클럭 신호 CK1이 입력되고, 제2 입력 단자(22)에 제2 클럭 신호 CK2가 입력되고, 제3 입력 단자(23)에 제3 클럭 신호 CK3이 입력되고, 제4 입력 단자(24)에 스타트 펄스가 입력되고, 제5 입력 단자(25)에 후속 스테이지 신호 OUT(3)이 입력되고, 제1 출력 단자(26)로부터 제1 출력 신호 OUT(1)(SR)이 출력되고, 제2 출력 단자(27)로부터 제2 출력 신호 OUT(1)이 출력된다.

[0226] 제1 펄스 출력 회로(10_1) 내지 제N 펄스 출력 회로(10_N)에 있어서, 3 단자를 갖는 박막 트랜지스터(TFT) 이외에, 상기의 실시 형태에서 설명한 4 단자를 갖는 박막 트랜지스터를 이용할 수 있다. 도 16의 (c)는 상기의 실시 형태에서 설명한 4 단자를 갖는 박막 트랜지스터(28)의 심볼을 도시한다. 도 16의 (c)에 도시된 박막 트랜지스터(28)의 심볼은, 상기의 실시 형태 1, 2, 5, 6 중 임의의 것에서 설명한 4 단자를 갖는 박막 트랜지스터를 나타내고, 도면 등에서 이용된다. 본 명세서에 있어서, 박막 트랜지스터가 반도체층을 개재하여 2개의 게이트 전극을 가질 경우, 반도체층 아래의 게이트 전극을 하방 게이트 전극이라고 부르고, 반도체층 위의 게이트 전극을 상방 게이트 전극이라고 부른다는 것을 유의한다. 박막 트랜지스터(28)는, 하방 게이트 전극에 입력되는 제1 제어 신호 G1 및 상방 게이트 전극에 입력되는 제2 제어 신호 G2에 의해, IN 단자와 OUT 단자 사이의 전류를 제어할 수 있는 소자이다.

[0227] 산화물 반도체를 박막 트랜지스터의 채널 형성 영역을 포함하는 반도체층으로서 이용하는 경우, 제조 공정에 따라, 임계값 전압이 포지티브 또는 네거티브 방향으로 시프트하는 경우들이 있다. 그 때문에, 채널 형성 영역을 포함하는 반도체층에 산화물 반도체를 이용하는 박막 트랜지스터는, 임계값 전압을 제어할 수 있는 구성을 갖는 것이 적절하다. 도 16의 (c)에 도시된 박막 트랜지스터(28)의 임계값 전압은, 상방 게이트 전극과 채널 형성 영역 사이에 그리고 하방 게이트 전극과 채널 형성 영역 사이에 게이트 절연막을 개재하여 박막 트랜지스터(28)의 채널 형성 영역의 위와 아래에 게이트 전극들을 설치함으로써, 그리고 상방 게이트 전극의 전위 및/또는 하방 게이트 전극의 전위를 제어함으로써, 원하는 레벨로 제어할 수 있다.

[0228] 다음으로, 도 16의 (b)에 도시된 펄스 출력 회로의 구체적인 회로 구성의 예에 대해서 도 16의 (d)를 참조하여 설명한다.

[0229] 도 16의 (d)에 도시된 펄스 출력 회로는 제1 트랜지스터(31) 내지 제13 트랜지스터(43)를 포함한다(도 16의 (d) 참조). 전술한 제1 입력 단자(21) 내지 제5 입력 단자(25), 제1 출력 단자(26), 및 제2 출력 단자(27) 외에, 제1 고전원 전위 VDD가 공급되는 전원선(51), 제2 고전원 전위 VCC가 공급되는 전원선(52), 저전원 전위 VSS가 공급되는 전원선(53)으로부터, 제1 트랜지스터(31) 내지 제13 트랜지스터(43)에 신호 또는 전원 전위가 공급된다. 도 16의 (d)의 전원선들의 전원 전위들의 관계는 다음과 같다. 즉, 제1 전원 전위 VDD가 제2 전원 전위 VCC 이상이고, 제2 전원 전위 VCC가 제3 전원 전위 VSS보다 높다. 제1 클럭 신호(CK1) 내지 제4 클럭 신호(CK4)는 각각 일정한 간격으로 H 레벨과 L 레벨을 교대로 반복하는 신호이며, H 레벨일 때 클럭 신호는 VDD이고, L 레벨일 때 클럭 신호는 VSS라는 것을 유의한다. 전원선(52)의 전위 VDD를, 전원선(51)의 전위 VCC보다 높게 함으로써, 트랜지스터의 동작에 악영향을 주지 않으면서, 트랜지스터의 게이트 전극에 인가되는 전위를 낮출 수 있고, 트랜지스터의 임계값의 시프트를 감소시킬 수 있고, 트랜지스터의 열화를 억제할 수 있다. 제1 트랜지스터(31) 내지 제13 트랜지스터(43) 중, 제1 트랜지스터(31), 제6 트랜지스터(36) 내지 제9 트랜지스터(39)로서는, 4 단자를 갖는 박막 트랜지스터(28)를 이용하는 것이 바람직하다는 것을 유의한다. 제1 트랜지스터(31) 및 제6 트랜지스터(36) 내지 제9 트랜지스터(39)는, 소스 또는 드레인으로서 기능하는 하나의 전극이 접속된 노드의 전위를, 게이트 전극의 제어 신호에 따라 전환하는 것이 필요하며, 게이트 전극에 입력되는 제어 신호에 대한 빠른 응답(온 전류의 급상승)에 의해 펄스 출력 회로의 오동작을 감소시킬 수 있다. 4 단자를 갖는 박막 트랜지스터(28)를 이용함으로써, 임계값 전압을 제어할 수 있고, 펄스 출력 회로의 오동작이 보다 감소될 수 있다.

[0230] 도 16의 (d)에 있어서, 제1 트랜지스터(31)의 제1 단자는 전원선(51)에 전기적으로 접속되고, 제1 트랜지스터(31)의 제2 단자는 제9 트랜지스터(39)의 제1 단자에 전기적으로 접속되고, 제1 트랜지스터(31)의 게이트 전극

들(하방 게이트 전극 및 상방 게이트 전극)은 제4 입력 단자(24)에 전기적으로 접속된다. 제2 트랜지스터(32)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제2 트랜지스터(32)의 제2 단자는 제9 트랜지스터(39)의 제1 단자에 전기적으로 접속되고, 제2 트랜지스터(32)의 게이트 전극은 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다. 제3 트랜지스터(33)의 제1 단자가 제1 입력 단자(21)에 전기적으로 접속되고, 제3 트랜지스터(33)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속된다. 제4 트랜지스터(34)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제4 트랜지스터(34)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속된다. 제5 트랜지스터(35)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제5 트랜지스터(35)의 제2 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제5 트랜지스터(35)의 게이트 전극은 제4 입력 단자(24)에 전기적으로 접속된다. 제6 트랜지스터(36)의 제1 단자는 전원선(52)에 전기적으로 접속되고, 제6 트랜지스터(36)의 제2 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제6 트랜지스터(36)의 게이트 전극들(하방 게이트 전극 및 상방 게이트 전극)은 제5 입력 단자(25)에 전기적으로 접속된다. 제7 트랜지스터(37)의 제1 단자는 전원선(52)에 전기적으로 접속되고, 제7 트랜지스터(37)의 제2 단자는 제8 트랜지스터(38)의 제2 단자에 전기적으로 접속되고, 제7 트랜지스터(37)의 게이트 전극들(하방 게이트 전극 및 상방 게이트 전극)은 제3 입력 단자(23)에 전기적으로 접속된다. 제8 트랜지스터(38)의 제1 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제8 트랜지스터(38)의 게이트 전극들(하방 게이트 전극 및 상방 게이트 전극)은 제2 입력 단자(22)에 전기적으로 접속된다. 제9 트랜지스터(39)의 제1 단자는 제1 트랜지스터(31)의 제2 단자 및 제2 트랜지스터(32)의 제2 단자에 전기적으로 접속되고, 제9 트랜지스터(39)의 제2 단자는 제3 트랜지스터(33)의 게이트 전극 및 제10 트랜지스터(40)의 게이트 전극에 전기적으로 접속되고, 제9 트랜지스터(39)의 게이트 전극들(하방 게이트 전극 및 상방 게이트 전극)은 전원선(52)에 전기적으로 접속된다. 제10 트랜지스터(40)의 제1 단자는 제1 입력 단자(21)에 전기적으로 접속되고, 제10 트랜지스터(40)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되고, 제10 트랜지스터(40)의 게이트 전극은 제9 트랜지스터(39)의 제2 단자에 전기적으로 접속된다. 제11 트랜지스터(41)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제11 트랜지스터(41)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되고, 제11 트랜지스터(41)의 게이트 전극은 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다. 제12 트랜지스터(42)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제12 트랜지스터(42)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되고, 제12 트랜지스터(42)의 게이트 전극은 제7 트랜지스터(37)의 게이트 전극들(하방 게이트 전극 및 상방 게이트 전극)에 전기적으로 접속된다. 제13 트랜지스터(43)의 제1 단자는 전원선(53)에 전기적으로 접속되고, 제13 트랜지스터(43)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속되고, 제13 트랜지스터(43)의 게이트 전극은 제7 트랜지스터(37)의 게이트 전극들(하방 게이트 전극 및 상방 게이트 전극)에 전기적으로 접속된다.

[0231] 도 16의 (d)에 있어서, 제3 트랜지스터(33)의 게이트 전극, 제10 트랜지스터(40)의 게이트 전극, 및 제9 트랜지스터(39)의 제2 단자가 접속되는 접속부를 노드 A라고 부른다. 제2 트랜지스터(32)의 게이트 전극, 제4 트랜지스터(34)의 게이트 전극, 제5 트랜지스터(35)의 제2 단자, 제6 트랜지스터(36)의 제2 단자, 제8 트랜지스터(38)의 제1 단자, 및 제11 트랜지스터(41)의 게이트 전극이 접속되는 접속부를 노드 B라고 부른다.

[0232] 도 17의 (a)는 도 16의 (d)에 도시된 펄스 출력 회로가 제1 펄스 출력 회로(10_1)에 인가되는 경우, 제1 입력 단자(21) 내지 제5 입력 단자(25) 및 제1 출력 단자(26) 및 제2 출력 단자(27)에 입력되는 또는 그로부터 출력되는 신호들을 도시한다.

[0233] 구체적으로, 제1 입력 단자(21)에 제1 클럭 신호 CK1이 입력되고, 제2 입력 단자(22)에 제2 클럭 신호 CK2가 입력되고, 제3 입력 단자(23)에 제3 클럭 신호 CK3이 입력되고, 제4 입력 단자(24)에 스타트 펄스가 입력되고, 제5 입력 단자(25)에 후속 스테이지 신호 OUT(3)이 입력되고, 제1 출력 단자(26)로부터 제1 출력 신호 OUT(1)(SR)이 출력되고, 제2 출력 단자(27)로부터 제2 출력 신호 OUT(1)이 출력된다.

[0234] 박막 트랜지스터는 게이트, 드레인, 및 소스의 적어도 3개의 단자를 갖는 소자라는 것을 유의한다. 박막 트랜지스터는 게이트에 중첩하는 영역에 형성된 채널 영역을 포함하는 반도체를 갖는다. 드레인 영역과 소스 영역 사이에서 채널 영역을 통해 흐르는 전류는, 게이트의 전위를 제어함으로써 제어될 수 있다. 여기에서, 박막 트랜지스터의 소스와 드레인은, 박막 트랜지스터의 구조 및 동작 조건 등에 따라 교체할 수 있기 때문에, 어느 것이 소스 또는 드레인인지를 한정하는 것이 곤란하다. 따라서, 소스 또는 드레인으로서 기능하는 영역을, 소스 또는 드레인이라고 부르지 않을 경우가 있다. 그 경우, 예를 들면, 그러한 영역들은 제1 단자와 제2 단자라고 부를 수 있다.

[0235] 도 16의 (d) 및 도 17의 (a)에 있어서, 노드 A를 부유 상태로 함으로써 부트스트랩 동작을 행하기 위한, 캐패시

터를 추가적으로 설치해도 된다는 것을 유의한다. 또한, 노드 B의 전위를 유지하기 위해서, 1개의 전극을 노드 B에 전기적으로 접속한 캐패시터를 추가적으로 설치할 수 있다.

[0236] 도 17의 (b)는 도 17의 (a)에 도시된 복수의 펄스 출력 회로를 구비하는 시프트 레지스터의 타이밍 차트이다. 시프트 레지스터가 주사선 구동 회로에 포함되는 경우, 도 17의 (b) 중의 기간(61)은 수직 귀선 기간에 대응하고, 기간(62)은 게이트선택 기간에 대응한다.

[0237] 도 17의 (a)에 도시된 바와 같이, 게이트에 제2 전원 전위 VCC가 인가되는 제9 트랜지스터(39)를 설치함으로써, 부트스트랩 동작의 전후에 있어서, 다음과 같은 이점이 있다는 것을 유의한다.

[0238] 게이트 전극에 제2 전원 VCC가 인가되는 제9 트랜지스터(39)가 없을 경우, 부트스트랩 동작에 의해 노드 A의 전위가 상승하면, 제1 트랜지스터(31)의 제2 단자인 소스의 전위가 상승하여 제1 전원 전위 VDD보다 높은 값으로 상승한다. 그리고, 제1 트랜지스터(31)의 제1 단자, 즉, 전원선(51)측의 단자가 제1 트랜지스터(31)의 소스로서 기능하게 된다. 그 때문에, 제1 트랜지스터(31)에 있어서, 게이트와 소스 사이에, 그리고 게이트와 드레인 사이에, 높은 바이어스 전압이 인가되어 큰 스트레스가 가해져서, 트랜지스터의 열화를 유발할 수 있다. 한편, 게이트 전극에 제2 전원 전위 VCC가 인가되는 제9 트랜지스터(39)를 이용함으로써, 부트스트랩 동작에 의해 노드 A의 전위는 상승하지만, 제1 트랜지스터(31)의 제2 단자의 전위의 상승을 방지할 수 있다. 즉, 제9 트랜지스터(39)를 설치함으로써, 제1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 네거티브 바이어스 전압의 레벨을 낮출 수 있다. 따라서, 본 실시 형태의 회로 구성은, 제1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 네거티브 바이어스 전압도 감소시킬 수 있기 때문에, 스트레스에 기인한 제1 트랜지스터(31)의 열화를 억제할 수 있다.

[0239] 제9 트랜지스터(39)는, 제1 트랜지스터(31)의 제2 단자와 제3 트랜지스터(33)의 게이트 사이에 제9 트랜지스터(39)의 제1 단자와 제2 단자가 접속되는 한, 임의의 개소에 제공될 수 있다는 것을 유의한다. 또한, 본 실시 형태에 있어서, 복수의 펄스 출력 회로를 포함하는 시프트 레지스터가, 주사선 구동 회로보다 더 많은 스테이지 수를 갖는 신호선 구동 회로에 포함되는 경우, 제9 트랜지스터(39)를 생략할 수 있고, 트랜지스터 수를 감소시킨다는 점에서 이점이 있다.

[0240] 또한, 제1 트랜지스터(31) 내지 제13 트랜지스터(43)의 반도체층에 산화물 반도체를 이용함으로써, 박막 트랜지스터의 오프 전류를 감소시킬 수 있고, 온 전류 및 전계 효과 이동도를 증가시킬 수 있으며, 트랜지스터의 열화의 정도를 감소시킬 수 있다는 것을 유의한다. 그 결과, 회로 내의 오동작을 감소시킬 수 있다. 또한, 게이트 전극에 고전위가 인가됨에 의해 유발되는 산화물 반도체를 이용한 트랜지스터의 열화 정도가, 비정질 실리콘을 이용한 트랜지스터의 열화 정도보다 작다. 그 때문에, 제2 전원 전위 VCC를 공급하는 전원선에, 제1 전원 전위 VDD를 공급하는 경우에도, 시프트 레지스터는 마찬가지로 동작할 수 있고, 회로들 사이의 전원선들의 수를 감소시킬 수 있기 때문에, 회로의 크기를 감소시킬 수 있다.

[0241] 시프트 레지스터는, 제7 트랜지스터(37)의 게이트 전극들(하방 게이트 전극 및 상방 게이트 전극)에 제3 입력 단자(23)를 통해 공급되는 클럭 신호는 제7 트랜지스터(37)의 게이트 전극들(하방 게이트 전극 및 상방 게이트 전극)에 제2 입력 단자(22)를 통해 공급되는 클럭 신호로 되고, 제8 트랜지스터(38)의 게이트 전극들(하방 게이트 전극 및 상방 게이트 전극)에 제2 입력 단자(22)를 통해 공급되는 클럭 신호는 제8 트랜지스터(38)의 게이트 전극들(하방 게이트 전극 및 상방 게이트 전극)에 제3 입력 단자(23)를 통해 공급되는 클럭 신호로 되도록, 접속 관계를 변경하는 경우에도 마찬가지로의 효과를 달성한다는 것을 유의한다. 도 17의 (a)에 도시된 시프트 레지스터에 있어서, 제7 트랜지스터(37) 및 제8 트랜지스터(38)가 둘 다 온(on)되고, 그런 다음 제7 트랜지스터(37)가 오프(off)되고, 제8 트랜지스터(38)가 온되고, 그런 다음 제7 트랜지스터(37)와 제8 트랜지스터(38)가 오프되도록 제7 트랜지스터(37) 및 제8 트랜지스터(38)의 상태가 변경됨으로써, 제2 입력 단자(22) 및 제3 입력 단자(23)의 전위가 저하하는 것에 의해 유발되는 노드 B의 전위의 저하는, 제7 트랜지스터(37)의 게이트 전극의 전위의 저하 및 제8 트랜지스터(38)의 게이트 전극의 전위의 저하에 의해 2회 생기게 된다. 한편, 도 17의 (a)에 도시된 시프트 레지스터 내의 제7 트랜지스터(37) 및 제8 트랜지스터(38)의 상태를, 도 17의 (b)의 기간(61)과 같이, 제7 트랜지스터(37) 및 제8 트랜지스터(38)가 둘 다 온된 다음, 제7 트랜지스터(37)가 온되고 제8 트랜지스터(38)가 오프된 다음, 제7 트랜지스터(37) 및 제8 트랜지스터(38)가 오프되도록 변경함으로써, 제2 입력 단자(22) 및 제3 입력 단자(23)의 전위가 저하하는 것에 의해 유발되는 노드 B의 전위의 저하는, 제8 트랜지스터(38)의 게이트 전극의 전위의 저하에 의해 1회만 유발된다. 그 때문에, 노드 B의 전위의 변동을 감소시켜서 노이즈를 감소시키기 위해, 제7 트랜지스터(37)의 게이트 전극들(하방 게이트 전극 및 상방 게이트 전극)에 제3 입력 단자(23)로부터 공급되는 클럭 신호 및 제8 트랜지스터(38)의 게이트 전극들(하방 게이트 전극 및 상

방 게이트 전극)에 제2 입력 단자(22)로부터 공급되는 클럭 신호를 이용하는 것이 바람직하다.

- [0242] 이렇게 하여, 제1 출력 단자(26) 및 제2 출력 단자(27)의 전위들을 L 레벨로 유지하는 기간에, 노드 B에 정기적으로 H 레벨의 신호가 공급됨으로써, 펄스 출력 회로의 오동작을 억제할 수 있다.
- [0243] (실시 형태 9)
- [0244] 박막 트랜지스터를 제작하고, 화소부를 위해 그리고 구동 회로를 위해 박막 트랜지스터를 이용함으로써, 표시 기능을 갖는 반도체 디바이스(표시 디바이스 라고도 부름)를 제작할 수 있다. 또한, 박막 트랜지스터를 포함하는 구동 회로의 일부 또는 전체를, 화소부와 동일한 기판 위에 형성할 수 있어서, 시스템-온-패널(system-on-panel)을 얻을 수 있다.
- [0245] 표시 디바이스는 표시 소자를 포함한다. 표시 소자로서는, 액정 소자(액정 표시 소자라고도 함) 또는 발광 소자(발광 표시 소자라고도 부름)를 이용할 수 있다. 발광 소자는, 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 카테고리에 포함하고, 구체적으로는 무기 전계발광(electroluminescent(EL)) 소자 및 유기 EL 소자 등을 포함한다. 또한, 전자 잉크 등, 전기적 효과에 의해 콘트라스트가 변경되는 표시 매체를 포함할 수 있다.
- [0246] 또한, 표시 디바이스는, 표시 소자가 밀봉된 상태에 있는 패널과, 패널에 컨트롤러를 포함하는 IC 등을 실장한 모듈을 포함한다. 또한, 표시 디바이스를 제작하는 공정에 있어서 표시 소자가 완성되기 전의 일 실시 형태인 소자 기판에는, 전류를 표시 소자에 공급하기 위한 수단을 복수의 화소 각각에 설치한다. 소자 기판은, 구체적으로는, 표시 소자의 화소 전극만이 형성된 상태일 수 있고, 화소 전극이 될 도전막을 형성한 후 화소 전극을 형성하기 위해 에칭되기 전의 상태일 수도 있고, 임의의 다른 상태들일 수도 있다.
- [0247] 본 명세서에 있어서 표시 디바이스는 화상 표시 디바이스 또는 광원(조명 장치를 포함함)을 가리킨다는 것을 유의한다. 또한, 표시 디바이스는 그의 카테고리에 다음의 모듈들, 즉, FPC(flexible printed circuit), TAB(tape automated bonding) 테이프, 또는 TCP(tape carrier package) 등의 커넥터를 부착한 모듈, TAB 테이프 또는 프린트 배선 보드가 단부에 설치된 TCP를 갖는 모듈, 및 표시 소자에 COG(chip on glass) 방식에 의해 집적 회로(IC)가 직접 실장된 모듈 중 임의의 것을 포함한다.
- [0248] 반도체 디바이스의 일 실시 형태인 액정 표시 패널의 외관 및 단면에 대해서, 도 10의 (a1), 도 10의 (a2), 및 도 10의 (b)를 참조하여 설명한다. 도 10의 (a1)와 도 10의 (a2)는, 박막 트랜지스터들(4010, 4011) 및 액정 소자(4013)를, 제1 기판(4001)과 제2 기판(4006) 사이에 시일제(4005)에 의해 밀봉한 패널들의 평면도이다. 도 10의 (b)는 도 10의 (a1) 및 도 10의 (a2)의 선 M-N을 따라 절개한 단면도이다.
- [0249] 제1 기판(4001) 위에 설치된 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록 시일제(4005)를 설치한다. 화소부(4002)와 주사선 구동 회로(4004) 위에 제2 기판(4006)이 설치된다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는, 제1 기판(4001), 시일제(4005), 및 제2 기판(4006)에 의해, 액정층(4008)과 함께 밀봉된다. 제1 기판(4001) 위에 시일제(4005)에 의해 둘러싸인 영역과는 상이한 영역에, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 이용하여 형성된 신호선 구동 회로(4003)가 실장된다.
- [0250] 별도 형성한 구동 회로의 접속 방법은 특별히 한정되지 않고, COG(Chip On Glass) 방법, 와이어 본딩 방법, 또는 TAB(Tape Automated Bonding) 방법 등을 이용할 수 있다는 것을 유의한다. 도 10의 (a1)은 COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예를 도시한다. 도 10의 (a2)는 TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예를 도시한다.
- [0251] 제1 기판(4001) 위에 설치된 화소부(4002)와 주사선 구동 회로(4004)는 복수의 박막 트랜지스터를 포함한다. 도 10의 (b)는 예를 들면, 화소부(4002)에 포함되는 박막 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 도시한다. 박막 트랜지스터들(4010, 4011) 위에는 절연층(4041a, 4041b, 4042a, 4042b, 4020, 4021)이 설치된다.
- [0252] 실시 형태 1, 2, 5, 6에서 설명된 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터들 중 임의의 것을 박막 트랜지스터(4010, 4011)로서 이용할 수 있다. 구동 회로를 위한 박막 트랜지스터(4011)로서는, 실시 형태 1, 2, 5, 6에서 설명된 박막 트랜지스터(260, 270)를 이용할 수 있고, 화소를 위한 박막 트랜지스터(4010)로서는, 박막 트랜지스터(420, 448, 220, 280, 290)를 이용할 수 있다. 본 실시 형태에 있어서, 박막 트랜지스터(4010, 4011)는 n채널 박막 트랜지스터이다.
- [0253] 구동 회로용의 박막 트랜지스터(4011)의 산화물 반도체층의 채널 형성 영역과 중첩하는 절연층(4021)의 일부 위에 도전층(4040)이 설치된다. 도전층(4040)을 산화물 반도체층의 채널 형성 영역과 중첩하는 위치에 설치함으

로써, BT(Bias Temperature stress) 시험 전후에 있어서의 박막 트랜지스터(4011)의 임계값 전압의 변동을 감소시킬 수 있다. 도전층(4040)의 전위는 박막 트랜지스터(4011)의 게이트 전극층의 전위와 동일해지고 상이해진다. 도전층(4040)은 제2 게이트 전극층으로서 기능할 수도 있다. 대안적으로, 도전층(4040)의 전위는 GND 또는 0V일 수 있으며, 또는 도전층(4040)의 전위는 플로팅 상태일 수도 있다.

[0254] 액정 소자(4013)에 포함되는 화소 전극층(4030)은 박막 트랜지스터(4010)에 전기적으로 접속된다. 액정 소자(4013)의 대향 전극층(4031)은 제2 기판(4006) 위에 형성된다. 화소 전극층(4030), 대향 전극층(4031), 및 액정층(4008)이 서로 중첩하는 부분은 액정 소자(4013)에 상당하다. 화소 전극층(4030)과 대향 전극층(4031)에는 각각 배향막으로서 기능하는 절연층(4032)과 절연층(4033)이 설치되고, 액정층(4008)은 화소 전극층(4030)과 대향 전극층(4031) 사이에 절연층들(4032, 4033)을 개재하여 샌드위치된다는 것을 유의한다.

[0255] 제1 기판(4001) 및 제2 기판(4006)으로서는 투광성 기판을 이용할 수 있고, 글래스, 세라믹, 또는 플라스틱을 이용할 수 있다. 이용할 수 있는 플라스틱의 예로서는, FRP(fiberglass-reinforced plastics) 판, PVF(폴리비닐 플루오라이드) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름을 포함한다.

[0256] 스페이서(4035)는 절연막을 선택적으로 에칭함으로써 얻어진 주상 스페이서이며, 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀 갭)를 제어하기 위해서 설치된다. 대안적으로, 구형의 스페이서를 이용할 수도 있다. 대향 전극층(4031)은, 박막 트랜지스터(4010)와 동일한 기판 위에 형성되는 공통 전위선에 전기적으로 접속된다. 공통 접속부를 이용하여, 한쌍의 기판 사이에 배치되는 도전성 입자를 통해서 대향 전극층(4031)과 공통 전위선을 전기적으로 접속할 수 있다. 도전성 입자는 시일제(4005)에 포함된다는 것을 유의한다.

[0257] 대안적으로, 배향막을 필요로 하지 않는 블루 위상(blue phase)을 나타내는 액정을 이용해도 된다. 블루 위상은 액정 위상들 중 하나이며, 콜레스테릭 액정을 승온하는 동안, 콜레스테릭 위상이 등방 위상으로 전이하기 직전에 발생된다. 블루 위상은 좁은 온도 범위 내에서만 발생되기 때문에, 온도 범위를 개선하기 위해서 5w% 이상의 카이랄제(chiral agent)를 포함시킨 액정 조성물을 액정층(4008)에 이용한다. 블루 위상을 나타내는 액정과 카이랄제를 포함하는 액정 조성물은, 응답 속도가 1msec 이하로 짧고, 광학적으로 등방성이기 때문에, 배향 처리가 불필요하고, 시야각 의존성이 작다.

[0258] 본 실시 형태는 투과형 액정 표시 디바이스 이외에 반투과형 액정 표시 디바이스에서도 적용할 수 있다는 것을 유의한다.

[0259] 액정 표시 디바이스로서는, 기판의 외측(관찰자측)에 편광판을 설치하고, 기판의 내측에 착색층 및 표시 소자용 전극층을 이 순서로 설치하는 예를 설명하지만, 편광판은 기판의 내측에 설치해도 된다. 편광판과 착색층의 적층 구조는 본 실시 형태에 한정되지 않고, 편광판 및 착색층의 재료나 제작 공정의 조건에 따라 적절히 설정될 수 있다. 또한, 표시부 이외의 부분에 블랙 매트릭스로서 기능하는 차광막을 설치해도 된다.

[0260] 박막 트랜지스터(4011)에 있어서, 채널 보호층으로서 기능하는 절연층(4041a)과, 산화물 반도체층의 주연부(측면을 포함함)를 덮는 절연층(4041b)이 형성된다. 마찬가지로, 박막 트랜지스터(4010)에 있어서, 채널 보호층으로서 기능하는 절연층(4042a)과, 산화물 반도체층의 주연부(측면을 포함함)를 덮는 절연층(4042b)이 형성된다.

[0261] 산화물 반도체층의 주연부(측면을 포함함)를 덮는 절연층(4041b, 4042b)은, 게이트 전극층과, 게이트 전극층 위측 또는 주변의 배선층(예를 들면, 소스 배선층 또는 용량 배선층) 사이의 거리를 증가시킴으로써, 기생 용량을 감소시킬 수 있다. 절연층들(4041a, 4041b, 4042a, 4042b)은 실시 형태 1에서 설명된 산화물 절연층들(426a, 426b)과 동일한 재료 및 방법을 이용하여 형성될 수 있다. 또한, 박막 트랜지스터에 의해 발생하는 표면 요철을 감소시키기 위해서, 평탄화 절연막으로서 기능하는 절연층(4021)으로 박막 트랜지스터들을 덮는다. 여기에서는, 절연층(4041a, 4041b, 4042a, 4042b)으로서, 실시 형태 1에 따라 스퍼터링 방법에 의해 산화 규소막을 형성한다.

[0262] 절연층(4041a, 4041b, 4042a, 4042b) 위에 절연층(4020)이 형성된다. 절연층(4020)은 실시 형태 1에서 설명된 절연층(428)과 보호 절연층(403)의 적층과 동일한 재료 및 방법을 이용하여 형성할 수 있다. 절연층(4020)은 도 10의 (b)에서 단층으로서 도시되지만, 상이한 재료를 이용하여 형성되는 절연층(428)과 보호 절연층(403)의 적층이다. 여기에서는, 절연층(4020)으로서, 스퍼터링 방법에 의해 형성된 산화 규소막과, 플라즈마 CVD 방법에 의해 형성된 질화 규소막을 적층한다.

[0263] 평탄화 절연막으로서 절연층(4021)을 형성한다. 절연층(4021)은, 실시 형태 1에서 설명된 평탄화 절연층(404)과 동일한 재료 및 방법을 이용하여 형성할 수 있고, 폴리이미드, 아크릴 수지, 벤조시클로부텐계 수지, 폴리이미드, 또는 에폭시 수지 등의, 내열성을 갖는 유기 재료를 이용할 수 있다. 그러한 유기 재료 이외에, 저유전

을 재료(로우-k 재료), 실록산계 수지, PSG(phosphosilicate glass), 또는 BPSG(borophosphosilicate glass) 등을 이용할 수도 있다. 또한, 이들 재료로 형성되는 복수의 절연막을 적층시킴으로써, 절연층(4021)을 형성해도 된다는 것을 유의한다.

- [0264] 실록산계 수지는, 실록산계 재료를 출발 재료로서 이용하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당하다. 실록산계 수지는 치환기로서 유기기(예를 들면, 알킬기나 아릴기) 또는 플루오로기를 포함할 수 있다. 유기기는 플루오로기를 포함할 수 있다.
- [0265] 절연층(4021)의 형성 방법은 특별히 한정되지 않는다. 재료에 따라서, 절연층(4021)은 스퍼터링 방법, SOG 방법, 스핀 코팅 방법, 디핑 방법, 스프레이 도포 방법, 또는 액적 도출 방법(예를 들면, 잉크젯 방법, 스크린 인쇄, 또는 오프셋 인쇄) 등에 의해, 또는 닥터 나이프, 롤 코터, 커튼 코터, 또는 나이프 코터 등의 도구(장치)를 이용하여 형성할 수 있다. 절연층(4021)의 베이킹 단계와 반도체층의 어닐링을 겸함으로써, 효율적으로 반도체 디바이스를 제작할 수 있다.
- [0266] 화소 전극층(4030)과 대향 전극층(4031)은, 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 티타늄을 함유하는 인듐 산화물, 산화 티타늄을 함유하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 부름), 인듐 아연 산화물, 또는 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성의 도전성 재료로 형성할 수 있다.
- [0267] 대안적으로, 화소 전극층(4030)과 대향 전극층(4031)에는, 도전성 고분자(도전성 중합체라고도 부름)를 포함하는 도전성 조성물을 이용할 수 있다. 도전성 조성물을 이용하여 형성된 화소 전극은, 시트 저항이 10000Ω/스퀘어 이하이고, 파장 550nm에 있어서의 광투과율이 70% 이상이다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 0.1Ω·cm 이하인 것이 바람직하다.
- [0268] 도전성 고분자로서는, 소위 π 전자 공액계 도전성 고분자를 이용할 수 있다. 예들로서는, 폴리아닐린 및 그 유도체, 폴리피롤 및 그 유도체, 폴리티오펜 및 그 유도체, 및 이 재료들 중 2종 이상의 공중합체를 들 수 있다.
- [0269] 또한, 별도 형성된 신호선 구동 회로(4003), 주사선 구동 회로(4004), 또는 화소부(4002)에 공급되는 각종 신호 및 전위는 FPC(4018)로부터 공급된다.
- [0270] 접속 단자 전극(4015)은, 액정 소자(4013)에 포함된 화소 전극층(4030)과 동일한 도전막을 이용하여 형성된다. 단자 전극(4016)은 박막 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 동일한 도전막을 이용하여 형성된다.
- [0271] 접속 단자 전극(4015)은, FPC(4018)에 포함된 단자에, 이방성 도전막(4019)을 통해서 전기적으로 접속된다.
- [0272] 도 10의 (a1), 도 10의 (a2), 및 도 10의 (b)는, 신호선 구동 회로(4003)를 별도로 형성하여 제1 기관(4001)에 실장한 예를 도시하지만, 본 실시 형태는 이 구성에 한정되지 않는다는 것을 유의한다. 주사선 구동 회로를 별도로 형성하여 실장할 수 있거나, 또는 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부분을 별도로 형성해서 실장할 수도 있다.
- [0273] 도 19는 본 명세서에 개시된 제작 방법에 따라 제작된 TFT 기관(2600)을 이용해서 반도체 디바이스로서 형성된 액정 표시 모듈의 예를 도시한다.
- [0274] 도 19는, TFT 기관(2600)과 대향 기관(2601)이 시일체(2602)에 의해 서로 고정되고, 그 기관들 사이에 TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 및 착색층(2605)이 설치되어 표시 영역을 형성하는 액정 표시 모듈의 예를 도시한다. 착색층(2605)은 컬러 표시를 행할 경우에 필요하다. RGB 방식의 경우에는, 레드, 그린, 블루의 색들에 대응한 착색층이 각 화소에 설치된다. TFT 기관(2600)과 대향 기관(2601)의 외측에는 편광판(2606), 편광판(2607), 및 확산판(2613)이 설치된다. 광원은 냉음극관(2610)과 반사판(2611)을 포함한다. 회로 보드(2612)는, 플렉시블 배선 보드(2609)에 의해 TFT 기관(2600)의 배선 회로부(2608)에 접속되고, 콘트롤 회로나 전원 회로 등의 외부 회로를 포함한다. 편광판과 액정층은 그 사이에 위상차판(retardation plate)을 개재하여 적층될 수도 있다.
- [0275] 액정 표시 모듈로서는, TN(twisted nematic) 모드, IPS(in-plane-switching) 모드, FFS(fringe field switching) 모드, MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optically compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, 또는 AFLC(antiferroelectric liquid crystal) 모드 등을 채택할 수

있다.

- [0276] 이상에 의해, 반도체 디바이스로서 신뢰성이 높은 액정 표시 패널을 제작할 수 있다.
- [0277] 본 실시 형태는, 다른 실시 형태들에서 설명한 구성들과 적절히 조합해서 실시하는 것이 가능하다.
- [0278] (실시 형태 10)
- [0279] 반도체 디바이스의 예로서 전자 페이퍼의 예를 설명한다.
- [0280] 반도체 디바이스는, 스위칭 소자에 전기적으로 접속되는 소자에 의해 전자 잉크를 구동시키는 전자 페이퍼에 이용될 수 있다. 전자 페이퍼는, 전기영동 표시 디바이스(전기영동 디스플레이)라고도 불리고, 종이와 같은 레벨의 판독성을 갖는 이점이 있고, 다른 표시 디바이스보다 전력 소비가 작고, 얇고 가볍게 만들 수 있다.
- [0281] 다양한 모드의 전기영동 디스플레이가 있다. 전기영동 디스플레이는, 용매 또는 용질에 분산된 복수의 마이크로캡슐을 포함하며, 각각의 마이크로캡슐(microcapsule)은 포지티브로 대전된 제1 입자들과, 네거티브로 대전된 제2 입자들을 함유한다. 마이크로캡슐에 전계를 인가하면, 마이크로캡슐 내의 입자들이 서로 반대 방향으로 이동하여 일측에 집합한 입자들의 색만을 표시한다. 제1 입자들 또는 제2 입자들은 염료를 포함하고, 전계가 없는 경우에는 이동하지 않는다는 것을 유의한다. 제1 입자들과 제2 입자들은 상이한 색(무색을 포함할 수 있음)을 갖는다.
- [0282] 따라서, 전기영동 디스플레이는, 유전 상수가 높은 물질이 높은 전계의 영역으로 이동하는, 소위 유전영동적 효과(dielectrophoretic effect)를 이용한다.
- [0283] 상기의 마이크로캡슐이 용매 중에 분산된 용액을 전자 잉크라고 부른다. 전자 잉크는 글래스, 플라스틱, 천, 또는 종이 등의 표면에 인쇄될 수 있다. 또한, 컬러 필터, 또는 색소를 갖는 입자를 이용함으로써 컬러 표시를 달성할 수도 있다.
- [0284] 또한, 액티브 매트릭스 기관 위에 적절히, 2개의 전극 사이에 개재하도록 상기의 복수의 마이크로캡슐을 배치하면, 액티브 매트릭스 표시 디바이스가 완성될 수 있다. 마이크로캡슐에 전계를 인가하면 화상을 표시할 수 있다. 예를 들면, 실시 형태 1, 2, 5, 6에서 설명한 박막 트랜지스터를 이용하여 얻어지는 액티브 매트릭스 기관을 이용할 수 있다.
- [0285] 마이크로캡슐 내의 제1 입자들 및 제2 입자들은, 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 전계발광 재료, 전계변색(electrochromic) 재료, 및 자기영동 재료로부터 선택된 어느 하나로 형성될 수 있으며, 또는 그들의 복합 재료로 형성될 수 있다는 것을 유의한다.
- [0286] 도 18은 반도체 디바이스의 예로서 액티브 매트릭스 전자 페이퍼를 도시한다. 반도체 디바이스에 이용되는 박막 트랜지스터(581)는, 실시 형태 1에서 설명한 박막 트랜지스터와 마찬가지로 제작할 수 있고, 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터이다. 또한, 실시 형태 2, 5, 6 중 임의의 것에서 설명한 박막 트랜지스터도 본 실시 형태의 박막 트랜지스터(581)로서 이용할 수 있다.
- [0287] 도 18의 전자 페이퍼는, 트위스팅 볼 표시 방식(twisting ball display system)을 채택한 표시 디바이스의 예이다. 트위스팅 볼 표시 방식이란, 각각 블랙과 화이트로 착색된 구형 입자들을 표시 소자에 이용된 전극층인 제1 전극층과 제2 전극층 사이에 배치하고, 제1 전극층과 제2 전극층 사이에 전위차를 발생시켜 구형 입자들의 배향을 제어함으로써, 표시를 행하는 방법을 일컫는다.
- [0288] 기관(580) 위에 형성된 박막 트랜지스터(581)는 바텀 게이트 박막 트랜지스터이며, 반도체층에 접촉하는 절연막(583)으로 덮여져 있다. 박막 트랜지스터(581)의 소스 전극층 또는 드레인 전극층은 절연층(585)에 형성된 개구를 통해 제1 전극층(587)에 접촉함으로써, 박막 트랜지스터(581)는 제1 전극층(587)에 전기적으로 접속된다. 기관(596) 위에 형성된 제2 전극층(588)과 제1 전극층(587) 사이에는, 각각이 블랙 영역(590a), 화이트 영역(590b), 및 주위에 액체로 채워져 있는 캐비티(594)를 갖는 구형 입자들(589)이 설치된다. 구형 입자들(589) 주위의 공간은 수지 등의 충전재(595)로 충전된다. 제1 전극층(587)은 화소 전극에 상당하고, 제2 전극층(588)은 공통 전극에 상당하다. 제2 전극층(588)은, 박막 트랜지스터(581)와 동일한 기관 위에 설치되는 공통 전위선에 전기적으로 접속된다. 공통 접속부를 이용하여, 한쌍의 기관 사이에 배치되는 도전성 입자들을 통해서 제2 전극층(588)을 공통 전위선에 전기적으로 접속할 수 있다.
- [0289] 트위스트 볼 대신에, 전기영동 소자를 이용할 수 있다. 투명한 액체와, 포지티브로 대전된 화이트 미립자들과, 네거티브로 대전된 블랙 미립자들을 캡슐화한 직경 10mm 내지 200mm 정도의 마이크로캡슐을 이용한다. 제1 전

극층과 제2 전극층 사이에 설치되는 마이크로캡슐들에 있어서, 제1 전극층과 제2 전극층에 의해 전계가 인가되면, 화이트 미립자들과, 블랙 미립자들이 서로 반대측으로 이동함으로써, 화이트 또는 블랙을 표시할 수 있다. 이 원리를 이용한 표시 소자가 전기영동 표시 소자이며, 일반적으로 전자 페이퍼라고 불린다. 전기영동 표시 소자는, 액정 표시 소자보다 반사율이 높기 때문에, 보조광은 불필요해서, 전력 소비가 작고, 어둡 어둡한 장소에서도 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않는 경우에도, 일단 표시한 화상을 유지할 수 있다. 따라서, 표시 기능을 갖는 반도체 디바이스(간단히 표시 디바이스, 또는 표시 디바이스를 구비하는 반도체 디바이스라고 부를 수 있음)를 전자파 소스로부터 멀게 한 경우에도, 표시된 화상을 저장할 수 있다.

[0290] 이상에 의해, 반도체 디바이스로서 신뢰성이 높은 전자 페이퍼를 제작할 수 있다.

[0291] 본 실시 형태는, 다른 실시 형태들에서 설명한 구성과 적절히 조합해서 실시하는 것이 가능하다.

[0292] (실시 형태 11)

[0293] 반도체 디바이스로서 발광 표시 디바이스의 예를 설명한다. 표시 디바이스의 표시 소자로서, 여기에서는 전계 발광을 이용하는 발광 소자를 설명한다. 전계발광을 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별된다. 일반적으로, 전자는 유기 EL 소자라고 부르고, 후자는 무기 EL 소자라고 부른다.

[0294] 유기 EL 소자는, 발광 소자에 전압을 인가함으로써, 한쌍의 전극으로부터 전자와 정공이 각각 발광성 유기 화합물을 함유하는 층에 주입되어, 전류가 흐른다. 그리고, 이들 캐리어들(즉, 전자와 정공)이 재결합함으로써, 발광성 유기 화합물이 여기된다. 발광성 유기 화합물은 여기 상태에서 기저 상태로 릴렉스할 때 발광한다. 이러한 메커니즘으로 인해, 이 발광 소자는, 전류 여기 발광 소자라고 불린다.

[0295] 무기 EL 소자들은, 그 소자 구성에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자들을 바인더 중에 분산시킨 발광층을 갖고, 그의 발광 메커니즘은 도너(donor) 레벨과 억셉터(acceptor) 레벨을 이용하는 도너-억셉터 재결합형 발광(donor-acceptor recombination type light emission)이다. 박막형 무기 EL 소자는, 발광층을 유전체층들 사이에 샌드위치시키고, 또한 그것을 전극들 사이에 샌드위치시킨 구조이며, 그의 발광 메커니즘은 금속 이온들의 내각 전자 전이를 이용하는 국소화형 발광(localized type light emission)이다. 여기서는, 발광 소자로서 유기 EL 소자를 이용하여 설명한다는 것을 유의한다.

[0296] 도 12는 반도체 디바이스의 예로서 디지털 시간 계조 방법에 의해 구동될 수 있는 화소 구성의 예를 도시한다.

[0297] 디지털 시간 계조 방법에 의해 구동될 수 있는 화소의 구성 및 동작에 대해서 설명한다. 본 예에서, 1개의 화소는 산화물 반도체층을 채널 형성 영역에 이용하는 2개의 n채널 트랜지스터를 포함한다.

[0298] 화소(6400)는 스위칭용 트랜지스터(6401), 발광 소자 구동용 트랜지스터(6402), 발광 소자(6404), 및 커패시터(6403)를 포함한다. 스위칭용 트랜지스터(6401)의 게이트는 주사선(6406)에 접속되고, 스위칭용 트랜지스터(6401)의 제1 전극(소스 전극 및 드레인 전극 중 하나)은 신호선(6405)에 접속되고, 스위칭용 트랜지스터(6401)의 제2 전극(소스 전극 및 드레인 전극 중 다른 하나)은 발광 소자 구동용 트랜지스터(6402)의 게이트에 접속된다. 발광 소자 구동용 트랜지스터(6402)의 게이트는 커패시터(6403)를 통해서 전원선(6407)에 접속되고, 발광 소자 구동용 트랜지스터(6402)의 제1 전극은 전원선(6407)에 접속되고, 발광 소자 구동용 트랜지스터(6402)의 제2 전극은 발광 소자(6404)의 제1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제2 전극은 공통 전극(6408)에 상당하다. 공통 전극(6408)은 동일한 기판 위에 설치된 공통 전위선에 전기적으로 접속된다.

[0299] 발광 소자(6404)의 제2 전극(공통 전극(6408))은 저전원 전위로 설정된다는 것을 유의한다. 저전원 전위는, 전원선(6407)에 공급되는 고전원 전위 미만이라는 것을 유의한다. 예를 들면, GND 또는 0V가 저전원 전위로서 설정될 수 있다. 고전원 전위와 저전원 전위 사이의 차를 발광 소자(6404)에 인가하고, 발광 소자(6404)를 통해 전류가 흐름으로써, 발광 소자(6404)를 발광시킨다. 따라서, 고전원 전위와 저전원 전위 사이의 차가 발광 소자(6404)의 순방향 임계값 전압 이상이 되도록 각각의 전위를 설정한다.

[0300] 구동용 트랜지스터(6402)의 게이트 용량이 커패시터(6403)로서 이용되는 경우, 커패시터(6403)를 생략할 수 있다. 구동용 트랜지스터(6402)의 게이트 용량은 채널 영역과 게이트 전극 사이에 형성될 수 있다.

[0301] 여기에서, 전압-입력 전압 구동 방식을 채택하는 경우에는, 발광 소자 구동용 트랜지스터(6402)의 게이트에, 발광 소자 구동용 트랜지스터(6402)가 완전히 턴오프되거나, 턴오프되도록 하는 비디오 신호가 입력된다. 즉, 발광

소자 구동용 트랜지스터(6402)는 선형 영역에서 동작함으로써, 전원선(6407)의 전압보다 높은 전압이 발광 소자 구동용 트랜지스터(6402)의 게이트에 인가된다. 또한, 신호선(6405)에는, (전원선 전압 + 발광 소자 구동용 트랜지스터(6402)의 V_{th}) 이상의 전압이 인가된다는 것을 유의한다.

[0302] 디지털 시간 계조 방식 대신에, 아날로그 계조 방식을 채택할 경우, 신호의 입력을 상이한 방식으로 행함으로써, 도 12와 동일한 화소 구성을 채택할 수 있다.

[0303] 아날로그 계조 방식을 채택할 경우, 발광 소자 구동용 트랜지스터(6402)의 게이트에는, (발광 소자(6404)의 순방향 전압 + 발광 소자 구동용 트랜지스터(6402)의 V_{th}) 이상의 전압이 인가된다. 발광 소자(6404)의 순방향 전압은, 원하는 휘도를 얻기 위한 전압을 일컫고, 적어도 순방향 임계값 전압을 포함한다. 발광 소자 구동용 트랜지스터(6402)가 포화 영역에서 동작하도록 하기 위해 비디오 신호를 입력함으로써, 발광 소자(6404)에 전류를 공급할 수 있다. 발광 소자 구동용 트랜지스터(6402)가 포화 영역에서 동작할 수 있도록 하기 위해, 전원선(6407)의 전위는 발광 소자 구동용 트랜지스터(6402)의 게이트 전위보다 높게 설정된다. 비디오 신호가 아날로그 신호이기 때문에, 발광 소자(6404)에 비디오 신호에 따른 전류가 흐르고, 아날로그 계조를 행할 수 있다.

[0304] 화소 구성은 도 12에 도시된 것에 한정되지 않는다는 것을 유의한다. 예를 들면, 도 12의 화소는 스위치, 저항, 커패시터, 트랜지스터, 또는 논리 회로 등을 더 포함할 수 있다.

[0305] 다음으로, 발광 소자의 구성에 대해서 도 13의 (a) 내지 도 13의 (c)를 참조하여 설명한다. 여기에서는, n채널 구동용 TFT를 예로 들어 화소의 단면 구조에 대해서 설명한다. 도 13의 (a) 내지 도 13의 (c)에 도시된 반도체 디바이스들에 이용되는 TFT들인 TFT(7001, 7011, 7021)는, 실시 형태 1에서 설명한 것과 마찬가지로 제작할 수 있다. TFT(7001, 7011, 7021)는 각각 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터이다. 대안적으로, 실시 형태 2, 5, 6 중 임의의 것에서 설명한 박막 트랜지스터를 구동용 TFT(7001, 7011, 7021)로서 채택할 수도 있다.

[0306] 발광 소자로부터 발광을 취출하기 위해서, 양극 및 음극 중 적어도 하나가 투명해야 한다. 박막 트랜지스터와 동일한 기판 위에 형성된 발광 소자의 다음과 같은 구조들, 즉, 기판에 대향하는 면을 통해 광을 취출하는 탑-에미션(top-emission) 구조, 기판측의 면을 통해 광을 취출하는 바텀-에미션(bottom-emission) 구조, 및 기판에 대향하는 면 및 기판측의 면을 통해 광을 취출하는 듀얼-에미션(dual-emission) 구조가 있다. 화소 구조는 이 에미션 구조들 중 임의의 것을 갖는 발광 소자에 적용할 수 있다.

[0307] 탑-에미션 구조를 갖는 발광 소자에 대해서 도 13의 (a)를 참조하여 설명한다.

[0308] 도 13의 (a)는 TFT(7001)가 n형이고, 발광 소자(7002)로부터 광이 양극(7005)을 통해 방출되는 경우의 화소의 단면도이다. 도 13의 (a)에서, 발광 소자(7002)의 음극(7003)은 평탄화 절연층(7007), 보호 절연층(7000), 및 절연층(7006)을 관통하여 형성된 콘택트 홀을 통해 TFT(7001)에 전기적으로 접속되고, 콘택트 홀 위에 격벽(7009)이 형성되고, 음극(7003) 위에 발광층(7004)과 양극(7005)이 이 순서로 적층된다. 음극(7003)은 일함수가 낮고, 광을 반사하는 도전 재료들 중 임의의 것을 이용하여 형성할 수 있다. 예를 들면, Ca, Al, CaF, Mg, Ag, 또는 AlLi 등을 이용하는 것이 바람직하다. 발광층(7004)은 단층 또는 복수의 층들의 적층으로서 형성될 수 있다. 발광층(7004)이 복수의 층들의 적층으로서 형성되는 경우, 발광층(7004)은 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 및 홀 주입층이 이 순서로 적층되어 형성된다. 이 층들을 모두 설치할 필요는 없다는 것을 유의한다. 양극(7005)은 투광성의 도전성 재료를 이용하여 형성한다. 예를 들면, 양극(7005)은 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 부름), 인듐 아연 산화물, 또는 산화 규소를 첨가한 인듐 주석 산화물로 이루어진 투광성의 도전막을 이용하여 형성할 수 있다.

[0309] 발광 소자(7002)는 음극(7003)과 양극(7005) 사이에 발광층(7004)이 샌드위치된 영역에 상당하다. 도 13의 (a)에 도시된 화소에 있어서, 광은 발광 소자(7002)로부터 양극(7005)측으로 화살표로 나타난 바와 같이 방출된다.

[0310] 다음으로, 바텀 에미션 구조를 갖는 발광 소자에 대해서 도 13의 (b)를 참조하여 설명한다. 도 13의 (b)는 발광 소자 구동용 TFT(7011)가 n형이고, 발광 소자(7012)로부터 음극(7013)을 통해 광이 방출되는 경우의 화소의 단면도이다. 도 13의 (b)에서는, 발광 소자 구동용 TFT(7011)에 전기적으로 접속된 투광성 도전막(7017) 위에, 발광 소자(7012)의 음극(7013)이 형성되고, 음극(7013) 위에 발광층(7014)과 양극(7015)이 이 순서로 적층된다.

양극(7015)이 투광성을 가질 경우, 광을 반사 또는 차폐하기 위한 차폐막(7016)이 양극(7015)을 피복하도록 형성될 수 있다는 것을 유의한다. 음극(7013)에 대해, 도 13의 (a)의 경우와 마찬가지로, 일함수가 낮은 임의의 도전성 재료를 이용할 수 있다. 음극(7013)은, 음극(7013)이 광을 투과하는 두께(바람직하게는, 5nm 내지 30nm 정도)로 형성된다는 것을 유의한다. 예를 들면, 20nm의 두께를 갖는 알루미늄막을 음극(7013)으로서 이용할 수 있다. 발광층(7014)은, 도 13의 (a)와 마찬가지로, 단층 또는 복수의 층의 적층을 이용하여 형성될 수 있다. 양극(7015)은 광을 투과할 필요는 없지만, 도 13의 (a)와 마찬가지로, 투광성의 도전성 재료를 이용하여 형성할 수 있다. 차폐막(7016)으로서, 예를 들면, 광을 반사하는 금속을 이용할 수 있지만, 금속막에 한정되지 않는다. 예를 들면, 블랙 안료를 첨가한 수지를 이용할 수도 있다.

[0311] 발광 소자(7014)는, 음극(7013)과 양극(7015) 사이에 발광층(7014)이 샌드위치된 영역에 상당하다. 도 13의 (b)에 도시된 화소의 경우, 광은 발광 소자(7012)로부터 음극(7013)측으로 화살표로 나타난 바와 같이 방출된다. 도 13의 (b)는 게이트 전극층으로서 투광성 도전막을 이용하는 예를 도시하며, 광은 발광 소자(7012)로부터 게이트 전극층을 통해 방출된다는 것을 유의한다.

[0312] 다음으로, 듀얼 에미션 구조를 갖는 발광 소자에 대해서, 도 13의 (c)를 참조하여 설명한다. 도 13의 (c)에서는, 발광 소자의 구동용 TFT(7021)에 전기적으로 접속된 투광성 도전막(7027) 위에, 발광 소자(7022)의 음극(7023)이 형성되고, 음극(7023) 위에 발광층(7024)과 양극(7025)이 이 순서로 적층되어 있다. 음극(7023)은, 도 13의 (a)의 경우와 마찬가지로, 일함수가 낮은 임의의 도전성 재료를 이용할 수 있다. 음극(7023)은, 음극(7023)이 광을 투과하는 두께로 형성된다는 것을 유의한다. 예를 들면, 20nm 두께의 Al을 음극(7023)으로서 이용할 수 있다. 발광층(7024)은, 도 13의 (a)와 마찬가지로, 단층 또는 복수의 층의 적층을 이용하여 형성될 수 있다. 양극(7025)은, 도 13의 (a)와 마찬가지로, 투광성의 도전성 재료를 이용하여 형성할 수 있다.

[0313] 발광 소자(7022)는, 양극(7025), 발광층(7024), 및 음극(7023)이 서로 중첩하는 영역에 상당하다. 도 13의 (c)에 도시된 화소에 있어서, 광은 발광 소자(7022)로부터 양극(7025)측과 음극(7023)측 양방으로 화살표로 나타난 바와 같이 방출된다.

[0314] 여기서는, 발광 소자로서 유기 EL 소자에 대해서 설명했지만, 발광 소자로서 대안적으로 무기 EL 소자를 설치할 수도 있다.

[0315] 발광 소자의 구동을 제어하는 박막 트랜지스터(발광 소자 구동용 TFT)가 발광 소자에 전기적으로 접속되는 예를 설명했지만, TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되는 구조를 채택할 수도 있다.

[0316] 반도체 디바이스의 구조는, 도 13의 (a) 내지 도 13의 (c)에 도시된 구성에 한정되지 않고, 본 발명에 따른 기술적 사상에 기초하여 다양한 방식으로 변형될 수 있다.

[0317] 다음으로, 반도체 디바이스의 일 실시 형태인 발광 표시 패널(발광 패널이라고도 부름)의 외관 및 단면에 대해서 도 11의 (a) 및 도 11의 (b)를 참조하여 설명한다. 도 11의 (a)는, 제1 기판과 제2 기판 사이에 박막 트랜지스터 및 발광 소자를 시일제에 의해 밀봉한 패널의 평면도이다. 도 11의 (b)는, 도 11의 (a)의 선 H-I를 따라 절개한 단면도이다.

[0318] 제1 기판(4501) 위에 설치된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)를 둘러싸도록 시일제(4505)를 설치한다. 또한, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b) 위에 제2 기판(4506)이 설치된다. 따라서, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 제1 기판(4501), 시일제(4505), 및 제2 기판(4506)에 의해, 충전재(4507)와 함께 밀봉된다. 따라서, 패널이 외부 공기에 노출되지 않도록 기밀성이 높고 탈가스화가 적은 보호 필름(접합 필름 또는 자외선 경화 수지 필름 등)이나 커버재로 패널을 패키징(봉입)하는 것이 바람직하다.

[0319] 제1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는 각각 복수의 박막 트랜지스터를 포함한다. 도 11의 (B)에는, 화소부(4502)에 포함된 박막 트랜지스터(4510)와, 신호선 구동 회로(4503a)에 포함된 박막 트랜지스터(4509)가 예로서 도시된다.

[0320] 박막 트랜지스터(4509, 4510)는, 실시 형태 1, 2, 5, 6 중 임의의 것에서 설명한 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터를 채택할 수 있다. 박막 트랜지스터(4509, 4510)는 n채널 박막 트랜지스터이다. 구동 회로용 박막 트랜지스터(4509)로서는, 실시 형태 1, 2, 5, 6에서 설명한 박막 트랜지스터(260, 270)를 이용할 수 있고, 화소용 박막 트랜지스터(4510)로서는, 박막 트랜지스터(420, 448, 220, 280,

290)를 이용할 수 있다. 본 실시 형태에 있어서, 박막 트랜지스터(4509, 4510)는 n채널 박막 트랜지스터이다.

- [0321] 절연층(4544)의 일부 위에 구동 회로용의 박막 트랜지스터(4509)의 산화물 반도체층의 채널 형성 영역에 중첩하는 도전층(4540)이 설치된다. 도전층(4540)을 산화물 반도체층의 채널 형성 영역에 중첩하는 위치에 설치함으로써, BT 시험 전후에 있어서의 박막 트랜지스터(4509)의 임계값 전압의 변동을 감소시킬 수 있다. 도전층(4540)의 전위는 박막 트랜지스터(4509)의 게이트 전극층의 전위와 동일해지고 상이해진다. 도전층(4540)은 제2 게이트 전극층으로서도 기능시킬 수 있다. 또한, 도전층(4540)의 전위는 GND 또는 0V일 수 있거나, 또는 도전층(4540)의 전위는 플로팅 상태일 수도 있다.
- [0322] 박막 트랜지스터(4509)에 있어서, 채널 보호층으로서 기능하는 절연층(4541a)과, 산화물 반도체층의 주연부(및 측면)를 덮는 절연층(4541b)이 형성된다. 마찬가지로, 박막 트랜지스터(4510)에 있어서, 채널 보호층으로서 기능하는 절연층(4542a)과, 산화물 반도체층의 주연부(및 측면)를 덮는 절연층(4542b)이 형성된다.
- [0323] 산화물 반도체층의 주연부(및 측면)를 덮는 산화물 절연층인 절연층(4541b, 4542b)은, 게이트 전극층과, 게이트 전극층의 위층 또는 주변에 형성되는 배선층(예를 들면, 소스 배선층이나 용량 배선층) 사이의 거리를 증가시킴으로써, 기생 용량이 감소될 수 있다. 절연층(4541a, 4541b, 4542a, 4542b)은 실시 형태 1에서 설명한 산화물 절연층(426a, 426b)과 마찬가지로의 재료 및 방법에 의해 형성될 수 있다. 또한, 박막 트랜지스터에 기인한 표면 요철을 감소시키기 위해서, 평탄화 절연막으로서 기능하는 절연층(4543)으로 박막 트랜지스터들을 덮는다. 여기에서는, 절연층(4541a, 4541b, 4542a, 4542b)으로서 실시 형태 1에 따라 스퍼터링 방법에 의해 산화 규소막을 형성한다.
- [0324] 절연층(4541a, 4541b, 4542a, 4542b) 위에 절연층(4543)이 형성된다. 절연층(4543)은 실시 형태 1에서 설명한 절연층(428) 및 보호 절연층(403)과 동일한 재료 및 방법에 의해 형성될 수 있다. 절연층(4543)은 도 10의 (b)에서 단층으로서 도시되지만, 상이한 재료를 이용하여 형성되는 절연층(428)과 보호 절연층(403)의 적층이다. 여기에서는, 절연층(4543)으로서, 스퍼터링 방법에 의해 형성된 산화 규소막과, 플라즈마 CVD 방법에 의해 형성된 질화 규소막을 적층한다.
- [0325] 평탄화 절연막으로서 절연층(4544)을 형성한다. 절연층(4544)은, 실시 형태 1에서 설명된 평탄화 절연층(404)과 동일한 재료 및 방법을 이용하여 형성될 수 있다. 여기에서는, 절연층(4544)으로서 아크릴을 이용한다.
- [0326] 본 실시 형태에서는, 화소부의 복수의 박막 트랜지스터를 함께 질화물 절연막에 의해 둘러쌀 수 있다. 예를 들면, 절연층(4543)과 게이트 절연층으로서 질화물 절연막을 이용하고, 도 11의 (a) 및 도 11의 (b)에 도시된 바와 같이 적어도 액티브 매트릭스 기판 위의 화소부를 둘러싸는 주연에 절연층(4543)이 게이트 절연층에 접촉하는 구성이 채택될 수 있다. 상기의 구조를 채택함으로써, 외부로부터의 수분의 침입을 방지할 수 있다. 또한, 반도체 디바이스, 예를 들면, 표시 디바이스로서 디바이스가 완성된 후에도 장기적으로, 외부로부터의 수분의 침입을 방지할 수 있기 때문에, 디바이스의 장기간 신뢰성을 향상시킬 수 있다.
- [0327] 또한, 참조 번호(4511)는 발광 소자를 지시한다. 발광 소자(4511)에 포함되는 화소 전극인 제1 전극층(4517)은, 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층에 전기적으로 접속된다. 발광 소자(4511)는 제1 전극층(4517), 전계발광층(4512), 및 제2 전극층(4513)을 포함하는 적층 구조를 갖지만, 발광 소자(4511)의 구조는 한정되지 않는다. 예를 들면, 발광 소자(4511)로부터 광을 추출하는 방향에 따라, 발광 소자(4511)의 구성을 적절히 변경할 수 있다.
- [0328] 격벽(4520)은 유기 수지막, 무기 절연막, 또는 유기 폴리실록산을 이용하여 형성한다. 특히, 격벽(4520)은 감광성 재료를 이용하여, 제1 전극층(4517) 위에 개구부를 갖도록 형성하고, 그 개구부의 측벽이 연속적인 곡률을 갖는 경사면으로서 형성되는 것이 바람직하다.
- [0329] 전계발광층(4512)은, 단층 또는 복수의 층의 적층을 이용하여 형성될 수 있다.
- [0330] 발광 소자(4511)에 산소, 수소, 수분, 또는 이산화탄소 등의 침입을 방지하기 위해, 제2 전극층(4513) 및 격벽(4520) 위에 보호막을 형성할 수 있다. 보호막으로서, 질화 규소막, 질화 산화 규소막, 또는 DLC(Diamond-Like Carbon)막 등을 형성할 수 있다.
- [0331] 또한, 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b), 또는 화소부(4502)에 공급되는 각종 신호 및 전위는, FPC(4518a, 4518b)로부터 공급된다.
- [0332] 접속 단자 전극(4515)은, 발광 소자(4511)에 포함된 제1 전극층(4517)과 동일한 도전막을 이용하여 형성된다. 단자 전극(4516)은, 박막 트랜지스터(4509, 4510)에 포함된 소스 전극층 및 드레인 전극층과 동일한 도전막을

이용하여 형성된다.

- [0333] 접속 단자 전극(4515)은, FPC(4518a)에 포함된 단자에 이방성 도전막(4519)을 통해서 전기적으로 접속된다.
- [0334] 발광 소자(4511)로부터의 광이 추출되는 방향에 위치한 제2 기관(4506)은 투광성을 가질 필요가 있다. 그 경우, 글래스판, 플라스틱판, 폴리에스테르 필름, 또는 아크릴 필름 등의 투광성 재료를 이용한다.
- [0335] 충전재(4507)로서는 질소나 아르곤 등의 불활성 기체뿐만 아니라, 자외선 경화 수지 또는 열경화 수지를 이용할 수 있다. 예를 들면, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄), 또는 EVA(에틸렌 비닐 아세테이트)를 이용할 수 있다. 예를 들면, 충전재로서 질소를 이용할 수 있다.
- [0336] 필요하다면, 발광 소자의 에미션 면에 편광판, 원편광판(타원편광판을 포함함), 위상차판(1/4웨이브판 또는 1/2웨이브판), 또는 컬러 필터 등의 광학 필름을 적절히 설치할 수 있다. 또한, 편광판 또는 원편광판에 반사 방지막을 설치할 수 있다. 예를 들면, 표면의 요철에 의해 반사광이 확산될 수 있도록 하여 눈부심(glare)을 감소시키는 눈부심 방지 처리를 행할 수 있다.
- [0337] 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)로서, 별도 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막을 이용하여 형성된 구동 회로가 실장될 수 있다. 대안적으로, 신호선 구동 회로만 또는 그 일부만, 또는 주사선 구동 회로만 또는 그 일부만을 별도로 형성해서 실장할 수 있다. 본 실시 형태는 도 11의 (a) 및 도 11의 (b)에 도시된 구성에 한정되지 않는다.
- [0338] 이상의 단계에 의해, 반도체 디바이스로서 신뢰성이 높은 발광 표시 디바이스(표시 패널)를 제작할 수 있다.
- [0339] 본 실시 형태는, 실시 형태 1 내지 4, 및 실시 형태 6 내지 8에서 설명한 구성들 중 임의의 것과 적절히 조합해서 실시하는 것이 가능하다.
- [0340] (실시 형태 12)
- [0341] 본 명세서에 개시된 반도체 디바이스는 전자 페이퍼에 적용할 수 있다. 전자 페이퍼는, 모든 분야에 있어서 정보를 표시하는 전자 디바이스에 이용될 수 있다. 예를 들면, 전자 페이퍼를, 전자 서적(e-book), 포스터, 전철 등의 차량 내의 광고, 또는 신용 카드 등의 각종 카드에 있어서의 표시 등에 적용할 수 있다. 도 20은 전자 디바이스의 예를 도시한다.
- [0342] 도 20은 전자 서적(2700)의 예를 도시한다. 예를 들면, 전자 서적(2700)은 2개의 하우징, 즉, 하우징(2701) 및 하우징(2703)을 포함한다. 하우징(2701) 및 하우징(2703)은, 힌지(2711)에 결합되어, 힌지(2711)를 따라 전자 서적(2700)이 개폐될 수 있다. 그러한 구성에 의해, 종이 서적과 마찬가지로 전자 서적(2700)을 취급할 수 있다.
- [0343] 하우징(2701)에는 표시부(2705)가 조립되고, 하우징(2703)에는 표시부(2707)가 조립된다. 표시부(2705)와 표시부(2707)는, 하나의 화면 또는 상이한 화면을 표시할 수 있다. 표시부(2705)와 표시부(2707)가 상이한 화상을 표시하는 경우, 예를 들면, 우측의 표시부(도 20에서 표시부(2705))가 텍스트를 표시할 수 있고, 좌측의 표시부(도 20에서 표시부(2707))가 화상을 표시할 수 있다.
- [0344] 도 20은 하우징(2701)에 조작부 등을 설치한 예를 도시한다. 예를 들면, 하우징(2701)에 전원 버튼(2721), 조작 키(2723), 및 스피커(2725) 등을 설치한다. 조작 키(2723)에 의해 페이지를 넘길 수 있다. 하우징의 표시부와 동일한 면에 키보드 및 포인팅 디바이스 등을 설치할 수 있다는 것을 유의한다. 또한, 하우징의 이면이나 측면에, 외부 접속 단자(이어폰 단자, USB 단자, AC 어댑터 또는 USB 케이블 등의 각종 케이블에 접속 가능한 단자), 및 저장 매체 삽입부 등을 설치할 수도 있다. 또한, 전자 서적(2700)은 전자 사전의 기능을 가질 수도 있다.
- [0345] 전자 서적(2700)은, 무선으로 데이터를 송수신하도록 구성될 수 있다. 무선 통신을 통해, 전자 서적 서버로부터, 원하는 서적 데이터 등을 구입할 수 있고, 다운로드할 수 있다.
- [0346] (실시 형태 13)
- [0347] 본 명세서에 개시하는 반도체 디바이스는 다양한 전자 디바이스(게임기도 포함함)에 적용할 수 있다. 그러한 전자 디바이스의 예들은, 텔레비전 디바이스(텔레비전 또는 텔레비전 수신기라고도 부름), 컴퓨터 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라 등의 카메라, 디지털 액자, 휴대 전화기(휴대 전화 또는 휴대 전화

디바이스라고도 부름), 휴대형 게임 콘솔, 휴대 정보 단말기, 음향 재생 디바이스, 핀볼기 등의 대형 게임기 등이다.

- [0348] 도 21의 (a)는 텔레비전 디바이스(9600)의 예를 도시한다. 텔레비전 디바이스(9600)에 있어서, 하우징(9601)에 표시부(9603)가 조립된다. 표시부(9603)는 화상을 표시할 수 있다. 여기에서는, 스탠드(9605)에 의해 하우징(9601)을 지지한다.
- [0349] 텔레비전 디바이스(9600)는 하우징(9601)의 조작 스위치나, 별도의 리모콘(remote control)(9610)에 의해 조작할 수 있다. 리모콘(9610)의 조작 키들(9609)에 의해, 채널들이 전환될 수 있고 음량이 제어될 수 있어서, 표시부(9603)에 표시되는 화상을 조작할 수 있다. 또한, 리모콘(9610)에, 리모콘(9610)으로부터 출력하는 정보를 표시하는 표시부(9607)를 설치할 수도 있다.
- [0350] 텔레비전 디바이스(9600)는 수신기 및 모뎀 등을 구비한다는 것을 유의한다. 수신기에 의해 일반적인 TV 방송을 수신할 수 있다. 또한, 표시 디바이스가 모뎀을 통해서 유선 또는 무선에 의해 통신 네트워크에 접속하는 경우, 일 방향(송신자로부터 수신자에게로) 또는 쌍방향(예를 들면, 송신자와 수신자 사이에 또는 수신자들 사이에) 정보 통신을 행할 수 있다.
- [0351] 도 21의 (b)는 디지털 액자(9700)의 예를 도시한다. 예를 들면, 디지털 액자(9700)에 있어서, 하우징(9701)에 표시부(9703)가 조립된다. 표시부(9703)는 각종 화상을 표시할 수 있다. 예를 들면, 표시부(9703)는 디지털 카메라 등에 의해 촬영한 화상 데이터를 표시할 수 있고, 통상적인 액자와 마찬가지로 기능한다.
- [0352] 디지털 액자(9700)는 조작부, 외부 접속 단자(USB 단자, USB 케이블 등의 각종 케이블에 접속 가능한 단자), 및 저장 매체 삽입부 등을 구비한다는 것을 유의한다. 이 컴포넌트들은 표시부와 동일한 면에 설치될 수 있지만, 측면이나 이면에 설치하는 것이 디자인 심미성을 위해서 바람직하다. 예를 들면, 디지털 액자의 저장 매체 삽입부에, 디지털 카메라로 촬영한 화상 데이터를 저장한 저장 매체를 삽입해서 데이터를 로드함으로써, 화상을 표시부(9703)에 표시시킬 수 있다.
- [0353] 디지털 액자(9700)는 무선으로 데이터를 송수신하도록 구성될 수 있다. 무선 통신을 통해, 원하는 화상 데이터를 표시하기 위해 로드할 수 있다.
- [0354] 도 22의 (a)는 휴대형 게임 콘솔이 개폐될 수 있도록 연결부(9893)에 의해 연결된 2개의 하우징, 즉, 하우징(9881)과 하우징(9891)을 포함하는 휴대형 게임 콘솔을 도시한다. 하우징(9881)에는 표시부(9882)가 조립되고, 하우징(9891)에는 표시부(9883)가 조립된다. 또한, 도 22의 (a)에 도시된 휴대형 게임 콘솔은, 스피커부(9884), 저장 매체 삽입부(9886), LED 램프(9890), 및 입력 수단(조작 키들(9885), 접속 단자(9887), 및 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음향, 시간, 경도, 전계, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새 또는 적외선을 측정하는 기능을 가짐), 및 마이크(9889)) 등을 구비한다. 물론, 휴대형 게임 콘솔의 구성은 전술한 것에 한정되지 않고, 적어도 본 명세서에 개시된 반도체 디바이스를 구비한 다른 구성을 채택할 수 있다. 휴대형 게임 콘솔은 추가적인 액세서리를 적절히 포함할 수 있다. 도 22의 (a)에 도시된 휴대형 게임 콘솔은, 저장 매체에 저장된 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능, 및 다른 휴대형 게임 콘솔과 무선 통신에 의해 정보를 공유하는 기능을 갖는다. 도 22의 (a)에 도시된 휴대형 게임 콘솔의 기능은 전술한 것에 한정되지 않고, 휴대형 게임 콘솔은 다양한 기능을 가질 수 있다는 것을 유의한다.
- [0355] 도 22의 (b)는 대형 게임기인 슬롯 머신(9900)의 예를 도시한다. 슬롯 머신(9900)에 있어서, 하우징(9901)에 표시부(9903)가 조립된다. 또한, 슬롯 머신(9900)은, 스타트 레버나 스톱 스위치 등의 조작 수단, 코인 투입구, 및 스피커 등을 포함한다. 물론, 슬롯 머신(9900)은 전술한 것에 한정되지 않고, 적어도 본 명세서에 개시된 반도체 디바이스를 구비한 다른 구성이 채택될 수 있다. 슬롯 머신(9900)은 추가적인 액세서리를 적절히 포함할 수 있다.
- [0356] 도 23의 (a)는 휴대형 컴퓨터의 예를 도시하는 사시도이다.
- [0357] 도 23의 (a)의 휴대형 컴퓨터에 있어서, 상부 하우징(9301)과 하부 하우징(9302)을 연결하는 힌지 유닛을 폐쇄시켜서, 표시부(9303)를 갖는 상부 하우징(9301)과, 키보드(9304)를 갖는 하부 하우징(9302)을 서로 중첩할 수 있다. 도 23의 (a)에 도시된 휴대형 컴퓨터는 운반하는 것이 편리하다. 키보드를 이용하여 데이터를 입력하는 경우, 힌지 유닛을 개방시켜, 사용자가 표시부(9303)를 보며 데이터를 입력할 수 있다.
- [0358] 하부 하우징(9302)은 키보드(9304) 이외에, 입력을 행할 수 있는 포인팅 디바이스(9306)를 포함한다. 표시부

(9303)가 터치 스크린인 경우, 사용자는 표시부의 일부에 접촉함으로써 데이터를 입력할 수 있다. 하부 하우징(9302)은 CPU 또는 하드 디스크 등의 연산 기능부를 포함한다. 또한, 하부 하우징(9302)은 다른 디바이스, 예를 들면, USB의 통신 규격에 준거한 통신 케이블이 삽입되는 외부 접속 포트(9305)를 포함한다.

- [0359] 상부 하우징(9301)은, 그 내부에서 슬라이딩됨으로써 상부 하우징(9301)에 수납 가능한 표시부(9307)를 더 포함한다. 표시부(9307)를 이용하여, 대형 표시 스크린을 실현할 수 있다. 또한, 수납 가능한 표시부(9307)의 스크린의 각도를 사용자가 조절할 수 있다. 수납 가능한 표시부(9307)가 터치 스크린이라면, 사용자는 수납 가능한 표시부(9307)의 일부를 터치함으로써 데이터를 입력할 수도 있다.
- [0360] 표시부(9303) 또는 수납 가능한 표시부(9307)는, 액정 표시 패널, 또는 유기 발광 소자 또는 무기 발광 소자 등을 이용한 발광 표시 패널 등의 화상 표시 디바이스를 이용하여 형성될 수 있다.
- [0361] 또한, 도 23의 (a)에 도시된 휴대형 컴퓨터는, 수신기 등을 구비할 수 있고, TV 방송을 수신해서 화상을 표시부에 표시할 수 있다. 상부 하우징(9301)과 하부 하우징(9302)을 연결하는 힌지 유닛을 폐쇄시켜, 표시부(9307)를 슬라이드시켜 노출시키고 그 각도를 조절함으로써, 표시부(9307)의 스크린 전체로 사용자가 TV 방송을 볼 수도 있다. 이 경우, 힌지 유닛을 개방하지 않아서 표시부(9303)에는 표시가 행해지지 않는다. 또한, TV 방송 표시를 위한 회로만을 기동한다. 따라서, 전력 소비를 최소화할 수 있어서, 배터리 용량이 한정되어 있는 휴대형 컴퓨터에 있어서 이점이 있다.
- [0362] 도 23의 (b)는, 손목 시계와 같이 사용자가 손목에 장착할 수 있는 휴대 전화의 예를 나타내는 사시도이다.
- [0363] 이 휴대 전화는, 적어도 전화 기능을 포함하는 통신 디바이스, 및 배터리를 포함하는 본체, 본체를 손목에 장착할 수 있게 하기 위한 밴드부(9204), 손목에 맞도록 밴드부를 조절하는 조절부(9205), 표시부(9201), 스피커(9207), 및 마이크(9208)로 형성된다.
- [0364] 또한, 본체는 조작 스위치들(9203)을 포함한다. 조작 스위치들(9203)은, 예를 들면, 전원 스위치, 표시 전환 스위치, 또는 활상 개시 지시 스위치로서 기능할 수 있다. 조작 스위치(9203)들은, 스위치가 눌러질 때 인터넷용 프로그램을 기동하는 스위치일 수도 있다. 조작 스위치(9203)들은 각각의 기능을 갖도록 구성될 수 있다.
- [0365] 표시부(9201)를 손가락이나 입력 펜으로 접촉하거나, 조작 스위치들(9203)을 제어하거나, 또는 마이크(9208)에 음성을 입력함으로써, 사용자는 이 휴대 전화에 데이터를 입력할 수 있다. 도 23의 (b)에는 표시 버튼들(9202)이 표시부(9201)에 표시된다. 사용자는 표시 버튼들(9202)을 손가락 등으로 접촉함으로써 데이터를 입력할 수 있다.
- [0366] 또한, 본체는, 카메라 렌즈를 통해 결상되는 피사체의 화상을 전자 화상 신호로 변환하는 기능을 갖는 활상 수단을 포함하는 카메라부(9206)를 포함한다. 또한, 특히 카메라부는 필수적으로 설치하지 않아도 된다는 것을 유의한다.
- [0367] 도 23의 (b)에 도시된 휴대 전화는, TV 방송의 수신기 등을 구비하고, TV 방송을 수신해서 화상을 표시부(9201)에 표시할 수 있다. 또한, 휴대 전화는 메모리 등의 저장 장치 등을 구비하고, TV 방송을 메모리에 기록할 수 있다. 도 23의 (b)에 도시된 휴대 전화는 GPS 등의 위치 정보를 수집하는 기능을 가질 수 있다.
- [0368] 표시부(9201)로서는, 액정 표시 패널, 또는 유기 발광 소자 또는 무기 발광 소자를 이용하는 발광 표시 패널 등의 화상 표시 디바이스를 이용한다. 도 23의 (b)에 도시된 휴대 전화는 소형이고 경량이기 때문에, 한정된 배터리 용량을 갖는다. 그 때문에, 표시부(9201)용의 표시 디바이스로서는 전력 소비가 작게 구동될 수 있는 패널을 이용하는 것이 바람직하다.
- [0369] 도 23의 (b)는 손목에 차는 전자 디바이스를 도시하지만, 본 실시 형태는 전자 디바이스가 휴대할 수 있는 한 특별히 그것에 한정되지 않는다.
- [0370] (실시 형태 14)
- [0371] 본 실시 형태에서는, 반도체 디바이스의 일 형태로서, 실시 형태 1, 2, 5, 6 중 임의의 것에서 설명한 박막 트랜지스터를 각각 포함하는 표시 디바이스들의 예들을 도 24 내지 도 35를 참조하여 설명한다. 본 실시 형태에 있어서, 표시 소자로서 액정 소자를 이용한 액정 표시 디바이스의 예들을 도 24 내지 도 35를 참조하여 설명한다. 실시 형태 1, 2, 5, 및 6 중 임의의 것에서 설명된 박막 트랜지스터는 도 24 내지 도 35의 액정 표시 디바이스들용의 TFT들(628, 629)로서 이용될 수 있다. TFT들(628, 629)은, 실시 형태 1, 2, 5, 6 중 임의의 것에서 설명한 것과 마찬가지로의 공정을 통해 제작될 수 있고, 전기적 특성이 우수하며 신뢰성이 높다. TFT(628)와

TFT(629)는 각각 채널 보호층(608)과 채널 보호층(611)을 포함하고, 미세결정성 반도체막을 채널 형성 영역으로서 포함하는 바텀 게이트 박막 트랜지스터들이다.

- [0372] 먼저, VA(vertical alignment) 액정 표시 디바이스에 대해서 설명한다. VA 형태의 액정 표시 디바이스는, 액정 표시 패널의 액정 분자들의 배향을 제어하는 모드의 일종이다. VA 액정 표시 디바이스에 있어서, 전압이 인가되지 않을 때 패널면에 대하여 액정 분자들이 수직 방향으로 배향된다. 본 실시 형태에서는, 특히, 화소가 몇 개의 영역들(부화소들)로 분할되고, 각각의 영역별로 상이한 방향으로 분자들이 배향된다. 이것을 멀티 도메인 또는 멀티 도메인 설계라고 부른다. 하기의 설명에서는, 멀티 도메인 설계의 액정 표시 디바이스에 대해서 설명한다.
- [0373] 도 25와 도 26은 각각 화소 전극과 대향 전극을 도시한다. 도 25는 화소 전극이 형성되는 기관층을 도시하는 평면도이다. 도 24는 도 25의 절단선 E-F를 따라 절개한 단면 구조를 도시한다. 도 26은 대향 전극이 형성되는 기관층을 도시하는 평면도이다. 하기의 설명에서는 이 도면들을 참조하여 설명한다.
- [0374] 도 24에 있어서, TFT(628), TFT(628)에 접속된 화소 전극(624), 및 축적 용량부(630)가 형성되어 있는 기관(600)과, 대향 전극(640) 등이 형성되어 있는 대향 기관(601)을 서로 중첩하고, 기관(600)과 대향 기관(601) 사이에 액정이 주입된다.
- [0375] 대향 기관(601)에 있어서 스페이서가 설치되는 위치에는, 제1 착색막, 제2 착색막, 제3 착색막, 및 대향 전극(640)이 형성된다. 이 구조에 의해, 액정의 배향을 제어하기 위한 돌기(644)의 높이는 스페이서의 높이와 상이하게 만들어진다. 배향막(648)은 화소 전극(624) 위에 형성되고, 배향막(646)은 마찬가지로 대향 전극(640) 위에 형성된다. 액정층(650)은 기관(600)과 대향 기관(601) 사이에 형성된다.
- [0376] 주상 스페이서를 이용할 수 있으며, 또는 비드 스페이서들(bead spacers)을 분산시킬 수도 있다. 스페이서가 투광성을 갖는 경우, 기관(600) 위에 형성된 화소 전극(624) 위에 형성할 수 있다.
- [0377] 기관(600) 위에는, TFT(628), TFT(628)에 접속된 화소 전극(624), 및 축적 용량부(630)가 형성된다. 화소 전극(624)은, TFT(628), 배선(616), 및 축적 용량부(630)를 덮는 절연막(620)을 관통하고, 또한 절연막(620)을 덮는 제3 절연막(622)을 관통한 콘택트 홀(623)을 통해 배선(618)에 접속된다. 절연막(620)은, 절연층과 보호 절연층의 적층이다. 반도체층에 접촉하는 절연층은 스퍼터링 방법에 의해 형성된 산화 규소막이고, 절연층 위의 보호 절연층은 스퍼터링 방법에 의해 형성된 질화 규소막이다. 도 24에서는, 간략화를 위해, 적층된 층인 절연막(620)을 단층으로서 도시한다는 것을 유의한다. TFT(628)로서는, 실시 형태 1, 2, 5, 6 중 임의의 것에 도시된 박막 트랜지스터를 적절히 이용할 수 있다. 또한, 축적 용량부(630)는, TFT(628)의 게이트 배선(602)과 동시에 형성한 제1 용량 배선(604), 게이트 절연막(606), 및 배선들(616, 618)과 동시에 형성한 제2 용량 배선(617)을 포함한다.
- [0378] 화소 전극(624)과 액정층(650)과 대향 전극(640)을 서로 중첩함으로써, 액정 소자가 형성된다.
- [0379] 도 25는 기관(600) 위의 평탄한 구조를 도시한다. 화소 전극(624)은 실시 형태 1에 주어진 재료를 이용하여 형성한다. 화소 전극(624)에는 슬릿들(625)을 설치한다. 슬릿들(625)은 액정의 배향을 제어하기 위해 설치된다.
- [0380] 도 25에 도시된 TFT(629), TFT(629)에 접속하는 화소 전극(626), 및 축적 용량부(631)는 각각 TFT(628), 화소 전극(624), 및 축적 용량부(630)와 마찬가지로 형성될 수 있다. TFT(628)와 TFT(629)는 함께 배선(616)에 접속된다. 이 액정 표시 패널의 하나의 화소는 화소 전극층들(624, 626)을 포함한다. 화소 전극층들(624, 626)은 각각 부화소들(sub pixels)에 포함된다.
- [0381] 도 26은 대향 기관층의 구조를 도시한다. 차광막(632) 위에 대향 전극(640)이 형성된다. 대향 전극(640)은, 화소 전극(624)의 재료와 마찬가지로의 재료를 이용하여 형성하는 것이 바람직하다. 대향 전극(640) 위에는 액정의 배향을 제어하는 돌기들(644)이 형성된다.
- [0382] 도 27은 이 화소 구조의 등가 회로를 도시한다. TFT들(628, 629)은 함께 게이트 배선(602)과 배선(616)에 접속된다. 그 경우, 용량 배선(604)과 용량 배선(605)의 전위들을 서로 다르게 함으로써, 액정 소자들(651, 652)의 동작을 상이하게 할 수 있다. 즉, 용량 배선들(604, 605)의 전위들을 개별적으로 제어함으로써 액정의 배향을 정밀하게 제어해서 시야각을 증가시킨다.
- [0383] 슬릿들(625)을 설치한 화소 전극(624)에 전압을 인가하면, 슬릿들(625)의 근방에 전계의 왜곡(경사 전계)이 발생된다. 슬릿들(625)과, 대향 기관(601) 위의 돌기(644)를 교대로 배치하여, 경사 전계가 효과적으로 발생되어 액정의 배향을 제어하도록 함으로써, 액정의 배향 방향을 장소에 따라 변화시킨다. 즉, 멀티 도메인 구성을 이

용하여 액정 표시 패널의 시야각을 증가시킨다.

- [0384] 다음으로, 이상 설명한 디바이스와는 상이한 VA 액정 표시 디바이스에 대해서, 도 28 내지 도 31을 참조하여 설명한다.
- [0385] 도 28과 도 29는 VA 액정 표시 패널의 화소 구조를 도시한다. 도 29는 기관(600)의 평면도이다. 도 28은 도 29의 절단선 Y-Z를 따라 절개한 단면 구조를 도시한다. 하기의 설명에서는 이 양쪽 도면을 참조하여 설명한다.
- [0386] 이 화소 구조에 있어서, 하나의 화소에 복수의 화소 전극이 설치되고, 각각의 화소 전극에 TFT가 접속된다. 복수의 TFT는 상이한 게이트 신호들에 의해 구동된다. 즉, 멀티 도메인 화소에 있어서, 개개의 화소 전극들에 인가하는 신호들을 서로 독립적으로 제어된다.
- [0387] 콘택트 홀(623)에 있어서, 화소 전극(624)은 배선(618)을 통해 TFT(628)에 접속된다. 콘택트 홀(627)에 있어서, 화소 전극(626)은 배선(619)을 통해 TFT(629)에 접속된다. TFT(628)의 게이트 배선(602)과 TFT(629)의 게이트 배선(603)은, 상이한 게이트 신호들이 공급될 수 있도록 분리되어 있다. 한편, 데이터선으로서 기능하는 배선(616)은, TFT들(628, 629)에 의해 공유된다. TFT들(628, 629) 각각으로서는, 실시 형태 1, 2, 5, 6에서 설명한 박막 트랜지스터를 적절히 이용할 수 있다. 또한, 용량 배선(690)이 설치된다. 절연막(620)은 절연층과 보호 절연층의 적층이다. 반도체층에 접촉하는 절연층은 스퍼터링 방법에 의해 형성된 산화 규소막이고, 절연층 위의 보호 절연층은 스퍼터링 방법에 의해 형성된 질화 규소막이다. 도 28에서는 간략화를 위해, 적층된 층인 절연막(620)을 단층으로서 도시한다는 것을 유의한다.
- [0388] 화소 전극(624)의 형상은 화소 전극(626)의 형상과 상이하고, 화소 전극층들은 슬릿들(625)에 의해 분리된다. V 형상인 화소 전극(624)을 둘러싸도록 화소 전극(626)이 형성된다. 화소 전극(624)과 화소 전극(626)에의 전압 인가 타이밍을, TFT들(628, 629)에 의해 서로 다르게 함으로써, 액정의 배향을 제어한다. 도 31은 이 화소 구조의 등가 회로를 도시한다. TFT(628)는 게이트 배선(602)에 접속되고, TFT(629)는 게이트 배선(603)에 접속된다. 게이트 배선들(602, 603)에 상이한 게이트 신호들이 공급되면, TFT들(628, 629)의 동작 타이밍을 상이하게 할 수 있다.
- [0389] 대향 기관(601)에는, 제2 착색막(636)과 대향 전극(640)이 설치된다. 제2 착색막(636)과 대향 전극(640) 사이에는 평탄화막(637)이 형성되어, 액정의 배향 흐트러짐을 방지한다. 도 30은 대향 기관측의 구조를 도시한다. 대향 전극(640)은 상이한 화소들에 의해 공유되고, 슬릿들(641)을 갖는다. 이 슬릿들(641)과, 화소 전극(624) 및 화소 전극(626)측의 슬릿들(625)을 서로 교대로 배열하여, 경사 전계가 효과적으로 발생되도록 함으로써, 액정의 배향을 제어할 수 있다. 이에 의해, 액정의 배향을 장소에 따라 상이하게 할 수 있어서, 시야각을 넓힐 수 있다.
- [0390] 화소 전극(624)과 액정층(650)과 대향 전극(640)을 서로 중첩함으로써, 제1 액정 소자가 형성된다. 또한, 화소 전극(626)과 액정층(650)과 대향 전극(640)을 중첩함으로써, 제2 액정 소자가 형성된다. 또한, 하나의 화소에 제1 액정 소자와 제2 액정 소자가 설치된 멀티 도메인 구조가 채택된다.
- [0391] 다음으로, 횡전계 모드의 액정 표시 디바이스에 대해서 설명한다. 횡전계 모드에 있어서는, 셀 내의 액정 분자들에 대하여 수평 방향의 전계를 인가함으로써, 액정을 구동해서 계조를 표현한다. 이 방식에 따르면, 시야각을 약 180° 까지 증가시킬 수 있다. 하기의 설명에서는, 횡전계 모드의 액정 표시 디바이스에 대해서 설명한다.
- [0392] 도 32에 있어서, TFT(628), TFT(628)에 접속된 화소 전극(624)이 형성되어 있는 기관(600)과, 대향 기관(601)을 서로 중첩하고, 기관(600)과 대향 기관(601) 사이에 액정을 주입한다. 대향 기관(601)에는 제2 착색막(636) 및 평탄화막(637) 등이 구비된다. 화소 전극은 기관(600)에 설치되고, 대향 기관(601)에는 설치되지 않는다. 기관(600)과 대향 기관(601) 사이에 액정층(650)이 형성된다.
- [0393] 기관(600) 위에, 제1 화소 전극(607), 제1 화소 전극(607)에 접속된 용량 배선(604), 및 실시 형태 1, 2, 5, 6 중 임의의 것에서 설명한 TFT(628)가 형성된다. 제1 화소 전극(607)은, 실시 형태 1에서 설명한 화소 전극층(427)과 마찬가지로 재료로 형성할 수 있다. 또한, 제1 화소 전극(607)은 대략 화소의 형상에 따라 구획화된 형상으로 형성된다. 제1 화소 전극(607) 및 용량 배선(604) 위에는 게이트 절연막(606)이 형성된다는 것을 유의한다.
- [0394] TFT(628)의 배선들(616, 618)이 게이트 절연막(606) 위에 형성된다. 배선(616)은 액정 표시 패널에 있어서 비디오 신호를 전송하는 데이터선이며 일 방향으로 신장된 배선이다. 배선(616)은 TFT(628)의 소스 영역 또는 드

레인 영역에도 접속되고, 소스 및 드레인 전극들 중의 하나로서 기능한다. 배선(618)은 소스 및 드레인 전극들 중 다른 하나로서 기능하고, 화소 전극(624)에 접속된다.

- [0395] 배선들(616, 618) 위에 제2 절연막(620)이 형성된다. 절연막(620)은, 절연층과 보호 절연층의 적층이다. 반도체층에 접촉하는 절연층은 스퍼터링 방법에 의해 형성된 산화 규소막이고, 절연층 위의 보호 절연층은 스퍼터링 방법에 의해 형성된 질화 규소막이다. 도 32에서는 간략화를 위해, 적층된 층인 절연막(620)을 단층으로서 도시한다는 것을 유의한다. 또한, 절연막(620) 위에는, 절연막(620)에 형성된 콘택트 홀을 통해 배선(618)에 접속되는 제2 화소 전극(624)이 형성된다. 화소 전극(624)은 실시 형태 1에서 설명한 화소 전극층(427)과 마찬가지로 지의 재료를 이용하여 형성한다.
- [0396] 이렇게 하여, 기관(600) 위에 TFT(628), 및 TFT(628)에 접속된 화소 전극(624)이 형성된다. 축적 용량은 화소 전극(607)과 화소 전극(624)으로 형성된다는 것을 유의한다.
- [0397] 도 33은 화소 전극의 구성을 도시하는 평면도이다. 도 32는 도 33의 절단선 O-P를 따라 절개한 단면 구조를 도시한다. 화소 전극(624)에는 슬릿들(625)이 설치된다. 슬릿들(625)은 액정의 배향을 제어하기 위해 설치된다. 그 경우, 전계는 화소 전극(607)과 화소 전극(624) 사이에서 발생된다. 화소 전극(607)과 화소 전극(624) 사이에 형성된 게이트 절연막(606)의 두께는 50nm 내지 200nm이고, 이것은 액정층의 두께 2 μ m 내지 10 μ m보다 훨씬 얇다. 따라서, 실질적으로 기관(600)에 평행한 방향으로(수평 방향으로) 전계가 발생된다. 이 전계에 의해 액정의 배향이 제어된다. 이 기관과 실질적으로 평행한 방향의 전계를 이용해서 액정 분자를 수평하게 회전시킨다. 그 경우, 액정 분자들은 임의의 상태에서도 수평하게 배향되기 때문에, 보는 각도에 의한 콘트라스트 등에의 영향은 작으므로, 시야각이 넓어진다. 또한, 화소 전극(607)과 화소 전극(624) 모두 투광성 전극이기 때문에, 개구율을 향상시킬 수 있다.
- [0398] 다음으로, 횡전계 모드의 액정 표시 디바이스의 상이한 예에 대해서 설명한다.
- [0399] 도 34와 도 35는 IPS 모드의 액정 표시 디바이스의 화소 구조를 도시한다. 도 35는 평면도이다. 도 34는 도 35의 절단선 V-W를 따라 절개한 단면 구조를 도시한다. 하기의 설명에서는 이 양쪽 도면을 참조하여 설명한다.
- [0400] 도 34에 있어서, TFT(628), TFT(628)에 접속하는 제2 화소 전극(624)이 형성되어 있는 기관(600)과, 대향 기관(601)을 서로 중첩하고, 기관(600)과 대향 기관(601) 사이에 액정을 주입한다. 대향 기관(601)에는 제2 착색막(636) 및 평탄화막(637) 등이 구비된다. 화소 전극(624)은 기관(600)측에 설치되고, 대향 기관(601)측에는 설치되지 않는다. 기관(600)과 대향 기관(601) 사이에 액정층(650)이 형성된다.
- [0401] 기관(600) 위에는, 공통 전위선(609), 및 실시 형태 1, 2, 5, 6 중 임의의 것에서 설명한 TFT(628)가 형성된다. 공통 전위선(609)은 TFT(628)의 게이트 배선(602)과 동시에 형성할 수 있다.
- [0402] TFT(628)의 배선들(616, 618)은 게이트 절연막(606) 위에 형성된다. 배선(616)은 액정 표시 패널에 있어서 비디오 신호를 전송하는 데이터선이며, 일 방향으로 신장된 배선이다. 또한, 배선(616)은 TFT(628)의 소스 영역 또는 드레인 영역에 접속되고, 소스 및 드레인 전극들 중 하나로서 기능한다. 배선(618)은 소스 및 드레인 전극들 중 다른 하나로서 기능하고, 화소 전극(624)에 접속된다.
- [0403] 배선들(616, 618) 위에 제2 절연막(620)이 형성된다. 또한, 절연막(620) 위에는, 절연막(620)에 형성된 콘택트 홀에서 배선(618)에 접속되는 화소 전극(624)이 형성된다. 절연막(620)은 절연층과 보호 절연층의 적층이다. 반도체층에 접촉하는 절연층은 스퍼터링 방법에 의해 형성된 산화 규소막이고, 보호 절연층은 스퍼터링 방법에 의해 형성된 질화 규소막이다. 도면에서는, 간략화를 위해, 적층된 층인 절연막(620)을 단층으로서 도시한다는 것을 유의한다. 화소 전극(624)은 실시 형태 1에서 설명한 화소 전극층(427)과 동일한 재료를 이용하여 형성한다. 도 35에 도시된 바와 같이, 화소 전극(624)은, 공통 전위선(609)과 동시에 형성한 빗형(comb-shaped) 전극으로 횡전계를 발생하도록 형성된다는 것을 유의한다. 또한, 화소 전극(624)은, 화소 전극(624)의 빗살 부분들과, 공통 전위선(609)과 동시에 형성한 빗형 전극의 빗살 부분들을 교대로 배치하여 형성된다.
- [0404] 화소 전극(624)에 인가되는 전위와 공통 전위선(609)의 전위에 기인하여 발생하는 전계에 의해 액정의 배향이 제어된다. 기관과 대략 평행한 방향의 전계를 이용해서 액정 분자들을 수평하게 회전시킨다. 그 경우, 액정 분자들은 임의의 상태에서도 수평하게 배향되기 때문에, 보는 각도에 의한 콘트라스트 등에의 영향이 적으므로, 시야각이 넓어진다.
- [0405] 이렇게 하여, 기관(600) 위에 TFT(628), 및 TFT(628)에 접속된 화소 전극(624)이 형성된다. 공통 전위선(609)과 용량 전극(615) 사이에 게이트 절연막(606)을 설치하여, 축적 용량을 형성한다. 용량 전극(615)과 화소

전극(624)은 콘택트 홀(633)을 통해서 서로 접속된다.

[0406] 이상의 공정에 의해, 표시 디바이스로서 액정 표시 디바이스를 제작할 수 있다. 본 실시 형태의 액정 표시 디바이스는 신뢰성이 높은 액정 표시 디바이스이다.

[0407] 본 출원은 2009년 7월 31일자로 일본 특허청에 출원된 일본 특허 출원 제2009-180077호에 기초하며, 그 전체 내용이 본 명세서에 참조되어 포괄된다.

부호의 설명

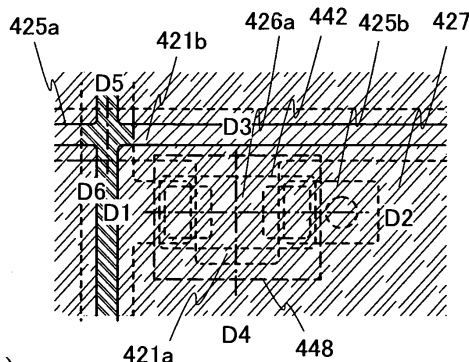
[0408] 10: 펄스 출력 회로, 11: 제1 배선, 12: 제2 배선, 13: 제3 배선, 14: 제4 배선, 15: 제5 배선, 21: 제1 입력 단자, 22: 제2 입력 단자, 23: 제3 입력 단자, 24: 제4 입력 단자, 25: 제5 입력 단자, 26: 제1 출력 단자, 27: 제2 출력 단자, 28: 박막 트랜지스터, 31: 트랜지스터, 32: 트랜지스터, 33: 트랜지스터, 34: 트랜지스터, 35: 트랜지스터, 36: 트랜지스터, 37: 트랜지스터, 38: 트랜지스터, 39: 트랜지스터, 40: 트랜지스터, 41: 트랜지스터, 42: 트랜지스터, 43: 트랜지스터, 51: 전원선, 52: 전원선, 53: 전원선, 61: 기간, 62: 기간, 200: 기관, 202: 게이트 절연층, 203: 보호 절연층, 204: 평탄화 절연층, 205: 공통 전위선, 206: 공통 전극층, 207: 산화물 반도체층, 208: 산화물 절연층, 209: 공통 전위선, 216: 절연층, 220: 박막 트랜지스터, 221: 단자, 222: 단자, 223: 접속 전극층, 225: 도전층, 226: 전극층, 227: 화소 전극층, 230: 용량 배선층, 231: 용량 전극, 236: 금속 배선층, 237: 금속 배선층, 241: 금속 배선층, 242: 금속 배선층, 243: 금속 배선층, 244: 금속 배선층, 250: 용량 배선층, 251: 산화물 반도체층, 254: 소스 배선, 255: 단자 전극, 256: 소스 배선, 257: 단자 전극, 260: 박막 트랜지스터, 261: 게이트 전극층, 263: 채널 형성 영역, 264a: 고저항 소스 영역, 264b: 고저항 드레인 영역, 264c: 영역, 264d: 영역, 265a: 소스 전극층, 265b: 드레인 전극층, 266: 산화물 절연층, 266b: 산화물 절연층, 267: 도전층, 270: 박막 트랜지스터, 271: 게이트 전극층, 273: 채널 형성 영역, 274a: 고저항 소스 영역, 274b: 고저항 드레인 영역, 274c: 영역, 274d: 영역, 274e: 영역, 274f: 영역, 275a: 소스 전극층, 275b: 드레인 전극층, 276a: 산화물 절연층, 276b: 산화물 절연층, 277: 도전층, 280: 박막 트랜지스터, 282a: 게이트 절연층, 282b: 게이트 절연층, 282c: 게이트 절연층, 286b: 산화물 절연층, 290: 박막 트랜지스터, 292a: 게이트 절연층, 292b: 게이트 절연층, 400: 기관, 402: 게이트 절연층, 403: 보호 절연층, 404: 평탄화 절연층, 420: 박막 트랜지스터, 421a: 게이트 전극층, 421b: 게이트 전극층, 422: 산화물 반도체층, 423: 채널 형성 영역, 424a: 고저항 소스 영역, 424b: 고저항 드레인 영역, 424c: 영역, 424d: 영역, 424e: 고저항 소스 영역, 424f: 고저항 드레인 영역, 425a: 소스 전극층, 425b: 드레인 전극층, 426a: 산화물 절연층, 426b: 산화물 절연층, 427: 화소 전극층, 428: 절연층, 429: 산화물 반도체층, 441: 콘택트 홀, 442: 산화물 반도체층, 448: 박막 트랜지스터, 580: 기관, 581: 박막 트랜지스터, 583: 절연막, 585: 절연층, 587: 전극층, 588: 전극층, 589: 구형 입자, 590a: 블랙 영역, 590b: 화이트 영역, 594: 캐비티, 595: 충전재, 596: 기관, 600: 기관, 601: 대향 기관, 602: 게이트 배선, 603: 게이트 배선, 604: 용량 배선, 605: 용량 배선, 606: 게이트 절연막, 607: 전극층, 608: 채널 보호층, 609: 공통 전위선, 611: 채널 보호층, 615: 용량 전극, 616: 배선, 617: 용량 배선, 618: 배선, 619: 배선, 620: 절연막, 621: 절연막, 622: 절연막, 623: 콘택트 홀, 624: 화소 전극, 625: 슬릿, 626: 화소 전극, 627: 콘택트 홀, 628: TFT, 629: TFT, 630: 축적 용량부, 631: 축적 용량부, 632: 차광막, 633: 콘택트 홀, 636: 착색막, 637: 평탄화막, 640: 대향 전극층, 641: 슬릿, 644: 돌기, 646: 배향막, 648: 배향막, 650: 액정층, 651: 액정 소자, 652: 액정 소자, 690: 용량 배선, 2600: TFT 기관, 2601: 대향 기관, 2602: 시일재, 2603: 화소부, 2604: 표시 소자, 2605: 착색층, 2606: 편광판, 2607: 편광판, 2608: 배선 회로부, 2609: 플렉시블 배선 보드, 2610: 냉음극관, 2611: 반사판, 2612: 회로 보드, 2613: 확산판, 2700: 전자 서적, 2701: 하우징, 2703: 하우징, 2705: 표시부, 2707: 표시부, 2711: 힌지, 2721: 전원 버튼, 2723: 조작 키, 2725: 스피커, 4001: 기관, 4002: 화소부, 4003: 신호선 구동 회로, 4004: 주사선 구동 회로, 4005: 시일재, 4006: 기관, 4008: 액정층, 4010: 박막 트랜지스터, 4011: 박막 트랜지스터, 4013: 액정 소자, 4015: 접속 단자 전극, 4016: 단자 전극, 4018: FPC, 4019: 이방성 도전막, 4020: 절연층, 4021: 절연층, 4030: 화소 전극층, 4031: 대향 전극층, 4032: 절연층, 4040: 도전층, 4041a: 절연층, 4041b: 절연층, 4042a: 절연층, 4042b: 절연층, 4501: 기관, 4502: 화소부, 4503a, 4503b: 신호선 구동 회로, 4504a, 4504b: 주사선 구동 회로, 4505: 시일재, 4506: 기관, 4507: 충전재, 4509: 박막 트랜지스터, 4510: 박막 트랜지스터, 4511: 발광 디바이스, 4512: 전계발광층, 4513: 전극층, 4515: 접속 단자 전극, 4516: 단자 전극, 4517: 전극층, 4518a, 4518b: FPC, 4519: 이방성 도전막, 4520: 격벽, 4540: 도전층, 4541a: 절연층, 4541b: 절연층, 4542a: 절연층, 4542b: 절연층, 4543: 절연층, 4544: 절연층, 5300: 기관, 5301: 화소부, 5302: 주사선 구동 회로, 5303: 주사선 구동 회로, 5304: 신호선 구동 회로, 5305: 타이밍 제어 회로, 5601: 시프트 레지스터, 5602: 스위칭 회로, 5603: 박막 트랜지스터, 5604: 배선, 5605: 배선, 6400: 화소, 6401: 스위칭 트랜지

스터, 6402: 발광 소자 구동 트랜지스터, 6403: 캐패시터, 6404: 발광 디바이스, 6405: 신호선, 6406: 주사선, 6407: 전원선, 6408: 공통 전극, 7000: 보호 절연층, 7001: TFT, 7002: 발광 디바이스, 7003: 음극, 7004: 발광층, 7005: 양극, 7006: 절연층, 7007: 평탄화 절연층, 7009: 격벽, 7011: 발광 소자 구동 TFT, 7012: 발광 디바이스, 7013: 음극, 7014: 발광층, 7015: 양극, 7016: 차폐막, 7017: 도전막, 7021: 발광 소자 구동 TFT, 7022: 발광 디바이스, 7023: 음극, 7024: 발광층, 7025: 양극, 7027: 도전막, 9201: 표시부, 9202: 표시 버튼, 9203: 조작 스위치, 9204: 밴드부, 9205: 조절부, 9206: 카메라부, 9207: 스피커, 9208: 마이크, 9301: 상부 하우징, 9302: 하부 하우징, 9303: 표시부, 9304: 키보드, 9305: 외부 접속 포트, 9306: 포인팅 디바이스, 9307: 표시부, 9600: 텔레비전 디바이스, 9601: 하우징, 9603: 표시부, 9605: 스탠드, 9607: 표시부, 9609: 조작 키, 9610: 리모콘, 9700: 디지털 액자, 9701: 하우징, 9703: 표시부, 9881: 하우징, 9882: 표시부, 9883: 표시부, 9884: 스피커부, 9885: 입력 수단(조작 키), 9886: 저장 매체 삽입부, 9887: 접속 단자, 9888: 센서, 9889: 마이크, 9890: LED 램프, 9891: 하우징, 9893: 연결부, 9900: 슬롯 머신, 9901: 하우징, 9903: 표시부

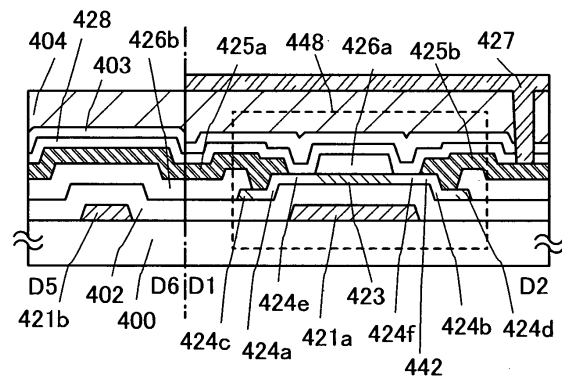
도면

도면1

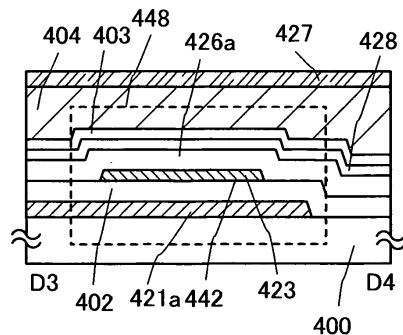
(a)



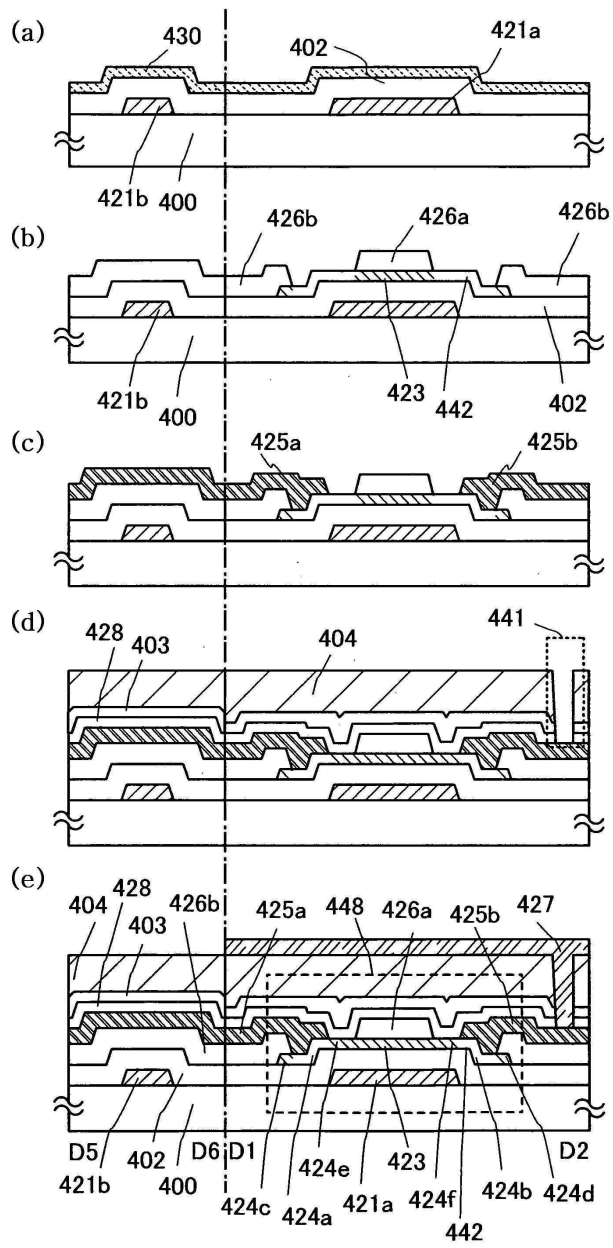
(b)



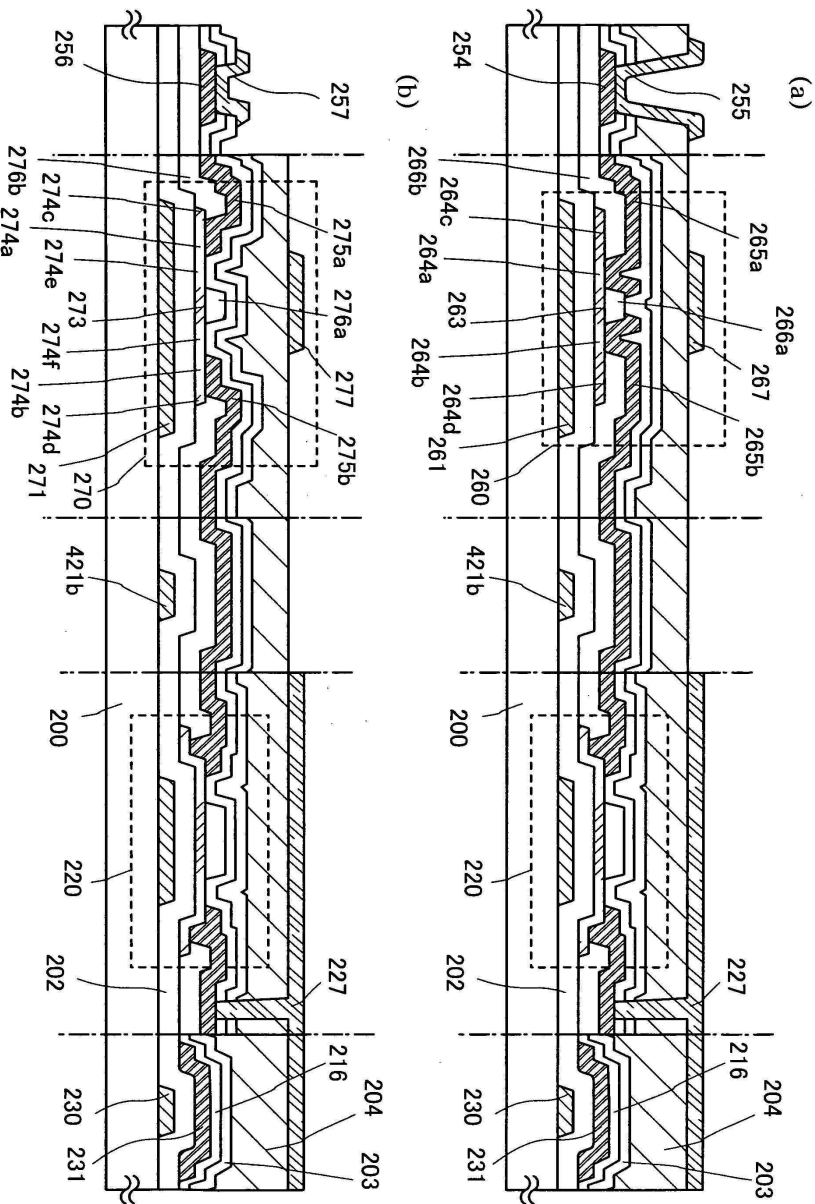
(c)



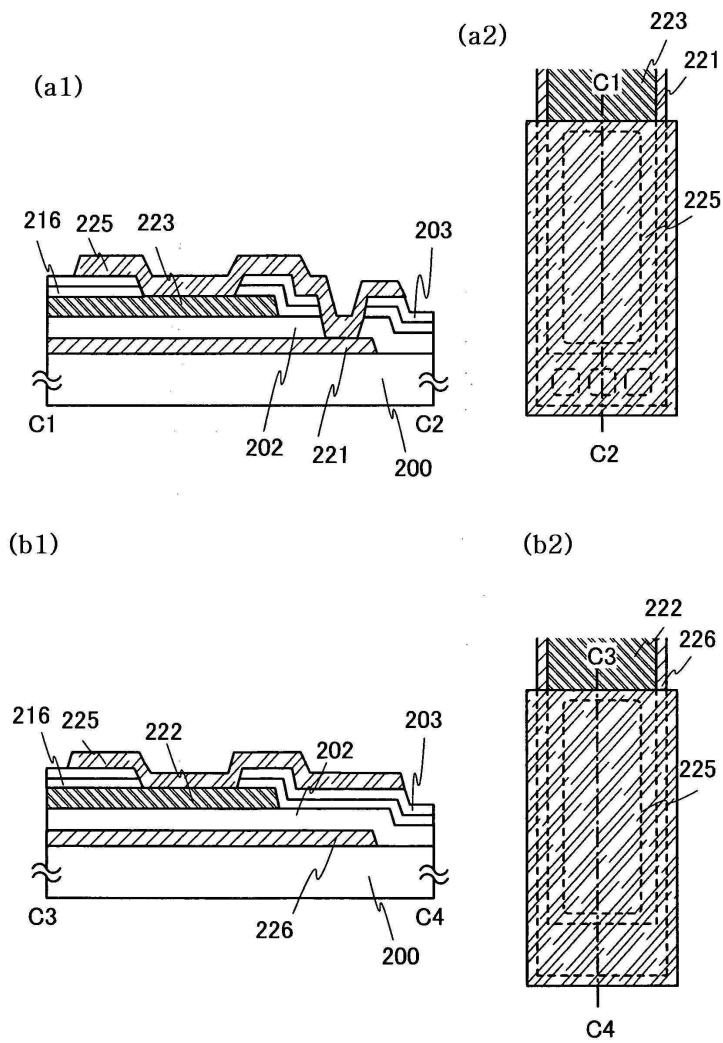
도면2



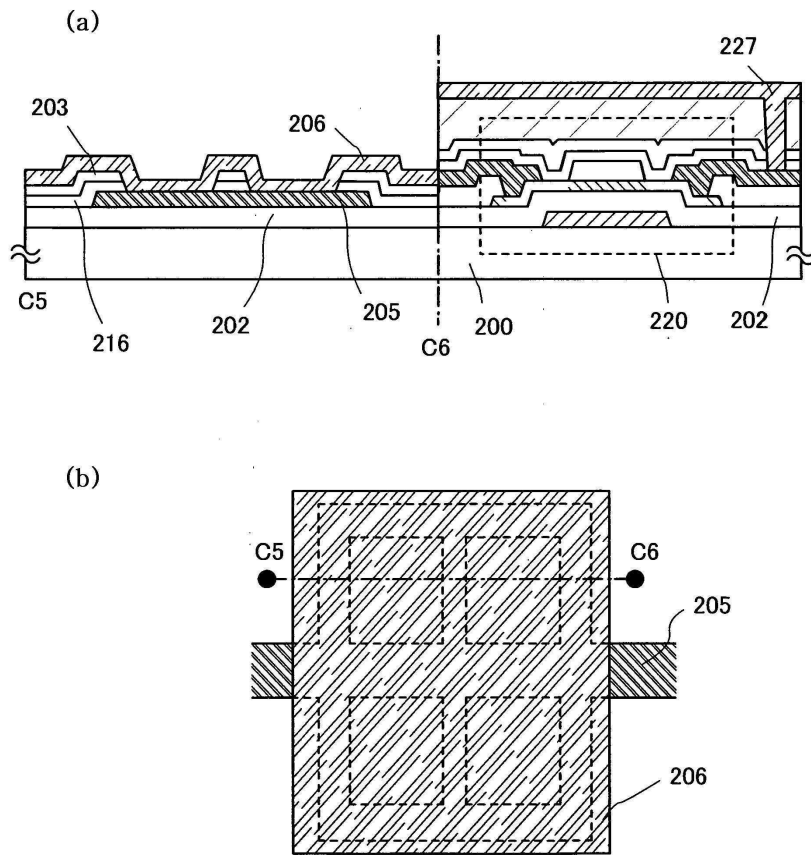
도면3



도면4

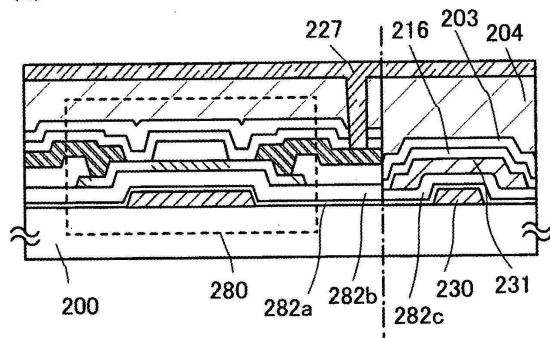


도면5

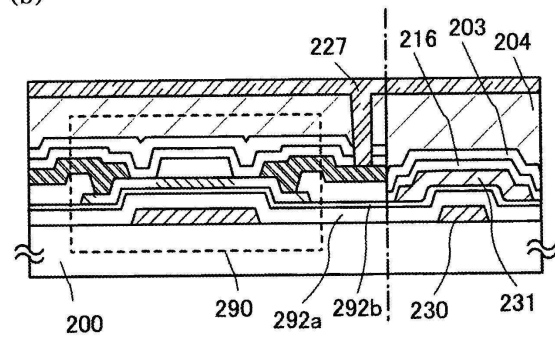


도면6

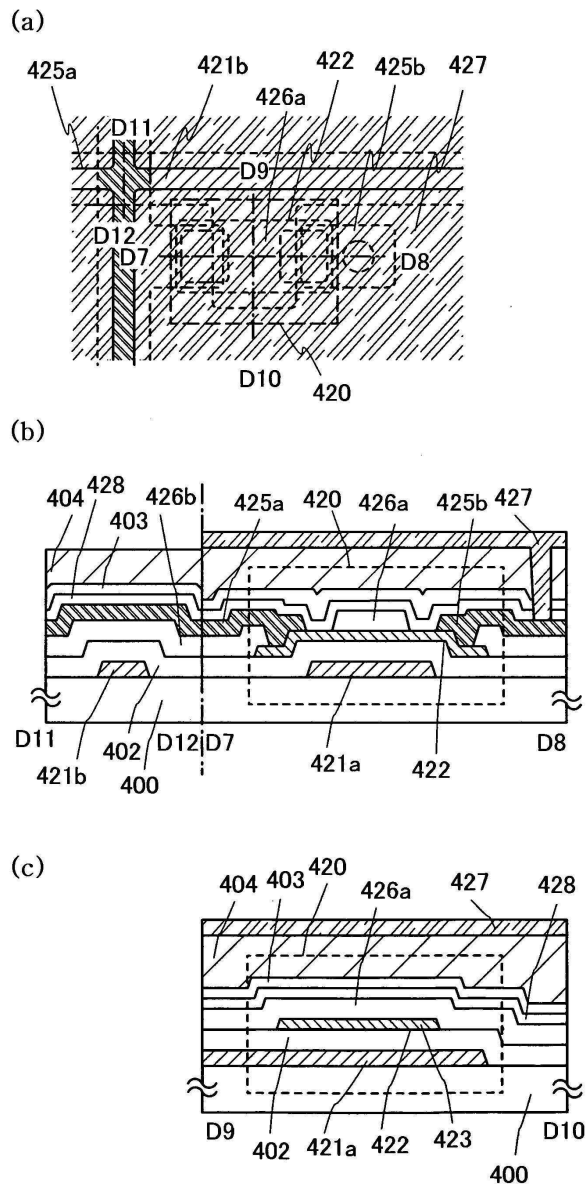
(a)



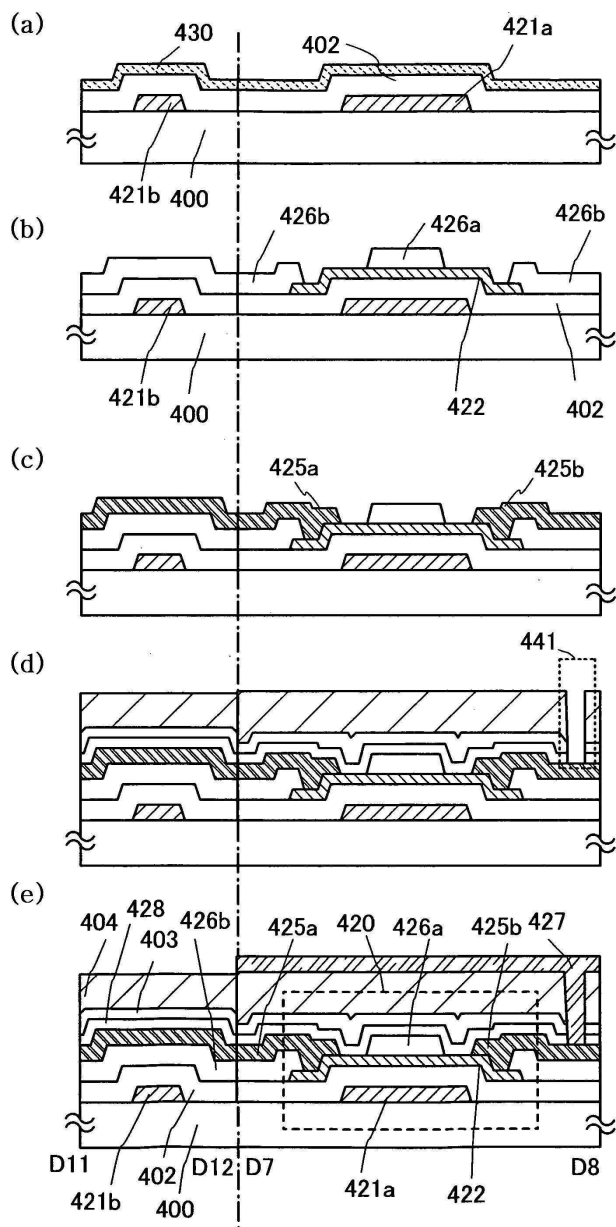
(b)



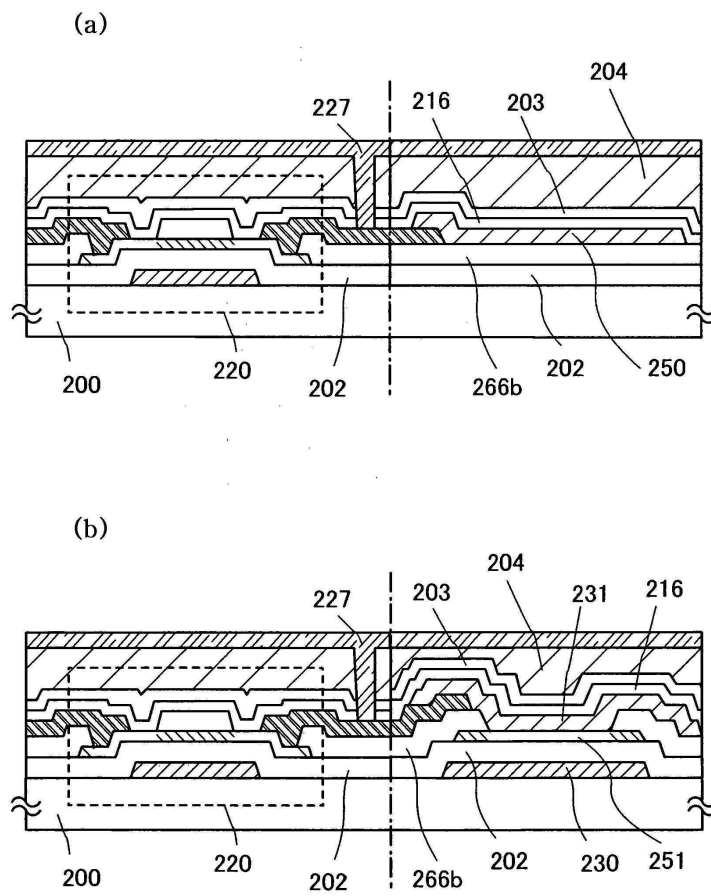
도면7



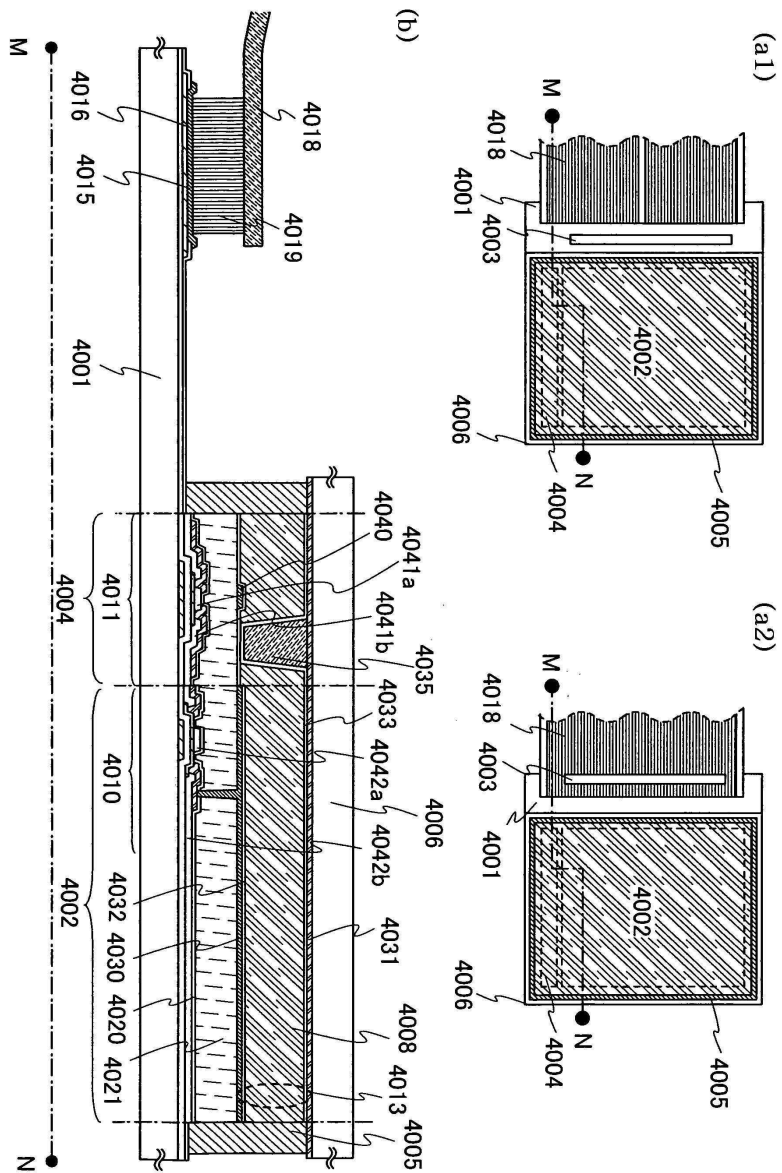
도면8



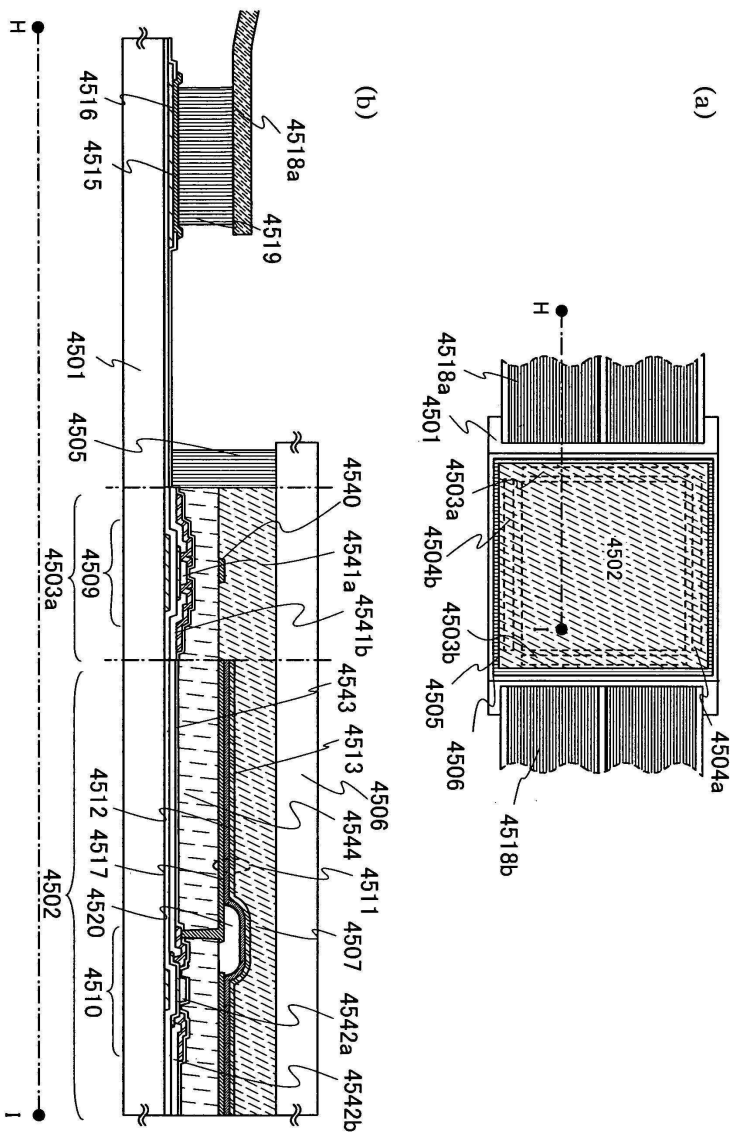
도면9



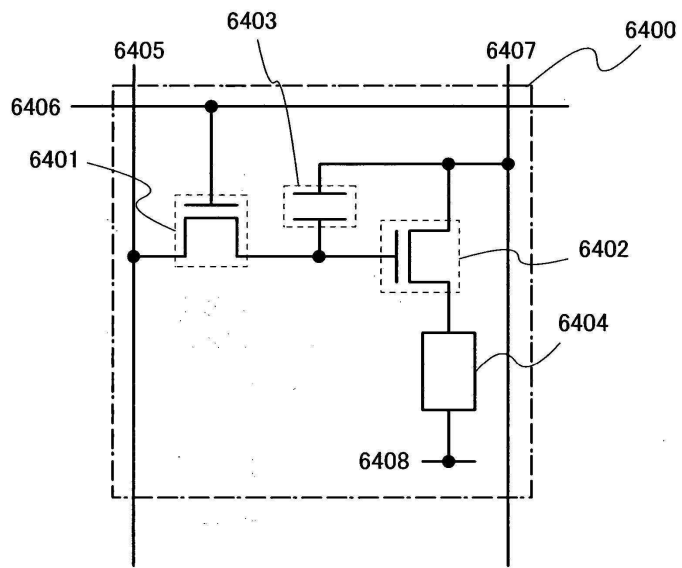
도면10



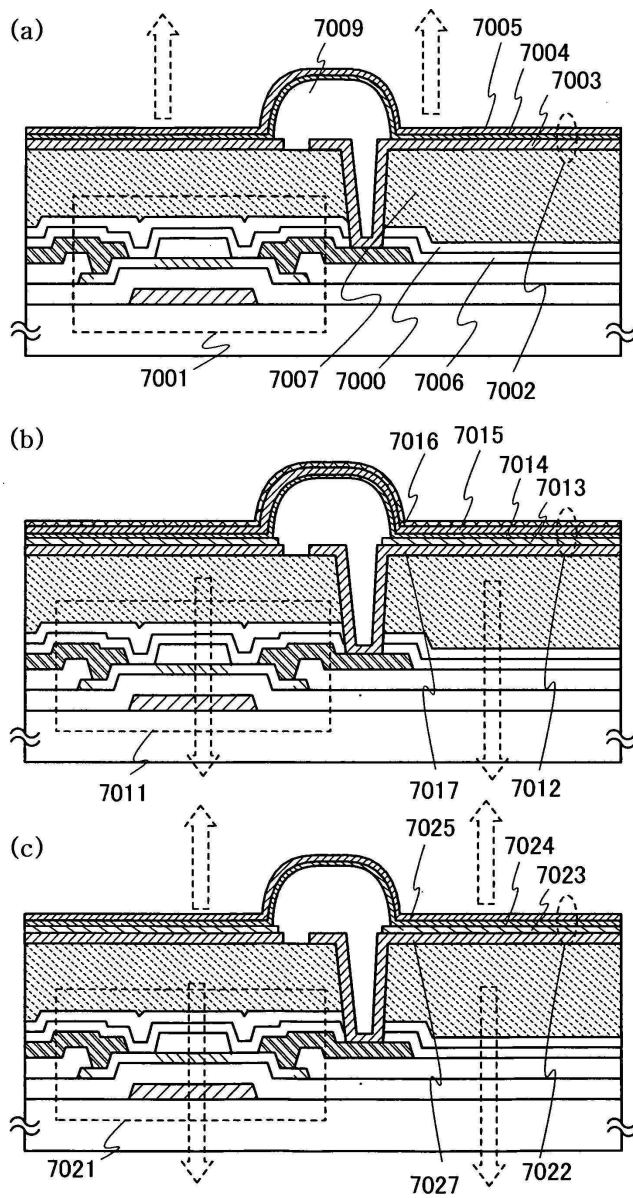
도면11



도면12

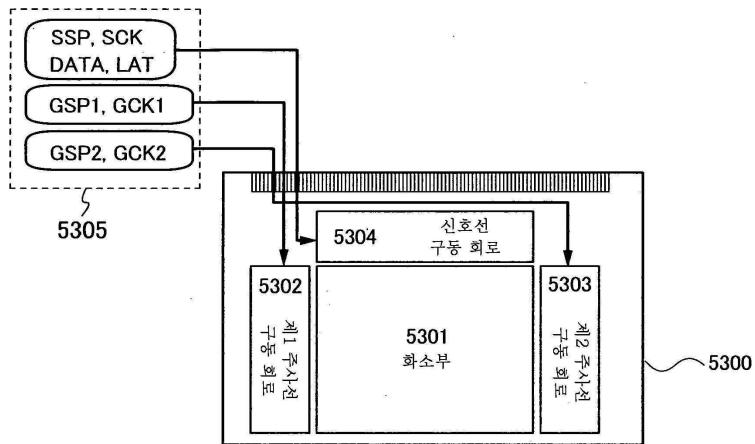


도면13

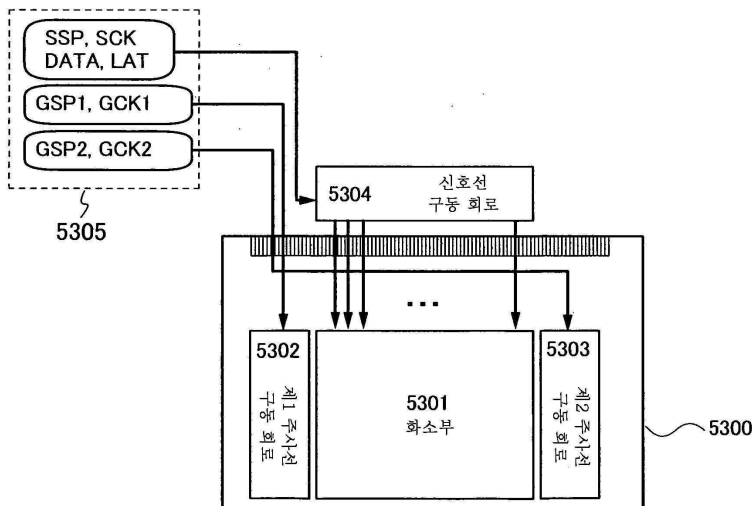


도면14

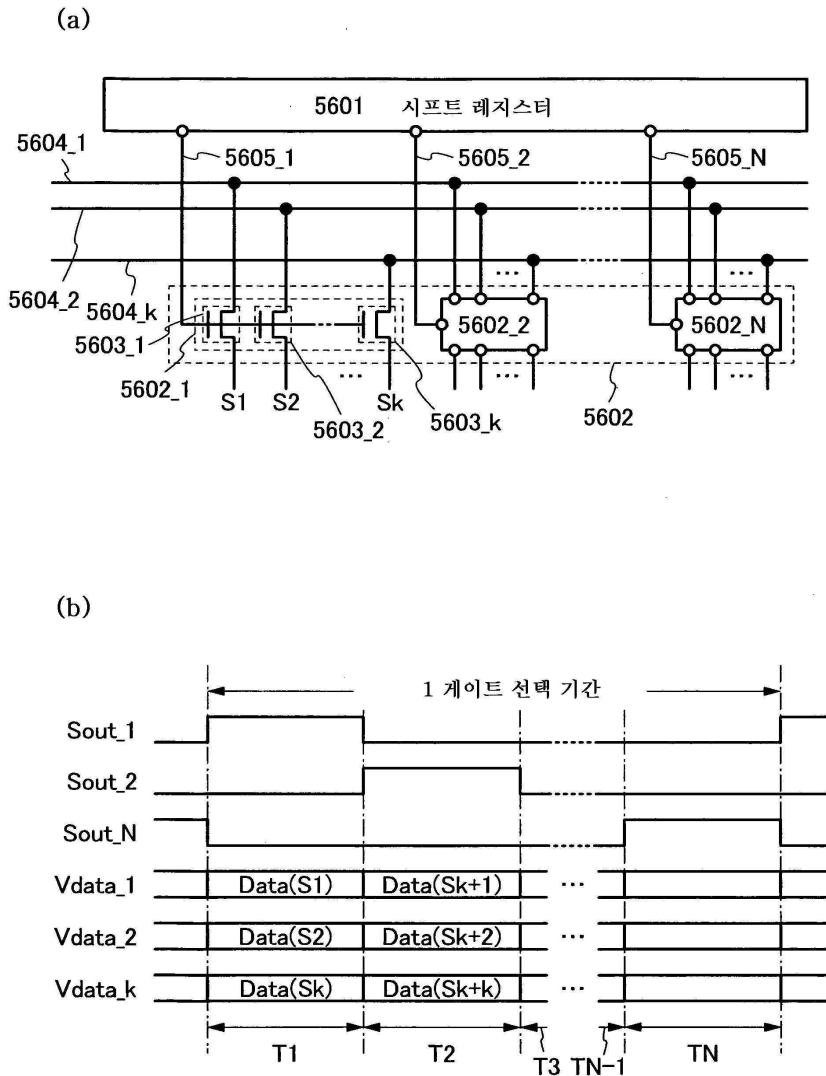
(a)



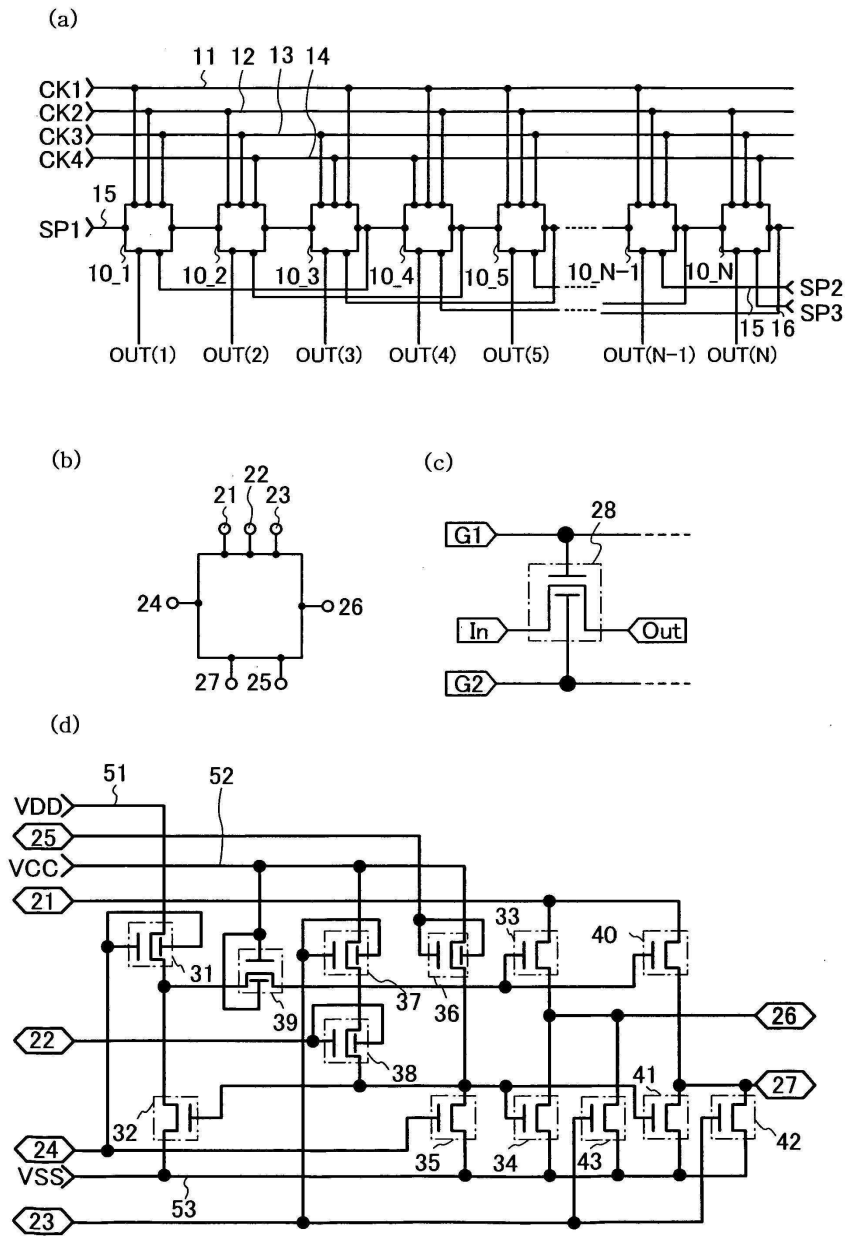
(b)



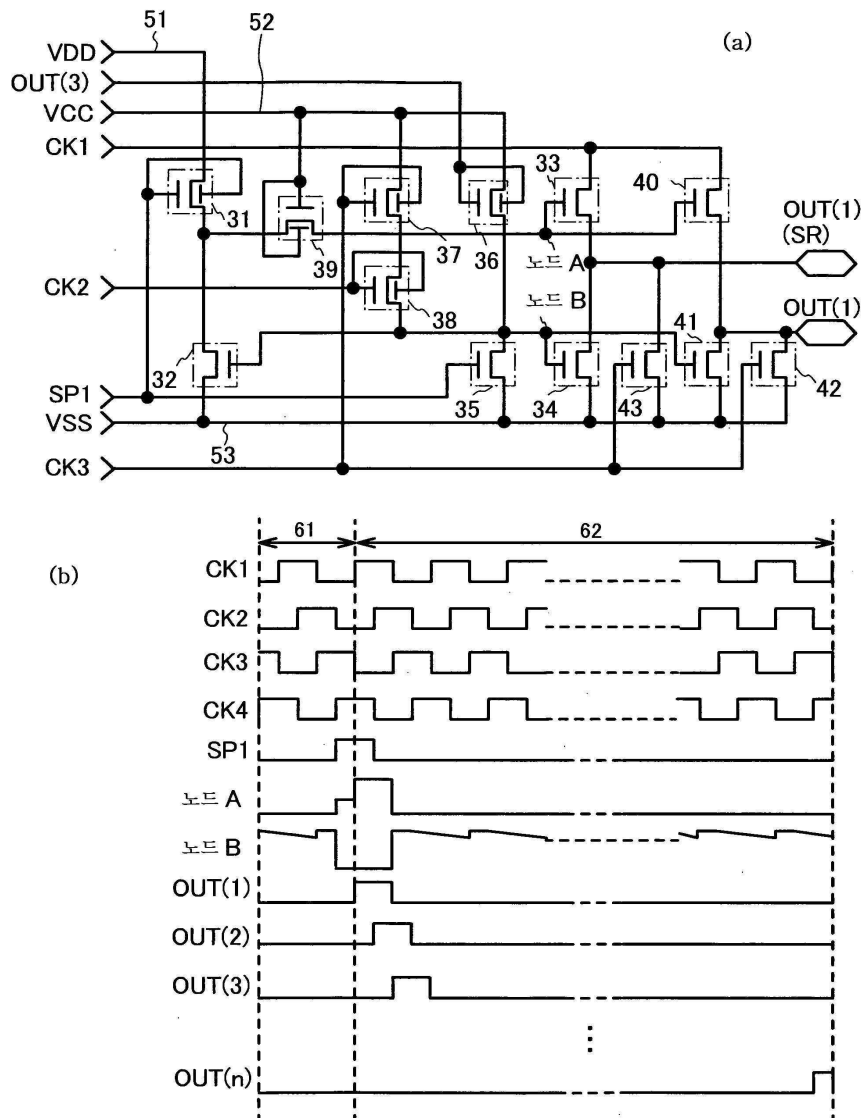
도면15



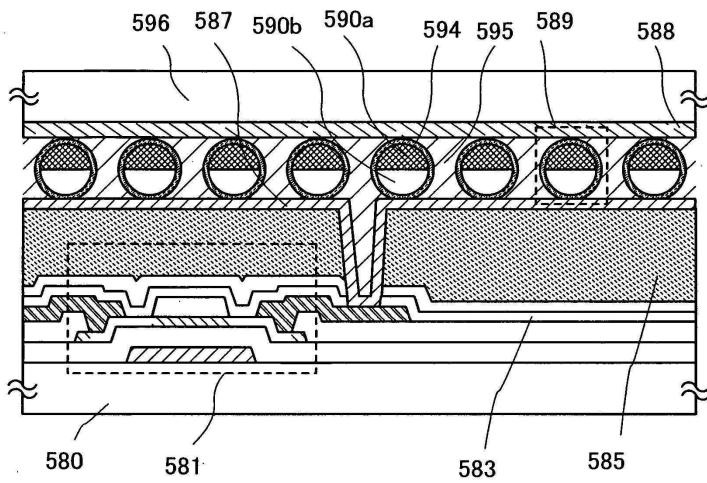
도면16



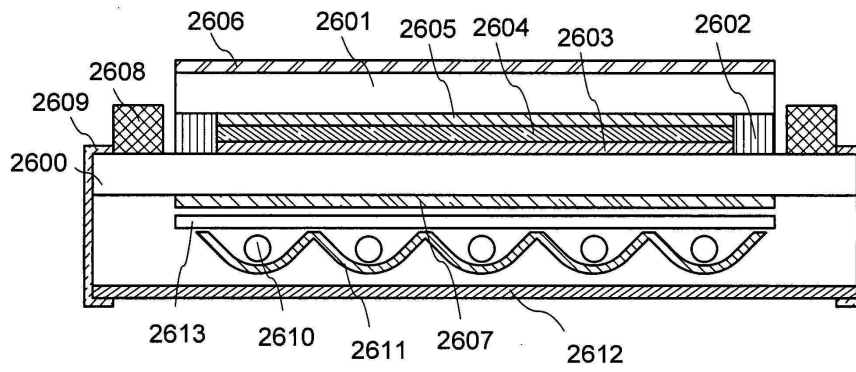
도면17



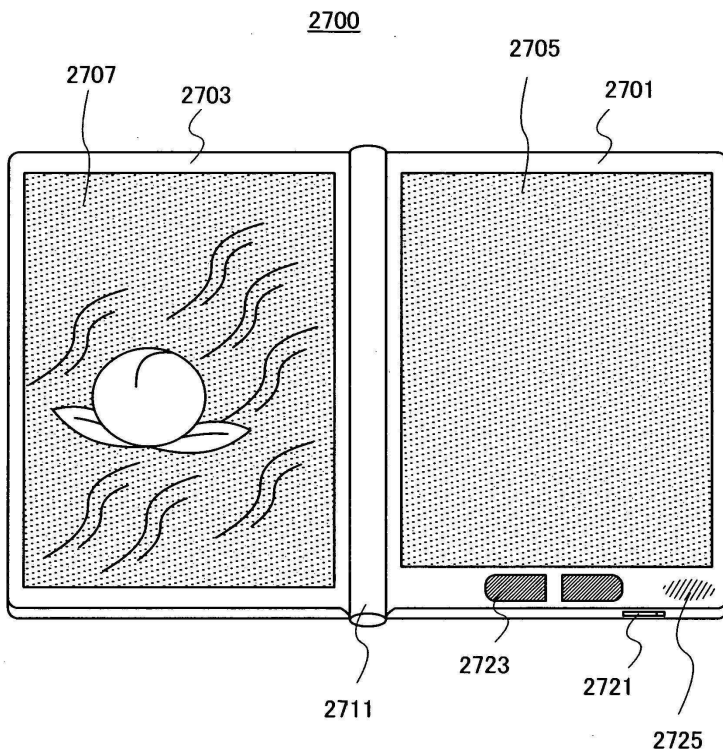
도면18



도면19

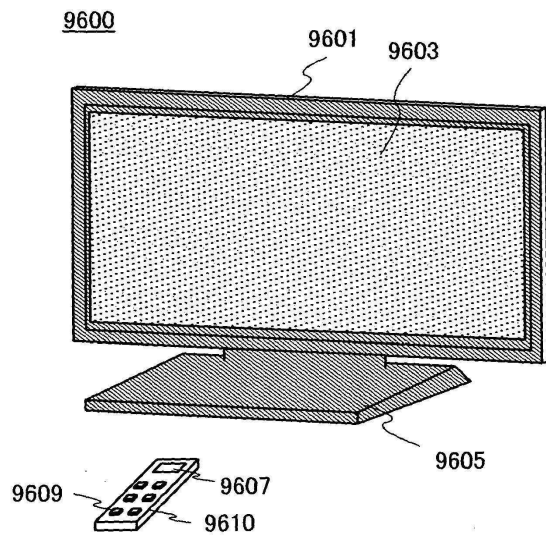


도면20

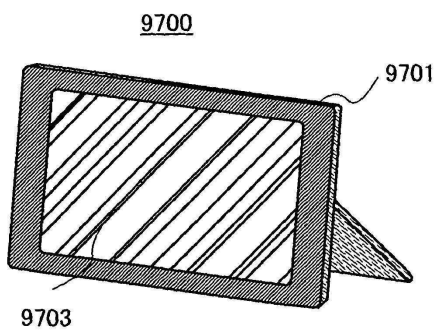


도면21

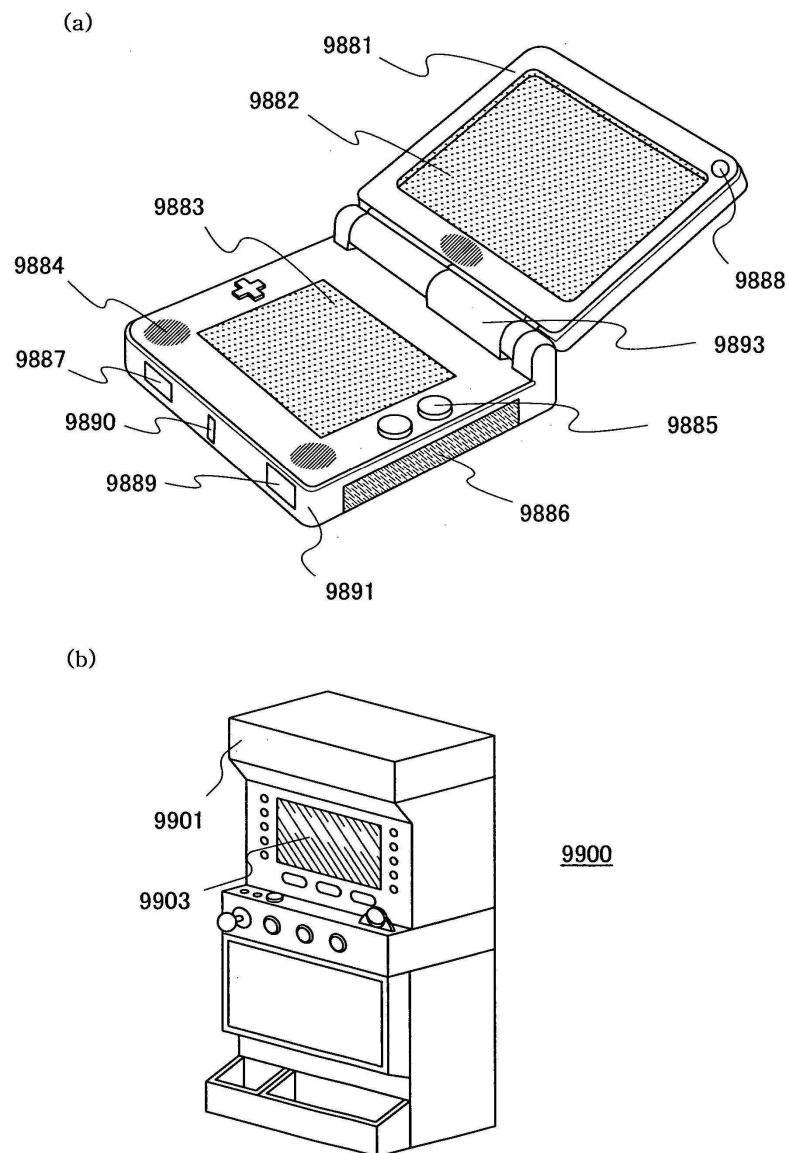
(a)



(b)

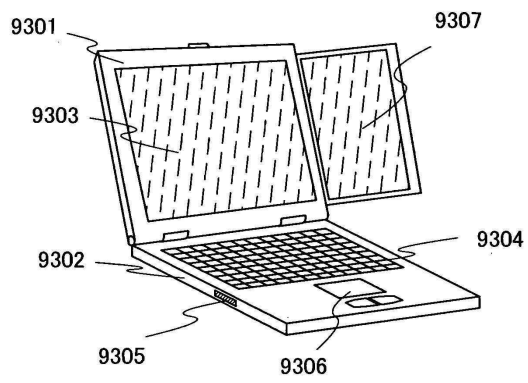


도면22

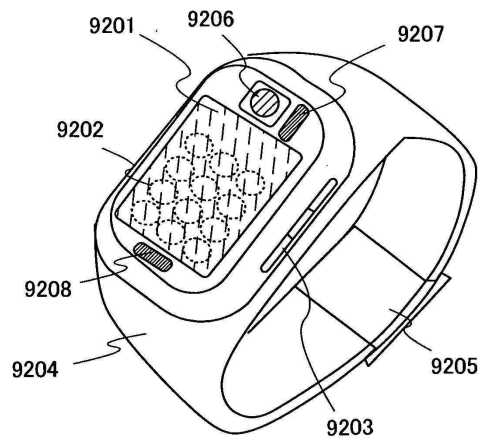


도면23

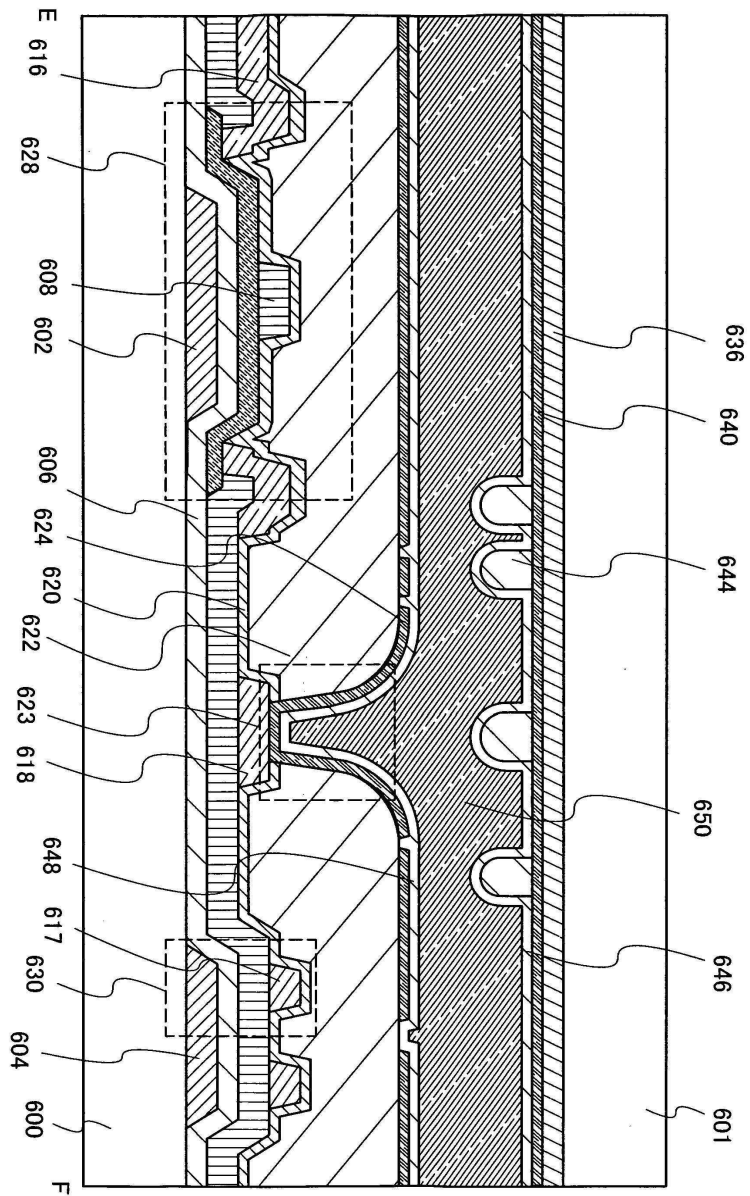
(a)



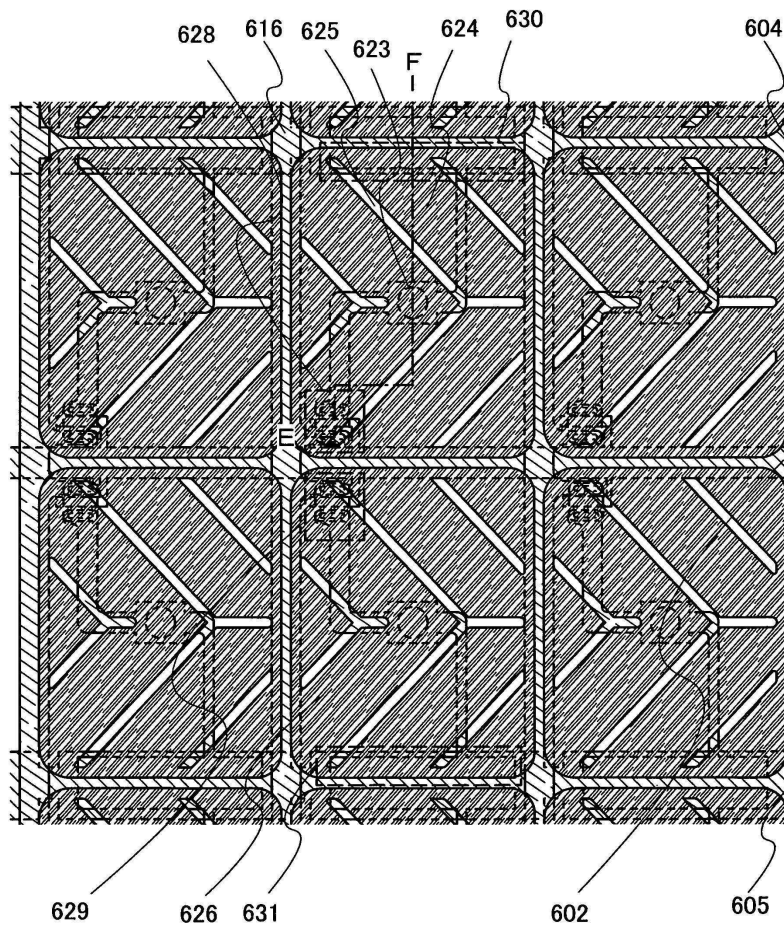
(b)



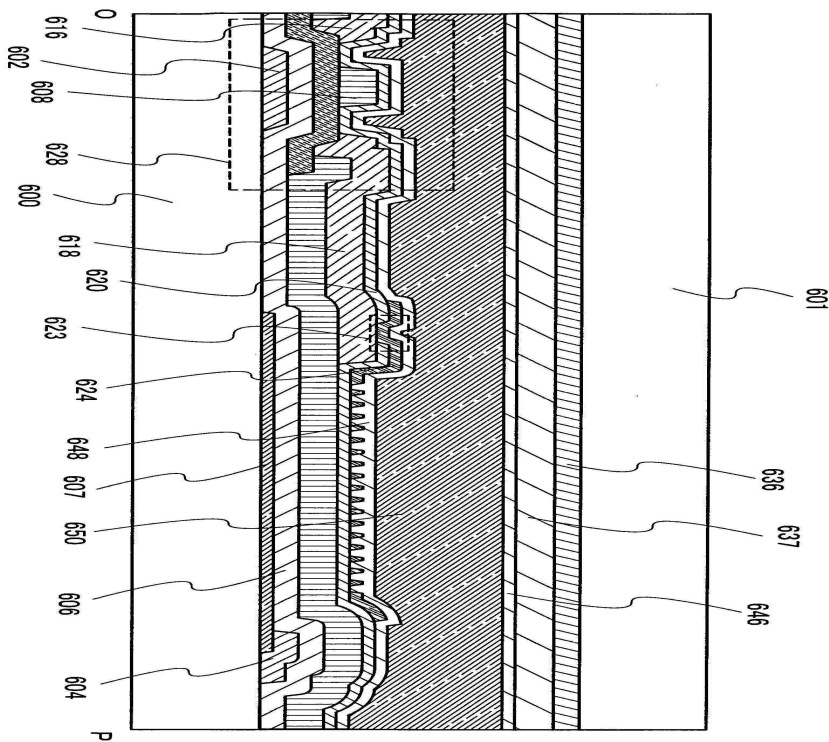
도면24



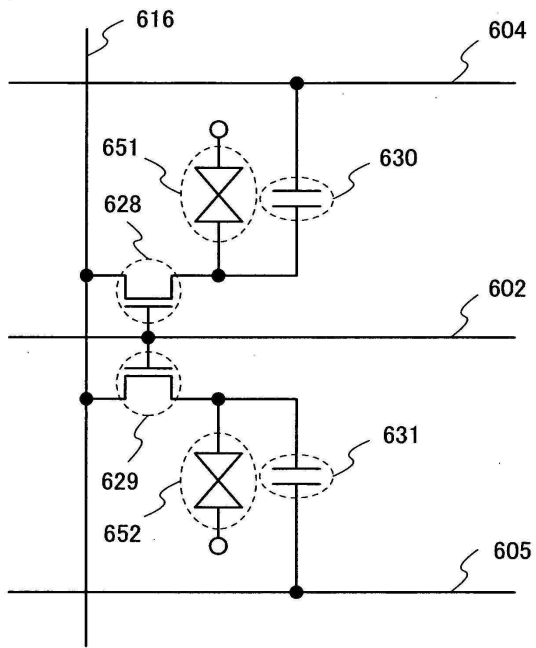
도면25



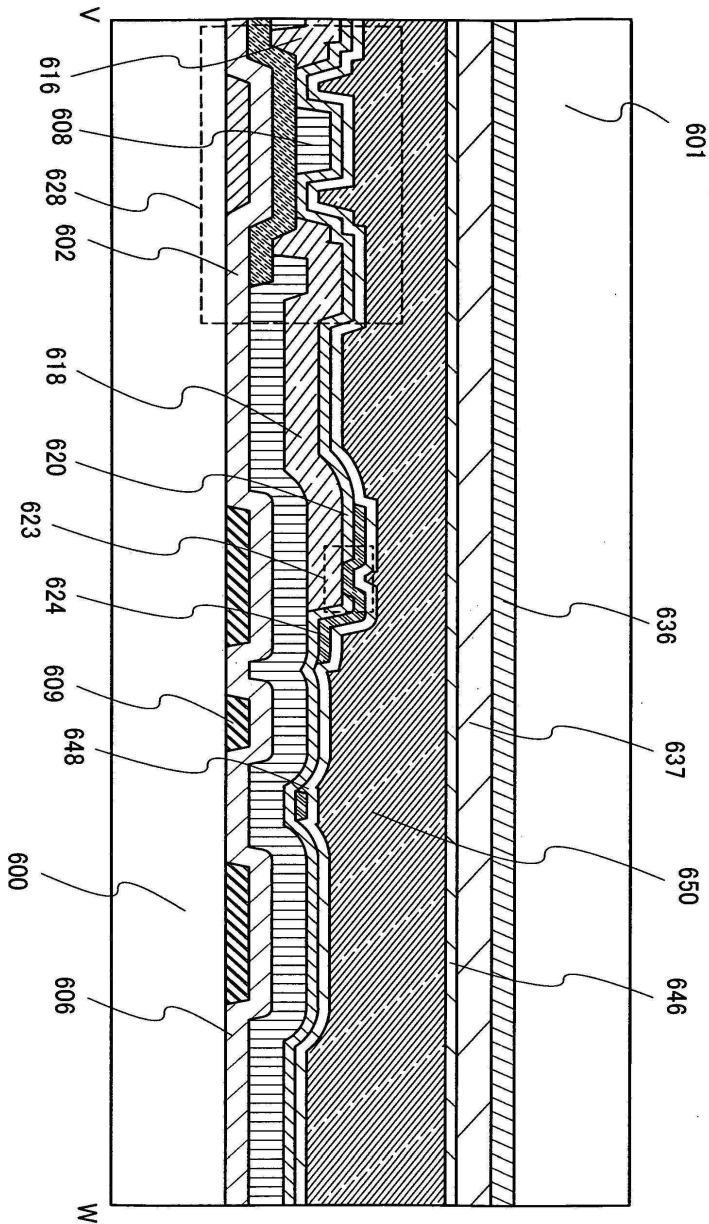
도면26



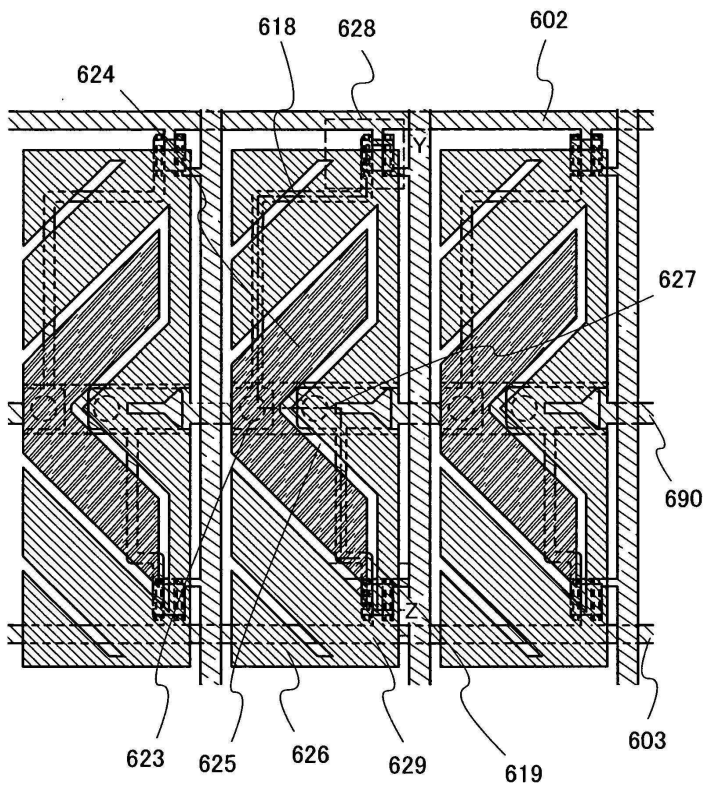
도면27



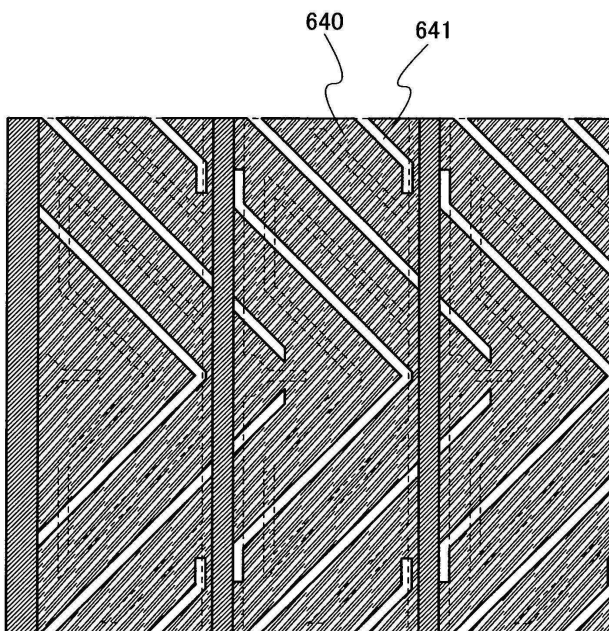
도면28



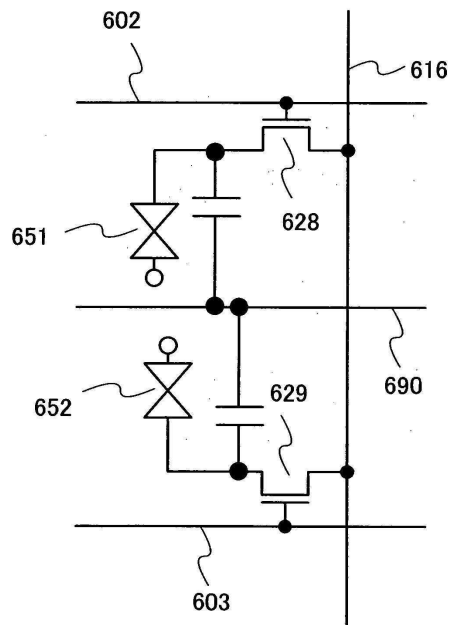
도면29



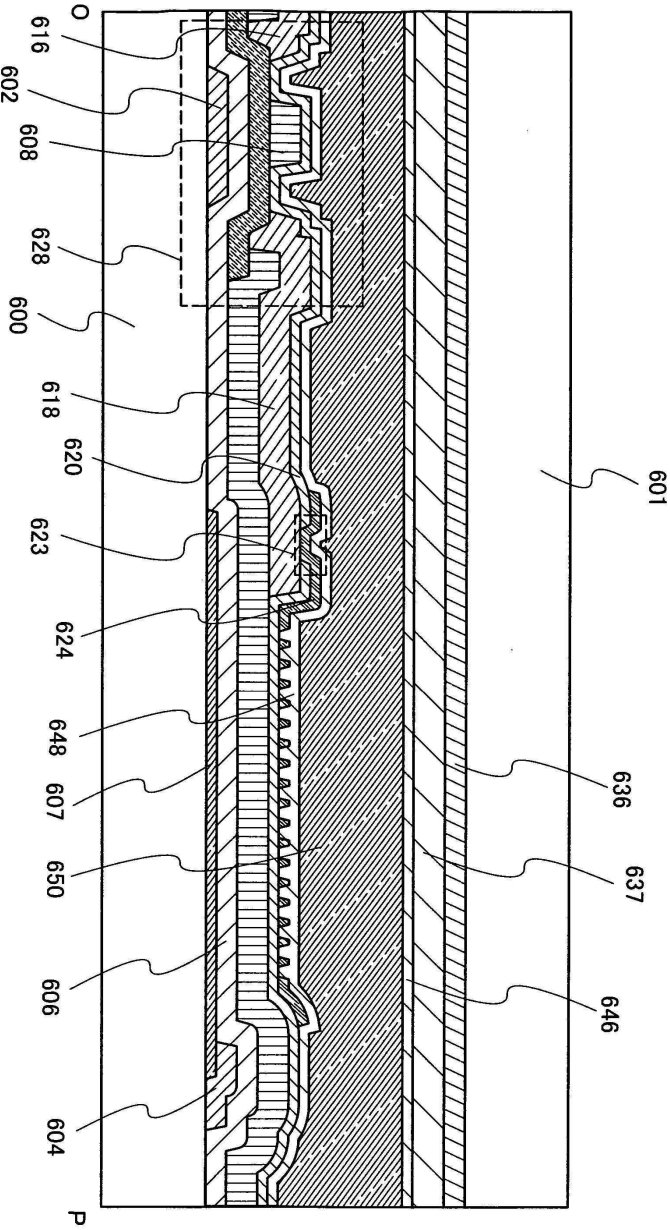
도면30



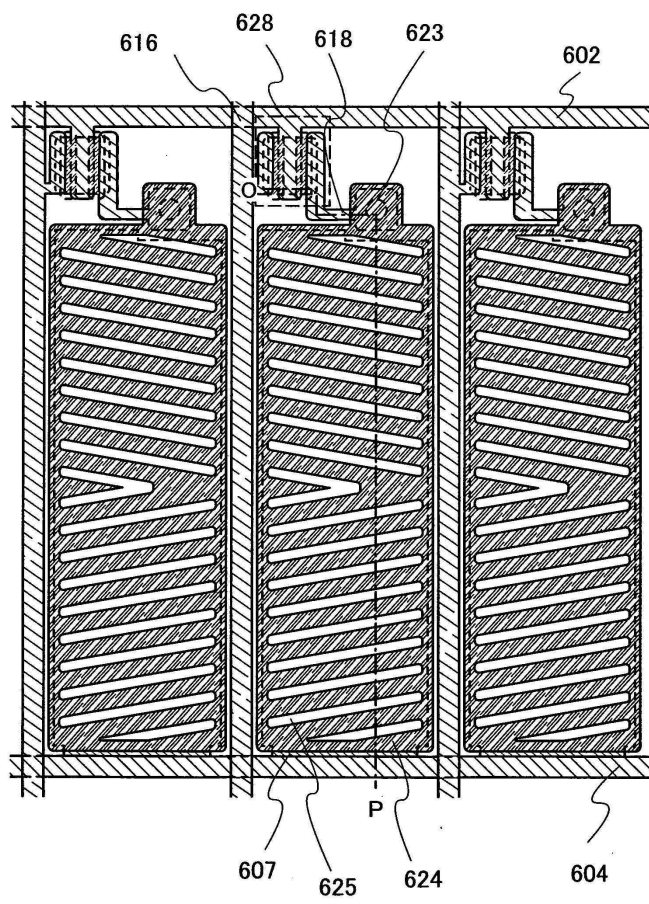
도면31



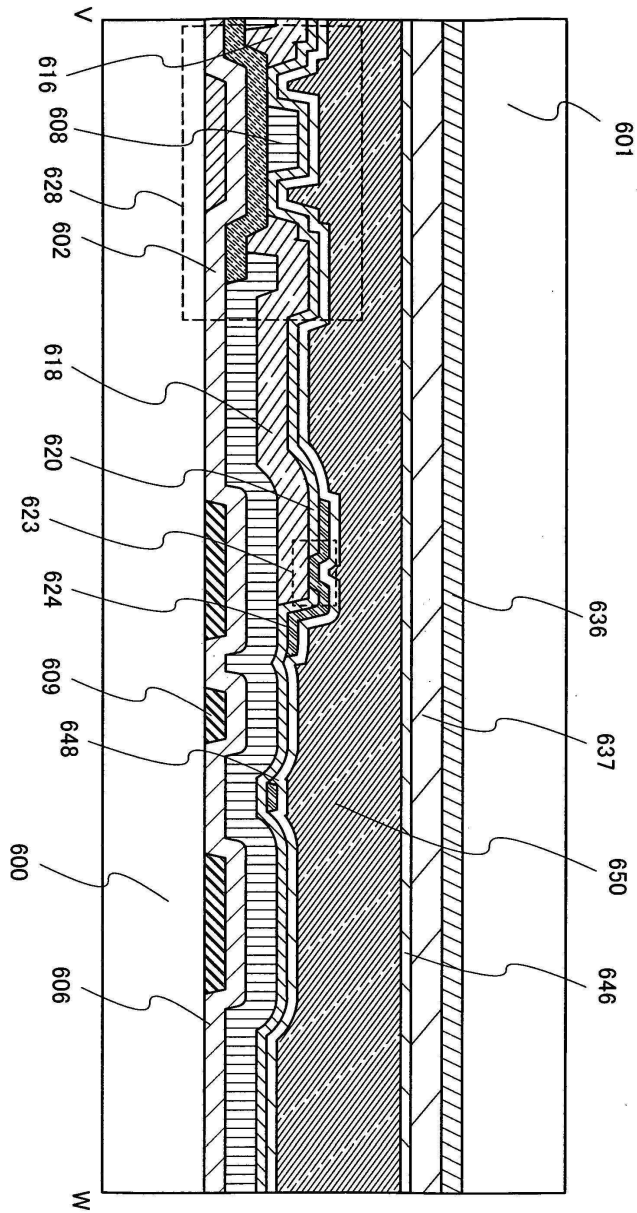
도면32



도면33



도면34



도면35

