



(12) 发明专利

(10) 授权公告号 CN 101341579 B

(45) 授权公告日 2012. 03. 21

(21) 申请号 200680045715. 2

(22) 申请日 2006. 12. 04

(30) 优先权数据

11/293, 261 2005. 12. 05 US

(85) PCT申请进入国家阶段日

2008. 06. 05

(86) PCT申请的申请数据

PCT/US2006/046180 2006. 12. 04

(87) PCT申请的公布数据

W02007/067458 EN 2007. 06. 14

(73) 专利权人 SS SC IP 有限公司

地址 美国密西西比州

(72) 发明人 约瑟夫·尼尔·梅里特

伊格尔·桑金

(74) 专利代理机构 北京英赛嘉华知识产权代理

有限责任公司 11204

代理人 余朦 方挺

(51) Int. Cl.

H01L 21/04 (2006. 01)

H01L 29/737 (2006. 01)

H01L 29/808 (2006. 01)

(56) 对比文件

US 2005/0233539 A1, 2005. 10. 20, 全文.

US 6767783 B2, 2004. 07. 27, 全文.

审查员 智月

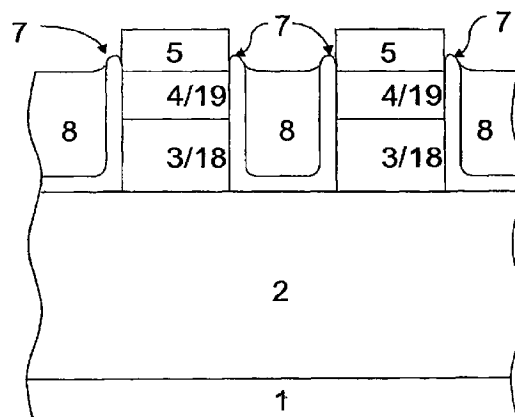
权利要求书 11 页 说明书 11 页 附图 22 页

(54) 发明名称

具有再生长栅极的自对准沟槽场效应晶体管
和具有再生长基极接触区的双极结型晶体管及其
制造方法

(57) 摘要

本发明描述了具有垂直沟道和自对准再生长栅极的结型场效应晶体管以及这些器件的制造方法。该方法采用选择性生长和 / 或选择性去除半导体材料的技术, 从而沿着沟道的侧面并在将源极指分隔开的沟槽底部上形成 p-n 结栅极。本发明还描述了具有自对准再生基极接触区的双极结型晶体管的制造方法以及这些器件的制造方法。能够在碳化硅中制造这些半导体器件。



1. 一种半导体器件的制造方法,包括:

在第一导电类型的半导体材料的源极/发射极层的上表面上设置掩模,其中所述源极/发射极层位于所述第一导电类型的半导体材料的沟道层上或者与所述第一导电类型不同的第二导电类型的半导体材料的基极层上,其中所述沟道层或基极层位于所述第一导电类型的半导体材料的漂移层上,并且其中所述漂移层位于半导体衬底层上;

通过所述掩模中的开口,选择性地蚀刻穿过所述源极/发射极层并选择性地蚀刻到下层的所述沟道层或基极层中,从而形成具有底面和侧壁的一个或多个蚀刻出的部位;

通过所述掩模中的开口,在所述蚀刻出的部位的所述底面和侧壁上外延生长所述第二导电类型的半导体材料,从而形成栅极区/基极接触区,其中所述掩模阻止了在所述源极/发射极层的掩蔽的上表面上的生长;

随后用平坦化材料填充所述蚀刻出的部位;

蚀刻所述栅极区/基极接触区,直至所述栅极区/基极接触区不再与所述源极/发射极层接触;以及

去除在蚀刻所述栅极区/基极接触区之后残留的掩模和平坦化材料。

2. 根据权利要求1所述的方法,其中,所述掩模包括在再生长掩模层上设置的蚀刻掩模层,并且其中所述再生长掩模层位于所述源极/发射极层的上表面上,所述方法进一步包括:在通过所述掩模中的开口、在所述蚀刻出的部位的所述底面和侧壁上外延生长所述第二导电类型的半导体材料之前,去除所述蚀刻掩模层,同时保留在所述源极/发射极层的所述上表面上的所述再生长掩模层。

3. 根据权利要求1所述的方法,在随后用平坦化材料填充所述蚀刻出的部位之前,进一步包括:

在所述源极/发射极层的所述上表面上和所述蚀刻出的部位的底面上,各向异性地沉积干法蚀刻掩模材料;

蚀刻所述干法蚀刻掩模材料,从而使在与所述源极/发射极层的所述上表面邻近的、所述蚀刻出的部位的所述侧壁上的栅极层/基极接触层暴露。

4. 根据权利要求1所述的方法,其中在通过所述掩模中的开口、在所述蚀刻出的部位的所述底面和侧壁上外延生长所述第二导电类型的半导体材料包括:外延生长具有第一掺杂浓度的所述第二导电类型的半导体材料,随后外延生长具有第二掺杂浓度的所述第二导电类型的半导体材料。

5. 根据权利要求4所述的方法,其中所述第一掺杂浓度低于所述第二掺杂浓度。

6. 根据权利要求1所述的方法,其中所述第一导电类型是n型,并且其中所述第二导电类型是p型。

7. 根据权利要求6所述的方法,其中所述衬底是n型衬底。

8. 根据权利要求1所述的方法,其中所述衬底是半绝缘的。

9. 根据权利要求1所述的方法,其中所述源极/发射极层位于所述第一导电类型的半导体材料的沟道层上,并且其中所述沟道层和所述漂移层是一个单层。

10. 根据权利要求1所述的方法,其中所述源极/发射极层位于所述第一导电类型的半导体材料的沟道层上,其中所述沟道层和所述漂移层是不同的层,并且其中所述沟道层具有比所述漂移层更高的掺杂浓度。

11. 根据权利要求 1 所述的方法,其中所述半导体衬底层以及所述源极 / 发射极层、所述沟道层或基极层、所述漂移层和所述栅极区 / 基极接触区的半导体材料均为 SiC 半导体材料。

12. 根据权利要求 1 所述的方法,其中所述第一导电类型的半导体材料的缓冲层位于所述衬底层和所述漂移层之间。

13. 根据权利要求 1 所述的方法,其中所述漂移层具有 1×10^{14} 至 1×10^{17} 个原子 / cm^3 的掺杂浓度。

14. 根据权利要求 1 所述的方法,其中所述沟道层或基极层具有 1×10^{15} 至 1×10^{18} 个原子 / cm^3 的掺杂浓度。

15. 根据权利要求 1 所述的方法,其中所述源极 / 发射极层具有大于 1×10^{18} 个原子 / cm^3 的掺杂浓度。

16. 根据权利要求 1 所述的方法,其中所述栅极区 / 基极接触区具有大于 1×10^{18} 个原子 / cm^3 的掺杂浓度。

17. 根据权利要求 2 所述的方法,其中所述再生长掩模层包括 TaC。

18. 根据权利要求 2 所述的方法,其中所述蚀刻掩模层包括镍。

19. 根据权利要求 1 所述的方法,其中设置掩模包括:在所述源极 / 发射极层的所述上表面上沉积再生长掩模材料层,对在所述再生长掩模材料层上的所述蚀刻掩模层进行构图,并通过所述蚀刻掩模层中的开口蚀刻所述再生长掩模材料层。

20. 根据权利要求 1 所述的方法,其中选择性地蚀刻穿过所述源极 / 发射极层并选择性地蚀刻到下层的所述沟道层或基极层中包括:蚀刻穿过所述沟道层或基极层,以暴露下层的漂移层。

21. 根据权利要求 20 所述的方法,其中选择性地蚀刻穿过所述源极 / 发射极层并选择性地蚀刻到下层的所述沟道层或基极层中进一步包括:蚀刻穿过所述沟道层或基极层,并蚀刻到所述下层的漂移层中。

22. 根据权利要求 1 所述的方法,其中将所述栅极区 / 基极接触区生长为至少 50nm 的外延厚度。

23. 根据权利要求 1 所述的方法,其中所述平坦化材料是光刻胶。

24. 根据权利要求 23 所述的方法,其中用所述平坦化材料填充所述蚀刻出的部位包括:

在所述器件的所述蚀刻出的表面上旋转涂覆所述光刻胶;

烘焙所述器件上的所述光刻胶;以及

选择性地蚀刻所述光刻胶。

25. 根据权利要求 1 所述的方法,其中用平坦化材料填充所述蚀刻出的部位包括:

在所述器件的所述蚀刻出的表面上涂覆所述平坦化材料;以及

选择性地蚀刻所涂覆的平坦化材料。

26. 根据权利要求 1 所述的方法,其中在蚀刻所述栅极区 / 基极接触区之后,平坦化材料残留在所述蚀刻出的部位的所述底面上。

27. 根据权利要求 1 所述的方法,进一步包括:在去除再生长掩模层和平坦化材料之后的某一时刻,在暴露出的源极 / 发射极层上形成接触,在暴露出的栅极层 / 基极接触层上形

成接触,并且在所述衬底层的、与所述漂移层相对的表面上形成接触。

28. 根据权利要求 1 所述的方法,其中所述蚀刻出的部位包括:多个第一延伸区,所述多个第一延伸区在第一方向上取向,并从在第二方向上取向的第二延伸区延伸。

29. 根据权利要求 28 所述的方法,其中所述第二方向大致垂直于所述第一方向。

30. 一种半导体器件的制造方法,包括:

在第一导电类型的半导体材料的源极/发射极层的上表面上设置蚀刻掩模,其中所述源极/发射极层位于所述第一导电类型的半导体材料的沟道层上或者与所述第一导电类型不同的第二导电类型的半导体材料的基极层上,其中所述沟道层或基极层位于所述第一导电类型的半导体材料的漂移层上,并且其中所述漂移层位于半导体衬底层上;

通过所述蚀刻掩模中的开口,选择性地蚀刻穿过所述源极/发射极层并选择性地蚀刻到下层的所述沟道层或基极层中,从而形成具有底面和侧壁的一个或多个蚀刻出的部位;

去除所述蚀刻掩模,从而暴露所述源极/发射极层的所述上表面;

在所述源极/发射极层的所述上表面上并在所述蚀刻出的部位的所述底面和侧壁上,外延生长所述第二导电类型的半导体材料的栅极层/基极接触层;

随后用第一平坦化材料填充所述蚀刻出的部位;

蚀刻穿过在所述源极/发射极层的所述上表面上的所述栅极层/基极接触层,从而暴露下层的源极/发射极层;

去除在蚀刻穿过所述栅极层/基极接触层之后残留的第一平坦化材料;

在所述源极/发射极层的所述上表面上并在所述蚀刻出的部位的底面上,各向异性地沉积干法蚀刻掩模材料;

蚀刻所述干法蚀刻掩模材料,从而使在与所述源极/发射极层的所述上表面邻近的、所述蚀刻出的部位的所述侧壁上的栅极层/基极接触层暴露;

用第二平坦化材料填充所述蚀刻出的部位,从而使与所述蚀刻出的部位的所述侧壁上的所述源极/发射极层邻近的所述栅极层/基极接触层暴露;

蚀刻穿过与所述源极/发射极层邻近的、所述蚀刻出的部位的所述侧壁上暴露出的栅极层/基极接触层,从而暴露下层的源极/发射极层,直至在所述蚀刻出的部位中残留的所述栅极层/基极接触层不再接触所述源极/发射极层;以及

去除在蚀刻穿过在所述蚀刻出的部位的所述侧壁上暴露出的栅极层/基极接触层之后残留的第二平坦化材料。

31. 根据权利要求 30 所述的方法,其中外延生长所述第二导电类型的半导体材料的栅极层/基极接触层包括:外延生长具有第一掺杂浓度的所述第二导电类型的半导体材料,随后外延生长具有第二掺杂浓度的所述第二导电类型的半导体材料。

32. 根据权利要求 31 所述的方法,其中所述第一掺杂浓度低于所述第二掺杂浓度。

33. 根据权利要求 30 所述的方法,其中所述第一导电类型是 n 型并且其中所述第二导电类型是 p 型。

34. 根据权利要求 33 所述的方法,其中所述衬底是 n 型衬底。

35. 根据权利要求 30 所述的方法,其中所述衬底是半绝缘的。

36. 根据权利要求 30 所述的方法,其中所述源极/发射极层位于所述第一导电类型的半导体材料的沟道层上,并且其中所述沟道层和所述漂移层是一个单层。

37. 根据权利要求 30 所述的方法,其中所述源极 / 发射极层位于所述第一导电类型的半导体材料的沟道层上,其中所述沟道层和所述漂移层是不同的层,并且其中所述沟道层具有比所述漂移层更高的掺杂浓度。

38. 根据权利要求 30 所述的方法,其中所述半导体衬底层以及所述源极 / 发射极层、所述沟道层或基极层、所述漂移层和所述栅极层 / 基极接触层的半导体材料均为 SiC 半导体材料。

39. 根据权利要求 30 所述的方法,其中各向异性地沉积干法蚀刻掩模材料包括通过电子束蒸发沉积所述干法蚀刻掩模材料。

40. 根据权利要求 30 所述的方法,其中蚀刻所述干法蚀刻掩模材料包括采用湿法或干法工艺各向同性地蚀刻所述干法蚀刻掩模材料。

41. 根据权利要求 30 所述的方法,其中所述第一导电类型的半导体材料的缓冲层位于位于所述衬底层和所述漂移层之间。

42. 根据权利要求 30 所述的方法,其中所述漂移层具有 1×10^{14} 至 1×10^{17} 个原子 / cm^3 的掺杂浓度。

43. 根据权利要求 30 所述的方法,其中所述沟道层或基极层具有 1×10^{15} 至 1×10^{18} 个原子 / cm^3 的掺杂浓度。

44. 根据权利要求 30 所述的方法,其中所述源极 / 发射极层具有大于 1×10^{18} 个原子 / cm^3 的掺杂浓度。

45. 根据权利要求 30 所述的方法,其中所述栅极层 / 基极接触层具有大于 1×10^{18} 个原子 / cm^3 的掺杂浓度。

46. 根据权利要求 30 所述的方法,其中所述蚀刻掩模层包括镍。

47. 根据权利要求 30 所述的方法,其中选择性地蚀刻穿过所述源极 / 发射极层并选择性地蚀刻到所述下层的沟道层或基极层中包括:蚀刻穿过所述沟道层或基极层,从而暴露下层的漂移层。

48. 根据权利要求 30 所述的方法,其中选择性地蚀刻穿过所述源极 / 发射极层并蚀刻到所述下层的沟道层或基极层中包括:蚀刻穿过所述沟道层或基极层,并蚀刻到所述下层的漂移层中。

49. 根据权利要求 30 所述的方法,其中将所述栅极层 / 基极接触层生长为至少 50nm 的外延厚度。

50. 根据权利要求 30 所述的方法,其中所述第一平坦化材料和所述第二平坦化材料均为光刻胶。

51. 根据权利要求 50 所述的方法,其中用第一平坦化材料填充所述蚀刻出的部位以及用第二平坦化材料填充所述蚀刻出的部位中的每一次填充均包括:

在所述器件的所述蚀刻出的表面上旋转涂覆所述光刻胶;

烘焙所述器件上的所述光刻胶;以及

选择性蚀刻所述光刻胶。

52. 根据权利要求 30 所述的方法,其中用平坦化材料填充所述蚀刻出的部位包括:

在所述器件的所述蚀刻出的表面上涂覆所述平坦化材料;以及

选择性地蚀刻所涂覆的平坦化材料。

53. 根据权利要求 30 所述的方法,其中在蚀刻穿过在所述源极 / 发射极层的所述上表面上的所述栅极层 / 基极接触层之后,第一平坦化材料残留在所述蚀刻出的部位的所述底面上。

54. 根据权利要求 30 所述的方法,其中对在蚀刻出的部位的所述侧壁上暴露的栅极层 / 基极接触层进行蚀刻之后,第二平坦化材料残留在所述蚀刻出的部位的所述底面上。

55. 根据权利要求 30 所述的方法,进一步包括:在暴露出的源极 / 发射极层上形成源极 / 发射极接触,在蚀刻出的部位的底面上暴露的栅极层 / 基极接触层之上形成栅极 / 基极接触,并且在所述衬底层的、与所述漂移层相对的表面上形成接触。

56. 根据权利要求 30 所述的方法,其中所述蚀刻出的部位包括:多个第一延伸区,所述多个第一延伸区在第一方向上取向,并从在第二方向上取向的第二延伸区延伸。

57. 根据权利要求 56 所述的方法,其中所述第二方向大致垂直于所述第一方向。

58. 一种半导体器件的制造方法,包括:

在第一导电类型的半导体材料的沟道层的上表面上,或者在与所述第一导电类型不同的第二导电类型的半导体材料的基极层上设置蚀刻掩模,其中所述沟道层或基极层位于所述第一导电类型的半导体材料的漂移层上,并且其中所述漂移层位于半导体衬底层上;

通过所述蚀刻掩模中的开口,对所述沟道层或基极层进行选择性地蚀刻,从而形成具有底面和侧壁的一个或多个蚀刻出的部位;

去除所述蚀刻掩模,从而暴露所述沟道层或基极层的所述上表面;

在所述沟道层或基极层的所述上表面上并在所述蚀刻出的部位的所述底面和侧壁上,外延生长所述第二导电类型的半导体材料的栅极层 / 基极接触层;

随后用第一平坦化材料填充所述蚀刻出的部位;

蚀刻穿过在所述沟道层或基极层的所述上表面上的所述栅极层 / 基极接触层,从而使栅极层 / 基极接触层保留在所述蚀刻出的部位的所述底面和侧壁上;

去除在蚀刻穿过所述栅极层 / 基极接触层之后残留的第一平坦化材料;

在所述沟道层或基极层的所述上表面上、并在所述蚀刻出的部位的所述底面和侧壁上的所述栅极层 / 基极接触层上,沉积再生长掩模层;

随后用第二平坦化材料填充所述蚀刻出的部位;

蚀刻穿过在所述沟道层或基极层的所述上表面上的所述再生长掩模层,以暴露下层的沟道层或基极层,其中再生长掩模层保留在所述蚀刻出的部位的所述底面和侧壁上的所述栅极层 / 基极接触层上;

去除在蚀刻穿过所述再生长掩模层之后残留的第二平坦化材料;

在所述沟道层或基极层的所述上表面上外延生长所述第一导电类型的半导体材料的第一层,其中在所述蚀刻出的部位的所述底面和侧壁上的所述栅极层 / 基极接触层上残留的所述再生长掩模层阻止了所述第一导电类型的半导体材料的所述第一层的生长;

在所述第一导电类型的半导体材料的所述第一层上外延生长所述第一导电类型的半导体材料的第二层,其中在所述蚀刻出的部位的所述底面和侧壁上的所述栅极层 / 基极接触层上残留的所述再生长掩模层阻止了所述第一导电类型的半导体材料的所述第二层的生长;以及

去除残留的再生长掩模层。

59. 根据权利要求 58 所述的方法, 其中外延生长所述第二导电类型的半导体材料的栅极层 / 基极接触层包括: 外延生长具有第一掺杂浓度的所述第二导电类型的半导体材料, 随后外延生长具有第二掺杂浓度的所述第二导电类型的半导体材料。

60. 根据权利要求 59 所述的方法, 其中所述第一掺杂浓度低于所述第二掺杂浓度。

61. 根据权利要求 58 所述的方法, 其中所述第一导电类型是 n 型并且其中所述第二导电类型是 p 型。

62. 根据权利要求 61 所述的方法, 其中所述衬底是 n 型衬底。

63. 根据权利要求 58 所述的方法, 其中所述衬底是半绝缘的。

64. 根据权利要求 58 所述的方法, 其中所述源极 / 发射极层位于所述第一导电类型的半导体材料的沟道层上, 并且其中所述沟道层和所述漂移层是一个单层。

65. 根据权利要求 58 所述的方法, 其中所述源极 / 发射极层位于所述第一导电类型的半导体材料的沟道层上, 其中所述沟道层和所述漂移层是不同的层, 并且其中所述沟道层具有比所述漂移层更高的掺杂浓度。

66. 根据权利要求 58 所述的方法, 其中所述半导体衬底层以及所述第一导电类型的半导体材料的所述第一层、所述第一导电类型的半导体材料的所述第二层、所述沟道层或基极层、所述漂移层和所述栅极层 / 基极接触层中的每一层的半导体材料均为 SiC 半导体材料。

67. 根据权利要求 58 所述的方法, 其中所述第一导电类型的半导体材料的缓冲层位于所述衬底层和所述漂移层之间。

68. 根据权利要求 58 所述的方法, 其中所述漂移层具有 1×10^{14} 至 1×10^{17} 个原子 / cm^3 的掺杂浓度。

69. 根据权利要求 58 所述的方法, 其中所述沟道层或基极层具有 1×10^{15} 至 1×10^{18} 个原子 / cm^3 的掺杂浓度。

70. 根据权利要求 58 所述的方法, 其中所述第一导电类型的半导体材料的所述第二层具有大于 1×10^{18} 个原子 / cm^3 的掺杂浓度。

71. 根据权利要求 58 所述的方法, 其中所述第一导电类型的半导体材料的所述第一层具有 1×10^{14} 至 1×10^{17} 个原子 / cm^3 的掺杂浓度。

72. 根据权利要求 58 所述的方法, 其中所述栅极层 / 基极接触层具有大于 1×10^{18} 个原子 / cm^3 的掺杂浓度。

73. 根据权利要求 58 所述的方法, 其中所述再生长掩模层包括 TaC。

74. 根据权利要求 58 所述的方法, 其中所述蚀刻掩模包括镍。

75. 根据权利要求 58 所述的方法, 其中选择性地蚀刻所述沟道层或基极层包括: 蚀刻穿过所述沟道层或基极层, 从而暴露下层的漂移层。

76. 根据权利要求 58 所述的方法, 其中选择性地蚀刻所述沟道层或基极层包括: 蚀刻穿过所述沟道层或基极层并蚀刻到所述下层的漂移层中。

77. 根据权利要求 58 所述的方法, 其中将所述栅极层 / 基极接触层生长为至少 50nm 的外延厚度。

78. 根据权利要求 58 所述的方法, 其中所述第一平坦化材料和所述第二平坦化材料中的每一种均为光刻胶。

79. 根据权利要求 78 所述的方法,其中用第一平坦化材料填充所述蚀刻出的部位,以及用第二平坦化材料填充所述蚀刻出的部位中的每一次填充均包括:

在所述器件的所蚀刻出的表面上旋转涂覆所述光刻胶;
烘焙所述器件上的所述光刻胶;以及
选择性地蚀刻所述光刻胶。

80. 根据权利要求 58 所述的方法,其中用第一平坦化材料填充所述蚀刻出的部位,以及用第二平坦化材料填充所述蚀刻出的部位中的每一次填充均包括:

在所述器件的所蚀刻出的表面上涂覆所述平坦化材料;以及
选择性地蚀刻所涂覆的平坦化材料。

81. 根据权利要求 58 所述的方法,其中在蚀刻穿过所述栅极层/基极接触层之后,第一平坦化材料残留在所述蚀刻出的部位的所述底面上。

82. 根据权利要求 58 所述的方法,其中在蚀刻穿过所述再生长掩模层之后,第二平坦化材料残留在所述蚀刻出的部位的所述底面上。

83. 根据权利要求 58 所述的方法,进一步包括:在去除残留的再生长掩模层之后的某一时刻,在所述第一导电类型的半导体材料的暴露出的第二层上形成接触,在暴露出的栅极层/基极接触层上形成接触,并且在所述衬底层的、与所述漂移层相对的表面上形成接触。

84. 根据权利要求 58 所述的方法,其中所述蚀刻出的部位包括:多个第一延伸区,所述多个第一延伸区在第一方向上取向,并从在第二方向上取向的第二延伸区延伸。

85. 根据权利要求 84 所述的方法,其中所述第二方向大致垂直于所述第一方向。

86. 根据权利要求 58 所述的方法,其中所述第一导电类型的半导体材料的所述第一层和所述第二层突出于所述蚀刻出的部位之上。

87. 根据权利要求 86 所述的方法,进一步包括:在蚀刻出的部位中暴露的栅极层/基极接触层上沉积接触材料,其中突出于所述蚀刻出的部位之上的所述第一导电类型的半导体材料的所述第一层和所述第二层防止在所述蚀刻出的部位的所述侧壁上沉积接触材料。

88. 根据权利要求 86 所述的方法,进一步包括:在暴露出的所述第一导电类型的半导体材料的第二层上沉积接触。

89. 根据权利要求 88 所述的方法,其中在暴露出的所述第一导电类型的半导体材料的第二层上沉积接触包括:在所述蚀刻出的部位的相对侧壁上沉积金属层,所述金属层桥接突出于所述蚀刻出的部位的所述第一导电类型的半导体材料的所述第一层和所述第二层。

90. 一种半导体器件的制造方法,包括:

在第一导电类型的半导体材料的源极/发射极层的上表面上设置蚀刻掩模,其中所述源极/发射极层位于所述第一导电类型的半导体材料的沟道层上或者与所述第一导电类型不同的第二导电类型的半导体材料的基极层上,其中所述沟道层或基极层位于所述第一导电类型的半导体材料的漂移层上,并且其中所述漂移层位于半导体衬底层上;

通过所述蚀刻掩模中的开口,选择性地蚀刻穿过所述源极/发射极层并选择性地蚀刻到下层的所述沟道层或基极层中,从而形成具有底面和侧壁的一个或多个蚀刻出的部位;

去除所述蚀刻掩模,从而暴露所述源极/发射极层的所述上表面;

在所述源极/发射极层的所述上表面上并在所述蚀刻出的部位的所述底面和侧壁上,

外延生长所述第二导电类型的半导体材料的栅极层 / 基极接触层 ;

随后用平坦化材料填充所述蚀刻出的部位 ;

在所述源极 / 发射极层的所述上表面上并在与所述源极 / 发射极层接触的所述蚀刻出的部位的所述侧壁上,蚀刻穿过所述栅极层 / 基极接触层,直至所述栅极层 / 基极接触层不再与所述源极 / 发射极层接触,其中栅极层 / 基极接触层保留在所述蚀刻出的部位的所述底面上,并保留在与所述沟道层或基极层接触的所述蚀刻出的部位的所述侧壁上 ;以及

去除在蚀刻穿过所述栅极层 / 基极接触层之后残留的平坦化材料。

91. 根据权利要求 90 所述的方法,其中外延生长所述第二导电类型的半导体材料的栅极层 / 基极接触层包括 :外延生长具有第一掺杂浓度的所述第二导电类型的半导体材料,随后外延生长具有第二掺杂浓度的所述第二导电类型的半导体材料。

92. 根据权利要求 91 所述的方法,其中所述第一掺杂浓度低于所述第二掺杂浓度。

93. 根据权利要求 90 所述的方法,其中所述第一导电类型是 n 型并且其中所述第二导电类型是 p 型。

94. 根据权利要求 93 所述的方法,其中所述衬底是 n 型衬底。

95. 根据权利要求 90 所述的方法,其中所述衬底是半绝缘的。

96. 根据权利要求 90 所述的方法,其中所述源极 / 发射极层位于所述第一导电类型的半导体材料的沟道层上,并且其中所述沟道层和所述漂移层是一个单层。

97. 根据权利要求 90 所述的方法,其中所述源极 / 发射极层位于所述第一导电类型的半导体材料的沟道层上,其中所述沟道层和所述漂移层是不同的层,并且其中所述沟道层具有比所述漂移层更高的掺杂浓度。

98. 根据权利要求 90 所述的方法,其中所述半导体衬底层以及所述源极 / 发射极层、所述沟道层或基极层、所述漂移层和所述栅极层 / 基极接触层的半导体材料均为 SiC 半导体材料。

99. 根据权利要求 90 所述的方法,其中所述第一导电类型的半导体材料的缓冲层位于所述衬底层和所述漂移层之间。

100. 根据权利要求 90 所述的方法,其中所述漂移层具有 1×10^{14} 至 1×10^{17} 个原子 / cm^3 的掺杂浓度。

101. 根据权利要求 90 所述的方法,其中所述沟道层或基极层具有 1×10^{15} 至 1×10^{18} 个原子 / cm^3 的掺杂浓度。

102. 根据权利要求 90 所述的方法,其中所述源极 / 发射极层具有大于 1×10^{18} 个原子 / cm^3 的掺杂浓度。

103. 根据权利要求 90 所述的方法,其中所述栅极层 / 基极接触层具有大于 1×10^{18} 个原子 / cm^3 的掺杂浓度。

104. 根据权利要求 90 所述的方法,其中所述蚀刻掩模包括镍。

105. 根据权利要求 90 所述的方法,其中选择性地蚀刻穿过所述源极 / 发射极层并选择性地蚀刻到所述下层的沟道层或基极层中包括 :蚀刻穿过所述沟道层或基极层,从而暴露下层的漂移层。

106. 根据权利要求 105 所述的方法,其中选择性地蚀刻穿过所述源极 / 发射极层并选择性地蚀刻到所述下层的沟道层或基极层中包括 :蚀刻穿过所述沟道层或基极层,并蚀刻

到所述下层的漂移层中。

107. 根据权利要求 90 所述的方法,其中将所述栅极层 / 基极接触层生长为至少 50nm 的外延厚度。

108. 根据权利要求 90 所述的方法,其中所述平坦化材料是光刻胶。

109. 根据权利要求 108 所述的方法,其中用平坦化材料填充所述蚀刻出的部位包括:
在所述器件的所蚀刻出的表面上旋转涂覆所述光刻胶;
烘焙所述器件上的所述光刻胶;以及
选择性地蚀刻所述光刻胶。

110. 根据权利要求 90 所述的方法,其中用所述平坦化材料填充所述蚀刻出的部位包括:

在所述器件的所蚀刻出的表面上涂覆所述平坦化材料;以及
选择性地蚀刻所涂覆的平坦化材料。

111. 根据权利要求 90 所述的方法,其中在蚀刻穿过所述栅极层 / 基极接触层之后,平坦化材料保留在所述蚀刻出的部位的所述底面上。

112. 根据权利要求 90 所述的方法,进一步包括:在去除平坦化材料之后的某一时刻,在暴露出的源极 / 发射极层上形成接触,在暴露出的栅极层 / 基极接触层上形成接触,并且在所述衬底层的、与所述漂移层相对的表面上形成接触。

113. 根据权利要求 90 所述的方法,其中所述蚀刻出的部位包括:多个第一延伸区,所述多个第一延伸区在第一方向上取向,并从在第二方向上取向的第二延伸区延伸。

114. 根据权利要求 113 所述的方法,其中所述第二方向大致垂直于所述第一方向。

115. 一种半导体器件的制造方法,包括:

在第一导电类型的半导体材料的源极 / 发射极层的上表面上设置蚀刻 / 再生长掩模,其中所述源极 / 发射极层位于所述第一导电类型的半导体材料的沟道层上或者与所述第一导电类型不同的第二导电类型的半导体材料的基极层上,其中所述沟道层或基极层位于所述第一导电类型的半导体材料的漂移层上,并且其中所述漂移层位于半导体衬底层上;

通过所述蚀刻 / 再生长掩模中的开口,选择性地蚀刻穿过所述源极 / 发射极层并选择性地蚀刻到下层的所述沟道层或基极层中,从而形成具有底面和侧壁的一个或多个蚀刻出的部位;

通过所述蚀刻 / 再生长掩模中的开口,在所述蚀刻出的部位的所述底面和侧壁上外延生长所述第二导电类型的半导体材料,从而形成栅极区 / 基极接触区,其中所述蚀刻 / 再生长掩模阻止了所述源极 / 发射极层的掩模上表面的生长;

选择性地去除所述蚀刻 / 再生长掩模,从而暴露所述源极 / 发射极层的所述上表面;

在蚀刻出的部位的底面上、并在所述源极 / 发射极层的所述上表面或所述蚀刻 / 再生长掩模中的任意一个之上,沉积干法蚀刻掩模材料;

蚀刻所述干法蚀刻掩模材料,从而暴露所述蚀刻出的部位的所述侧壁上的所述栅极区 / 基极接触区的顶部部分;

用平坦化材料填充所述蚀刻出的部位,从而使在所述蚀刻出的部位的所述侧壁上的所述栅极区 / 基极接触区的所述顶部部分保持暴露状态;

蚀刻穿过与所述源极 / 发射极层相邻的所述蚀刻出的部位的所述侧壁上暴露的栅极

层 / 基极接触层,从而暴露下层的源极 / 发射极层,直至在所述蚀刻出的部位中残留的所述栅极层 / 基极接触层不再接触所述源极 / 发射极层;以及

去除在蚀刻穿过在所述蚀刻出的部位的所述侧壁上暴露的栅极层 / 基极接触层之后残留的蚀刻 / 再生长掩模和平坦化材料。

116. 根据权利要求 115 所述的方法,其中所述蚀刻 / 再生长掩模包括在再生长掩模层上设置的蚀刻掩模层,并且其中所述再生长掩模层位于所述源极 / 发射极层的所述上表面上,所述方法进一步包括:在所述蚀刻出的部位的所述底面和侧壁上外延生长所述第二导电类型的半导体材料之前,去除所述蚀刻掩模层,同时保留在所述源极 / 发射极层的所述上表面上的所述再生长掩模层。

117. 根据权利要求 115 所述的方法,其中所述蚀刻 / 再生长掩模是一个单层。

118. 根据权利要求 115 所述的方法,其中在所述蚀刻出的部位的所述底面和侧壁上外延生长所述第二导电类型的半导体材料包括:外延生长具有第一掺杂浓度的所述第二导电类型的半导体材料,随后外延生长具有第二掺杂浓度的所述第二导电类型的半导体材料。

119. 根据权利要求 118 所述的方法,其中所述第一掺杂浓度低于所述第二掺杂浓度。

120. 根据权利要求 115 所述的方法,其中所述第一导电类型是 n 型并且其中所述第二导电类型是 p 型。

121. 根据权利要求 120 所述的方法,其中所述衬底是 n 型衬底。

122. 根据权利要求 115 所述的方法,其中所述衬底是半绝缘的底。

123. 根据权利要求 115 所述的方法,其中所述源极 / 发射极层位于所述第一导电类型的半导体材料的沟道层上,并且其中所述沟道层和所述漂移层是一个单层。

124. 根据权利要求 115 所述的方法,其中所述源极 / 发射极层位于所述第一导电类型的半导体材料的沟道层上,其中所述沟道层和所述漂移层是不同的层,并且其中所述沟道层具有比所述漂移层更高的掺杂浓度。

125. 根据权利要求 115 所述的方法,其中所述半导体衬底层以及所述源极 / 发射极层、所述沟道层或基极层、所述漂移层和所述栅极层 / 基极接触层的半导体材料均为 SiC 半导体材料。

126. 根据权利要求 115 所述的方法,其中所述第一导电类型的半导体材料的缓冲层位于所述衬底层和所述漂移层之间。

127. 根据权利要求 115 所述的方法,其中所述缓冲层是碳化硅。

128. 根据权利要求 115 所述的方法,其中所述漂移层具有 1×10^{14} 至 1×10^{17} 个原子 / cm^3 的掺杂浓度。

129. 根据权利要求 115 所述的方法,其中所述沟道层或基极层具有 1×10^{15} 至 1×10^{18} 个原子 / cm^3 的掺杂浓度。

130. 根据权利要求 115 所述的方法,其中所述源极 / 发射极层具有大于 1×10^{18} 个原子 / cm^3 的掺杂浓度。

131. 根据权利要求 115 所述的方法,其中所述栅极区 / 基极接触区具有大于 1×10^{18} 个原子 / cm^3 的掺杂浓度。

132. 根据权利要求 115 所述的方法,其中所述再生长掩模层包括 TaC。

133. 根据权利要求 115 所述的方法,其中所述蚀刻掩模层包括镍。

134. 根据权利要求 115 所述的方法,其中设置蚀刻/再生长掩模包括:在所述源极/发射极层的所述上表面上沉积再生长掩模材料的层,在所述再生长掩模材料的层上对蚀刻掩模层进行构图,并且通过所述蚀刻掩模层中的开口蚀刻所述再生长掩模材料的层。

135. 根据权利要求 115 所述的方法,其中选择性地蚀刻穿过所述源极/发射极层并选择性地蚀刻到所述下层的沟道层或基极层中包括:蚀刻穿过所述沟道层或基极层,从而暴露下层的漂移层。

136. 根据权利要求 135 所述的方法,其中选择性地蚀刻穿过所述源极/发射极层并选择性地蚀刻到所述下层的沟道层或基极层中进一步包括:蚀刻穿过所述沟道层或基极层,并蚀刻到所述下层的漂移层中。

137. 根据权利要求 115 所述的方法,其中将所述栅极区/基极接触区生长为至少 50nm 的外延厚度。

138. 根据权利要求 115 所述的方法,其中所述平坦化材料是光刻胶。

139. 根据权利要求 138 所述的方法,其中用平坦化材料填充所述蚀刻出的部位包括:在所述器件的所蚀刻出的表面上旋转涂覆所述光刻胶;烘焙所述器件上的所述光刻胶;以及选择性地蚀刻所述光刻胶。

140. 根据权利要求 115 所述的方法,其中用平坦化材料填充所述蚀刻出的部位包括:在所述器件的所蚀刻出的表面上涂覆所述平坦化材料;以及选择性地蚀刻所涂覆的平坦化材料。

141. 根据权利要求 115 所述的方法,其中在蚀刻所述栅极区/基极接触区之后,平坦化材料残留在所述蚀刻出的部位的所述底面上。

142. 根据权利要求 115 所述的方法,进一步包括:在暴露出的源极/发射极层上形成源极/发射极接触,在所述蚀刻出的部位的底面上暴露的栅极层/基极接触层之上形成栅极/基极接触,并且在所述衬底层的、与所述漂移层相对的表面上形成接触。

143. 根据权利要求 142 所述的方法,其中在去除蚀刻/再生长掩模和平坦化材料之后,在某一时刻形成所述接触。

144. 根据权利要求 142 所述的方法,其中在外延生长所述第二导电类型的半导体材料之后,并在沉积干法蚀刻掩模材料之前,形成所述栅极/基极接触,并且其中在所述蚀刻出的部位的底面上的所述栅极/基极接触之上沉积干法蚀刻掩模材料。

145. 根据权利要求 115 所述的方法,其中所述蚀刻出的部位包括:多个第一延伸区,所述多个第一延伸区在第一方向上取向,并从在第二方向上取向的第二延伸区延伸。

146. 根据权利要求 145 所述的方法,其中所述第二方向大致垂直于所述第一方向。

147. 根据权利要求 55 所述的方法,其中在去除所述第二平坦化材料之后,在某一时刻形成所述接触。

148. 根据权利要求 55 所述的方法,其中在外延生长所述第二导电类型的半导体材料之后,并在沉积干法蚀刻掩模材料之前,形成所述栅极/基极接触,并且其中在所述蚀刻出的部位的底面上的所述栅极/基极接触之上沉积干法蚀刻掩模材料。

具有再生长栅极的自对准沟槽场效应晶体管 and 具有再生长基极接触区的双极结型晶体管及其制造方法

[0001] 相关申请的交叉参考

[0002] 本申请涉及于 2004 年 7 月 27 日授权的美国专利第 6,767,783B2 号,在此引用其全部内容作为参考。

[0003] 关于联邦政府资助研究的陈述

[0004] 按照由美国空军授予的美国政府资助的合同第 FA8650-04-C-5437 号而进行本发明。美国政府享有本发明的某些权益。

技术领域

[0005] 本发明一般涉及一种设计用于高速、大功率应用的半导体功率器件领域,具体地,涉及具有垂直沟道和再生长 p-n 结栅极的场效应晶体管 (FET) 以及具有再生长基极接触区的双极结型晶体管 (BJT) 的制造。

背景技术

[0006] 场效应晶体管 (FET) 是一种通常用于弱信号放大 (例如,用于放大无线信号) 的晶体管。这种器件能够放大模拟或数字信号。这种器件还能够切换 DC 或起到振荡器的作用。在这种 FET 中,电流沿着称为沟道的半导体路径流动。在沟道的一端,存在称为源极的电极。在沟道的另一端,存在称为漏极的电极。沟道的物理直径是固定的,但是,它的有效电学直径可通过向称为栅极的控制电极施加电压而改变。FET 的导电率依赖于在任何给定的时间常数下的沟道的电学直径;栅极电压的小变化就会导致从源极到漏极的电流的较大波动。FET 就是这样放大信号的。

[0007] FET 的栅极可以是金属-半导体肖特基势垒 (MESFET)、p-n 结 (JFET)、或金属-氧化物-半导体栅极 (MOSFET)。p-n 结 FET (JFET) 具有 N 型半导体 (N 沟道) 或 P 型半导体 (P 沟道) 材料的沟道和在该沟道上的相反半导体类型的半导体材料的栅极。金属-半导体-场效应晶体管 (MESFET) 具有 N 型或 P 型半导体材料的沟道和在该沟道上的肖特基金属栅极。

[0008] 双极结型晶体管 (BJT) 是具有两个紧接的 PN 结的半导体器件。BJT 具有典型为轻掺杂的薄中央区,该中央区公知为具有与周围材料极性相反的主电荷载流子的基极 (B)。器件的两个外侧区域公知为发射极 (E) 和集电极 (C)。在适当的操作条件之下,发射极将主电荷载流子注入到基极区中。因为基极较薄,所以这些电荷载流子的绝大多数将最终到达集电极。发射极典型为重掺杂,以降低电阻,并且集电极典型为轻掺杂,以减小集电极-基极结的结电容。

[0009] 典型地采用离子注入技术来制造诸如 FET 和 BJT 的半导体器件。然而,离子注入需要高温后注入退火,高温后注入退火增加了制造器件所需的时间并且会对器件产生损伤。

[0010] 因此,仍然需要用于制造诸如 FET 和 BJT 的半导体器件的改进方法。

发明内容

[0011] 根据第一实施方案,提供一种半导体器件的制造方法,该制造方法包括:

[0012] 在第一导电类型的半导体材料的源极/发射极层的上表面上设置掩模,其中所述源极/发射极层位于所述第一导电类型的半导体材料的沟道层上或者与所述第一导电类型不同的第二导电类型的半导体材料的基极层上,其中所述沟道层或基极层位于所述第一导电类型的半导体材料的漂移层上,并且其中所述漂移层位于半导体衬底层上;

[0013] 通过所述掩模中的开口,选择性地蚀刻穿过所述源极/发射极层并选择性地蚀刻到下层的所述沟道层或基极层中,从而形成具有底面和侧壁的一个或多个蚀刻出的部位;

[0014] 通过所述掩模中的开口,在所述蚀刻出的部位的所述底面和侧壁上外延生长所述第二导电类型的半导体材料,从而形成栅极区/基极接触区,其中所述掩模阻止了在所述源极/发射极层的掩蔽的上表面上的生长;

[0015] 随后用平坦化材料填充所述蚀刻出的部位;

[0016] 蚀刻所述栅极区/基极接触区,直至所述栅极区/基极接触区不再与所述源极/发射极层接触;以及

[0017] 去除在蚀刻所述栅极区/基极接触区之后残留的掩模和平坦化材料。

[0018] 根据第二实施方案,提供一种半导体器件的制造方法,该制造方法包括:

[0019] 在第一导电类型的半导体材料的源极/发射极层的上表面上设置蚀刻掩模,其中所述源极/发射极层位于所述第一导电类型的半导体材料的沟道层上或者与所述第一导电类型不同的第二导电类型的半导体材料的基极层上,其中所述沟道层或基极层位于所述第一导电类型的半导体材料的漂移层上,并且其中所述漂移层位于半导体衬底层上;

[0020] 通过所述蚀刻掩模中的开口,选择性地蚀刻穿过所述源极/发射极层并选择性地蚀刻到下层的所述沟道层或基极层中,从而形成具有底面和侧壁的一个或多个蚀刻出的部位;

[0021] 去除所述蚀刻掩模,从而暴露所述源极/发射极层的所述上表面;

[0022] 在所述源极/发射极层的所述上表面上并在所述蚀刻出的部位的所述底面和侧壁上,外延生长所述第二导电类型的半导体材料的栅极层/基极接触层;

[0023] 随后用第一平坦化材料填充所述蚀刻出的部位;

[0024] 蚀刻穿过在所述源极/发射极层的所述上表面上的所述栅极层/基极接触层,从而暴露下层的源极/发射极层;

[0025] 去除在蚀刻穿过所述栅极层/基极接触层之后残留的第一平坦化材料;

[0026] 在所述源极/发射极层的所述上表面上并在所述蚀刻出的部位的底面上,各向异性地沉积干法蚀刻掩模材料;

[0027] 蚀刻所述干法蚀刻掩模材料,从而使在与所述源极/发射极层的所述上表面邻近的、所述蚀刻出的部位的所述侧壁上的栅极层/基极接触层暴露;

[0028] 用第二平坦化材料填充所述蚀刻出的部位,从而使与所述蚀刻出的部位的所述侧壁上的所述源极/发射极层邻近的所述栅极层/基极接触层暴露;

[0029] 蚀刻穿过与所述源极/发射极层邻近的、所述蚀刻出的部位的所述侧壁上暴露出的栅极层/基极接触层,从而暴露下层的源极/发射极层,直至在所述蚀刻出的部位中残留的所述栅极层/基极接触层不再接触所述源极/发射极层;以及

[0030] 去除在蚀刻穿过在所述蚀刻出的部位的所述侧壁上暴露的栅极层 / 基极接触层之后残留的干法蚀刻掩模材料和第二平坦化材料。

[0031] 根据第三实施方案,提供一种半导体器件的制造方法,该制造方法包括:

[0032] 在第一导电类型的半导体材料的沟道层的上表面上,或者在与所述第一导电类型不同的第二导电类型的半导体材料的基极层上设置蚀刻掩模,其中所述沟道层或基极层位于所述第一导电类型的半导体材料的漂移层上,并且其中所述漂移层位于半导体衬底层上;

[0033] 通过所述蚀刻掩模中的开口,对所述沟道层或基极层进行选择性地蚀刻,从而形成具有底面和侧壁的一个或多个蚀刻出的部位;

[0034] 去除所述蚀刻掩模,从而暴露所述沟道层或基极层的所述上表面;

[0035] 在所述沟道层或基极层的所述上表面上并在所述蚀刻出的部位的所述底面和侧壁上,外延生长所述第二导电类型的半导体材料的栅极层 / 基极接触层;

[0036] 随后用第一平坦化材料填充所述蚀刻出的部位;

[0037] 蚀刻穿过在所述沟道层或基极层的所述上表面上的所述栅极层 / 基极接触层,从而使栅极层 / 基极接触层保留在所述蚀刻出的部位的所述底面和侧壁上;

[0038] 去除在蚀刻穿过所述栅极层 / 基极接触层之后残留的第一平坦化材料;

[0039] 在所述沟道层或基极层的所述上表面上、并在所述蚀刻出的部位的所述底面和侧壁上的所述栅极层 / 基极接触层上,沉积再生长掩模层;

[0040] 随后用第二平坦化材料填充所述蚀刻出的部位;

[0041] 蚀刻穿过在所述沟道层或基极层的所述上表面上的所述再生长掩模层,以暴露下层的沟道层或基极层,其中再生长掩模层保留在所述蚀刻出的部位的所述底面和侧壁上的所述栅极层 / 基极接触层上;

[0042] 去除在蚀刻穿过所述再生长掩模层之后残留的第二平坦化材料;

[0043] 在所述沟道层或基极层的所述上表面上外延生长所述第一导电类型的半导体材料的第一层,其中在所述蚀刻出的部位的所述底面和侧壁上的所述栅极层 / 基极接触层上残留的所述再生长掩模层阻止了所述第一导电类型的半导体材料的所述第一层的生长;

[0044] 在所述第一导电类型的半导体材料的所述第一层上外延生长所述第一导电类型的半导体材料的第二层,其中在所述蚀刻出的部位的所述底面和侧壁上的所述栅极层 / 基极接触层上残留的所述再生长掩模层阻止了所述第一导电类型的半导体材料的所述第二层的生长;以及

[0045] 去除残留的再生长掩模层。

[0046] 根据第四实施方案,提供一种半导体器件的制造方法,该制造方法包括:

[0047] 在第一导电类型的半导体材料的源极 / 发射极层的上表面上设置蚀刻掩模,其中所述源极 / 发射极层位于所述第一导电类型的半导体材料的沟道层上或者与所述第一导电类型不同的第二导电类型的半导体材料的基极层上,其中所述沟道层或基极层位于所述第一导电类型的半导体材料的漂移层上,并且其中所述漂移层位于半导体衬底层上;

[0048] 通过所述蚀刻掩模中的开口,选择性地蚀刻穿过所述源极 / 发射极层并选择性地蚀刻到下层的所述沟道层或基极层中,从而形成具有底面和侧壁的一个或多个蚀刻出的部位;

- [0049] 去除所述蚀刻掩模,从而暴露所述源极 / 发射极层的所述上表面 ;
- [0050] 在所述源极 / 发射极层的所述上表面上并在所述蚀刻出的部位的所述底面和侧壁上,外延生长所述第二导电类型的半导体材料的栅极层 / 基极接触层 ;
- [0051] 随后用平坦化材料填充所述蚀刻出的部位 ;
- [0052] 在所述源极 / 发射极层的所述上表面上并在与所述源极 / 发射极层接触的所述蚀刻出的部位的所述侧壁上,蚀刻穿过所述栅极层 / 基极接触层,直至所述栅极层 / 基极接触层不再与所述源极 / 发射极层接触,其中栅极层 / 基极接触层保留在所述蚀刻出的部位的所述底面上,并保留在与所述沟道层或基极层接触的所述蚀刻出的部位的所述侧壁上 ;以及
- [0053] 去除在蚀刻穿过所述栅极层 / 基极接触层之后残留的平坦化材料。
- [0054] 根据第五实施方案,提供一种半导体器件的制造方法,该制造方法包括 :
- [0055] 在第一导电类型的半导体材料的源极 / 发射极层的上表面上设置蚀刻 / 再生长掩模,其中所述源极 / 发射极层位于所述第一导电类型的半导体材料的沟道层上或者与所述第一导电类型不同的第二导电类型的半导体材料的基极层上,其中所述沟道层或基极层位于所述第一导电类型的半导体材料的漂移层上,并且其中所述漂移层位于半导体衬底层上 ;
- [0056] 通过所述蚀刻 / 再生长掩模中的开口,选择性地蚀刻穿过所述源极 / 发射极层并选择性地蚀刻到下层的所述沟道层或基极层中,从而形成具有底面和侧壁的一个或多个蚀刻出的部位 ;
- [0057] 通过所述蚀刻 / 再生长掩模中的开口,在所述蚀刻出的部位的所述底面和侧壁上外延生长所述第二导电类型的半导体材料,从而形成栅极区 / 基极接触区,其中所述蚀刻 / 再生长掩模阻止了所述源极 / 发射极层的掩模上表面的生长 ;
- [0058] 选择性地去除所述蚀刻 / 再生长掩模,从而暴露所述源极 / 发射极层的所述上表面 ;
- [0059] 在蚀刻出的部位的底面上、并在所述源极 / 发射极层的所述上表面或所述蚀刻 / 再生长掩模中的任意一个之上,沉积干法蚀刻掩模材料 ;
- [0060] 蚀刻所述干法蚀刻掩模材料,从而暴露所述蚀刻出的部位的所述侧壁上的所述栅极区 / 基极接触区的顶部部分 ;
- [0061] 用平坦化材料填充所述蚀刻出的部位,从而使在所述蚀刻出的部位的所述侧壁上的所述栅极区 / 基极接触区的所述顶部部分保持暴露状态 ;
- [0062] 蚀刻穿过与所述源极 / 发射极层相邻的所述蚀刻出的部位的所述侧壁上暴露的栅极层 / 基极接触层,从而暴露下层的源极 / 发射极层,直至在所述蚀刻出的部位中残留的所述栅极层 / 基极接触层不再接触所述源极 / 发射极层 ;以及
- [0063] 去除在蚀刻穿过在所述蚀刻出的部位的所述侧壁上暴露的栅极层 / 基极接触层之后残留的蚀刻 / 再生长掩模和平坦化材料。

附图说明

[0064] 图 1A-1D 示出了以下两者的制造 :利用还兼作为自对准干法蚀刻掩模的自对准再生长掩模、通过选择性再生长形成的具有 p-n 结栅极的垂直沟槽 FET ;或者利用还兼作为自

对准干法蚀刻掩模的自对准再生长掩模、通过选择性再生长形成的具有基极接触区的 BJT。

[0065] 图 2A-2K 示出了以下两者的制造：利用自对准的后再生长蚀刻掩模敷金属、通过再生长和深蚀刻形成的具有 p-n 结栅极的垂直沟槽 FET；或者利用自对准的后再生长蚀刻掩模敷金属、通过再生长和深蚀刻形成的具有基极接触区的 BJT。

[0066] 图 3A-3K 示出了以下两者的制造：通过栅极的再生长、随后通过相反导电类型材料的深蚀刻和选择性再生长以形成源极指的顶部而形成的具有 p-n 结栅极的垂直沟槽 FET；或者通过再生长、随后通过相反导电类型材料的深蚀刻和选择性再生长以形成发射极区而形成的具有基极接触区的 BJT。

[0067] 图 4A-4E 示出了以下两者的制造：通过再生长形成的具有 p-n 结栅极的 SiC 垂直沟槽 FET，其中通过源极外延层的顶部和侧面的、对栅极外延的各向同性离子减薄使得栅极层与源极分隔开；或者通过再生长形成的具有基极接触区的 BJT，其中通过发射极外延层的顶部和侧面的、对基极接触外延的各向同性离子减薄使得基极接触层与发射极分隔开。此方法还利用了平坦化掩模材料，以保护在蚀刻部位的底部和侧面上的栅极或基极接触外延。

[0068] 图 5A-5I 示出了以下两者的制造：通过利用自对准再生长掩模的选择性再生长和利用自对准的后再生长蚀刻掩模敷金属的深蚀刻而形成的具有 p-n 结栅极的垂直沟槽 FET；或者通过利用自对准再生长掩模的选择性再生长和利用自对准的后再生长蚀刻掩模敷金属的深蚀刻而形成的具有基极接触区的 BJT。

[0069] 参考标号

- [0070] 1、n⁺ 衬底（例如，SiC）；
- [0071] 2、n⁻ 漂移层（例如，SiC）；
- [0072] 3、n⁻ 沟道层（例如，SiC）；
- [0073] 4、n⁺ 源极层（例如，SiC）；
- [0074] 5、再生长掩模材料（例如，TaC）；
- [0075] 6、干法蚀刻掩模（例如，Ni）；
- [0076] 7、外延再生长 p⁺ 层（例如，SiC）；
- [0077] 8、平坦化材料（例如，可流动的光刻胶）；
- [0078] 9、适于干法蚀刻掩模的电子束沉积的金属（例如，Al）；
- [0079] 10、平坦化材料（例如，可流动的光刻胶）；
- [0080] 11、平坦化材料（例如，可流动的光刻胶）；
- [0081] 12、各向同性或准各向同性的再生长掩模（例如，TaC）；
- [0082] 13、平坦化材料（例如，可流动的光刻胶）；
- [0083] 14、再生长 n⁻ 层（例如，SiC）；
- [0084] 15、再生长 n⁺ 源极接触层（例如，SiC）；
- [0085] 16、源极欧姆接触金属（例如，Ni）；
- [0086] 17、栅极欧姆接触金属（例如，Ni）；
- [0087] 18、p 基极层；
- [0088] 19、n⁺ 发射极层。

具体实施方式

[0089] 根据一个实施方案,本申请关注具有再生长 p-n 栅极的 JFET。根据进一步的实施方案,本申请关注具有再生长基极接触层的双极结型晶体管 (BJT)。

[0090] JFET 可形成有垂直或水平沟道的任何一种。垂直沟道器件具有高沟道填充密度的优点 (参见,例如,美国专利第 4587712 号)。高沟道填充密度体现为大功率密度,特别是在衬底的背面上形成漏极接触时。本申请描述了垂直沟道的形成,并且为了便于说明,假设在晶片的背面上具有漏极接触。然而,还提供了具有垂直沟道和顶侧漏极接触的器件。

[0091] 在半导体器件的制造之中需要自对准工艺,因为此类工艺消减了精确构图再对准的成本,并消除了解决构图未对准所消耗的材料区域。最小化额外的区域还帮助减少器件寄生效应。具有注入栅极的垂直沟槽 JFET 适当地允许直接自对准工艺,因为用于限定源极区的蚀刻掩模也可被用于限定在栅极注入期间所采用的离子注入掩模 (美国专利第 6767783 号 [2]、[3])。在 SiC 中, n 型材料具有比具有相同掺杂浓度的 p 型材料更低的电阻率,并且 n 型材料产生具有更低的接触电阻的欧姆接触。因此, n 型导电率是用于 SiC 的 JFET 的源极区、沟道区、漂移区和漏极区的选择的导电率。对于 n 型沟道,栅极必须是 p 型,反之亦然。用于 SiC 的示例性的 p 型掺杂物是铝和硼,优选为铝。为了在 SiC 中产生良好的注入 p 型区,可以在升高的温度下 (典型为高于 600°C) 进行注入。此外,晶片必须在高温下进行退火,以激活注入的掺杂物。用于激活注入的铝所需的典型温度为高于 1600°C。升高温度注入和高温激活退火会显著地减慢用于完成器件的周期。此外,注入的材料还会在注入物之下和侧面导致“碰撞”损伤,这使得半导体的晶体质量劣化。

[0092] 因此,有利地,采用利用了由再生长 p 型材料制造的栅极的工艺。美国专利第 6767783 号记载了具有外延栅极的多种 JFET 的基本原理。本申请描述了用于制造具有外延栅极的 JFET 和具有外延再生长基极接触区的 BJT 的各种技术。尽管这些技术被描述为用于制造 SiC 器件,但是这些技术也可用于制造除了 SiC 之外的半导体材料的 JFET。

[0093] 可在任意定向结晶的 n 型、p 型或半绝缘的 SiC 衬底上,形成在下文中描述的本发明的各种实施方案。为了说明,将描述在 n 型衬底上制备的器件。描述的方法旨在用于具有在晶片的背面上制造的漏极接触的器件。然而,可以使用附加步骤制备具有顶侧漏极接触的器件。用于形成顶侧漏极接触的方法是公知的,因此在此将不再进行描述。用于在 SiC 中生长不同半导体层的优选方法是通过 CVD。然而,所描述的技术不必排除其它生长技术的使用,包括,例如升华。在任何其它工艺 (即,构图,蚀刻) 之前在晶片上生长的外延层将被称为“生长”。在已经开始一定量的器件工艺之后生长的外延层将被称为“再生长”。

[0094] 在图 1A-1D 中,示出了具有选择性再生长 p-n 结栅极的 SiC 垂直沟槽场效应晶体管 (FET) 或具有选择性再生长基极接触区的 BJT 的制造方法。如图所示,初始衬底材料为 n^+ 掺杂。需要重掺杂,以确保衬底本身的低电阻,并且是为了形成良好的背面欧姆接触。在图 1A 中,在导电 n^+ 衬底 1 上外延生长轻掺杂的 n^- 漂移层 2。可以在漂移层的生长之前,在衬底上生长 n 型缓冲层。对于器件工作的物理特性,缓冲层不是本质的,但缓冲层可用于促进随后的器件外延层的良好外延生长。 n^- 漂移层的掺杂和厚度应当适合于当将该层的电阻保持至最小值时承受最大期望闭锁电压 (blocking voltage)。漂移层掺杂浓度典型为在 1×10^{14} 个原子 / cm^3 和 5×10^{16} 个原子 / cm^3 之间。

[0095] 如图 1 所示,在漂移层 2 上,外延生长 n 型沟道层 3。沟道层 3 典型地比漂移层 2 更

高地掺杂。可对该层进行优化,以获得具有最大沟道导电率的所需的夹断电压 (pinch off voltage)。然而,对于一些应用,沟道层 3 可以具有与漂移区 2 相同的掺杂,由此消除对于附加沟道外延层 3 的需求 (即,如图 1 所示的沟道层和漂移层可以是一个单层)。合并层 2 和层 3 不改变器件的基本功能。对于沟道层 3,典型的掺杂浓度处于 1×10^{15} 个原子 / cm^3 和 1×10^{18} 个原子 / cm^3 之间的范围。如图所示,在沟道层 3 的顶部,生长重掺杂的 n^+ 源极层 4。该层的重掺杂提高了源极欧姆接触质量。该层还作为在沟道损耗过程中的场栏。层 4 的掺杂浓度应当为至少 1×10^{18} 个原子 / cm^3 ,但优选地大于 1×10^{19} 个原子 / cm^3 。可以改变层 2、3 和 4 的厚度,以获得具有所需特性的器件。

[0096] 如图 1B 所示,在源极层 4 的顶部上对再生长掩模 5 和干法蚀刻掩模 6 进行构图,并且再生长掩模 5 和干法蚀刻掩模 6 限定出源极指 (source finger)。再生长掩模可以由适于承受外延生长工艺的温度和化学条件的任意材料制成,该材料将防止在被再生长掩模覆盖的 SiC 区域上生长,且不易在掩模材料自身的顶部上生长 SiC。适当的掩模材料的一个实例是 TaC[1]。应当直接在 5 的顶部上对干法蚀刻掩模 6 进行构图,并且干法蚀刻掩模 6 可被用作图案 5 的干法蚀刻掩模。如果需要,干法蚀刻掩模 6 的厚度应当足以用于蚀刻穿过除了再生长掩模 5 之外的 SiC 层 4,且完全或部分地穿过层 3。干法蚀刻掩模还应当由可按以下方式去除的材料制成,即足够的再生长掩模 5 可进行以下工艺步骤。示例性的干法蚀刻掩模是镍金属。

[0097] 可选择地,可采用包括还作为干法蚀刻掩模材料的再生长掩模材料的单层掩模,以代替图 1B 所示的再生长掩模 5 和干法蚀刻掩模 6。

[0098] 接着,如图 1C 所示,穿过 n^+ 层 4 并穿过沟道层 3,对未被层 5 和 6 覆盖的 SiC 区域进行干法蚀刻。理想地, SiC 干法蚀刻应当完全地蚀刻穿过层 3,而不蚀刻到漂移层 2 中。然而,未完全蚀刻穿过 3 或者蚀刻到 2 中,都不会改变所制备器件的基本功能,并且不会对进一步的处理步骤产生影响。干法蚀刻还应当基本为各向异性,以使所获得的 SiC 结构的侧壁主要是垂直的。可接受小量的倾斜。

[0099] 在图 1D 所示的 SiC 干法蚀刻之后,去除干法蚀刻掩模 6,并将再生长掩模 5 留在源极指的顶部上。在去除干法蚀刻掩模 6 之后,在未被再生长掩模材料 5 覆盖的 SiC 区域之上外延生长 p 型 SiC 层 7。此 p 层 7 形成晶体管的 p-n 结栅极。再生长 p 层的厚度可以足够厚,以填充各源极指之间的区域,或者仅仅厚到足以覆盖如图 1D 所示的沟槽的侧面和底部。如果在各源极指之间将沉积一种欧姆接触金属,则优选生长更薄的 p 层。如果需要栅极欧姆金属,那么栅极外延层的厚度应当足够厚,以使在欧姆接触形成期间欧姆金属不会阻挡穿过。大于 100nm 的厚度是足够的,但是层 7 可以被生长得更厚,以使欧姆接触阻挡的风险最小。最大的厚度依赖于栅极沟槽的深度和宽度。

[0100] 接着,用平坦化物质 8 涂覆晶片。此物质可以是在源极指的顶部上的沉积比在源极指之间处且在此区域中更薄的任何材料。理想地,平坦化材料的表面应当越过晶片尽可能接近相同的水平。某些类型的光刻胶能够很好地实现此目的,例如 Microposit LOR20B。平坦化工艺的一个实例是旋涂光刻胶,然后烘焙光刻胶,从而使光刻胶回流,以留下几乎平坦的表面。也可以采用平坦化的其它方法。为了便于说明,所描述的工艺将包括利用旋涂光刻胶的平坦化。在应用平坦化层之后,采用适合的蚀刻方法选择性深蚀刻平坦化层,从而使包括如图 1E 所示的再生长 p 层 7 的顶部的源极指的顶部暴露。用于蚀刻平坦化光刻胶

的适合的蚀刻方法是氧等离子体蚀刻。

[0101] 如图 1F 所示,在对平坦化层 8 进行深蚀刻之后,向下对层 7 的暴露部分进行干法蚀刻,直至没有任何再生长栅极层 7 与重掺杂 n^+ 层 4 接触。必须少量的过蚀刻,以提高由栅极和沟道层形成的 p-n 结的最大反向电压。在蚀刻 SiC 层 7 期间,还将蚀刻一定量的平坦化层 8 和再生长掩模层 5。层 5 和 8 的去除量将依赖于所采用的材料和所采用的 SiC 干法蚀刻参数。层 5 的厚度应当使得在蚀刻厚度足以用于形成欧姆接触之后保留有一定量的层 4。在蚀刻期间层 8 也应保留一些,以保护沟槽底部中的栅极外延。如果在 SiC 蚀刻期间层 8 的蚀刻速率太快,就再次沉积并深蚀刻层 8。

[0102] 如图 1G 所示,一旦栅极层不再与 n^+ 源极层接触,则通过任何适合的湿法或干法蚀刻方法,使任何保留的再生长掩模 5 和平坦化层 8 剥离。这样,就形成了所有的 SiC 层。用于形成源极、栅极和漏极接触以及用于沉积或生长钝化膜的标准方法是根据这一点得出的。在层 4 上的源极指的顶部制造源极接触,在层 7 制造栅极接触,并在衬底层 1 制造漏极接触。

[0103] 图 1A-1G 还说明了制造 BJT 的相应方法,其中用 p 型半导体材料 18 代替 n 型沟道层 3,其形成器件的基极。在此器件中, n 型层 19 形成发射极,且 p 型再生长层 7 起到了基极接触的作用。在发射区 19 的顶部制造发射极接触,在层 7 制造基极接触,并在衬底层 1 制造漏极接触。

[0104] 图 2A-2K 示出了制造具有利用自对准的后外延生长蚀刻掩模敷金属通过外延再生长和深蚀刻而形成的 p-n 结栅极的 SiC 垂直沟槽 FET。在此工艺中,如图 2A 所示,在导电的 n^+ 衬底上外延生长漂移 2、沟道 3 和源极 4。然而,与图 1A-1G 中描述的工艺不同,如图 2B 所示,对干法蚀刻掩模 6 进行构图,以限定出源极区而不用在下面再生长掩模。然后,按照与图 1 中描述的相同方式,向下蚀刻暴露的 SiC,从而限定出源极区和沟道区。图 2C 示出了所获得的结构。

[0105] 接着,如图 2D 所示,剥离蚀刻掩模 6,并在整个蚀刻的表面上生长 p 型 SiC 层 7。层 7 的厚度和各源极指之间的间距应当使得在层 7 的再生长过程中,各源极指之间的空间被不完全填充。然后,如图 2E 所示,沉积并深蚀刻平坦化层 8,以使仅仅在各源极指的顶部上的 SiC 层 7 暴露。然后,如图 2F 所示,采用 SiC 干法蚀刻,以从 n^+ 源极层 4 的顶部去除 p 型 SiC 层 7。然后,去除任何残留的平坦化层 8(未示出)。这样,就能够进行源极、栅极和漏极欧姆接触的形成,但是这里并未示出这种选择,且还可以在此后的工艺流程中形成。

[0106] 接着,各向异性地沉积干法蚀刻掩模材料 9,以使在源极指的侧面上沉积非常少的掩模材料。如图 2G 所示,一个实例是通过电子束蒸发沉积的 Al 金属。那么,如图 2H 所示,通过湿法或干法工艺中的任何一种工艺,各向同性地蚀刻此掩模层 9,直至掩模材料已缩减至足以沿着源极指的侧面暴露出栅极层 7。掩模层 9 应当被沉积得足够厚,从而在已经获得所需量的水平凹槽之后,使蚀刻掩模材料具有足够的垂直厚度,以使蚀刻掩模材料被用作 SiC 干法蚀刻掩模。然后,如图 2I 所示,沉积并深蚀刻平坦化层 10,以暴露出源极指的顶部,包括在源极指的侧面上的层 7 的顶部部分。可以颠倒图 2H 和 2I 中描述的工艺的顺序。

[0107] 然后,如图 2J 所示,对层 7 的暴露部分向下进行干法蚀刻,直至没有任何层 7 与 n^+ 源极层 4 接触。可以采用确定量的过蚀刻,以增加源极至栅极 p-n 结的最大反向电压。如果在沉积层 9 和 10 之前,在源极指的顶部上形成欧姆接触,那么就必须在进行 SiC 蚀刻之

前首先蚀刻去掉暴露出的欧姆接触敷金属。层 9 和 10 应当足够厚,从而在 SiC 蚀刻期间保护源极指的顶部和栅极沟槽的底面。

[0108] 然后,剥离平坦化层 10 和自对准蚀刻掩模 9,并且器件已准备好接受欧姆接触和钝化。如果在最后的 SiC 蚀刻之前形成欧姆接触,则可以保留自对准蚀刻掩模 9 以作为在源极和栅极欧姆接触的顶部上的附加敷金属。

[0109] 图 2A-2K 还说明了制造 BJT 的相应方法,其中用形成器件的基极的 p 型半导体材料 18 的层代替沟道层 3。在此器件中,n 型层 19 形成发射极,且 p 型再生长层 7 起到了基极接触的作用。

[0110] 图 3A-3K 示出了制造具有 p-n 结栅极的 SiC 垂直沟槽 FET,该 p-n 结栅极是通过外延再生长 p 型材料、随后对附加沟道外延和 n^+ 源极层进行深蚀刻和再生长而形成的。在此工艺中,最初在衬底 1 上仅生长漂移层 2 和沟道层 3。然后,如图 3A 所示,在层 3 的顶部上对干法蚀刻掩模 6 进行构图,以限定出源极指的位置。如图 3B 所示,对暴露出的 SiC 向下进行干法蚀刻,穿过沟道层 3。然后,如图 3C 所示,剥离干法蚀刻掩模 6,并再生长 p 型 SiC 层 7。

[0111] 如图 3D 所示,通过首先沉积并深蚀刻平坦化层 11,然后对暴露出的 SiC 进行干法蚀刻,直至如图 3E 所示,在指的顶部上暴露出沟道层 3,从而使 p 型 SiC 从指的顶部除去。

[0112] 如图 3F 所示,在已经去除残留层 11 之后,沉积各向同性或准各向同性的再生长掩模 12,从而在水平和垂直 SiC 表面上沉积掩模材料。如图 3G 所示,沉积并深蚀刻第二平坦化层 13,以暴露出在源极指的顶部的层 12。然后,利用适合的干法或湿法蚀刻、随后剥离平坦化的涂覆层 13,蚀刻掉暴露出的再生长掩模 12。图 3H 中示出了所获得的结构。

[0113] 接着,如图 3I 所示,仅在已经去除再生长掩模 12 处的指的顶部上再生长 n 型层 14,并在层 14 的顶部上生长附加的 n^+ 型 SiC 层 15,此后将在层 14 上形成源极欧姆接触。层 14 的目的在于,使 p 型栅极层 7 与重掺杂 n^+ 层 15 分隔开。这防止了当形成 p^+-n^+ 结时导致的栅极至源极 p-n 结的低反向击穿。因此,层 14 的厚度和掺杂应当使得在层 7 和 14 之间形成的结的反向击穿高于夹断器件沟道所需的电压。如图 3J 所示,在层 14 和 15 的再生长之后,可剥离再生长掩模。

[0114] 由于再生长工艺某种程度的各向同性特征,将在源极指的侧面上呈现出一定量的突出物。突出物的量依赖于层 14 和 15 的厚度。如果沉积金属的方法具有某种方向性,则在欧姆敷金属和敷镀敷金属期间,突出物将防止金属在指侧壁上沉积。在这种情况下,可同时沉积栅极和源极金属,而不需要附加构图,并将显著地减少从栅极至源极的金属短路的风险。图 3K 中示出了利用再生长突出物的自对准金属沉积。此外,如果以显著大于突出物之间间距的厚度来沉积敷镀金属,则在突出物之间的缝隙就会完全接近于形成自对准空气桥结构。电镀和溅射是适合于密闭各源极指之间的缝隙的两种方法,因为这两种方法都具有一定程度的横向沉积。

[0115] 图 3A-1K 还说明了制造 BJT 的相应方法,其中利用 p 型半导体材料 18 的层代替沟道层 3,p 型半导体材料 18 形成了器件的基极。在此器件中,n 型层 15 形成发射极,且 p 型再生长层 7 起到了基极接触区的作用。可在衬底 1 的背面形成集电极接触。

[0116] 图 4A-4E 示出了制造具有 p-n 结栅极的 SiC 垂直沟槽 FET, p-n 结栅极是通过外延再生长栅极层、随后利用平坦化掩模材料采用各向同性干法蚀刻从源极外延选择性地蚀

刻栅极外延而形成的。在此工艺中,在衬底 1 上生长漂移层 2、沟道层 3 和源极层 4。对干法蚀刻掩模 6 进行构图,以限定出源极区。然后,如图 4A 所示,对暴露出的 SiC 向下进行干法蚀刻,穿过源极层 4 和沟道层 3。然后,如图 4B 所示,剥离干法蚀刻掩模 6,并再生长 p 型 SiC 层 7。

[0117] 如图 4C 所示,沉积平坦化材料 8,并选择性地对平坦化材料 8 向下进行干法蚀刻,直至低于源极接触层 4 的高度。然后,如图 4D 所示,采用适合的干法蚀刻,干法蚀刻掉暴露出的栅极外延 7。干法蚀刻应当是足够各向同性的,从而以大致相同的时间从源极指的侧面和顶部去除栅极材料。干法蚀刻还应当在掩模材料 8 和 SiC 层 7 之间具有适当的选择性。如果平坦化掩模的蚀刻速率明显比 SiC 蚀刻速率更快,则可重复平坦化掩模工艺必需的次数,以完成蚀刻。用于此工艺的优选的干法蚀刻技术是在系统中的离子减薄,其中可在蚀刻期间改变离子轰击的离子轰击的入射角,从而蚀刻暴露出的 SiC 层 7 的所有面。用于实现此过程的优选方法是在旋转台上装配待蚀刻的样品,旋转台的轴与轰击离子的入射角呈一定角度。

[0118] 如图 4E 所示,在已经蚀刻样品以使栅极层 7 不与重掺杂的源极层 4 接触之后,通过适合的湿法或干法方法,去除平坦化掩模 8。这样,器件就准备好用于适合于之前描述的其它设计的任何钝化和接触敷金属。

[0119] 图 4A-4E 还说明了制造 BJT 的相应方法,其中利用 p 型半导体材料 18 的层代替沟道层 3,p 型半导体材料 18 形成了器件的基极。在此器件中,n 型层 19 形成发射极,且 p 型再生长层 7 起到基极接触的作用。

[0120] 上述图 1、2、3 和 4 中说明的制备工艺是用于制造具有场效应栅极的垂直晶体管。如上所述,可以修改这些相同工艺,从而通过用 p 型基极层 18 代替 n 型沟道层来制备双极结型晶体管 (BJT)。在这些器件中,图 1、2 和 4 的源极层 4 以及图 3 的源极接触层 15 将作为发射极层。那么,将进行限定出源极指的第一蚀刻,直至暴露出 p 型基极层之下的 n 型漂移层。剩余步骤刚好与用于场效应器件所说明的那些工艺相同。

[0121] 图 5A-5I 说明了制造具有 p-n 结栅极的 SiC 垂直沟槽 FET,p-n 结栅极是通过采用再生长掩模材料的选择性外延生长以及采用自对准后外延生长蚀刻掩模敷金属的深蚀刻而形成的。如图 5A 所示,在此工艺中,在导电的 n^+ 衬底 1 上外延生长漂移层 2、沟道层 3 和源极层 4。

[0122] 如图 5B 所示,在源极层 4 的顶部上对再生长掩模 5 和干法蚀刻掩模 6 进行构图,再生长掩模 5 和干法蚀刻掩模 6 限定出源极指。可以直接在 5 的顶部上对干法蚀刻掩模 6 进行构图,而且干法蚀刻掩模 6 可用作图案 5 的干法蚀刻掩模。接着,如图 5C 所示,对未被层 5 和 6 覆盖的 SiC 区进行干法蚀刻,穿过 n^+ 层 4 并穿过沟道层 3。理想地,SiC 干法蚀刻应当完全蚀刻穿过层 3 而不蚀刻进入漂移层 2 中。然而,不完全穿过层 3 蚀刻或蚀刻进入 2 并不会改变所制备的器件的基本功能,也不会对进一步的处理步骤产生影响。干法蚀刻还应当主要为各向异性蚀刻,以使所获得的 SiC 结构的侧壁几乎垂直。少量的倾斜是可以接受的。

[0123] 在如图 5D 所示的 SiC 干法蚀刻之后,去除干法蚀刻掩模 6,同时在源极指的顶部上保留再生长掩模 5。在去除了干法蚀刻掩模 6 之后,在未被再生长掩模材料 5 覆盖的 SiC 区之上,外延生长 p 型 SiC 层 7。此 p 层 7 形成晶体管的 p-n 结栅极。

[0124] 接着,如图 5E 所示,各向异性地沉积干法蚀刻掩模材料 9,以使在源极指的侧面上沉积非常少的掩模材料。在沉积干法蚀刻掩模材料 9(未示出)之前,可选地去除再生长掩模 5。然而,有利的是,将再生长掩模 5 留在适当的位置,以在此后的蚀刻步骤过程中提供保护。然后,如图 5F 所示,通过湿法或干法工艺中的任何一种,各向同性地蚀刻掩模层 9,直至掩模材料减少至足以沿着源极指的侧面暴露出栅极层 7。应当将掩模层 9 沉积得足够厚,从而在已经获得所需量的水平凹槽之后,使蚀刻掩模材料具有足够的垂直厚度,以用作为 SiC 干法蚀刻掩模。然后,如图 5G 所示,沉积并深蚀刻平坦化层 10,以暴露出源极指的顶部,包括在源极指的侧面上的层 7 的顶部部分。可以颠倒图 5F 和 5G 中说明的工艺的顺序。

[0125] 然后,如图 5H 所示,对层 7 的暴露部分向下进行干法蚀刻,直至没有任何层 7 与 n^+ 源极层 4 接触。可以采用一定量的过蚀刻,以增加源极至栅极 p-n 结的最大反向电压。如果在沉积层 9 和 10 之前,在源极指的顶部上形成欧姆接触,则必须在进行 SiC 蚀刻之前,首先蚀刻掉暴露出的欧姆接触敷金属。层 9 和 10 应当足够厚,以在 SiC 蚀刻期间保护源极指的顶部和栅极沟槽的底面。

[0126] 然后,如图 5I 所示,剥离平坦化层 10、再生长掩模 5(如果存在)和自对准蚀刻掩模 9,并且器件已准备好接受欧姆接触和钝化。如果在最后的 SiC 蚀刻之前形成欧姆接触,则可保留自对准蚀刻掩模 9,以作为源极和栅极欧姆接触顶部的附加敷金属。

[0127] 图 5A-5I 还说明了制造 BJT 的相应方法,其中利用 p 型半导体材料 18 的层代替沟道层 3,p 型半导体材料 18 形成了器件的基极。在此器件中,n 型层 19 形成发射极,且 p 型再生长层 7 起到了基极接触的作用。

[0128] 虽然前面的说明利用用于说明目的的实例教导了本发明的原理,本领域技术人员通过阅读本说明书应当清楚,在不脱离本发明的实质范围就能够进行形式上和细节上的各种变化。

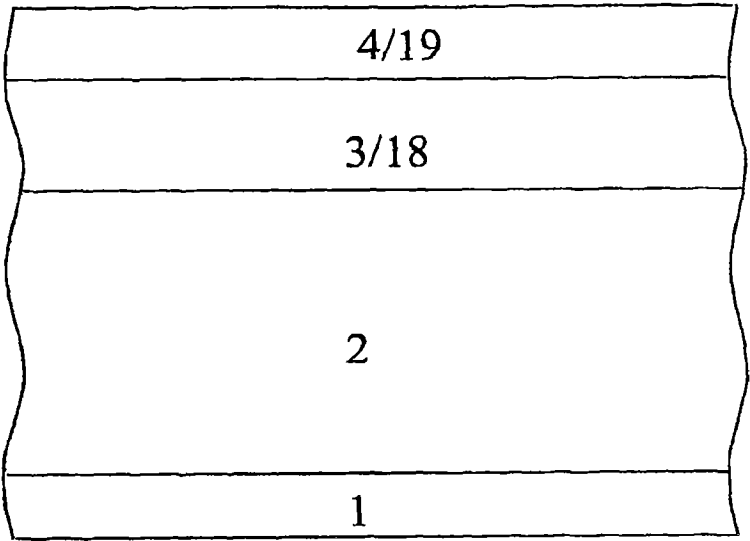


图 1A

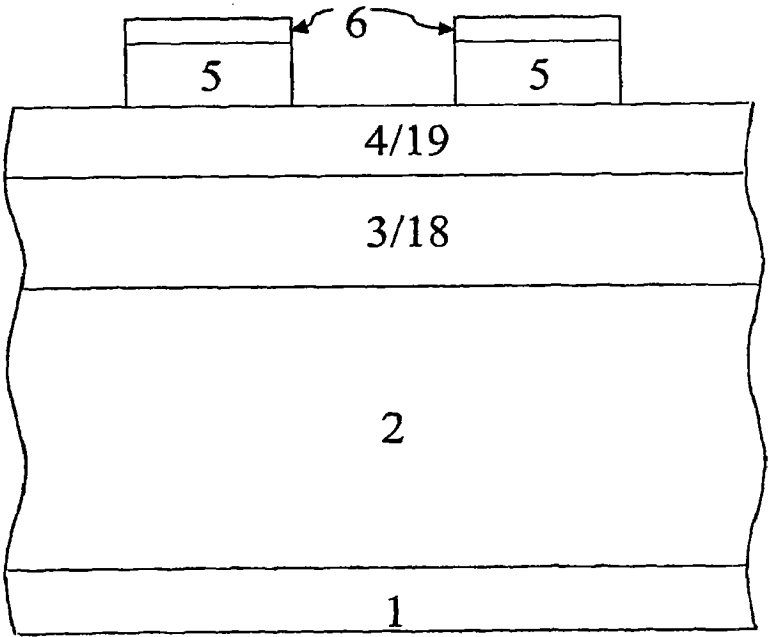


图 1B

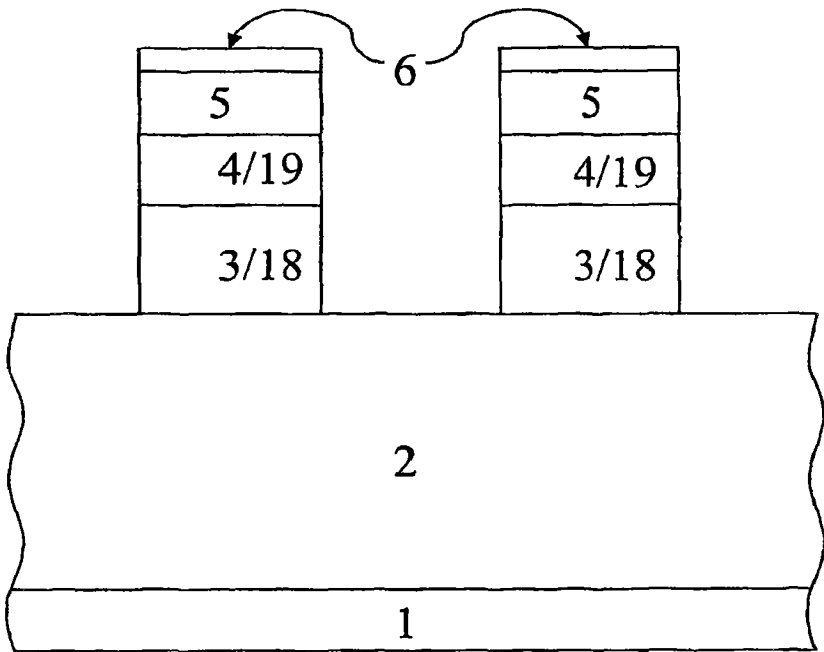


图 1C

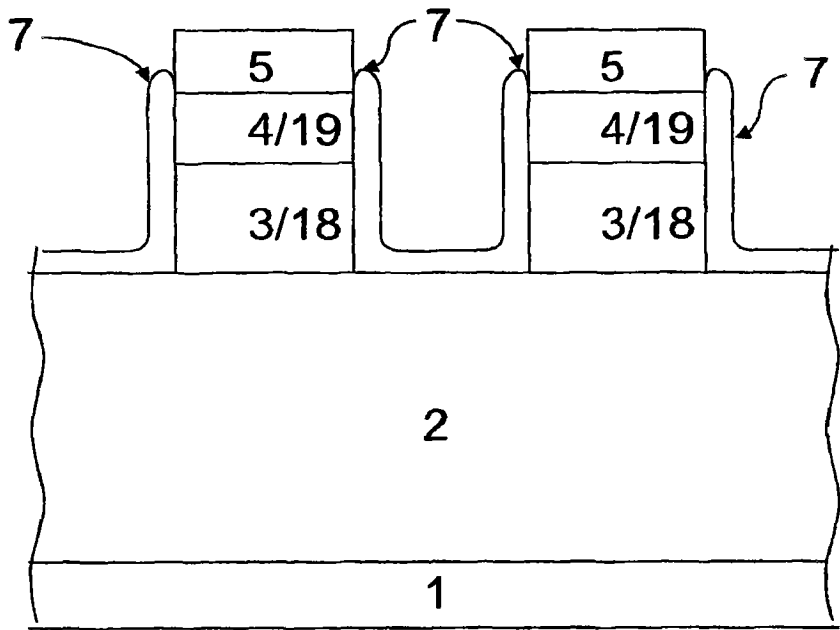


图 1D

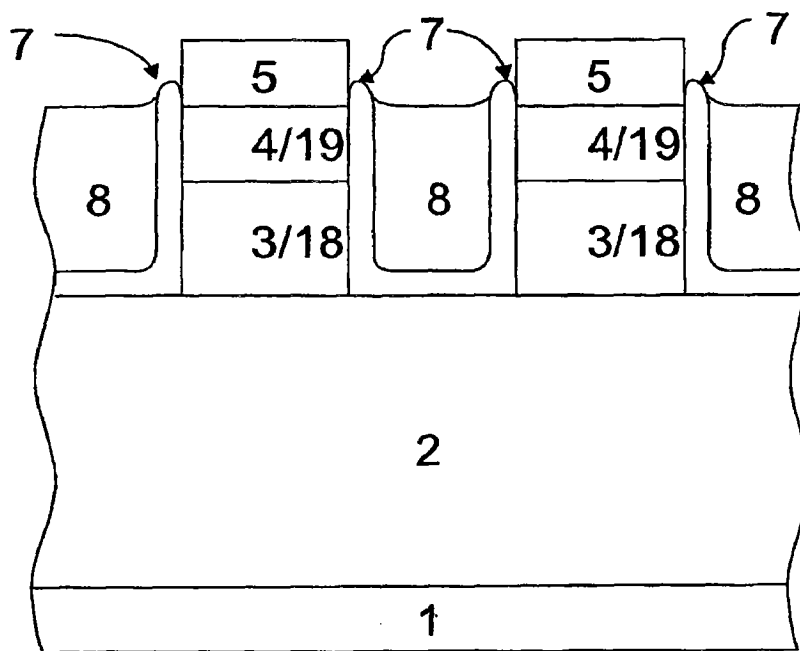


图 1E

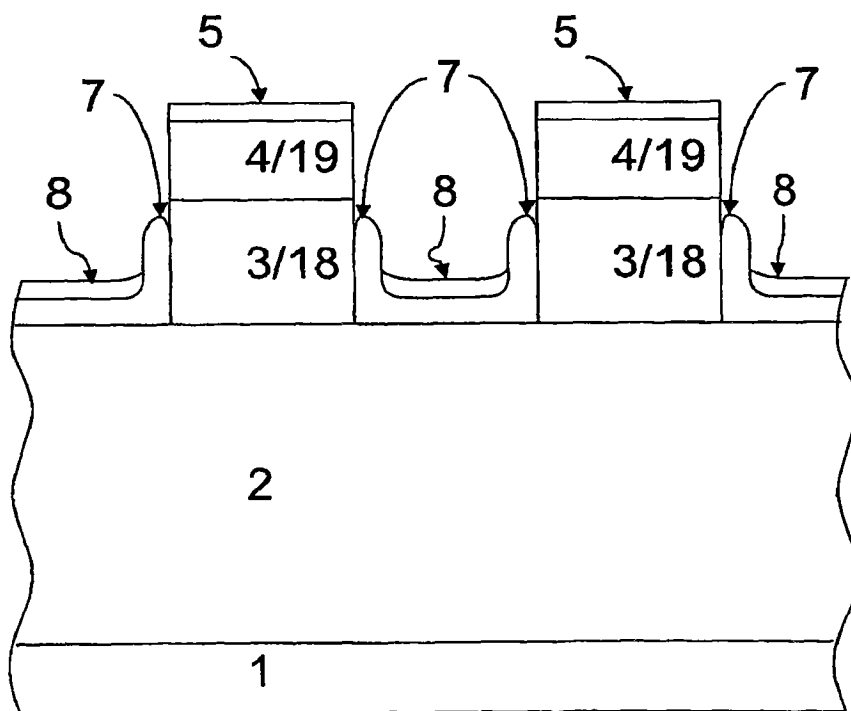


图 1F

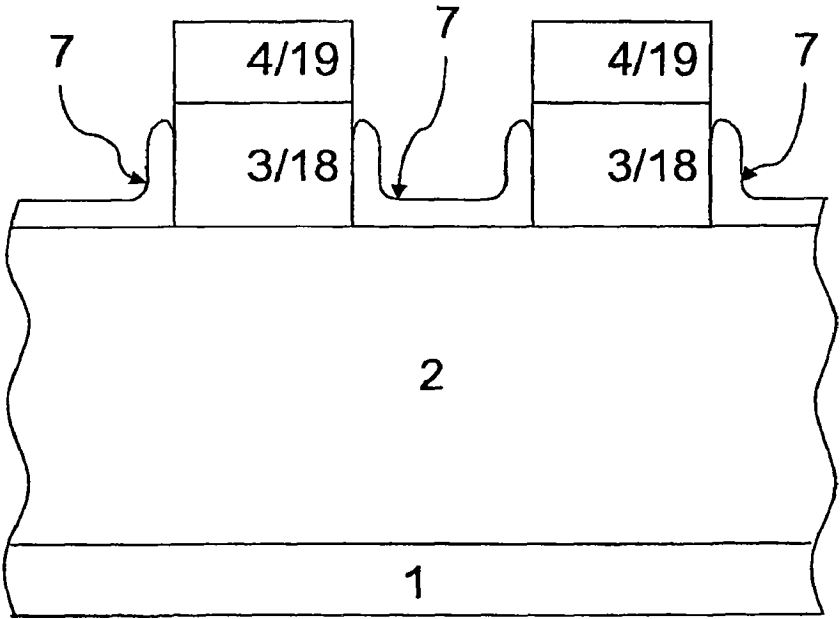


图 1G

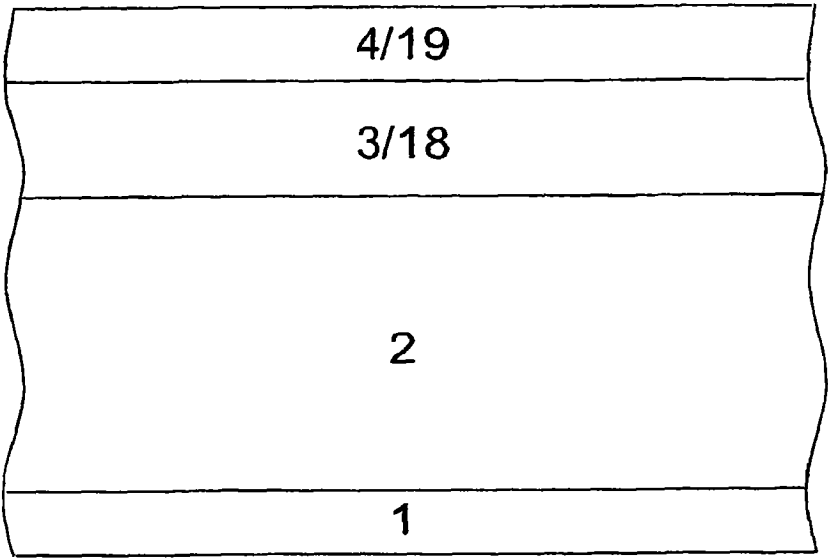


图 2A

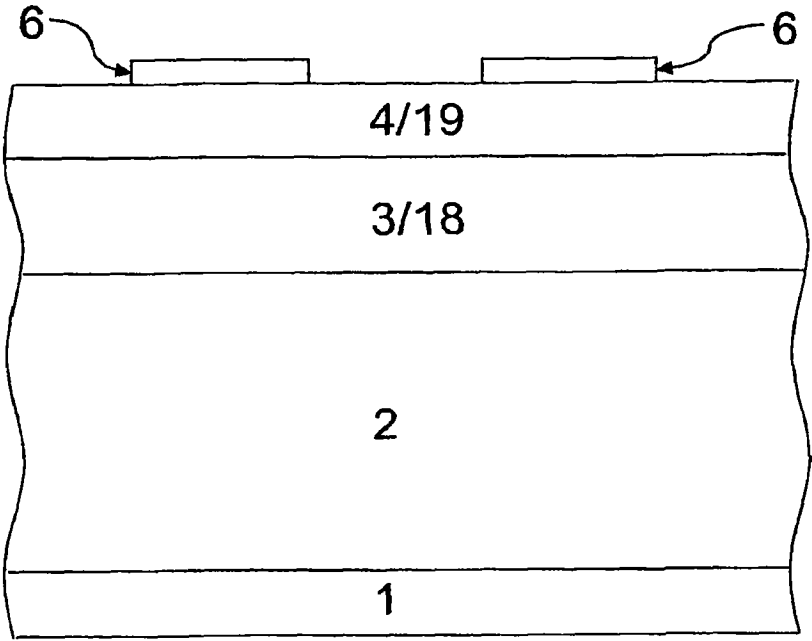


图 2B

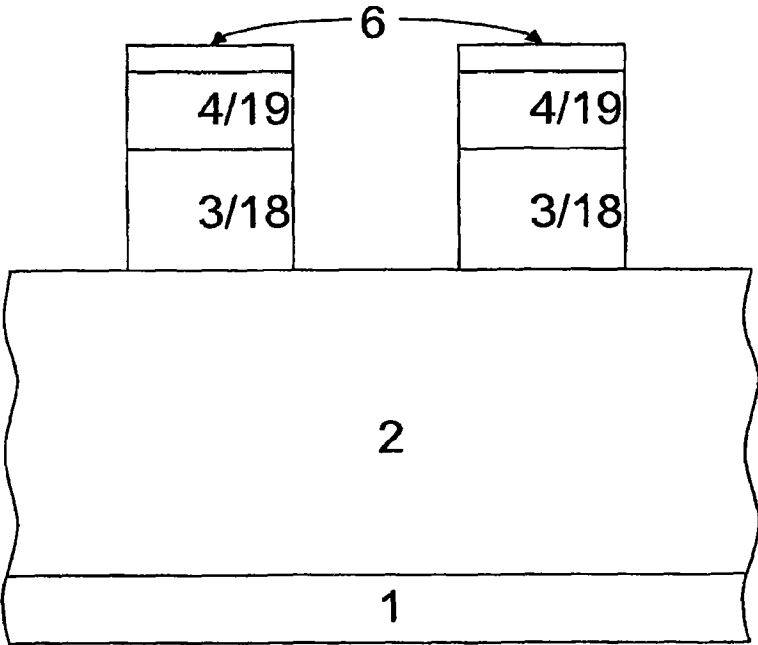


图 2C

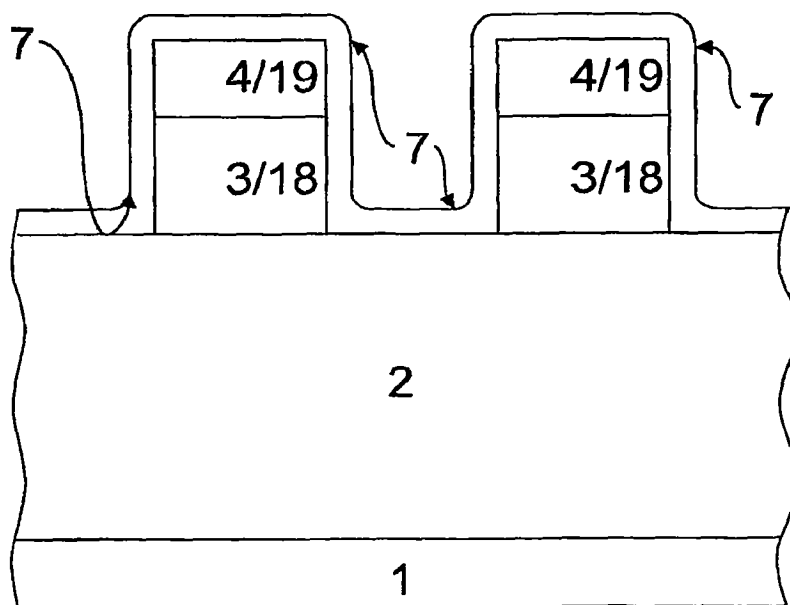


图 2D

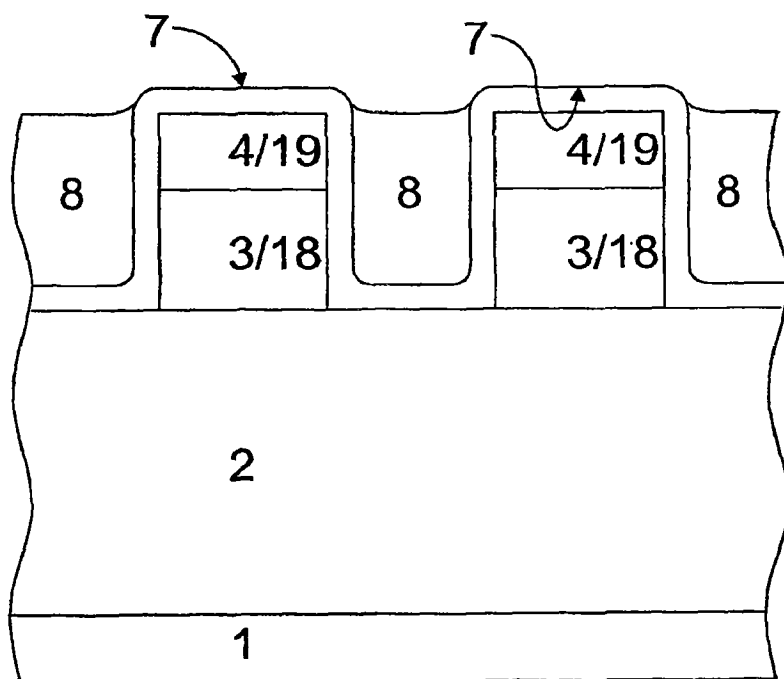


图 2E

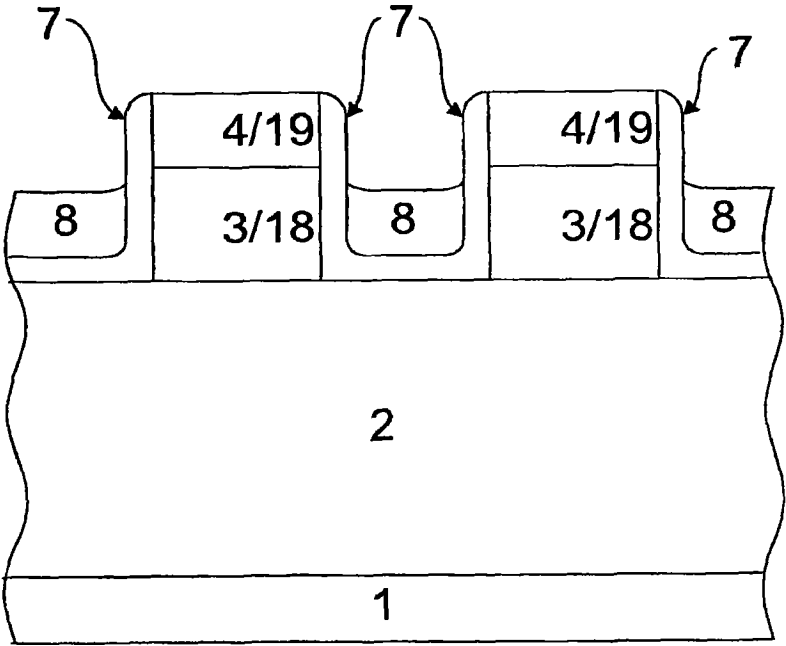


图 2F

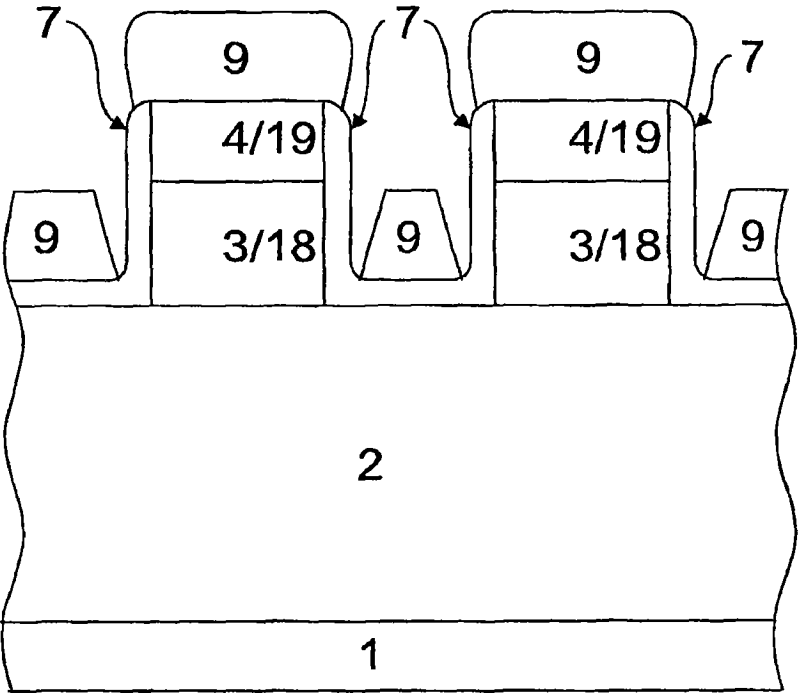


图 2G

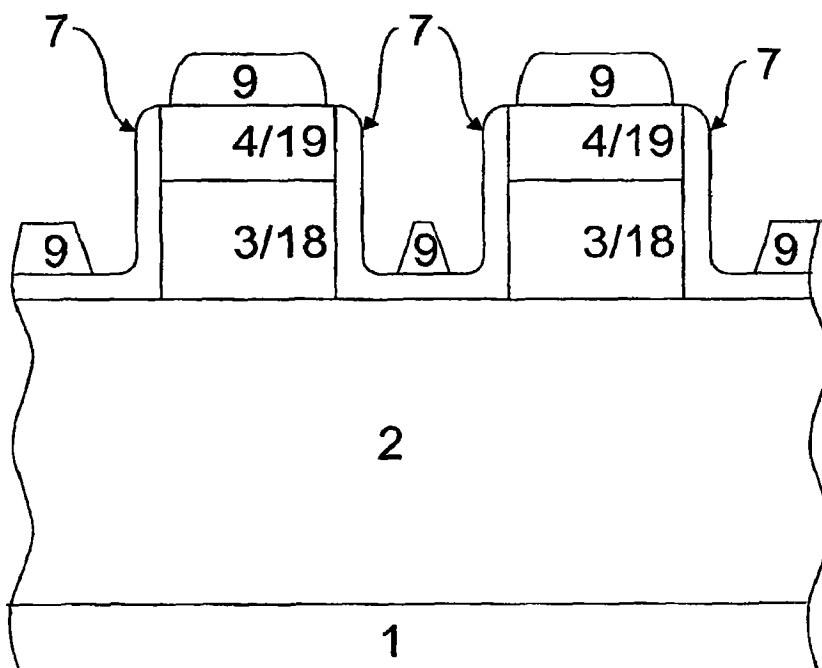


图 2H

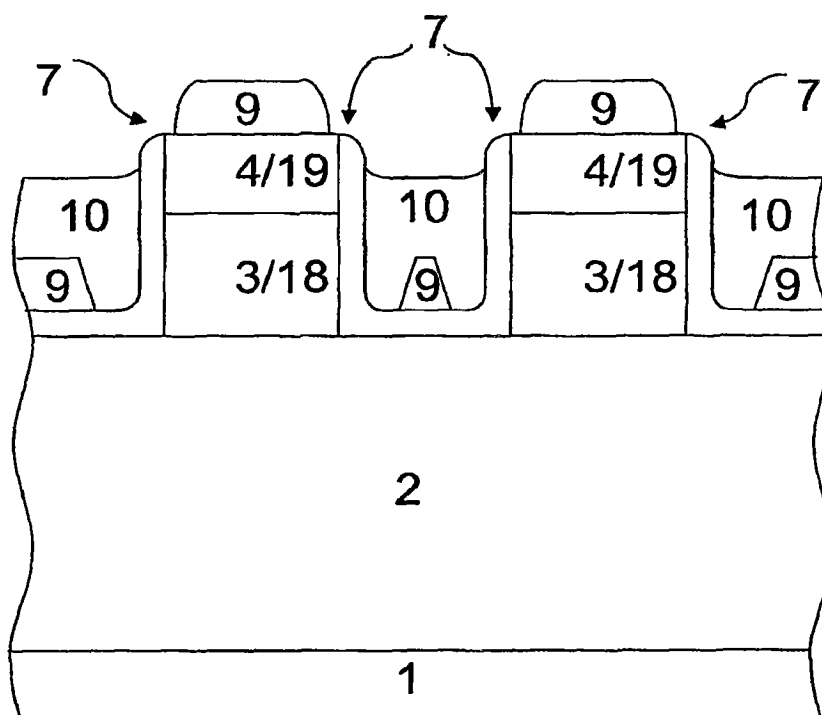


图 2I

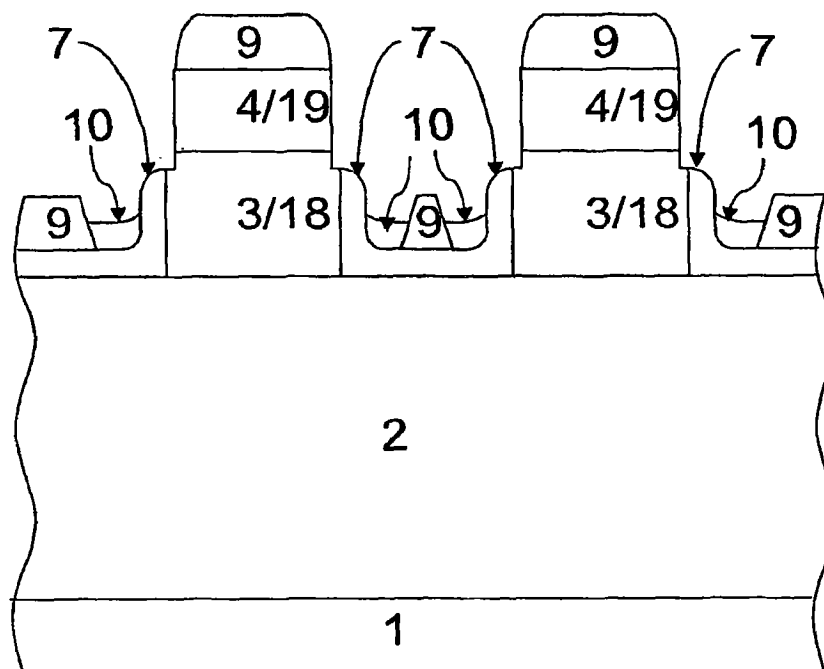


图 2J

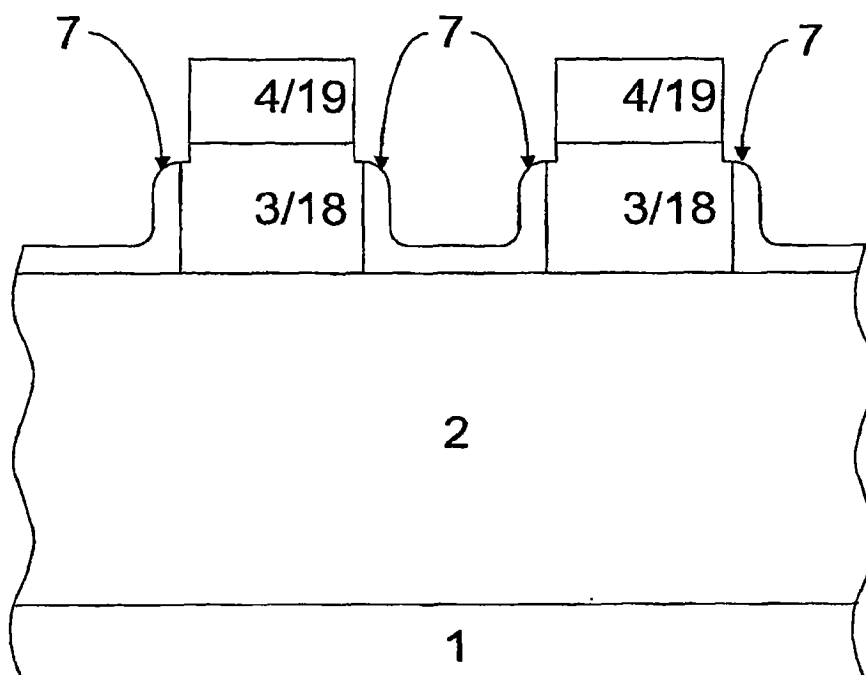


图 2K

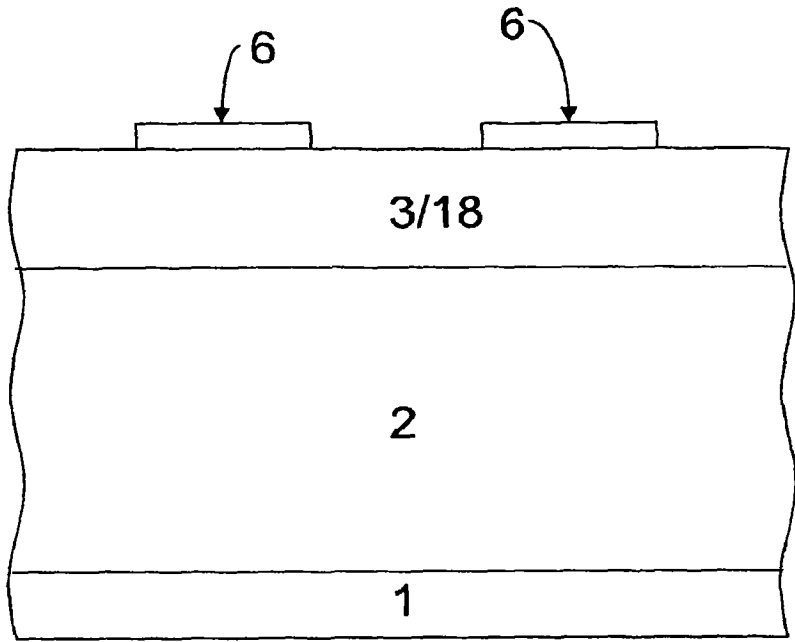


图 3A

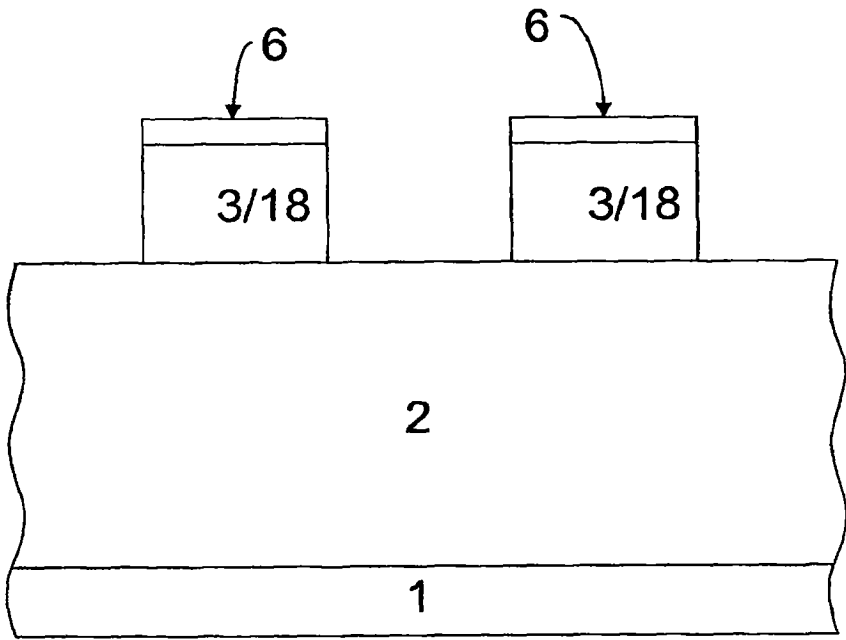


图 3B

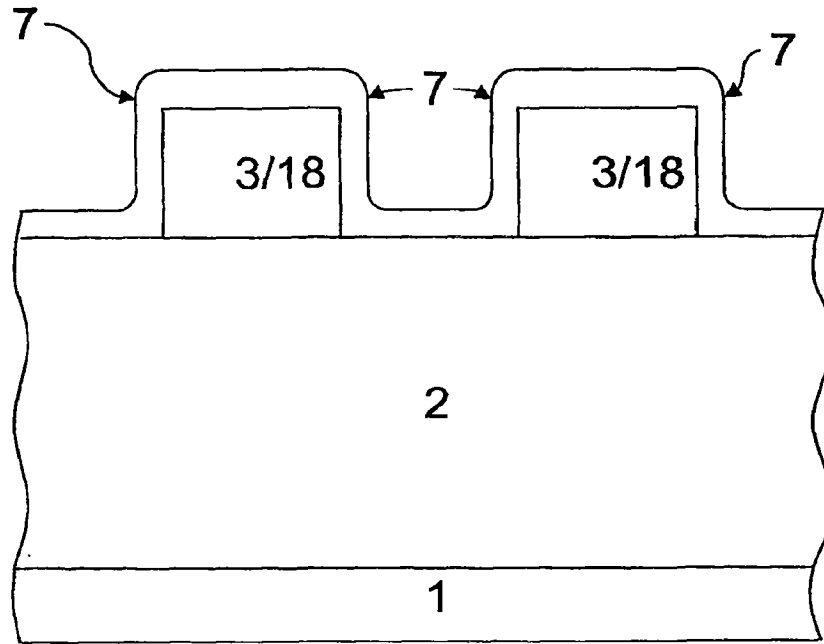


图 3C

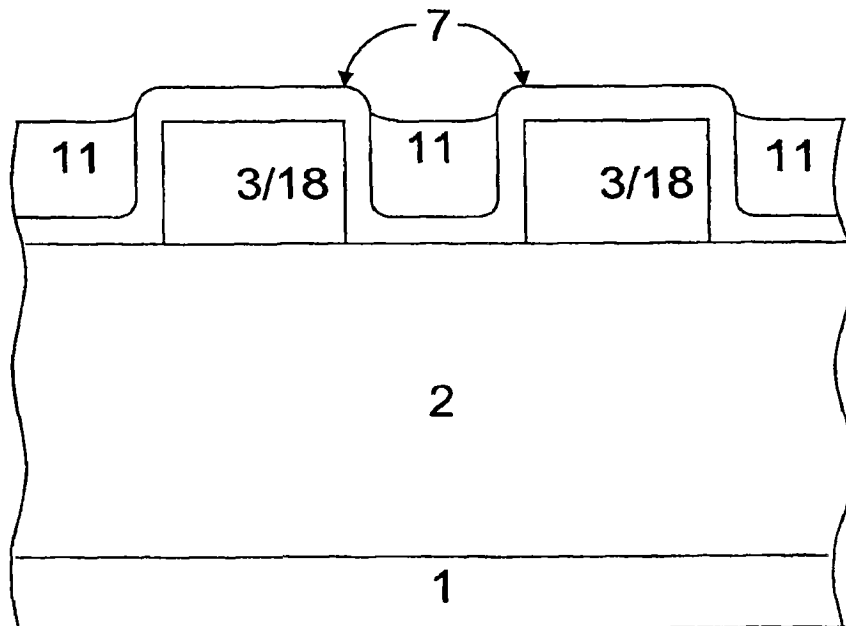


图 3D

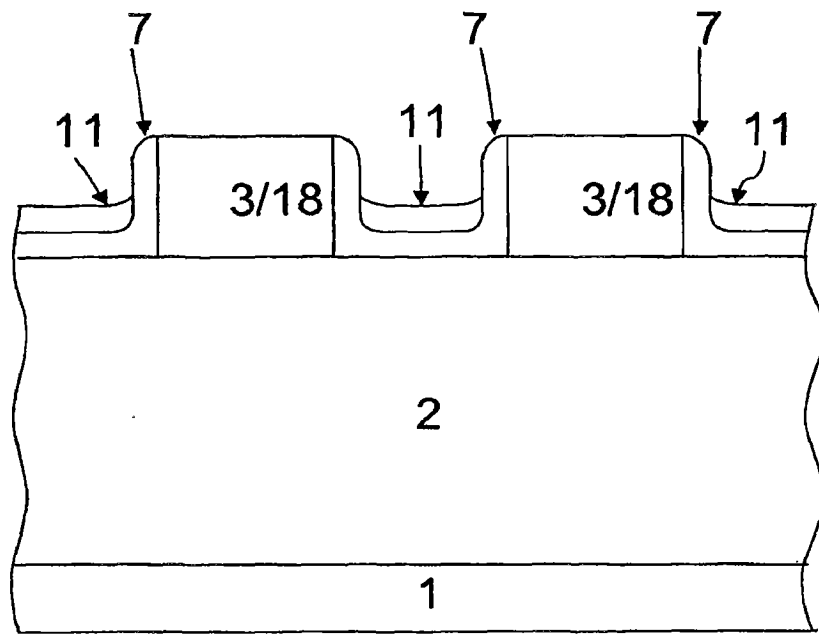


图 3E

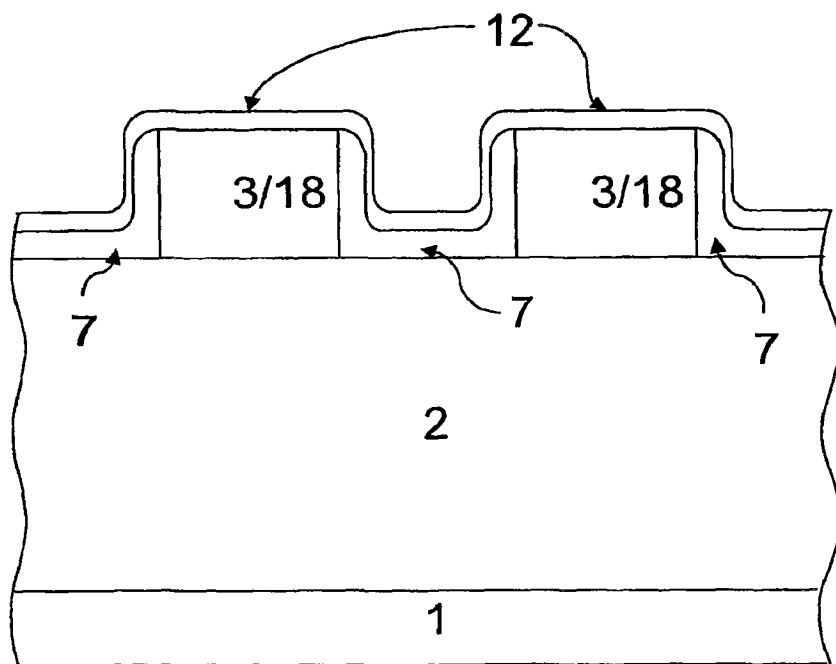


图 3F

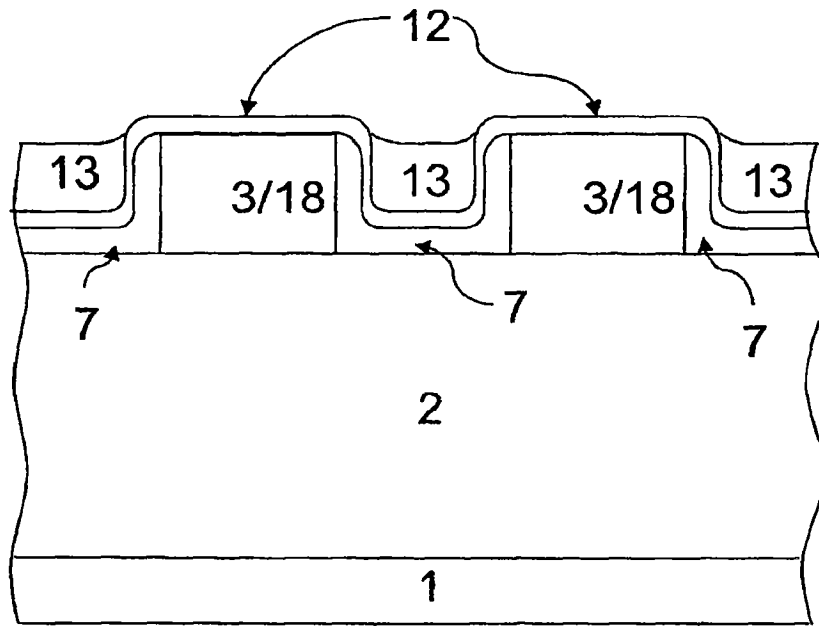


图 3G

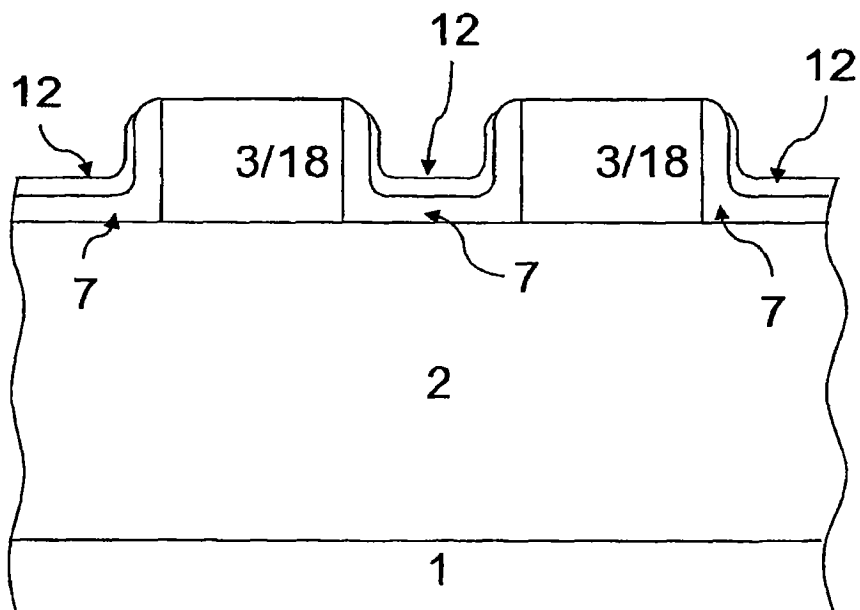


图 3H

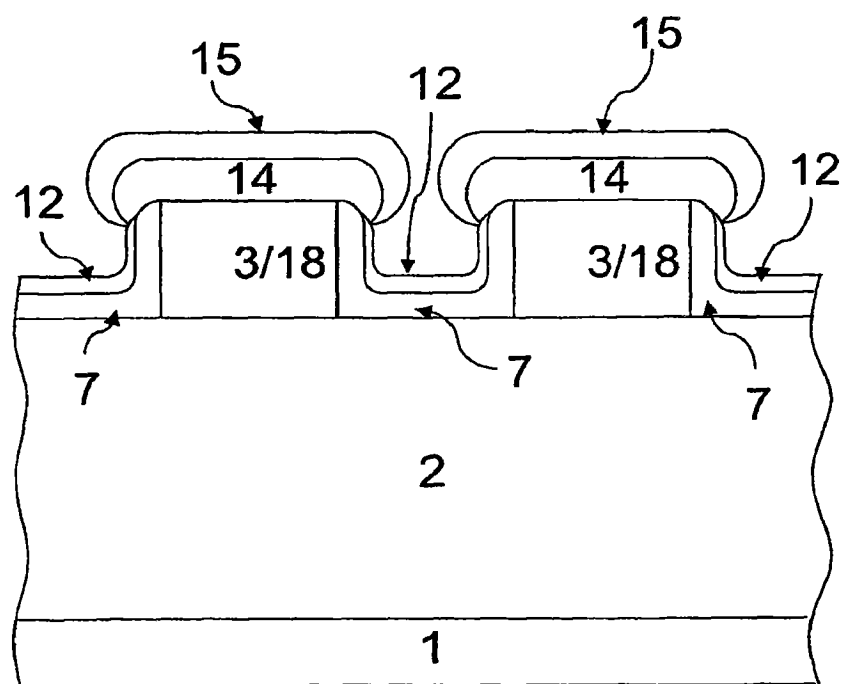


图 3I

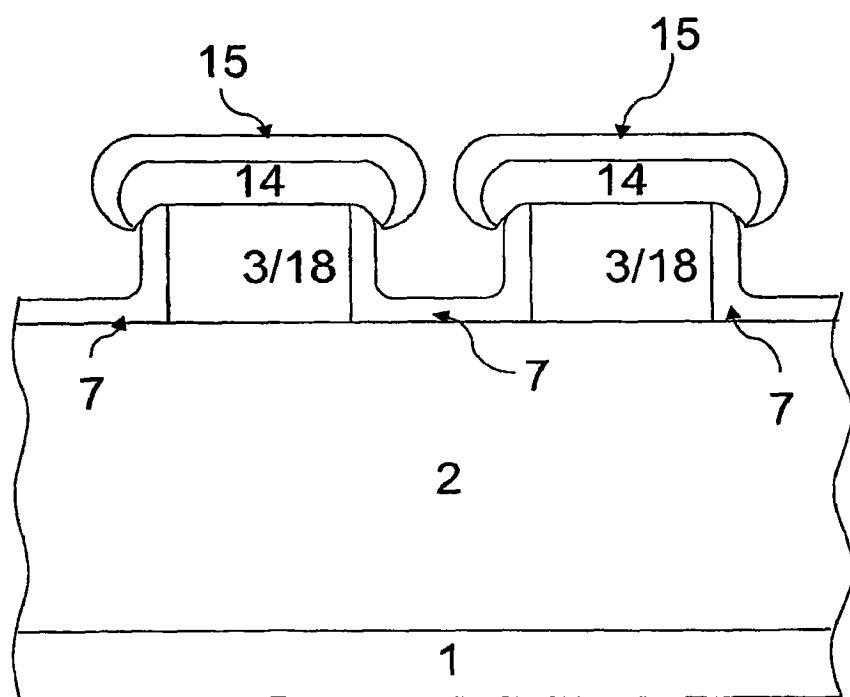


图 3J

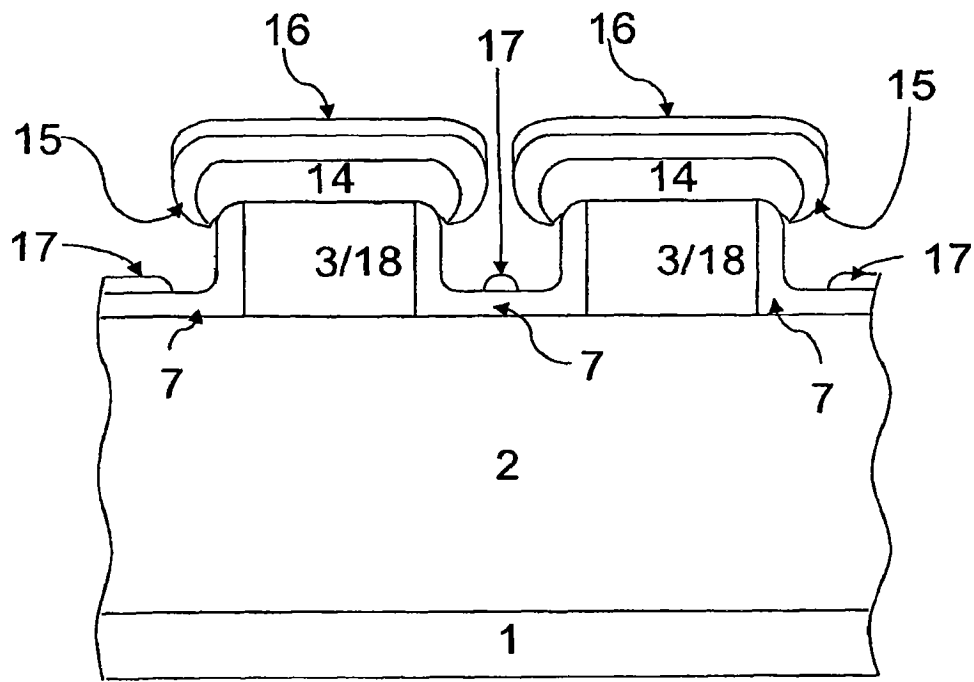


图 3K

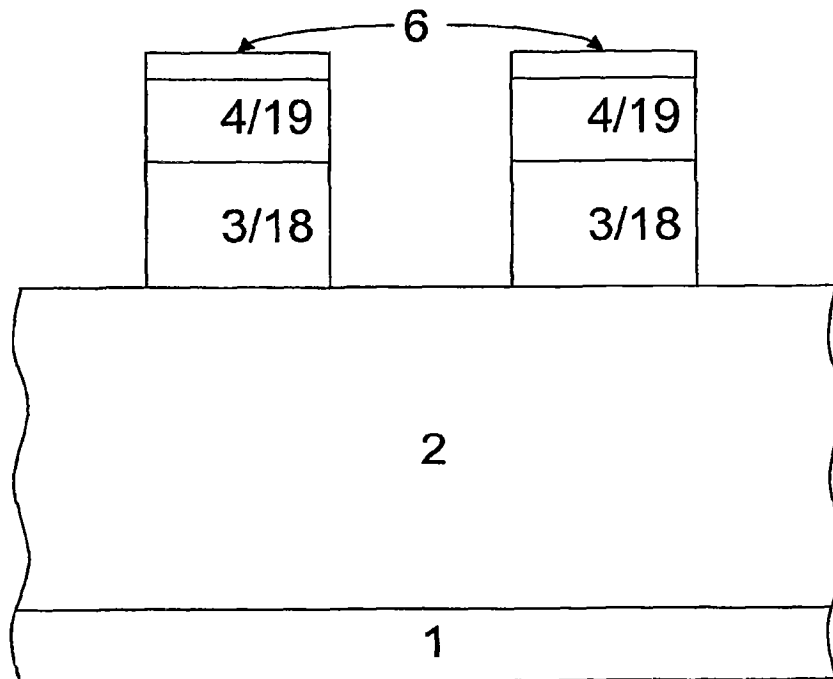


图 4A

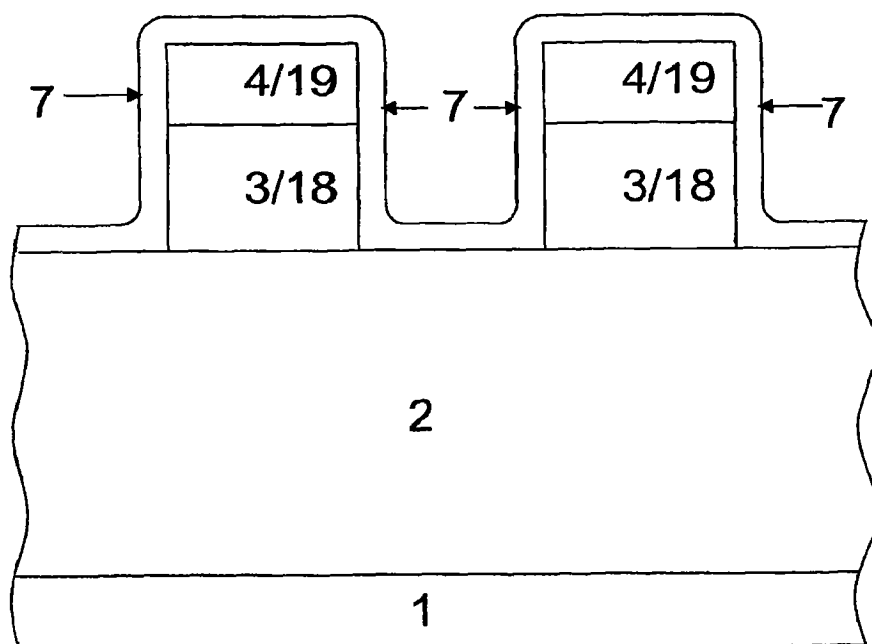


图 4B

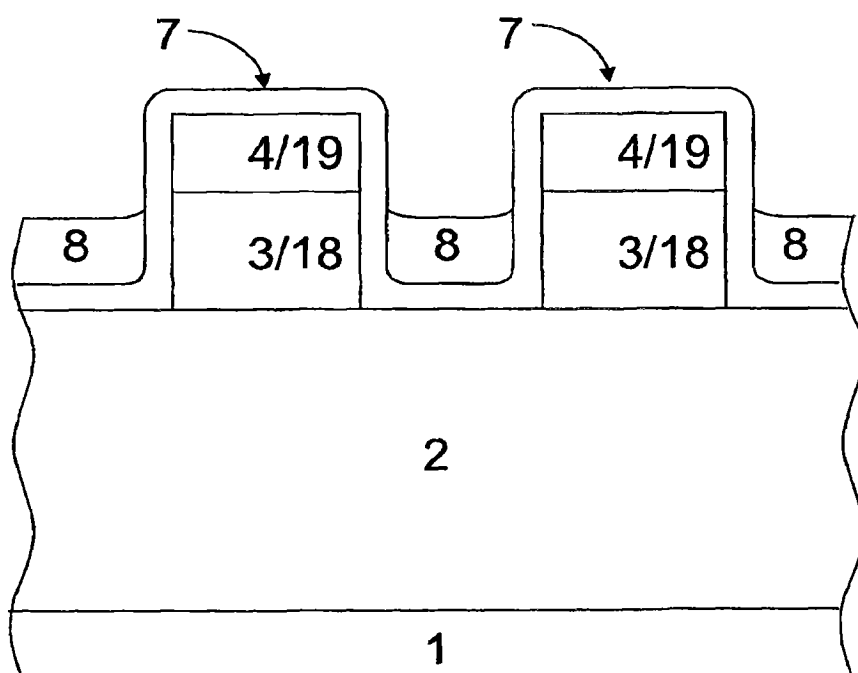


图 4C

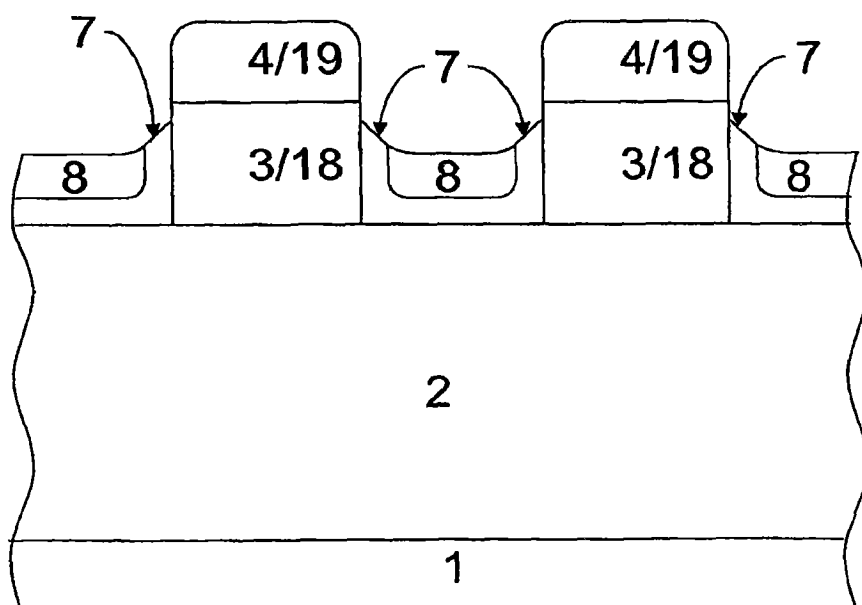


图 4D

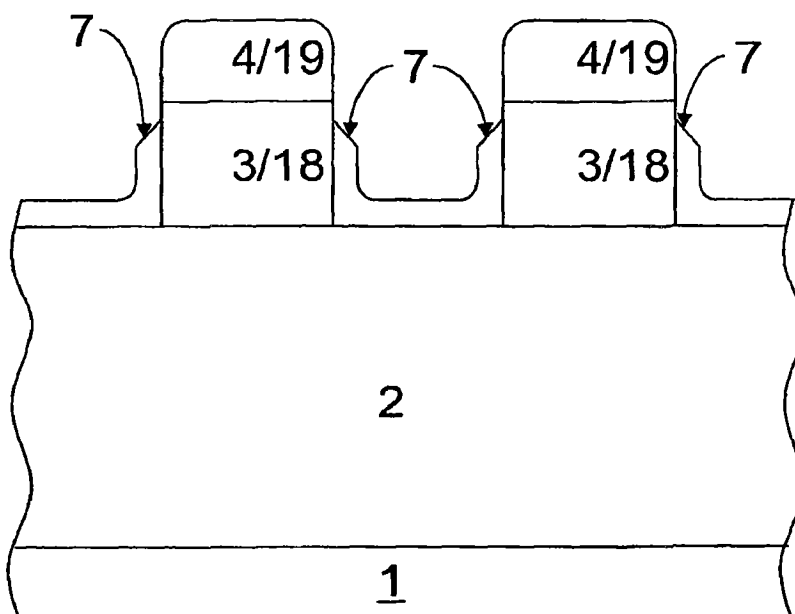


图 4E

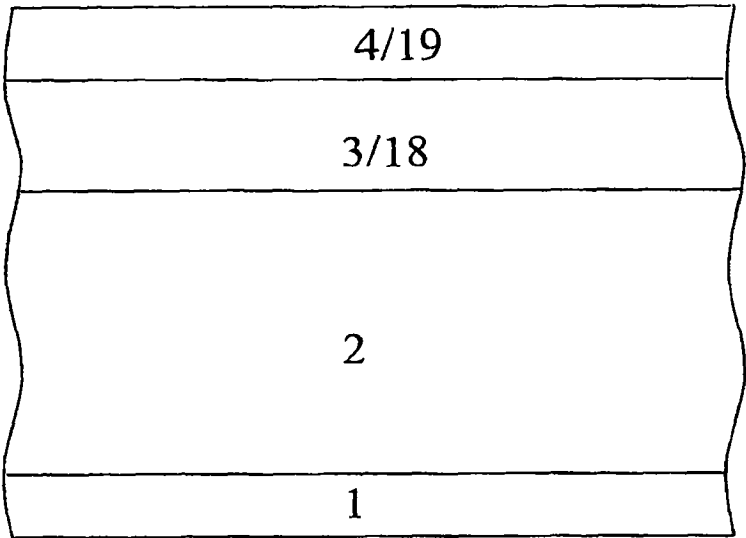


图 5A

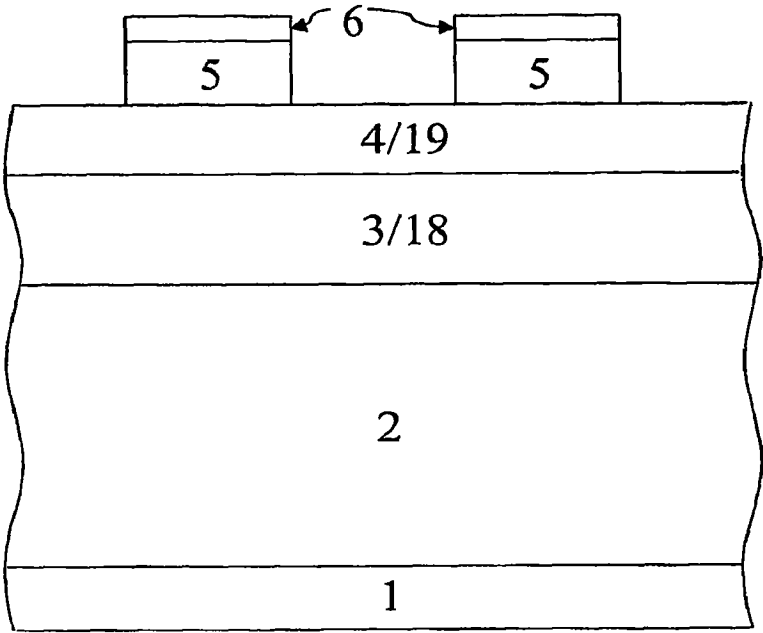


图 5B

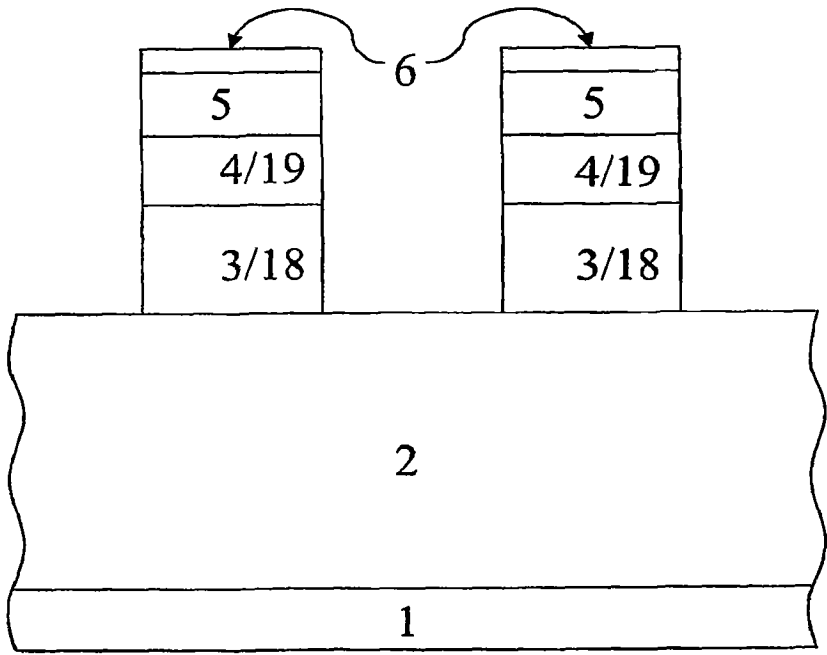


图 5C

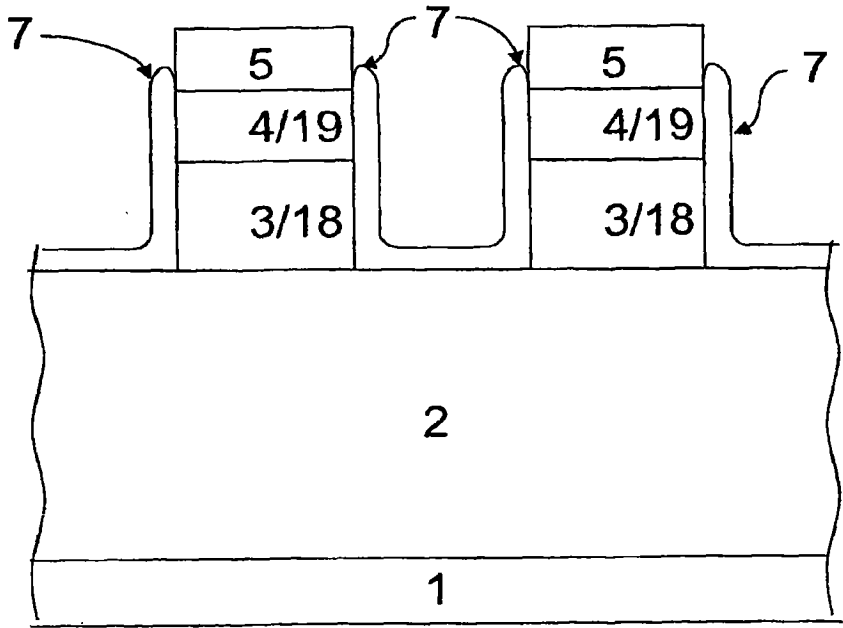


图 5D

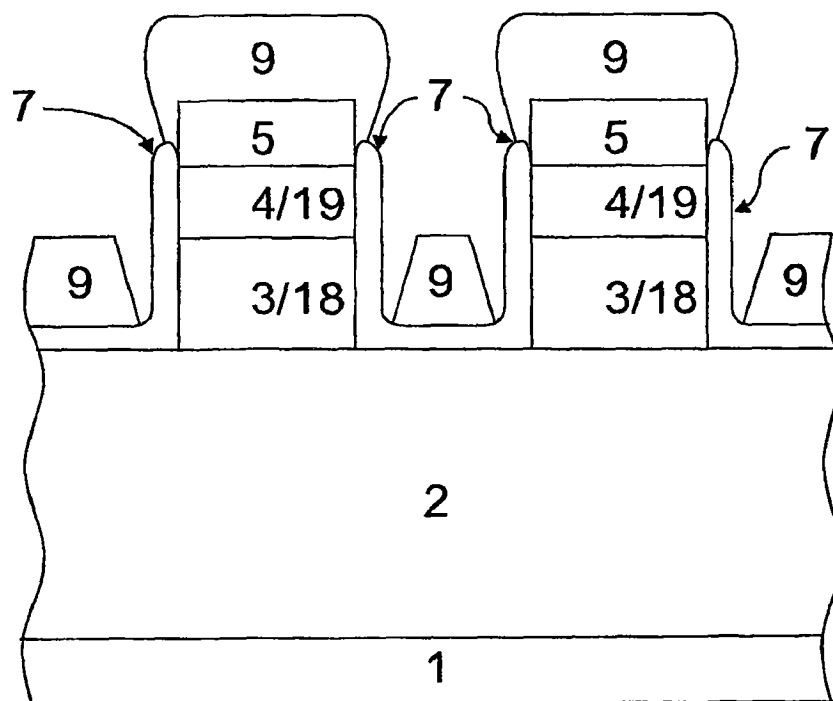


图 5E

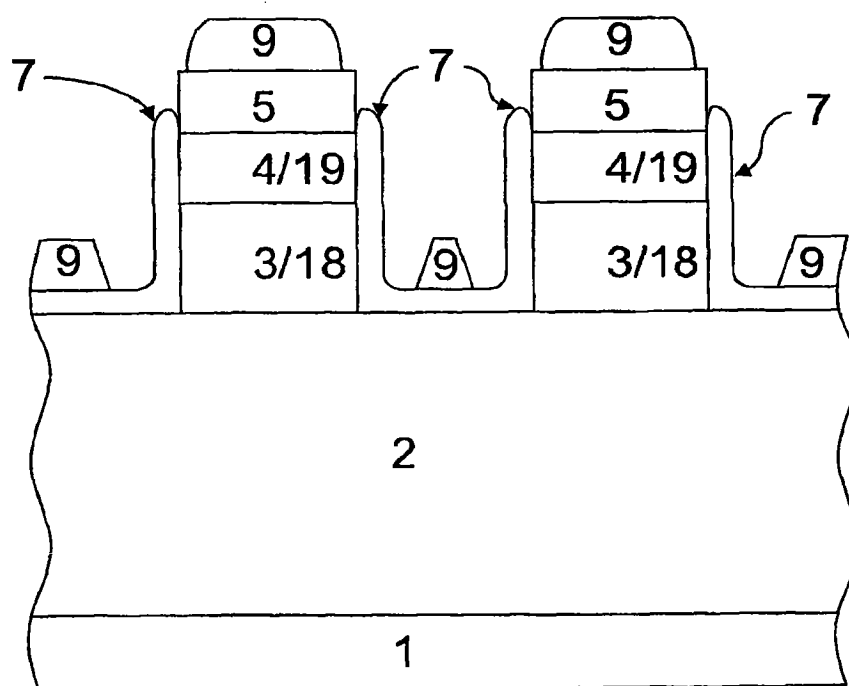


图 5F

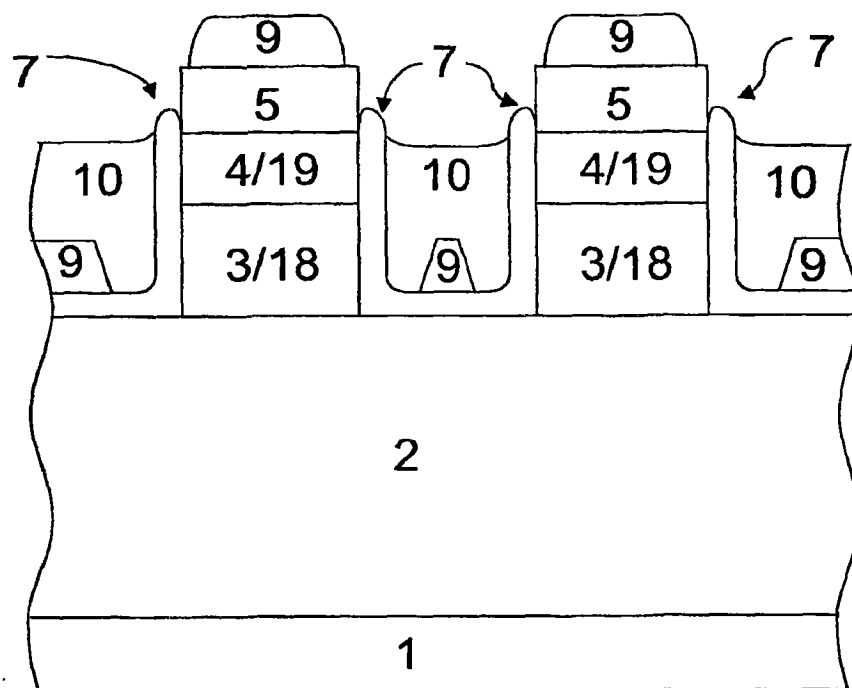


图 5G

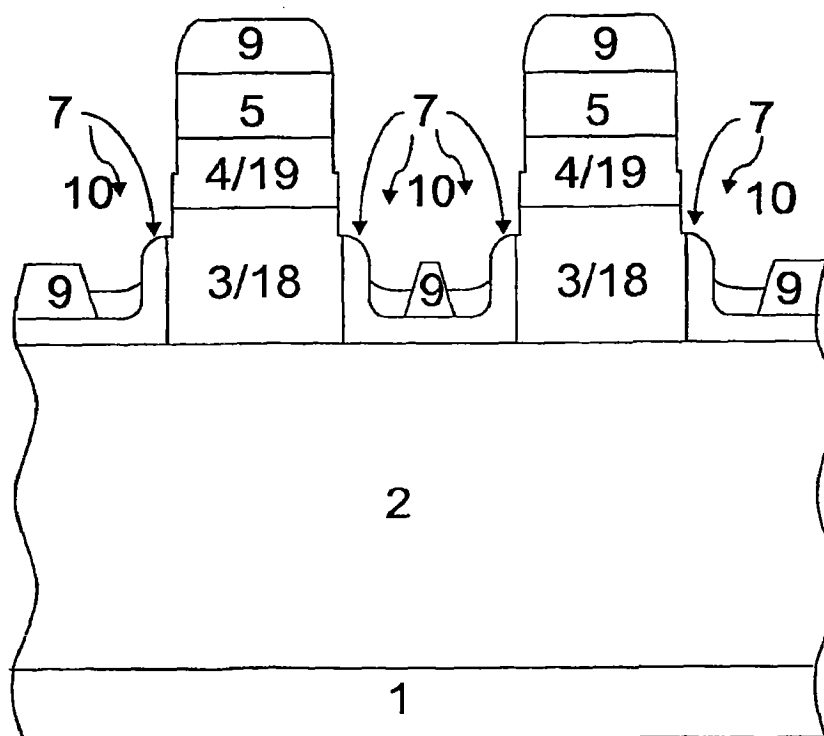


图 5H

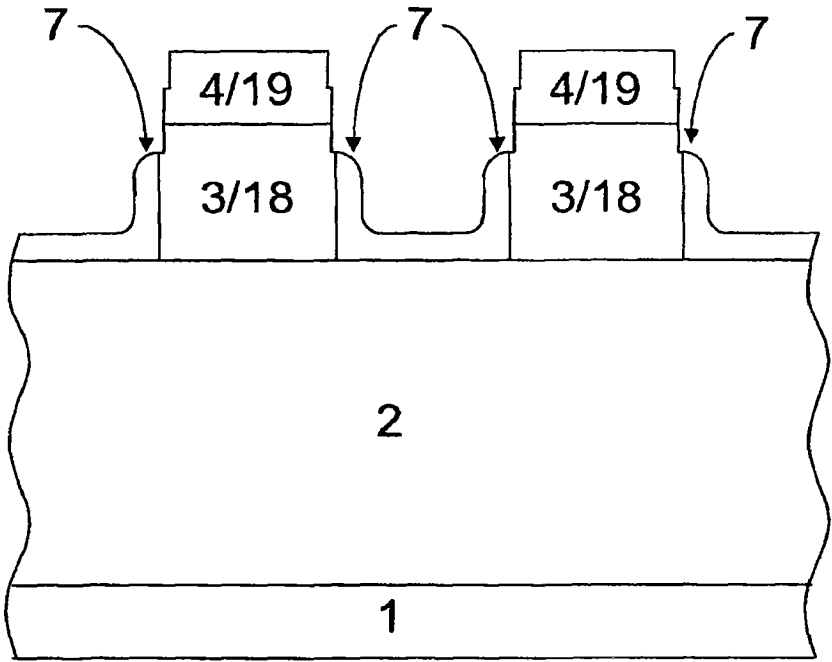


图 5I