(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 539 939**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **83 00915**

(51) Int Cl³ : H 04 Q 11/04; H 04 J 3/00, 6/00; H 04 L 5/22.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) **Date de dépôt :** 21 janvier 1983.

(30) **Priorité**

(43) **Date de la mise à disposition du public de la demande :** BOPI « Brevets » n° 30 du 27 juillet 1984.

(60) **Références à d'autres documents nationaux apparentés :**

(71) **Demandeur(s) :** *THOMSON-CSF TELEPHONE, société anonyme.* —

(72) **Inventeur(s) :** Marc Dieudonné.

(73) **Titulaire(s) :**

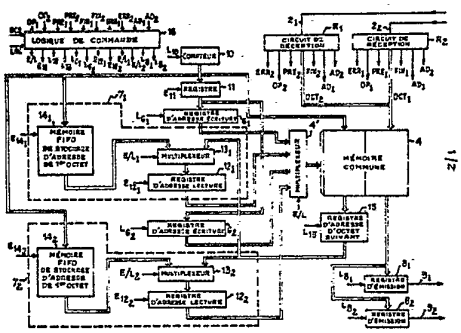
(74) **Mandataire(s) :** P. Guilguet.

(54) Unité de commutation pour commutateur de données numériques par paquets.

(57) Unité de commutation pour commutateur de données numériques par paquets.

Cette unité de commutation pour commutateur de données numériques par paquets, de degré p, du type comportant p circuits de réception R_i et p circuits d'émission E_i, chacun des p circuits d'émission pouvant recevoir des données de l'un quelconque des p circuits de réception, est telle que les p circuits d'émission E_i comportent d'une part en commun une mémoire commune unique 4 de stockage des données venant des p circuits de réception R_i, ayant une capacité qC (où C représente la probabilité souhaitée de perte de données par stockage dans une file d'attente et où q est un nombre inférieur à p^2) et une vitesse de fonctionnement telle que p cycles d'écriture et p cycles de lecture de cette mémoire peuvent être entrelacés en un temps inférieur ou égal au temps de transmission d'un quantum de paquet stocké dans cette mémoire, et un circuit 5 de génération d'adresses d'écriture de cette mémoire, d'autre part individuellement un circuit d'adressage en écriture 6_i et un circuit d'adressage en lecture 7_i de cette mémoire.

Application à la commutation de paquets.



FR 2 539 939 - A1

Vente des fascicules à l'IMPRIMERIE NATIONALE, 27, rue de la Convention — 75732 PARIS CEDEX 15

UNITE DE COMMUTATION POUR COMMUTATEUR DE DONNEES NUMERIQUES PAR PAQUETS

La présente invention concerne une unité de commutation pour commutateur de données numériques par paquets.

Un commutateur de données numériques par paquets est constitué d'un ensemble d'unités de commutation reliées entre elles par des mailles, chaque unité de commutation étant reliée à un nombre p d'autres unités de commutation du commutateur appelées unités de commutation adjacentes, p étant appelé degré de l'unité de commutation.

La présente invention concerne plus particulièrement une unité de commutation du type comportant p circuits de réception et p circuits d'émission, chacun des p circuits de réception étant relié à l'un des p circuits d'émission de l'une des p unités de commutation adjacentes et chacun des p circuits d'émission étant relié à l'un des p circuits de réception de l'une des p unités de commutation adjacentes, suivant le maillage interne du commutateur, chacun des p circuits d'émission pouvant recevoir des données provenant de l'un quelconque des p circuits de réception de cette unité de commutation, suivant le chemin emprunté par ces données à travers le commutateur, et les circuits de réception ayant essentiellement une fonction de synchronisation des données provenant des unités de commutation adjacentes, et les circuits d'émission une fonction de stockage de ces données avant leur émission vers les unités de commutation adjacentes.

Une unité de commutation de ce type est décrite dans la demande de brevet français n° 79 01 792. Dans cette demande de brevet, chacun des p circuits d'émission d'une unité de commutation est relié à chacun des p circuits de réception de cette unité de commutation grâce à un maillage approprié, et chaque circuit d'émission comporte essentiellement p mémoires "FIFO" ayant chacune une capacité C compatible avec la probabilité souhaitée de perte de données par stockage dans une file d'attente, et permettant de stocker chacune les paquets reçus de l'un des p circuits de réception, soit au total p^2 mémoires FIFO (ou une capacité p^2C) pour l'ensemble de l'unité de commutation, ces p^2 mémoires FIFO

pouvant être écrites et lues simultanément.

Une unité de commutation du même type est également décrite dans la demande de brevet français n° 79 14 124. Dans cette demande de brevet, chacun des p circuits de réception d'une unité de commutation peut être relié à n'importe lequel des p circuits d'émission par l'intermédiaire d'une même ligne omnibus commune, et chaque circuit d'émission comporte essentiellement une mémoire vive unique organisée en p pages de capacité C affectées chacune à l'un des p circuits de réception, soit au total p^2 pages (ou une capacité p^2C) pour l'ensemble de l'unité de commutation, ces p^2 pages étant écrites et lues à tour de rôle.

A vitesses de fonctionnement égales, cette seconde solution nécessite l'emploi de mémoires plus rapides que celles utilisées dans la première solution. En revanche, ces solutions impliquent toutes les deux un encombrement important, dû au fait qu'elles prévoient toutes les deux l'allocation d'un espace mémoire particulier pour chaque couple circuit de réception-circuit d'émission, quelle que soit l'utilisation qui en est faite, c'est-à-dire que des données soient à y stocker ou non.

La présente invention vise à réduire l'encombrement des circuits d'émission, sans porter atteinte à leur vitesse de fonctionnement.

Suivant l'invention, une unité de commutation pour commutateur de données numériques par paquets, de degré p, du type comportant p circuits de réception et p circuits d'émission, chacun des p circuits d'émission pouvant recevoir des données de l'un quelconque des p circuits de réception, est telle que les p circuits d'émission comportent d'une part en commun une mémoire commune unique de stockage des données venant des p circuits de réception, ayant une capacité qC (où C représente la probabilité souhaitée de perte de données par stockage dans une file d'attente et où q est un nombre inférieur à p^2) et une vitesse de fonctionnement telle que p cycles d'écriture et p cycles de lecture de cette mémoire peuvent être entrelacés en un temps inférieur ou égal au temps de transmission du quantum de paquet stocké dans cette mémoire, et un circuit de génération d'adresses d'écriture de cette mémoire, d'autre part individuellement un circuit d'adressage en écriture et un circuit d'adressage en lecture de cette mémoire.

Suivant une autre caractéristique de l'invention, à chaque adresse de la mémoire commune est stockée, en plus du quantum de paquet stocké à cette adresse, l'adresse en mémoire commune du quantum suivant du même paquet, ce qui permet de minimiser le volume de mémoire nécessité par les p circuits d'adressage en lecture des circuits d'émission.

Les objets et caractéristiques de la présente invention apparaîtront plus clairement à la lecture de la description suivante d'un exemple de réalisation, ladite description étant faite en relation avec les dessins ci-annexés dans lesquels :

- la figure 1 est un schéma d'une unité de commutation selon l'invention ;
- la figure 2 est un diagramme des temps montrant le fonctionnement de l'unité de commutation représentée sur la figure 1.

L'unité de commutation représentée sur la figure 1 comporte p circuits de réception R_i et p circuits d'émission E_i (i étant un nombre compris entre 1 et p). A titre d'exemple non limitatif, cette unité de commutation correspond à une valeur de p égale à 2.

Chaque circuit de réception R_i est par exemple analogue à ceux décrits dans les demandes de brevet précitées et ne sera donc pas décrit de manière détaillée. Le circuit de réception R_i reçoit sur une maille 2_i les données provenant de l'un des p circuits d'émission de l'une des p unités de commutation adjacentes. Ces données sont reçues sur la maille 2_i au rythme d'une horloge distante, et sont fournies par le circuit de réception R_i, au rythme d'une horloge locale, sous la forme d'un signal de données OCT_i. Le circuit de réception R_i fournit également un signal OP_i qui indique, suivant son niveau, si des données OCT_i sont, ou non, disponibles en sortie du circuit de réception R_i.

Les p circuits d'émission E_i comportent en commun une mémoire vive 4 et un circuit 5 de génération d'adresses d'écriture de la mémoire commune 4. Chaque circuit d'émission E_i comporte de plus individuellement un circuit 6_i d'adressage en écriture de la mémoire commune 4, un circuit 7_i d'adressage lecture de la mémoire commune 4, et un registre 8_i d'émission des données lues dans la mémoire commune 4 sur une maille 9_i. La maille 9_i est reliée à l'entrée de l'un des p circuits de réception de l'une des p unités de commutation adjacentes.

Le circuit 5 de génération d'adresses d'écriture de la mémoire commune comporte un compteur 10 modulo "n" (où "n" est le nombre de mots de la mémoire commune 4) et un registre 11 de mémorisation momentanée du contenu du compteur 10.

Le circuit 6_i d'adressage en écriture de la mémoire commune 4 comporte un registre d'adresse d'écriture dont les entrées de données sont reliées aux sorties du registre 11 et dont les sorties sont reliées à des premières entrées d'un multiplexeur 4' d'adressage de la mémoire commune 4. Le multiplexeur 4' est commun aux p circuits d'émission et ses sorties sont reliées aux entrées d'adresse de la mémoire commune 4.

Chaque circuit 7_i d'adressage en lecture de la mémoire commune 4 comporte un registre 12_i d'adresse de lecture dont les entrées de données sont reliées aux sorties d'un multiplexeur 13_i et dont les sorties sont reliées à des secondes entrées du multiplexeur 4'.

On suppose dans la suite de la description que le quantum de transmission est l'octet, chaque paquet étant constitué d'un certain nombre d'octets. Ces octets sont reçus successivement sur la maille 2_i, et, après traitement dans le circuit de réception R_i, sont appliqués à des premières entrées de données de la mémoire commune 4 pour y être stockés à des adresses distinctes. Ces octets sont ensuite lus sur des premières sorties de la mémoire commune 4, reliées aux entrées du registre d'émission 8_i. A chaque adresse de la mémoire commune 4 est stockée, en plus de l'octet stocké à cette adresse, l'adresse en mémoire commune de l'octet suivant du même paquet. Cette adresse, fournie par le registre 11, est appliquée à des secondes entrées de données de la mémoire commune 4, et est lue sur des secondes sorties de la mémoire commune 4.

Chaque circuit 7_i d'adressage en lecture comporte également une mémoire FIFO 14_i (premier entré-premier sorti), dite mémoire de stockage d'adresse de lecture du premier octet d'un paquet, dont les entrées de données sont reliées aux sorties du compteur 10 et dont les sorties sont reliées à des premières entrées du multiplexeur 13_i. Les circuits 7_i d'adressage en lecture comportent également en commun un registre 15, dit registre de stockage d'adresse de lecture du prochain octet

d'un paquet, dont les entrées de données sont reliées aux secondes sorties de la mémoire commune 4 et dont les sorties sont reliées à des secondes entrées du multiplexeur 13_i.

Les éléments constitutifs du circuit d'émission E_i sont par ailleurs munis d'entrées d'activation qui reçoivent des signaux de commande fournis par une logique de commande 16, ces signaux de commande permettent un fonctionnement suivant un rythme et un enchaînement déterminés. Ce fonctionnement est obtenu au moyen de deux signaux d'horloge ECR et LEC de même fréquence et décalés dans le temps l'un par rapport à l'autre, les fronts actifs du signal ECR définissant un cycle d'écriture de la mémoire commune 4, et les fronts actifs du signal LEC un cycle de lecture.

La mémoire commune 4 a une vitesse de fonctionnement telle que p cycles d'écriture et p cycles de lecture peuvent être entrelacés en un temps correspondant à celui de la transmission d'un octet stocké en mémoire. La fréquence et le décalage temporel des signaux ECR et LEC se déduisent de cette observation.

Avant de décrire le fonctionnement de l'unité de commutation représentée sur la figure 1, il est nécessaire de préciser que l'invention concerne plus particulièrement la commutation de données numériques par paquets "autodirecteurs". Chaque paquet comporte alors un en-tête qui comprend autant d'étiquettes de sélection que d'unités de commutation que le paquet doit traverser dans le commutateur, chaque étiquette de sélection étant associée à une unité de commutation et indiquant le chemin à emprunter à l'intérieur de cette unité de commutation. Ces étiquettes de sélection sont rangées dans l'ordre des unités de commutation que le paquet doit traverser.

Le premier octet d'un paquet indique alors le chemin à emprunter à l'intérieur de l'unité de commutation qui traite actuellement ce paquet, les octets suivants pouvant être soit des étiquettes de sélection, soit des informations utiles, soit des informations de service.

Le circuit de réception R_i fournit, en plus des signaux OCT_i et OP_i, un signal PRE_i qui indique, suivant son niveau, si l'octet reçu est ou non le premier octet d'un paquet et un signal FIN_i qui indique, suivant son

niveau, si l'octet reçu précédemment est ou non le dernier octet d'un paquet, la détection d'une fin de paquet par le circuit de réception R_i se faisant par la détection de l'absence de transmission du signal d'horloge distante. Dans le cas où le signal FIN_i indique que l'octet reçu précédemment est le dernier octet d'un paquet, un code F d'indication de fin de paquet est généré par le circuit de réception R_i, pour être stocké à l'emplacement correspondant de la mémoire commune 4. Le circuit de réception R_i fournit également un signal ERR_i qui indique, suivant son niveau, si l'octet reçu est incorrect, par exemple s'il comporte un nombre de bits incomplet. Le circuit de réception R_i fournit par ailleurs, dans le cas où le signal PRE_i indique que l'octet reçu est le premier octet d'un paquet, des signaux AD_i (AD_1 à AD_p) tels que seul le signal AD_j est actif lorsque le premier octet indique que le paquet considéré doit sortir par le circuit d'émission E_j. Le signal AD_j sert à valider la mémoire FIFO 14_j du circuit d'émission E_j.

A titre d'exemple purement illustratif le fonctionnement est décrit en relation avec la figure 2 pour une valeur de p égale à 2. Pendant un temps égal au temps de transmission d'un octet, deux cycles de lecture de la mémoire commune 4 (l'un relatif au circuit d'émission E_1, l'autre relatif au circuit d'émission E_2) et deux cycles d'écriture de cette mémoire (l'un relatif au circuit de réception R_1, l'autre relatif au circuit de réception R_2) sont entrelacés.

Un cycle d'écriture CE s'étend entre deux fronts actifs successifs du signal LEC entourant un front actif du signal ECR. De même un cycle de lecture CL s'étend entre deux fronts actifs successifs du signal ECR entourant un front actif du signal LEC.

On considère un premier cycle d'écriture incluant un premier front actif ECR_1 du signal ECR, suivi d'un premier front actif LEC_1 du signal LEC, et on suppose que ce cycle CE_{12} est relatif au circuit de réception R_2. On suppose que l'octet OCT_{12} disponible en sortie du circuit de réception R_2 est le premier octet d'un paquet et que X_1 est la valeur du compteur 10 à cet instant. Sur le front ECR_1 la valeur X_1 est recopiée dans le registre 11, et stockée dans la mémoire FIFO du ou des circuits d'émission concernés (par exemple dans la mémoire FIFO 14_1 si ce paquet

doit sortir par le circuit d'émission E_1) . Puis, sur le front LEC_1, la valeur X_1 est recopiée dans le registre d'adresse d'écriture 6_2 et le compteur 10 prend une nouvelle valeur X_2. La valeur X_1 représente l'adresse en mémoire commune du deuxième octet du paquet, qui sera le premier à écrire.

Le cycle d'écriture CE_{12} est suivi par un premier cycle de lecture CL_{11} relatif au circuit d'émission E_1. Le cycle CL_{11} comporte le premier front actif LEC_1 du signal LEC, suivi d'un deuxième front actif ECR_2 du signal ECR. Sur le front LEC_1 la mémoire commune 4 est lue. On suppose que les données lues comportent le code d'indication de fin de paquet.

Le cycle de lecture CL_{11} est suivi par un premier cycle d'écriture CE_{11} relatif au circuit de réception R_1 et comportant le deuxième front actif ECR_2 du signal ECR, suivi d'un deuxième front actif LEC_2 du signal LEC. On suppose qu'aucun octet n'est disponible en sortie du circuit de réception R_1 pendant ce cycle d'écriture. Dans ce cas rien ne se passe au cours de ce cycle d'écriture (en particulier le compteur 10 conserve la valeur X_2 acquise au cours du cycle d'écriture précédent) si ce n'est que sur le front ECR_2, cette valeur X_2 est recopiée dans le registre 11.

Le cycle d'écriture CE_{11} est suivi par un premier cycle de lecture CL_{12} relatif au circuit d'émission E_2, et comportant le deuxième front actif LEC_2 du signal LEC, suivi d'un troisième front actif ECR_3 du signal ECR. Sur le front LEC_2, les données lues lors du cycle de lecture CL_{11} précédent sont stockées dans le registre d'émission 8_1 et, s'agissant d'une fin de paquet, l'horloge d'émission du contenu du registre 8_1 est arrêtée puis sur le front ECR_3, le registre d'adresse de lecture 12_1 est chargé avec la valeur lue dans la mémoire FIFO 14_1, c'est-à-dire X_1.

Le cycle de lecture CL_{12} est suivi par un deuxième cycle d'écriture CE_{22} relatif au circuit de réception R_2, (l'octet OCT_{22} disponible en sortie du circuit R_2 étant alors le deuxième octet d'un paquet) et comportant le front ECR_3, suivi d'un troisième front actif LEC_3 du signal LEC. Sur le front ECR_3, ce deuxième octet OCT_{22} est stocké dans la mémoire commune, à l'adresse X_1 fournie à cet instant par le registre d'adresse écriture 6_2. A cette même adresse est stockée la valeur X_2 du compteur 10 à cet instant, valeur qui représentera l'adresse en mémoire

commune du prochain octet du même paquet. Sur le front ECR_3, la valeur X_2 est également recopiée dans le registre 11. Puis sur le front LEC_3, le compteur 10 prend une nouvelle valeur X_3 et la valeur précédente X_2 est recopiée dans le registre d'adresse écriture 6_2, en vue de l'écriture à cette adresse du troisième octet du même paquet lors du prochain cycle d'écriture relatif au circuit de réception R_2.

Le cycle d'écriture CE_{22} est suivi par un deuxième cycle de lecture CL_{21} relatif au circuit d'émission E_1, comportant le front LEC_3 suivi d'un quatrième front actif ECR_4 du signal ECR. Sur le front LEC_3, la mémoire commune est lue avec l'adresse X_1 fournie à cet instant par le registre d'adresse lecture 12_1.

Le cycle de lecture CL_{21} est suivi par un deuxième cycle d'écriture CE_{21} relatif au circuit de réception R_1, comportant le front ECR_4, suivi d'un quatrième front actif LEC_4 du signal LEC. On suppose que l'octet OCT_{11} disponible à cet instant en sortie du circuit de réception R_1 est le premier octet d'un paquet, et que ce paquet est à émettre vers le circuit d'émission E_2. Comme décrit précédemment pour le circuit de réception R_2, sur le front ECR_4, la valeur X_3 du compteur 10 à cet instant est recopiée dans le registre 11 et stockée dans la mémoire FIFO 14_2. Puis, sur le front LEC_4, la valeur X_3 stockée dans le registre 11 est recopiée dans le registre d'adresse écriture 6_1, en vue de l'écriture à cette adresse du prochain octet (qui sera le premier à écrire), et le compteur 10 prend une nouvelle valeur X_4.

Le cycle d'écriture CE_{21} est suivi par un deuxième cycle de lecture CL_{22} relatif au circuit d'émission E_2, et comportant le front LEC_4 suivi d'un cinquième front ECR_5 actif du signal ECR. Sur le front LEC_4 la mémoire commune est lue et on suppose que les données lues comportent le code d'indication de fin de paquet. Sur le front LEC_4 les données OCT_{22} et X_2 lues lors du cycle de lecture CL_{21} précédent sont également stockées respectivement dans les registres 8_1 et 15. L'octet OCT_{22} est alors émis sur la maille 9_1 vers une unité de commutation adjacente et, sur le front ECR_5, l'adresse X_2 est recopiée dans le registre d'adresse lecture 12_1, en vue de la lecture à cette adresse du prochain octet du même paquet lors du prochain cycle de lecture relatif au circuit

d'émission E_1.

Le cycle de lecture CL_{22} est suivi par un troisième cycle d'écriture CE_{32} relatif au circuit de réception R_2 (l'octet OCT_{32} disponible en sortie du circuit de réception R_2 étant alors le troisième octet du paquet) et comportant le front ECR_5 suivi d'un front LEC_5. Sur le front ECR_5, ce troisième octet OCT_{32} est stocké dans la mémoire commune, à l'adresse X_2 fournie à cet instant par le registre d'adresse écriture 6_2. A cette même adresse est stockée la valeur X_4 du compteur 10 à cet instant, valeur qui représentera l'adresse en mémoire commune du prochain octet du même paquet. Sur le front ECR_5, la valeur X_4 est également recopiée dans le registre 11. Puis sur le front LEC_5, le compteur 10 prend une nouvelle valeur X_5 et la valeur précédente X_4 est recopiée dans le registre d'adresse écriture 6_2, en vue de l'écriture à cette adresse du prochain octet du même paquet lors du prochain cycle d'écriture relatif au circuit de réception R_2.

Le cycle d'écriture CE_{32} est suivi par un troisième cycle de lecture CL_{31} relatif au circuit d'émission E_1, et comportant le front LEC_5 suivi d'un sixième front actif ECR_6 du signal ECR. Sur le front LEC_5 la mémoire commune est lue avec l'adresse X_2 fournie à cet instant par le registre d'adresse lecture 12_1 et les données lues lors du cycle de lecture CL_{22} précédent sont stockées dans le registre d'émission 8_2. S'agissant d'une fin de paquet, l'horloge d'émission du contenu du registre 8_2 est alors arrêtée et, sur le front ECR_6 la valeur X_3 stockée dans la FIFO 14_2 est recopiée dans le registre d'adresse lecture 12_2.

Le cycle de lecture CL_{31} est suivi par un troisième cycle d'écriture CE_{31} relatif au circuit de réception R_1, comportant le front ECR_6 suivi d'un front LEC_6, l'octet OCT_{21} disponible en sortie du circuit R_1 étant alors le deuxième octet d'un paquet. Comme décrit précédemment pour le circuit R_2, sur le front ECR_6, ce deuxième octet OCT_{21} est stocké à l'adresse X_3 de la mémoire commune fournie à cet instant par le registre d'adresse écriture 6_1. A cette même adresse est stockée la valeur X_5 du compteur 10 à cet instant, valeur qui représentera l'adresse en mémoire commune du prochain octet du même paquet. Sur le front ECR_6 la valeur X_5 est également recopiée dans le registre 11. Puis sur le front LEC_6, le

compteur 10 prend une nouvelle valeur X_6 et la valeur précédente X_5 est recopiée dans le registre d'adresse écriture 6_1, en vue de l'écriture à cette adresse du prochain octet du même paquet lors du prochain cycle d'écriture relatif au circuit de réception R_1.

Le cycle d'écriture CE_{31} est suivi par un troisième cycle de lecture CL_{32} relatif au circuit d'émission E_2 et comportant le front LEC_6 suivi d'un front ECR_7. Comme décrit précédemment pour le circuit E_1, sur le front LEC_6, la mémoire commune est lue avec l'adresse X_3 fournie à cet instant par le registre d'adresse lecture 12_2 et les données OCT_{32} et X_4 lues lors du cycle de lecture CL_{31} précédent sont stockées respectivement dans les registres 8_1 et 15. L'octet OCT_{32} est alors émis sur la maille 9_1 vers une unité de commutation adjacente et sur le front ECR_7, l'adresse X_4 est recopiée dans le registre d'adresse lecture 12_1, en vue de la lecture à cette adresse du prochain octet du même paquet lors du prochain cycle de lecture relatif au circuit d'émission E_1.

Le cycle de lecture CL_{32} est suivi par un quatrième cycle d'écriture CE_{42} relatif au circuit de réception R_2, comportant le front ECR_7 suivi d'un front LEC_7. On suppose que les données disponibles à cet instant en sortie du circuit de réception R_2 comportent le code F d'indication de fin de paquet. Sur le front ECR_7 ce code est stocké à l'adresse X_4 fournie à cet instant par le registre d'adresse écriture 6_2. S'agissant d'une fin de paquet, le compteur 10 n'évolue pas et garde donc sa valeur X_6.

Le cycle d'écriture CE_{42} est suivi par un quatrième cycle de lecture CL_{41} relatif au circuit d'émission E_1, comportant le front LEC_7 suivi d'un front ECR_8. Sur le front LEC_7, la mémoire commune est lue avec l'adresse X_4 fournie à cet instant par le registre d'adresse lecture 12_1 et les données OCT_{21} et X_5 lues lors du cycle de lecture CL_{32} précédent sont stockées respectivement dans les registres 8_2 et 15. L'octet OCT_{21} stocké dans le registre 8_2 est alors émis sur la maille 9_2 vers une unité de commutation adjacente et, sur le front ECR_8, l'adresse X_5 stockée dans le registre 15 est recopiée dans le registre d'adresse lecture 12_2, en vue de la lecture à cette adresse du prochain octet du même paquet lors du prochain cycle de lecture relatif au circuit d'émission E_2.

Les cycles d'écriture et de lecture suivants se déroulent de manière

identique à ceux qui viennent d'être décrits, suivant les différents cas de figure envisagés au cours de cette description.

L'élaboration des signaux de commande par la logique de commande 16 se déduit du fonctionnement décrit ci-dessus.

Le signal E/L de commande du multiplexeur 4' d'adressage de la mémoire commune 4 sélectionne une adresse d'écriture lorsque les signaux ECR, OP_i, PRE_i et ERR_i sont tels que les conditions suivantes sont réalisées simultanément :

- présence d'un cycle d'écriture relatif à l'un quelconque des circuits de réception et plus précisément apparition du front actif du signal ECR au cours de ce cycle ;
- présence en sortie de l'un quelconque des circuits de réception R_i d'un octet reçu correctement et ne constituant pas le premier octet d'un paquet.

Le signal E/L sélectionne une adresse de lecture lorsque le signal LEC est tel que la condition suivante est réalisée :

- présence d'un cycle de lecture relatif à l'un quelconque des circuits d'émission, et plus précisément apparition du front actif du signal LEC au cours de ce cycle.

Le signal E_{11} de commande du registre 11 n'est actif, c'est-à-dire le registre 11 n'est mis à jour, que lorsque le signal ECR est tel que la condition suivante est réalisée ;

- existence d'un cycle d'écriture relatif à l'un quelconque des circuits de réception, et plus précisément apparition du front actif du signal ECR au cours de ce cycle.

Le signal L_{10} de commande du compteur 10 n'est actif, c'est-à-dire le compteur 10 n'évolue, que lorsque les signaux LEC, OP_i, ERR_i et FIN_i, sont tels que les conditions suivantes sont réalisées simultanément :

- fin d'un cycle d'écriture relatif à l'un quelconque des circuits de réception, et plus précisément apparition d'un front actif du signal LEC après le front actif du signal ECR définissant ce cycle ;
- présence en sortie de l'un quelconque des circuits de réception d'un octet reçu correctement et absence de code d'indication de fin de paquet (si le compteur 10 évoluait en dehors de ces dernières conditions, cela entraî-

nerait une perte de place en mémoire commune).

Le signal E_{14i} de commande d'écriture dans la FIFO 14_i n'est actif, c'est-à-dire la mémoire FIFO n'est écrite, que lorsque les signaux ECR, OP_i, ERR_i, PRE_i et AD_i sont tels que les conditions suivantes sont réalisées simultanément :

- présence d'un cycle d'écriture relatif à l'un quelconque des circuits de réception et plus précisément apparition du front actif du signal ECR au cours de ce cycle ;
- présence en sortie de l'un quelconque des circuits de réception d'un premier octet d'un paquet reçu correctement ;
- détection par ce circuit de réception du fait que ce paquet est destiné au circuit d'émission E_1.

Le signal L_{6i} de commande du registre d'adresse écriture 6_i n'est actif, c'est-à-dire le registre d'adresse écriture 6_i n'est mis à jour, que lorsque les signaux LEC, OP_i, ERR_i et FIN_i sont tels que les conditions suivantes sont réalisées simultanément :

- fin d'un cycle d'écriture relatif au circuit de réception R_i (et plus précisément apparition d'un front actif du signal LEC après le front actif du signal ECR définissant ce cycle) ;
- présence en sortie du circuit de réception R_i d'un octet reçu correctement et absence de code d'indication de fin de paquet.

Le signal L_{8i} de commande du registre d'émission 8_i est actif, c'est-à-dire le registre 8_i est mis à jour, lorsque le signal LEC est tel que la condition suivante est réalisée :

- présence d'un cycle de lecture relatif au circuit d'émission E_{i+1} suivant le circuit d'émission 8_i dans l'ordre d'attribution des cycles de lecture (et plus précisément apparition du front actif du signal LEC définissant ce cycle).

Le signal L_{15} de commande du registre 15 est actif lorsque les conditions suivantes sont réalisées simultanément :

- présence d'un cycle de lecture relatif au circuit d'émission E_{i+1} (et plus précisément apparition du front actif du signal LEC définissant ce cycle) ;
- non détection dans le registre 8_i du code d'indication de fin de paquet.

Le signal E_{12i} de commande du registre d'adresse lecture 12_i est

actif, c'est-à-dire le registre d'adresse lecture 12_i est mis à jour, lorsque la condition suivante est réalisée :

- fin d'un cycle de lecture relatif au circuit d'émission E_{i+1} (et plus précisément apparition du front actif du signal ECR après le front actif du signal LEC définissant ce cycle).

Le signal E/L_i de commande du multiplexeur 13_i sélectionne en entrée de ce multiplexeur l'adresse fournie par la mémoire FIFO 14_i lorsque les conditions suivantes sont réalisées simultanément :

- fin d'un cycle de lecture relatif au circuit d'émission E_{i+1} (et plus précisément apparition du front actif du signal ECR après le front actif du signal LEC définissant ce cycle) ;
- détection dans le registre 8_i du code d'indication de fin de paquet.

Le signal E/L_i sélectionne l'adresse fournie par le registre 15 lorsque les conditions suivantes sont réalisées simultanément :

- fin d'un cycle de lecture relatif au circuit d'émission E_{i+1} (et plus précisément apparition du front actif du signal ECR après le front actif du signal LEC définissant ce cycle) ;
- non détection dans le registre 8_i du code d'indication de fin de paquet.

Afin de faciliter un contrôle à la relecture, il est également possible d'adjoindre à chaque enregistrement des bits supplémentaires indiquant l'identité d'un octet et son rang dans le paquet, ainsi que la parité du mot enregistré.

REVENDICATIONS

1. Unité de commutation pour commutateur de données numériques par paquets, de degré p, du type comportant p circuits de réception (R_i) et p circuits d'émission (E_i), chacun des p circuits d'émission pouvant recevoir des données de l'un quelconque des p circuits de réception, caractérisée en ce que les p circuits d'émission (E_i) comportent d'une part en commun une mémoire commune unique (4) de stockage des données venant des p circuits de réception (R_i), ayant une capacité qC (où C représente la probabilité souhaitée de perte de données par stockage dans une file d'attente et où q est un nombre inférieur à p^2) et une vitesse de fonctionnement telle que p cycles d'écriture et p cycles de lecture de cette mémoire peuvent être entrelacés en un temps inférieur ou égal au temps de transmission d'un quantum de paquet stocké dans cette mémoire, et un circuit (5) de génération d'adresses d'écriture de cette mémoire, d'autre part individuellement un circuit d'adressage en écriture (6_i) et un circuit d'adressage en lecture (7_i) de cette mémoire.

2. Unité de commutation selon la revendication 1, caractérisée en ce qu'à chaque adresse de la mémoire commune (4) est stockée, en plus du quantum de paquet stocké à cette adresse, l'adresse en mémoire commune du quantum suivant du même paquet.

3. Unité de commutation selon l'une des revendications 1 et 2, caractérisée en ce que le circuit commun (5) de génération d'adresses écriture de la mémoire commune (4) comporte un compteur (10) modulo "n" où "n" désigne le nombre de mots de cette mémoire.

4. Unité de commutation selon la revendication 3, caractérisée en ce que le compteur (10) n'est incrémenté, après écriture de la mémoire commune (4) au cours d'un cycle d'écriture relatif à un circuit de réception (R_i) quelconque, que si des données sont disponibles en sortie de ce circuit de réception, et si ces données n'indiquent pas une fin de paquet.

5. Unité de commutation selon la revendication 4, caractérisée en ce que chaque circuit d'adressage en écriture (6_i) comporte un registre d'adresse d'écriture qui contient successivement, au cours d'un cycle

d'écriture ($CE_{i,t}$)de la mémoire commune (4) relatif à un circuit de réception (R_i), avant écriture de la mémoire commune (4), la valeur du compteur (10) avant son incrémentation au cours du cycle d'écriture précédent ($CE_{i,t-1}$) relatif à ce circuit de réception, puis, après écriture de la mémoire commune (4), la valeur du compteur (10) avant son incrémentation au cours du cycle d'écriture actuel, l'adresse stockée en mémoire commune (4) en même temps que les données étant constituée par la valeur du compteur (10) avant incrémentation au cours d'un cycle d'écriture.

6. Unité de commutation selon la revendication 2, caractérisée en ce que chaque circuit d'adressage en lecture (7_i) comporte un registre d'adresse de lecture (12_i) qui contient successivement, avant lecture de la mémoire commune (4) au cours d'un cycle de lecture ($CL_{i,t}$) relatif à un circuit d'émission (E_i), l'adresse de lecture de la mémoire commune (4) pour le cycle de lecture actuel ($CL_{i,t}$) puis, après lecture, l'adresse de lecture de la mémoire commune (4) pour le cycle de lecture suivant ($CL_{i,t+1}$) relatif à ce circuit d'émission, cette dernière adresse étant constituée soit par l'adresse lue en même temps que les données au cours du cycle de lecture actuel si ces données n'indiquent pas une fin de paquet, soit par l'adresse fournie par une mémoire FIFO (14_i) si ces données indiquent une fin de paquet, cette mémoire FIFO (14_i) contenant les adresses de début de paquets dans l'ordre d'arrivée de ces paquets sur les différents circuits de réception (R_j) devant être mis en relation avec le circuit d'émission (E_i).

7. Unité de commutation selon la revendication 6, caractérisée en ce que la mémoire FIFO (14_i) du circuit d'émission (E_i) est chargée avec les différentes valeurs du compteur (10) avant son incrémentation lors des différents cycles d'écriture relatifs aux différents circuits de réception (R_j) devant être mis en relation avec le circuit d'émission (E_i), au cours desquels un début de paquet est détecté par ces circuits de réception.

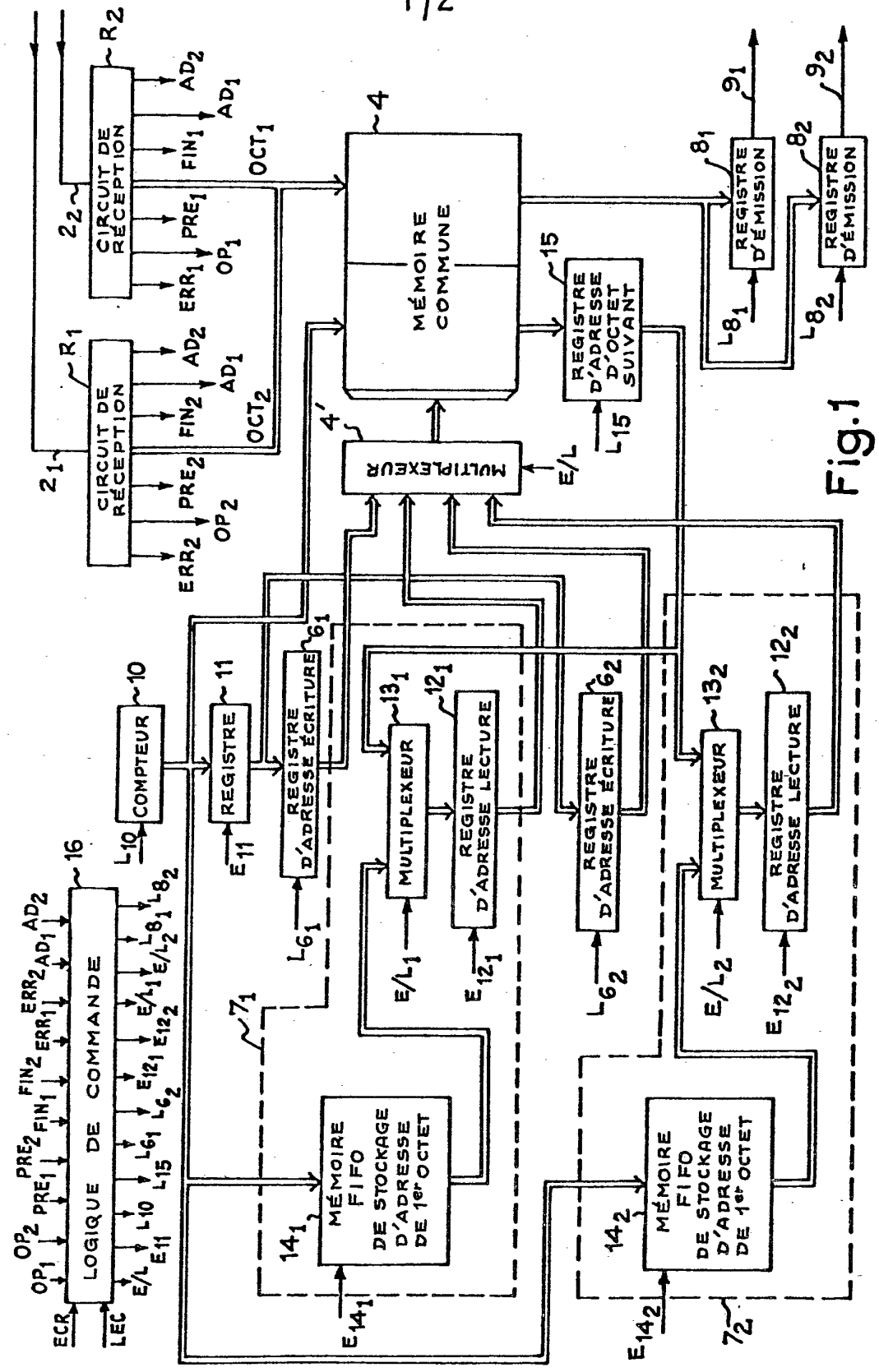

CIRCUIT DE RÉCEPTION
R2
R1
MÉMOIRE COMMUNE
MULTIPLEXEUR
REGISTRE D'ÉMISSION
REGISTRE D'ADRESSE D'OCTET SUIVANT
COMPTEUR
REGISTRE
REGISTRE D'ADRESSE ÉCRITURE
MULTIPLEXEUR
REGISTRE D'ADRESSE LECTURE
MÉMOIRE FIFO DE STOCKAGE D'ADRESSE DE 1er OCTET
LOGIQUE DE COMMANDE
ECR
LEC

Fig.1

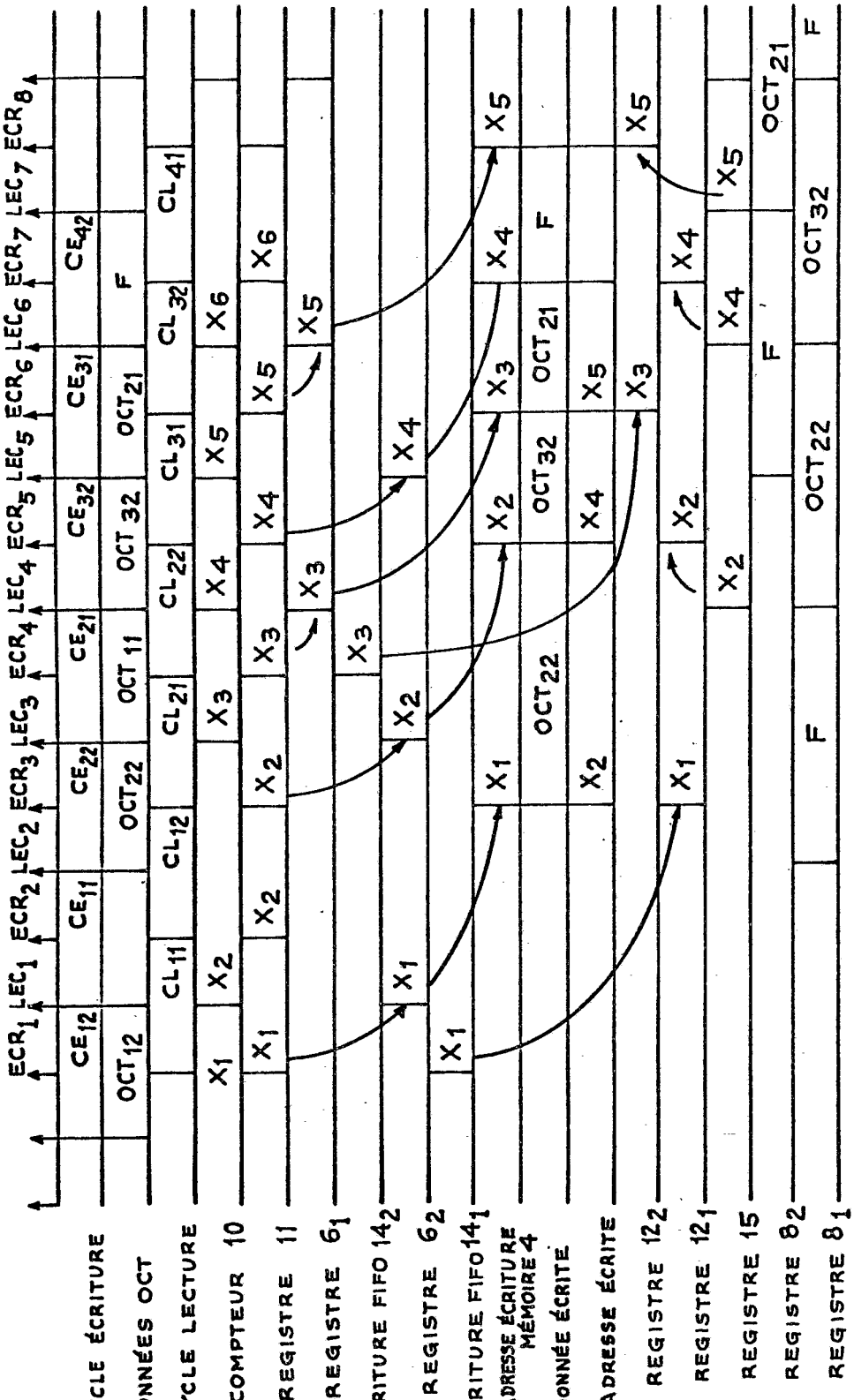

ECR1 LEC1 ECR2 LEC2 ECR3 LEC3 ECR4 LEC4 ECR5 LEC5 ECR6 LEC6 ECR7 LEC7 ECR8
CYCLE ÉCRITURE
DONNÉES OCT
CYCLE LECTURE
COMPTEUR 10
REGISTRE 11
REGISTRE 61
ÉCRITURE FIFO 142
REGISTRE 62
ÉCRITURE FIFO 141
ADRESSE ÉCRITURE MÉMOIRE 4
DONNÉE ÉCRITE
ADRESSE ÉCRITE
REGISTRE 122
REGISTRE 121
REGISTRE 15
REGISTRE 82
REGISTRE 81

Fig.2