

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4230682号
(P4230682)

(45) 発行日 平成21年2月25日 (2009. 2. 25)

(24) 登録日 平成20年12月12日 (2008. 12. 12)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)
G02F 1/133 (2006.01)
G09G 3/20 (2006.01)
G09G 3/34 (2006.01)

G O 9 G 3/36
 G O 2 F 1/133 5 2 5
 G O 2 F 1/133 5 3 5
 G O 2 F 1/133 5 5 0
 G O 9 G 3/20 6 1 1 A

請求項の数 4 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2001-246050 (P2001-246050)
 (22) 出願日 平成13年8月14日 (2001. 8. 14)
 (65) 公開番号 特開2003-58123 (P2003-58123A)
 (43) 公開日 平成15年2月28日 (2003. 2. 28)
 審査請求日 平成17年3月25日 (2005. 3. 25)

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (72) 発明者 武田 伸宏
 千葉県茂原市早野3300番地 株式会社
 日立製作所 ディスプレイグループ内
 審査官 後藤 亮治

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

ゲート信号線に沿った画素群をラインとしてマトリクス状に配置された各画素を有し、交流化信号により一フレーム中の各画素の液晶に印加する電圧の極性を変化させる手段が備えられた液晶表示装置であって、

各奇数ラインの画素データの信号レベルの各フレームにおける累積値および各偶数ラインの画素データの信号レベルの各フレームにおける累積値を得る手段と、

前記各累積値同士を減算する手段と、

前記減算する手段からの減算値が基準値以上の場合に前記交流化信号と異なる他の交流化信号を送出させる手段とを備えることを特徴とする液晶表示装置。

10

【請求項 2】

前記基準値を変更する手段が設けられていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

一フレームにおける正極の表示データの累積値と、一フレームにおける負極の表示データの累積値との差異が基準値以上の場合、位相が180°ずれた交流化信号を使用することを特徴とする液晶表示装置。

【請求項 4】

前記一フレームにおける正極の表示データの累積値とは、入力される表示データの第1の画素の赤と青と、第2の画素の緑の表示データを累積したものであり、

20

前記一フレームにおける負極の表示データの累積値とは、入力される表示データの第2の画素の赤と青と、第1の画素の緑の表示データを累積したものであることを特徴とする請求項3に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に係り、たとえばアクティブ・マトリクス型の液晶表示装置に関する。

【0002】

【従来の技術】

アクティブ・マトリクス型の液晶表示装置は、液晶を介して対向配置される一对の基板のうち一方の基板の液晶側の面に、そのx方向に延在しy方向に並設されるゲート信号とy方向に延在しx方向に並設されるドレイン信号線が形成され、これら各信号線によって囲まれた領域を画素領域としている。

【0003】

これら各画素領域には、片側のゲート信号線からの走査信号によって作動するスイッチング素子と、このスイッチング素子を介して片側のドレイン信号線からの映像信号が供給される画素電極とが備えられている。

【0004】

この画素電極は前記一对の基板のうちいずれかの基板の液晶側の面に形成された対向電極との間に電界を発生せしめ、この電界によって液晶の光透過率を制御させるようにしている。

【0005】

また、各ゲート信号線は、垂直走査駆動回路からの走査信号によってその1つが選択され、そのタイミングに合わせて、各ドレイン信号線には映像信号駆動回路から映像信号が供給されるようになっている。

【0006】

そして、このような構成において、液晶に直流成分の電圧が長時間印加されてその分極による液晶劣化を防止するために、たとえば隣接する画素領域のそれぞれの液晶の印加電圧極性を反転（交流化）させ、かつフレーム毎にも液晶印加電圧極性を反転させるいわゆるドット反転駆動方式が知られている。

【0007】

また、液晶表示装置における表示の態様としてドットマトリクス表示とキャラクタ表示とがあるが、前記映像信号駆動回路に入力されるデータはドットマトリクスデータからなっていた。

【0008】

さらに、いわゆる透過型と称される液晶表示装置は、その液晶表示パネルの背面にバックライトを備えるものであるが、このバックライトの輝度は一定に行っているのが通常である。

【0009】

【発明が解決しようとする課題】

しかし、このような液晶表示装置において、前記ドット反転駆動方式が用いられているものにあって、液晶駆動の交流化を相殺する表示パターンが必ず存在し、この場合においてフリッカが発生してしまうということが指摘されている。

【0010】

また、前記映像信号駆動回路に入力されるドットマトリクスデータは、その転送のための消費電力が大きくなってしまいうことが指摘されている。

【0011】

さらに、近年、表示画像として静画像はもちろんのこと動画像も多く映像されるようになり、その動画像の場合に輝度が若干暗くなり該動画像を明確に認識できなくなることが指

10

20

30

40

50

摘されている。

【 0 0 1 2 】

本発明は、このような事情に基づいてなされたもので、その目的は、フリッカの発生を抑制した液晶表示装置を提供することにある。

【 0 0 1 3 】

また、本発明の他の目的は、消費電力を低減させた液晶表示装置を提供することにある。

【 0 0 1 4 】

さらに、本発明の他の目的は、動画像を明確に表示できるようにした液晶表示装置を提供することにある。

【 0 0 1 5 】

10

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【 0 0 1 6 】

手段 1 .

まず、ゲート信号線に沿った画素群をラインとしてマトリクス状に配置された各画素を有し、交流化信号により一フレーム中の各画素の液晶に印加する電圧の極性を変化させる手段が備えられた液晶表示装置であって、

各フレーム毎に、各奇数ラインの画素データの信号レベルの累算値および各偶数ラインの画素データの信号レベルの累算値を得る手段と、これら各累算値を減算する手段と、この各累算値を減算する手段からの減算値が基準値以上の場合に前記交流化信号と異なる他の交流化信号を送出させる手段とを備えることを特徴とするものである。

20

【 0 0 1 7 】

このように構成された液晶表示装置は、電圧印加極性と表示データが偏ることがなくなり、該液晶印加電圧がコモン電圧に対して均一化されるようになる。このため、コモン電極の電流量が増加することがなく消費電力を抑制できる。

【 0 0 1 8 】

手段 2 .

キャラクタ表示を含むドットマトリクスデータを入力し、この入力データからディスプレイネーブル信号が H i g h の際にドットマトリクスデータを取り出す手段と、前記入力データから前記ディスプレイネーブル信号が L o w の際にキャラクタデータを生成する手段と、該キャラクタデータを前記ドットマトリクスデータと合成して表示データを出力させる手段とを備えることを特徴とするものです。

30

【 0 0 1 9 】

このように構成された液晶表示装置は、ドットマトリクス表示とともにキャラクタ表示をする場合、該キャラクタ表示のための入力データをキャラクタデータとして取り込み、ドットマトリクスデータと合成する構成となっている。これにより、データ転送の消費電力の低減を図ることができる。

【 0 0 2 0 】

手段 3 .

入力表示データが入力される液晶表示パネルと、この液晶表示パネルの背面に配置されるバックライトとを有し、

40

前記入力表示データから各画素データの階調を検出する第 1 手段と、予め定められた階調の各段階において前記第 1 手段によって検出された画素データの階調の有無を検出する第 2 手段と、この第 2 手段によって検出された階調の有無の数を加算する第 3 手段と、前記バックライトの明るさの制御範囲を複数に区分し前記第 3 手段による前記加算の値の大きさを前記区分に対応させて前記バックライトへの制御信号を出力する第 4 手段と、を備えることを特徴とする。

【 0 0 2 1 】

このように構成された液晶表示装置は、その液晶表示パネルに表示される動画像は、静画

50

像が表示される場合よりも輝度が明るくなって表示されるようになる。

【 0 0 2 2 】

これにより、動画像の動きを明確に表示できるようになる。一方、静画像の場合にはその輝度があまり大きくなくても明確に表示できることが確かめられている。

【 0 0 2 3 】

また、このように、動画像と静画像との区別を検知し、それに応じた最適な輝度表示を行っているため、消費電力の低減が図れる効果を奏する。

【 0 0 2 4 】

【 発明の実施の形態 】

以下、本発明による液晶表示装置の各実施例を図面を用いて説明をする。

10

〔 実施例 1 〕

《 液晶表示パネル P N L の回路図 》

図 2 は、液晶表示パネル P N L の回路を示す図である。同図は回路図であるが実際の幾何学的配置に対応させて描いている。

【 0 0 2 5 】

まず、透明基板 S U B 1 があり、その表面（後述の透明基板 S U B 2 と対向する面）には、その x 方向に延在し y 方向に並設されるゲート信号線 G L が形成され、また、 y 方向に延在し x 方向に並設されるドレイン信号線 D L が形成されている。

【 0 0 2 6 】

ゲート信号線 G L とドレイン信号線 D L で囲まれる領域は画素領域（画素）を構成し、これら各画素がマトリックス状に配置された領域内で液晶表示部 A R を構成するようになっている。

20

【 0 0 2 7 】

各画素領域には、片側のゲート信号線 G L からの走査信号によって作動されるスイッチング素子（薄膜トランジスタ） T F T と、このスイッチング素子 T F T を介して片側のドレイン信号線 D L からの映像信号が供給される画素電極 P I X とが形成されている。

【 0 0 2 8 】

この画素電極 P I X は、各透明基板のいずれかの側に設けられた対向電極 C T（図示せず）との間に電界を発生せしめ、この電界によって液晶の光透過率を制御するようになっている。

30

【 0 0 2 9 】

各ゲート信号線 G L はその一端側において垂直走査駆動回路 V に接続され、この垂直走査駆動回路 V から各ゲート信号線 G L に走査信号が供給されるようになっている。

【 0 0 3 0 】

また、各ドレイン信号線 D L はその一端側において映像信号駆動回路 H e に接続され、この映像信号駆動回路 H e から各ドレイン信号線 D L に映像信号が供給されるようになっている。

【 0 0 3 1 】

なお、各ドレイン信号線 D L は、たとえばその左端側からカラー表示の R、G、B、が順次繰り返された信号線となっており、これにより各ゲート信号線 G L が担当する画素であって互いに隣接する 3 つの画素がカラー表示における一画素として構成されている。

40

【 0 0 3 2 】

前記透明基板 S U B 1 は液晶を介して他の透明基板 S U B 2 と対向配置され、前記液晶表示部 A R を囲んで液晶の封止を兼ねるシール材 S L によって、前記透明基板 S U B 1 と S U B 2 との固着がなされている。

【 0 0 3 3 】

また、このように構成された液晶表示パネル P N L はいわゆる透過型のもので、その背面にはバックライト B L が配置されるようになっている。

【 0 0 3 4 】

《 液晶表示パネル P N L とその周辺回路 》

50

図 3 は、前記液晶表示パネル PNL とその周辺回路を示す図である。

同図に示す液晶表示装置は、説明を簡単にするため、たとえば 256 色のカラー表示の場合を示している。

【0035】

まず、マイクロコンピュータシステム等に対応するインターフェース部は、タイミングコンバータ TCON によって構成されている。

【0036】

このタイミングコンバータ TCON の入力端子には、標準的なカラー CRT (陰極線管) の R、G、B の入力に対応したカラーデータ $R_0 \sim R_7$ 、 $G_0 \sim G_7$ 、 $B_0 \sim B_7$ と、水平同期信号 HSYNC、垂直同期信号 VSYNC、表示タイミング信号 YDISP 等が入力されるようになっている。

10

【0037】

また、その出力端子からは、前記入力端子からの各データを変換して液晶表示パネル PNL を駆動するための信号が出力されるようになっている。

【0038】

なお、タイミングコンバータ TCON には、フェーズ・ロックド・ループ回路 PLL が接続され、このフェーズ・ロックド・ループ回路 PLL によって 1 ドットクロックパルス DOTCLK を入力させるようになっている。

【0039】

液晶表示パネル PNL に搭載されている垂直走査駆動回路 V は、たとえばダイナミック型のシフトレジスタとドライバとから構成され、前記タイミングコンバータ TCON の出力端子からはフレーム信号 FL M 信号と走査タイミングに対応したパルス CL2 が入力されるようになっている。

20

【0040】

これにより、垂直走査駆動回路 V の出力端子にそれぞれ接続されているゲート信号線 GL のそれぞれには順次走査信号が出力されるようになっている。

【0041】

また、液晶表示パネル PNL に搭載されている映像信号駆動回路 He には、前記タイミングコンバータ TCON の出力端子からクロックパルス CL1 と信号バスを介してシリアルに送出される数ビット単位のデータが入力されるようになっている。

30

【0042】

クロックパルス CL1 は、上記シリアルに転送された 1 ライン分のデータをラッチするために用いられるようになっている。

【0043】

すなわち、クロックパルス CL1 は、1 ライン分のデータ転送が終了すると発生され、転送されたデータを保持し、それに基づいて 1 ライン分の駆動電圧が形成され、前記垂直走査駆動回路 V により選択されたゲート信号線 GL と対応した 1 ライン分の画素に平行に書き込まれるようになっている。

【0044】

この場合、前記画素の書き込みと並行して上記クロックパルス CL1 によって次のラインに対応したデータのシリアル取り込みが行われるようになっている。

40

【0045】

一方、電源安定化回路 PW があり、たとえば +5V と -24V のような 2 つの電圧を受け、駆動電圧に必要な +5V と -20V のような安定化電圧を発生させるようになっている。

【0046】

電源安定化回路 PW は、前記タイミングコンバータ TCON からの表示制御信号 DISP / ON を受けてその動作が有効にされるようになっている。

【0047】

また、この電源安定化回路 PW からの安定化電圧は駆動電圧発生回路 CP に供給され、該

50

駆動電圧発生回路 C P は、各階調毎に振り分けられたそれぞれの駆動電圧を発生させ、それら各駆動電圧は映像信号駆動回路 H e に供給されるようになっている。

【 0 0 4 8 】

《 駆動電圧発生回路 》

図 4 は前記駆動電圧発生回路 C P の一実施例を示しており、階調に応じて出力される駆動電圧がゲート信号線 G L 毎、およびフレーム毎に正 / 負極性に交互に極性反転するように構成されている。

【 0 0 4 9 】

このようにした場合、液晶はいわゆる交流駆動される（この場合、対向電極は一定）ことになり、該液晶に直流成分が印加されることがなく、その寿命を向上させることができる効果を奏する。

10

【 0 0 5 0 】

同図において、高レベル側の電圧 V_H と低レベル側の電圧 V_L の間にはスイッチ S W 1 と S W 2 による直列回路が接続され、これら各スイッチ S W 1 と S W 2 の接続点からは駆動電圧 V_1 として出力される。

【 0 0 5 1 】

また、高レベル側の電圧 V_H と低レベル側の電圧 V_L の間には抵抗 R_9 と R_{10} による直列回路が接続され、これら各抵抗 R_9 と R_{10} の接続点からは駆動電圧 V_M として出力される。

20

【 0 0 5 2 】

スイッチ S W 1 と S W 2 は、その一方がオン状態の時には他方がオフ状態となり、この切り替えはたとえばゲート信号線 G L の切り替えに応じてなされるようになっている。

【 0 0 5 3 】

そして、前記各抵抗 R_9 と R_{10} の接続点とスイッチ S W 1 と S W 2 の接続点の間には抵抗 R_1 ないし抵抗 R_8 の直列回路が接続されており、各抵抗 R_1 ないし R_8 のそれぞれの間からはそれぞれ駆動電圧 V_2 ないし V_8 が出力されるようになっている。

【 0 0 5 4 】

出力される各駆動電圧は 8 段階の電圧からなり、駆動電圧 V_1 ないし V_8 の順に小さくなっている。

30

【 0 0 5 5 】

このような構成において、たとえば、奇数ゲート信号線 G L が選択された場合には、前記タイミングコンバータ Y C O N からの信号 M によってスイッチ S W 1 がオン状態となり、高レベル V_H と中点電圧 V_M により正極性の駆動電圧 $+V_1$ ないし $+V_8$ を形成する。そして、偶数ゲート信号線 G L が選択された場合には、前記タイミングコンバータ Y C O N からの信号 M によってスイッチ S W 2 がオン状態となり、低レベル V_L と中点電圧 V_M により負極性の駆動電圧 $-V_1$ ないし $-V_8$ を形成する。

【 0 0 5 6 】

このようなスイッチ S W 1 と S W 2 の切り替えはフレームの切り替え毎にも行われるようになっている。

40

【 0 0 5 7 】

なお、本実施例は、各ゲート信号線 G L のそれぞれによって駆動される画素群において、互いに隣接する画素のそれぞれの液晶の印加電圧極性も反転させている。この場合の反転は、たとえば前記映像信号駆動回路 H e 内で行うようになっている。

【 0 0 5 8 】

《 電圧極性反転調整回路 》

図 1 は、上述した液晶への印加電圧極性の反転をタイミングコントローラ T C O N に入力される入力データ（以下、入力表示データと称す）に基づいて調整する回路であり、たとえば前記タイミングコントローラ T C O N に組み込まれる回路となっている。

【 0 0 5 9 】

同図において、まず、シリアル - パラレル変換器 1 0 2 があり、このシリアル - パラレル

50

変換器 1 0 2 に入力表示データ 1 0 1 が入力されるようになっている。

【 0 0 6 0 】

これら入力表示データ 1 0 1 は多数の画素データからなり、該シリアル - パラレル変換器 1 0 2 によって、液晶表示部の垂直走査における奇数ラインの画素データおよび偶数ラインの画素データに区別されて出力されるようになっている。

【 0 0 6 1 】

また、入力表示データ 1 0 1 の各画素データにはそれぞれカラー表示の赤 (R)、緑 (G)、青 (B) の各情報が含まれており、入力表示データ 1 0 1 のシリアル - パラレル変換器 1 0 2 への入力は、各画素データ毎に赤 (R)、緑 (G)、青 (B) の各情報が対応する異なる入力端子 R data、G data、B dataを通してなされるようになっており、シリアル - パラレル変換器 1 0 2 からの入力表示データ 1 0 1 の出力は、奇数ラインの各画素データの赤 (R)、緑 (G)、青 (B) の各情報が対応する異なる出力端子 R odd、G odd、B oddを通してなされ、偶数ラインの各画素データの赤 (R)、緑 (G)、青 (B) の各情報が対応する異なる出力端子 R even、G even、B evenを通してなされるようになっている。

10

【 0 0 6 2 】

このような動作は、該シリアル - パラレル変換器 1 0 2 にクロック信号 1 1 3 が入力されて、カラー情報の異なる各画素毎に行われるようになっている。

【 0 0 6 3 】

そして、シリアル - パラレル変換器 1 0 2 の出力端子 R odd、B odd、G evenからの出力は累算器 A 1 0 3 に入力され、該シリアル - パラレル変換器 1 0 2 の出力端子 G odd、R even、B evenからの出力は累算器 B 1 0 4 に入力されるようになっている。

20

【 0 0 6 4 】

累算器 A 1 0 3 ではそれに入力される各画素データの信号レベル (輝度に対応する) が順次累積され、その累積値はレジスタ A 1 0 5 に一旦格納されるようになっている。

【 0 0 6 5 】

また、同様に、累算器 B 1 0 4 ではそれに入力される各画素データの信号レベルが順次累積され、その累積値はレジスタ B 1 0 6 に一旦格納されるようになっている。

【 0 0 6 6 】

累算器 A 1 0 3、B 1 0 4 にはそれぞれクロック信号 1 1 3 が入力されて、各累算器 A 1 0 3、B 1 0 4 における累算はカラー情報の異なる各画素毎に行われ、レジスタ A 1 0 5、B 1 0 6 にはそれぞれ垂直同期信号 1 1 2 が入力されて、各レジスタ A 1 0 5、B 1 0 6 における累算は液晶表示の各フレーム毎に行われるようになっている。

30

【 0 0 6 7 】

すなわち、これにより、各フレーム毎に、各奇数ラインの画素データ (R、G、B) の信号レベルの累算値、および各偶数ラインの画素データ (R、G、B) の信号レベルの累算値が得られることになる。

【 0 0 6 8 】

そして、これら各累算値に相当する信号が減算器 1 0 7 に入力され、この減算器 1 0 7 によって、レジスタ A 1 0 5 に格納された累算値とレジスタ B 1 0 6 に格納された累算値の減算がなされるようになっている。

40

【 0 0 6 9 】

この減算器 1 0 7 では、それによって算出された減算値が基準値以上の場合には交流化選択信号 1 1 6 を出力するようになっている。

ここで、前記減算器 1 0 7 には前記基準値を変更できる基準値変更手段 1 2 0 からの信号が入力できるようになっており、前記基準値を任意に設定できるようになっている。

【 0 0 7 0 】

なお、前記基準値変更手段 1 2 0 はたとえば液晶の表示面の観察に基づいてオペレータが所定の基準値に設定できるようになっている。

【 0 0 7 1 】

50

一方、交流化信号生成回路 108 があり、この交流化信号生成回路 108 は水平同期信号 111 および垂直同期信号 112 の入力に基づいて互いに位相が 180° ずれた交流化信号 A109 および交流化信号 B110 を生成するようになっている。

【0072】

これら各交流化信号 A109、B110 はセレクタ 114 に入力されるようになっているとともに、該セレクタ 114 には前記交流化選択信号 116 の選択によって前記各交流化信号 A109、B110 の一方を切替えて出力させるようになっている。

【0073】

この交流化選択信号 116 は、前記駆動電圧発生回路 CP のスイッチ SW1、SW2 を切り替えるための信号、および映像信号駆動回路 He において、各ラインにおける画素群の隣接する画素どうしの極性反転のために用いられる。

10

【0074】

このように構成した液晶表示装置は、一フレームの正極と負極の表示データ量に偏りがある場合を検知し、これにより液晶の交流化周期を変化させ、フリッカの発生と消費電力の増加を抑制するようになっている。

【0075】

このように構成されていない従来の液晶表示装置の液晶交流化周期の生成では、その交流化を相殺する表示パターンが存在してフリッカが発生したり、また、液晶印加電圧極性の正極と負極での表示データの偏りによってコモン電極の電流が大きくなり消費電力が大きくなってしまいうという不都合があった。

20

【0076】

図 5 は、上述した構成によって、液晶印加電圧と交流化信号の関係の一実施例を示した図である。

【0077】

同図から明らかとなるように、ドット毎およびライン毎の白黒反転パターンが入力されているのに対し、交流化信号をドット毎および 2 ライン毎に変化されている。このため、電圧印加極性と表示データ 301~308 が偏ることがなくなり、液晶印加電圧 329 がコモン電圧 311、316、321、326 に対して均一化されるようになる。このため、コモン電極の電流量が増加することがなく、消費電力が抑制できるようになる。

【0078】

30

また、同様の理由から、液晶表示パネルの表示面にコモン電圧の不均一によるフリッカの発生を抑制できるようになる。

【0079】

ちなみに、図 6 は、従来の液晶表示装置における液晶印加電圧と交流化信号の関係の一例を示した図で、図 5 と対応した図となっている。この図から明らかなように、交流化信号は固定されており、表示データがドット毎およびライン毎の白黒反転パターンでは電圧印加極性と表示データ 201~208 が偏るために、液晶印加電圧 229 がコモン電圧に対して偏ることになる。

【0080】

〔実施例 2〕

40

図 7 は、本発明による液晶表示装置の他の実施例を示す回路図で、たとえば前記タイミングコンバータ TC ON 内に組み込まれる回路となっている。

【0081】

同図において、入力表示データ 101 は、まずディスプレイネーブル信号 204 が High の期間においてドットマトリクスデータ 213 として取り込まれ、該ディスプレイネーブル信号 204 が Low の期間（帰線期間）においてカラーコード 202、キャラクタコード 203、キャラクタアドレスコード 204 として取り込まれるようになっている。

【0082】

ドットマトリクスデータ 213 として取り込まれたデータは画像合成回路 205 に入力さ

50

れ、この画像合成回路205において後述の各データと合成がなされるようになっている。

【0083】

カラーコード202として取り込まれたデータはカラーパレット変換回路206に入力され、このカラーパレット変換回路206においてカラーデータ209を生成し、これを出力するようになっている。

【0084】

キャラクタコード203として取り込まれたデータはキャラクタ発生回路207に入力され、このキャラクタ発生回路207においてキャラクタドットマトリクスデータ210を生成し、これを出力するようになっている。

10

【0085】

キャラクタアドレスコード204として取り込まれたデータはキャラクタアドレス生成回路208に入力され、このキャラクタアドレス生成回路208においてキャラクタ表示アドレスデータ211を生成し、これを出力するようになっている。

【0086】

前記カラーデータ209、キャラクタドットマトリクスデータ210、およびキャラクタ表示アドレスデータ211は、それぞれ前記画像合成回路205に入力され、これらの各データは前記ドットマトリクスデータ213とともに合成されるようになっている。

【0087】

そして、これら合成されたデータは出力表示データ211として出力されるようになり、図3に示す映像駆動回路に入力されるようになっている。

20

【0088】

このように構成された液晶表示装置は、ドットマトリクス表示とともにキャラクタ表示をする場合、該キャラクタ表示のための入力データをキャラクタデータとして取り込み、ドットマトリクスデータと合成する構成となっている。これにより、データ転送の消費電力の低減を図ることができる。

【0089】

このことは、画素表示においてキャラクタ表示をする頻度が高い場合において該効果が顕著となり、たとえば消費電力の大幅な低減を要求される携帯電話の液晶表示ディスプレイに適用させることもできる。

30

【0090】

〔実施例3〕

図8は、本発明による液晶表示装置の他の実施例を示す回路図で、たとえば前記タイミングコンバータTCON内に組み込まれる回路となっている。

【0091】

同図において、まず、階調デコーダ302があり、この階調デコーダ302に入力表示データ101が入力されるようになっている。

【0092】

入力表示データ101は0からNまでの各階調をもつ多数の画素データからなり、前記階調デコーダ302ではこれら各画素データのそれぞれを前記階調毎に区分けし、それぞれの階調に応じてその階調に相当する画素データがある場合には、たとえば"1"の信号を出力し、ない場合にはたとえば"0"の信号を出力するようになっている。

40

【0093】

すなわち、階調デコーダ302は(N+1)個の出力端子を備え、入力表示データ101から0階調の画素データの有無を示す信号、1階調の画素データの有無を示す信号、2階調の画素データの有無を示す信号、……、N階調の画素データの有無を示す信号をそれに対応する出力端子から出力するようになっている。

【0094】

ここで、階調デコーダ302は入力表示データ101にたとえばN階調の画素データが複数個あった場合であっても、その数には関係なく、対応する出力端子からは"1"の信号

50

を出力するようになっている。

【 0 0 9 5 】

そして、階調デコーダ 3 0 2 からの前記各出力は、それぞれ 0 階調レジスタ、1 階調レジスタ、... N 階調レジスタからなる階調レジスタ群 3 0 3 に入力されるようになっている。

【 0 0 9 6 】

すなわち、階調デコーダ 3 0 2 によって出力される 0 階調の画素データの有無を示す信号は 0 階調レジスタへ、1 階調の画素データの有無を示す信号は 1 階調レジスタへ、...、N 階調の画素データの有無を示す信号は N 階調レジスタへ入力されるようになっている。

【 0 0 9 7 】

これにより、階調レジスタ群 3 0 3 の各階調レジスタのそれぞれには " 1 " の信号および " 0 " の信号のうちいずれかが格納されることになる。

さらに、各階調レジスタからの各出力は加算器 3 0 4 に入力されるようになっている。

【 0 0 9 8 】

加算器 3 0 4 は各階調レジスタからの各出力を加算し、その加算した値に相当する信号を出力するようになっている。

【 0 0 9 9 】

たとえば、0 階調レジスタ、1 階調レジスタ、...、N 階調レジスタから、それぞれ全て " 1 " の信号が入力された場合には、それぞれの各信号の加算値 (N + 1) に相当する信号が出力され、また、4 階調レジスタおよび 6 階調レジスタから " 1 " の信号が入力され他の残りの各階調レジスタからは " 0 " の信号が出力された場合には、それぞれの各信号の加算値 (2) に相当する信号が入力されるようになっている。

【 0 1 0 0 】

このことから明らかなように、加算器 3 0 4 は入力表示データ 1 0 1 における階調の変化度合いを検出するようになっている。

【 0 1 0 1 】

すなわち、加算器 3 0 4 は、入力表示データ 1 0 1 の階調の変化度合いを検出し、その変化度合いの大小によって、該入力表示データ 1 0 1 が動画のデータか否かを前記加算器 3 0 4 の出力で判定するようになっている。

【 0 1 0 2 】

階調の変化度合いが、大きい場合には動きがともなう画像であると見做して動画像と判定し、小さい場合には動きがともなわない画像であると見做してたとえばワープロ、表計算、メール等で用いられる静画像と判定するようになっている。

【 0 1 0 3 】

そして、加算器 3 0 4 からの出力はレジスタ 3 0 5 に入力されてホールドされた後にバックライト制御信号 3 0 6 として出力されるようになっている。このバックライト制御信号 3 0 6 は前記液晶表示パネル P N L の背面に配置されるバックライト B L に入力され、該バックライト B L の輝度を変化させるようになっている。

【 0 1 0 4 】

なお、前記階調レジスタ群 3 0 3 の各階調レジスタ、およびレジスタ 1 0 5 にはそれぞれ垂直同期信号 3 0 7 が入力され、この垂直同期信号 3 0 7 によって前記各階調レジスタ群 3 0 3 の各レジスタおよびレジスタ 3 0 5 をリセットするようになっている。

【 0 1 0 5 】

これにより、レジスタ 3 0 5 からのバックライト B L への制御信号は一画面に相当する入力表示データ毎に生成されるようになる。

【 0 1 0 6 】

このように構成された液晶表示装置は、その液晶表示パネル P N L に表示される動画像は、静画像が表示される場合よりも輝度が明るくなって表示されるようになる。

【 0 1 0 7 】

これにより、動画像の動きを明確に表示できるようになる。一方、静画像の場合にはその

10

20

30

40

50

輝度があまり大きくななくても明確に表示できることが確かめられている。

【 0 1 0 8 】

また、このように、動画像と静画像との区別を検知し、それに応じた最適な輝度表示を行っているため、消費電力の低減が図れる効果を奏する。

【 0 1 0 9 】

なお、上述した各実施例は、それぞれ別々に示したものであるが、それぞれの実施例に示す回路が二つあるいは全て組み込まれるようにして構成してもよいことはいうまでもない。

【 0 1 1 0 】

そして、従来の構成に対して切り替え手段を介して、それぞれの回路が作動できるように構成してもよいことはいうまでもない。

【 0 1 1 1 】

【発明の効果】

以上説明したことから明らかなように、本発明による液晶表示装置によれば、フリッカの発生を抑制できるようになる。また、消費電力を低減させることができるようになる。さらに、動画像を明確に表示できるようになる。

【図面の簡単な説明】

【図 1】本発明による液晶表示装置の一実施例を示す要部回路図である。

【図 2】本発明による液晶表示装置の液晶表示パネルの一実施例を示す等価回路図である。

【図 3】本発明による液晶表示装置の液晶表示パネルとその周辺の回路を示す回路図である。

【図 4】本発明による液晶表示装置の駆動電圧発生回路の一実施例を示す回路図である。

【図 5】本発明による液晶表示装置の図 1 に示す回路の具備によって得られる効果を示した説明図である。

【図 6】従来の液晶表示装置の場合の不都合を示した説明図で、図 5 と対応した図となっている。

【図 7】本発明による液晶表示装置の他の実施例を示す要部回路図である。

【図 8】本発明による液晶表示装置の他の実施例を示す要部回路図である。

【符号の説明】

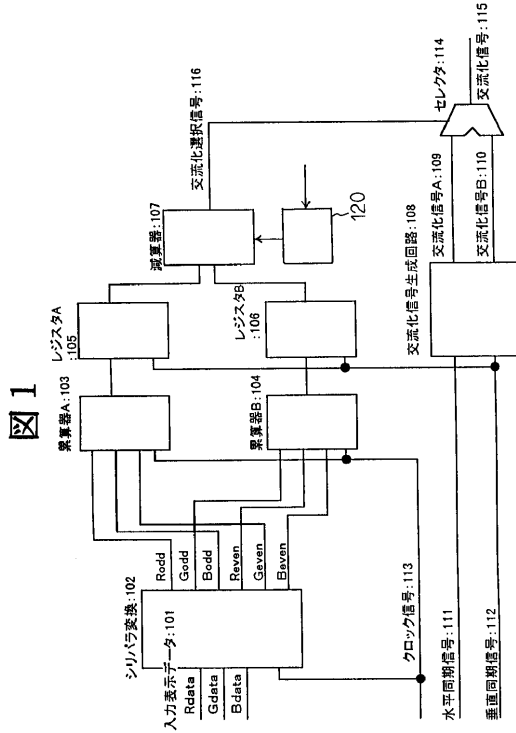
G L ゲート信号線、D L ドレイン信号線、P I X 画素電極、T F T 薄膜トランジスタ、V 垂直走査回路、H e 映像信号駆動回路。T C O N タイミングコントローラ、P W 電源安定化回路、C P 駆動電圧発生回路、1 0 2 シリパラ変換回路、1 0 3、1 0 4 累算器、1 0 5、1 0 6 レジスタ、1 0 7 減算器、1 0 8 交流化信号生成回路、2 0 6 カラーパレット変換回路、2 0 7 キャラクタ発生回路、2 0 8 キャラクタアドレス生成回路、2 0 5 画像合成回路、3 0 2 諧調デコーダ、3 0 3 諧調レジスタ群、3 0 4 加算器、3 0 5 レジスタ、3 0 6 バックライト制御信号。

10

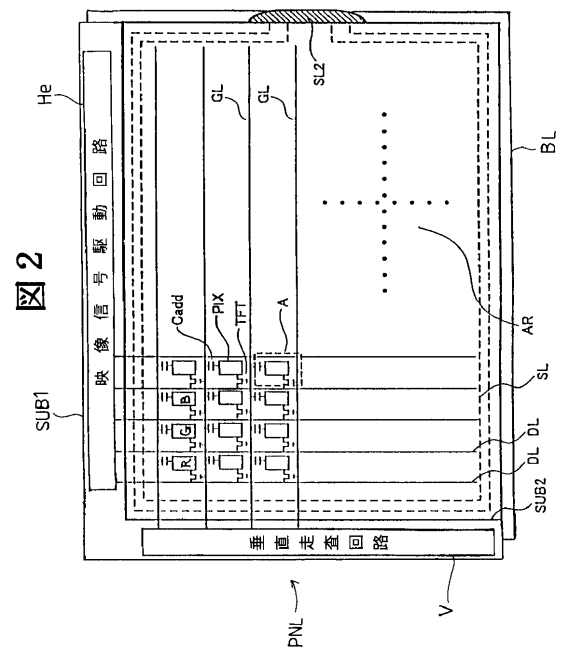
20

30

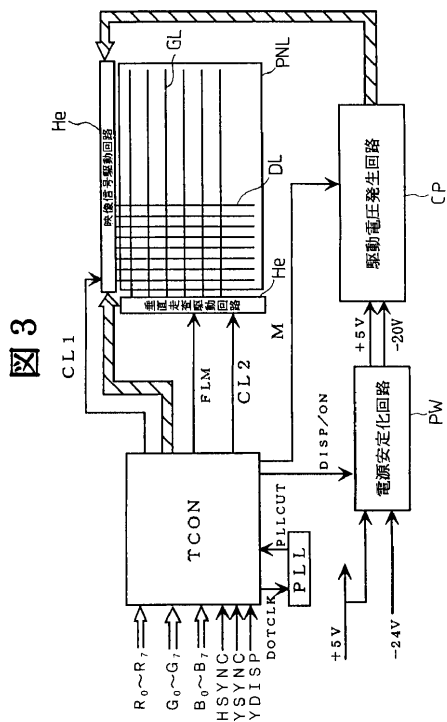
【図 1】



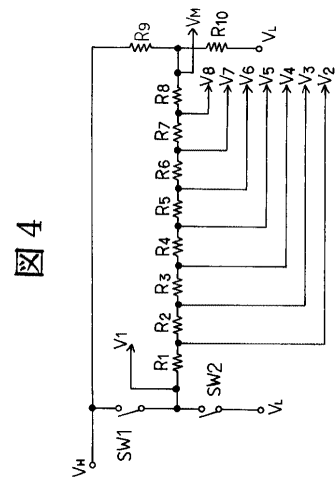
【図 2】



【図 3】

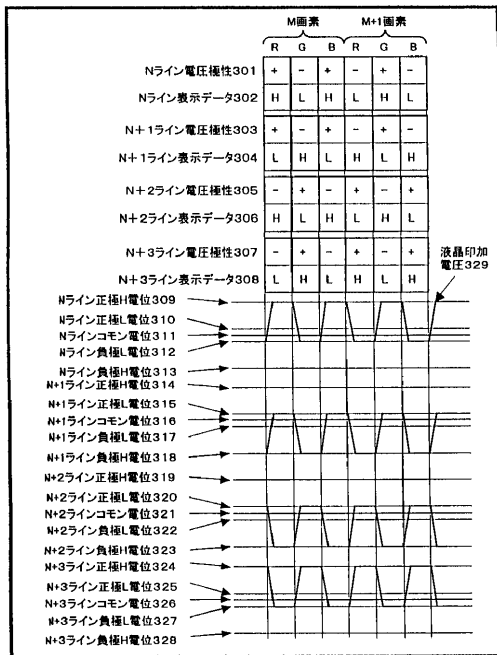


【図 4】



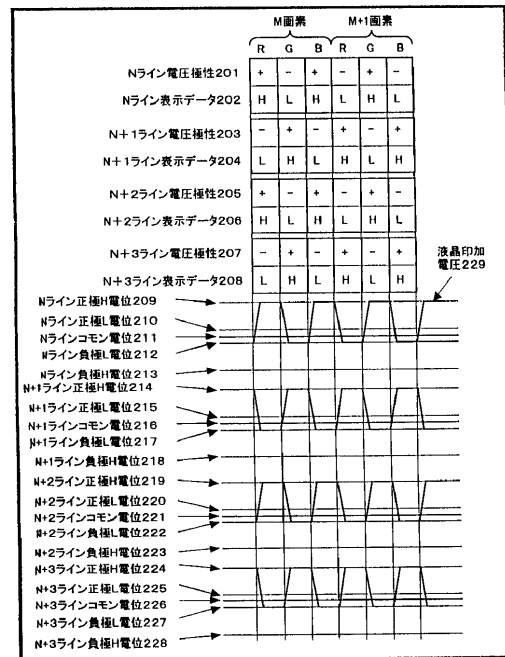
【 図 5 】

図 5

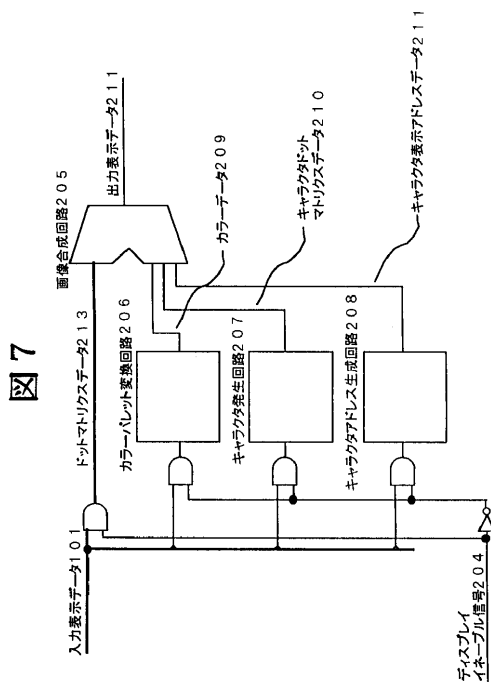


【 図 6 】

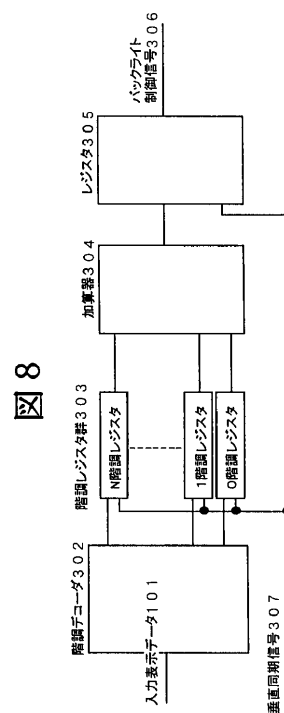
図 6



【 圖 7 】



【 図 8 】



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 1 1 E
	G 0 9 G	3/20	6 1 2 U
	G 0 9 G	3/20	6 2 1 B
	G 0 9 G	3/20	6 4 1 C
	G 0 9 G	3/20	6 6 0 V
	G 0 9 G	3/34	J

(56)参考文献 特開 2 0 0 0 - 1 3 1 6 6 6 (J P , A)
 特開平 1 1 - 0 9 5 7 2 5 (J P , A)
 特開 2 0 0 0 - 2 3 5 3 7 5 (J P , A)
 特開 2 0 0 1 - 1 7 4 7 8 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 G09G 3/00 - 3/38
 G02F 1/133