



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년10월28일

(11) 등록번호 10-2722997

(24) 등록일자 2024년10월23일

(51) 국제특허분류(Int. Cl.)
H04L 25/49 (2006.01) H04L 25/03 (2006.01)
H04L 7/00 (2006.01)

(52) CPC특허분류
H04L 25/4917 (2013.01)
H04L 25/03878 (2013.01)

(21) 출원번호 10-2023-0155066

(22) 출원일자 2023년11월10일

심사청구일자 2023년11월10일

(56) 선행기술조사문헌

Jeong-Mi Park 외 1명, 'A 20-Gb/s PAM-4 Receiver with Dual-mode Threshold Voltage Adaptation using a Time-based LSB Decoder', Journal of Semiconductor Technology and Science, (2023.10.31.) 1부.*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

인하대학교 산학협력단

인천광역시 미추홀구 인하로 100(용현동, 인하대학교)

(72) 발명자

강진구

서울특별시 서초구 잠원로14길 32, 103동 2602호 (잠원동, 래미안 신반포 리오센트)

박정미

서울특별시 동대문구 무학로18길 21, 3층(용두동)

(74) 대리인

양성보

전체 청구항 수 : 총 8 항

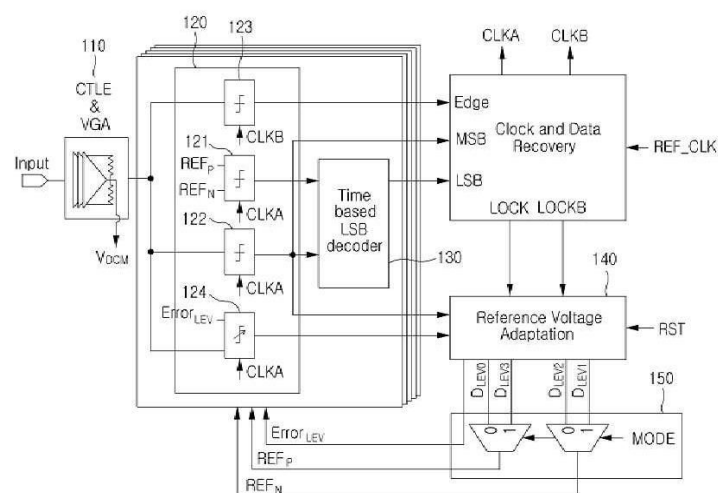
심사관 : 황철규

(54) 발명의 명칭 시간 기반 LSB 디코더를 사용한 듀얼 모드 임계 전압 적응을 갖춘 PAM-4 수신기

(57) 요약

시간 기반 LSB 디코더를 사용한 듀얼 모드 임계 전압 적응을 갖춘 PAM-4 수신기 및 그 동작 방법이 제시된다. 본 발명에서 제안하는 시간 기반 LSB 디코더를 사용한 듀얼 모드 임계 전압 적응을 갖춘 PAM-4 수신기는, 2-스테이지의 CTLE(Continuous Time Linear Equalization)와 감소된 게인을 보상하기 위한 VGA(Video Graphics Array), 데이터를 샘플링하기 위한 두 개의 데이터 샘플러, CDR 동작을 위한 에지 샘플러, 문턱전압 적응을 위한 에러 샘플러를 포함하는 샘플러부, 상기 데이터 샘플러로부터 데이터를 입력 받아 시간 기반 LSB를 결정하기 위한 LSB 디코더, 상기 데이터 샘플러로부터 샘플링된 데이터를 입력 받고, 상기 에러 샘플러로부터 에러를 입력 받아 문턱 전압을 결정하는 문턱전압 적응부 및 상기 문턱 전압을 결정하기 위한 외부 MODE 신호를 선택하는 MODE 신호 선택부를 포함한다.

대표도



(52) CPC특허분류

H04L 7/0041 (2013.01)

H04L 7/0087 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711192884
과제번호 2023R1A2C1006578
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 중견연구

연구과제명 다양한 채널환경의 고속 인터페이스를 위한 Dual mode PAM, PWM, Duo-Binary 신호가
혼재된 복합신호 기법을 이용한 SerDes 설계

과제수행기관명 인하대학교
연구기간 2023.03.01 ~ 2026.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호 1711193592
과제번호 2021-0-02052-003
부처명 과학기술정보통신부
과제관리(전문)기관명 정보통신기획평가원
연구사업명 대학ITRC센터육성지원사업(교육운영수익)

연구과제명 [Ezbaro][정부] 스마트 모빌리티를 위한 인공지능 시스템반도체 핵심 기술 개발 및
인력 양성(3차년도)

과제수행기관명 인하대학교 산학협력단
연구기간 2023.01.01 ~ 2023.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호 1711191430
과제번호 S0000163
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 시스템반도체융합전문인력육성(R&D)
연구과제명 산학 밀착형 IoT 반도체 시스템 융합 인력육성 센터
과제수행기관명 성균관대학교
연구기간 2023.01.01 ~ 2023.12.31

공지예외적용 : 있음

명세서

청구범위

청구항 1

2-스테이지의 CTLE(Continuous Time Linear Equalization)와 감소된 게인을 보상하기 위한 VGA(Video Graphics Array);

데이터를 샘플링하기 위한 두 개의 데이터 샘플러, CDR 동작을 위한 에지 샘플러, 문턱전압 적응을 위한 에러 샘플러를 포함하는 샘플러부;

상기 데이터 샘플러로부터 데이터를 입력 받아 시간 기반 LSB를 결정하기 위한 LSB 디코더;

상기 데이터 샘플러로부터 샘플링된 데이터를 입력 받고, 상기 에러 샘플러로부터 에러를 입력 받아 문턱 전압을 결정하는 문턱전압 적응부; 및

상기 문턱 전압을 결정하기 위한 외부 MODE 신호를 선택하는 MODE 신호 선택부

를 포함하는 펄스 진폭 변조 수신기.

청구항 2

제1항에 있어서,

상기 LSB 디코더는,

상기 데이터 샘플러의 출력 지연과 상기 에러 샘플러의 출력 지연을 사용하여 LSB를 결정하는

펄스 진폭 변조 수신기.

청구항 3

제1항에 있어서,

상기 문턱전압 적응부는,

상기 에러 샘플러로부터 샘플링된 에러를 입력 받아 에러 레벨에 따라 상기 MODE 신호를 통해 문턱전압을 결정하고,

제1 상태(State1)에서 에러 샘플러의 출력이 0이면 에러 레벨을 형성하는 DAC의 비트가 1 LSB(Up) 증가하고, 연속으로 Up 신호가 발생하지 않으면 현재 비트의 값보다 1 LSB 작은 값을 레지스터에 저장하며,

제2 상태(State2)에서 에러 레벨이 중간 눈의 상단에 위치하면 에러 샘플러는 MSB가 1인 데이터에 대해 0을 출력하고, 에러 샘플러가 MSB가 1인 데이터에 대해 1을 출력하면 현재 비트에서 1 LSB(Down) 감소하며, 연속으로 Down 신호가 발생하지 않으면 현재 비트보다 1 LSB 큰 값이 레지스터에 저장되는

펄스 진폭 변조 수신기.

청구항 4

제1항에 있어서,

상기 MODE 신호 선택부는,

듀얼 모드 기준 전압의 경우, 문턱전압의 공통 모드 전압 변화, AFE의 과도한 이득으로 인한 왜곡 및 데이터의 공통 모드 전압 변화를 포함하는 비이상성에 따라 외부 모드 신호를 선택하여 문턱전압 전압을 결정하도록 하는

펄스 진폭 변조 수신기.

청구항 5

2-스테이지의 CTLE(Continuous Time Linear Equalization)와 VGA(Video Graphics Array)를 통해 감소된 게인을

보상하는 단계;

샘플링부의 두 개의 데이터 샘플러를 통해 데이터를 샘플링하고, 샘플링부의 에지 샘플러를 통해 CDR 동작을 위한 에지를 샘플링하고, 샘플링부의 에리 샘플러를 통해 문턱전압 적응을 위한 에리를 샘플링하는 단계;

LSB 디코더를 통해 상기 샘플링된 데이터를 입력 받아 시간 기반 LSB를 결정하는 단계;

문턱전압 적응부를 통해 상기 샘플링된 데이터 및 에리를 입력 받아 문턱 전압을 결정하는 단계; 및

MODE 신호 선택부를 통해 상기 문턱 전압을 결정하기 위한 외부 MODE 신호를 선택하는 단계

를 포함하는 펄스 진폭 변조 수신기의 동작 방법.

청구항 6

제5항에 있어서,

상기 LSB 디코더를 통해 상기 샘플링된 데이터를 입력 받아 시간 기반 LSB를 결정하는 단계는,

상기 데이터 샘플러의 출력 지연과 상기 에리 샘플러의 출력 지연을 사용하여 LSB를 결정하는

펄스 진폭 변조 수신기의 동작 방법.

청구항 7

제5항에 있어서,

상기 문턱전압 적응부를 통해 상기 샘플링된 데이터 및 에리를 입력 받아 문턱 전압을 결정하는 단계는,

상기 에리 샘플러로부터 샘플링된 에리를 입력 받아 에리 레벨에 따라 상기 MODE 신호를 통해 문턱전압을 결정하고,

제1 상태(State1)에서 에리 샘플러의 출력이 0이면 에리 레벨을 형성하는 DAC의 비트가 1 LSB(Up) 증가하고, 연속으로 Up 신호가 발생하지 않으면 현재 비트의 값보다 1 LSB 작은 값을 레지스터에 저장하며,

제2 상태(State2)에서 에리 레벨이 중간 눈의 상단에 위치하면 에리 샘플러는 MSB가 1인 데이터에 대해 0을 출력하고, 에리 샘플러가 MSB가 1인 데이터에 대해 1을 출력하면 현재 비트에서 1 LSB(Down) 감소하며, 연속으로 Down 신호가 발생하지 않으면 현재 비트보다 1 LSB 큰 값이 레지스터에 저장되는

펄스 진폭 변조 수신기의 동작 방법.

청구항 8

제5항에 있어서,

상기 MODE 신호 선택부를 통해 상기 문턱 전압을 결정하기 위한 외부 MODE 신호를 선택하는 단계는,

듀얼 모드 기준 전압의 경우, 문턱전압의 공통 모드 전압 변화, AFE의 과도한 이득으로 인한 왜곡 및 데이터의 공통 모드 전압 변화를 포함하는 비이상성에 따라 외부 모드 신호를 선택하여 문턱전압 전압을 결정하도록 하는

펄스 진폭 변조 수신기의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 시간 기반 LSB 디코더를 사용한 듀얼 모드 임계 전압 적응을 갖춘 PAM-4 수신기 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 최근 5G 모바일 통신 기술의 성장으로 AI, 클라우드 서비스, 자율 주행과 같은 새로운 애플리케이션이 등장하며 고속 인터페이스에 대한 수요가 증가하였다. 그러나 와이어라인 애플리케이션(wireline application)의 경우, 데이터 속도가 증가함에 따라 채널 대역폭 제한이 증가하며 데이터 전송에 어려움이 발생한다.

- [0003] 고속으로 디지털 신호를 전송하기 위하여 다양한 방식이 이용되고 있다. 종래에는 바이너리 데이터를 전송하였지만, 고속으로 디지털 데이터를 전송하기 위하여 멀티레벨 PAM(Pulse Amplitude Modulation)이 제안되었다.
- [0004] 바이너리 PAM(PAM2)는 '0'과 '1'의 값을 가지는 바이너리 데이터 레벨을 가지는 신호로 변조한다. PAM2는 노이즈에는 강하지만, 데이터 전송 속도(data rate)를 높이는데 한계가 있다. PAM2의 한계를 극복하기 위하여 PAM4, PAM8 등이 제안되었다.
- [0005] PAM4는 '00', '01', '10', '11'의 데이터를 4개의 데이터 레벨을 가지는 신호로 변조한다. PAM8은 '000', '001', '010', '011', '100', '101', '110', '111'의 데이터를 8개의 데이터 레벨을 가지는 신호로 변조한다. PAM4 및 PAM8은 PAM2에 비해 각각 2배 및 3배의 속도로 데이터를 전송할 수 있다. 그러나, PAM4 및 PAM8은 PAM2에 비해 감쇠 및 노이즈에 취약하다. 따라서, 수신한 신호를 등화해주는 등화기가 필요하다.
- [0006] 종래 기술에 따른 PAM4 수신기는 CTLE(Continuous-Time Linear Equalizer), 샘플러, DEMUX 및 CDR(Clock-and-Data Recovery)을 포함한다.
- [0007] CTLE는 수신된 신호를 등화한다. CTLE는 기본적으로 차동 증폭 회로이며, 트랜지스터의 소스에 병렬로 연결된 커패시터와 저항을 포함한다. 커패시터의 커패시턴스에 따라 고주파 성분의 증폭 게인이 정해지며, 저항의 저항값에 따라 저주파 성분의 증폭 게인이 정해진다. 커패시터의 커패시턴스와 저항의 저항값은 수신된 신호의 감쇠 정도에 따라 조절될 수 있다.
- [0008] 샘플러는 CTLE의 출력 신호를 샘플링한다. CTLE의 출력 신호는 세 개의 가산기에 각각 입력되고, 가산기는 출력 신호와 문턱 전압과의 차를 각각 출력한다. 출력 신호와 문턱 전압과의 차는 플립-플롭에 입력된다. 플립-플롭은 출력 신호와 문턱 전압과의 차를 각각 클럭 신호의 라이징 에지(rising edge)에서 샘플링하여 신호로 출력한다.
- [0009] 플립-플롭은 출력 신호와 문턱 전압과의 차를 각각 클럭 신호의 라이징 에지에서 샘플링하여 신호로 출력한다. 플립-플롭은 출력 신호와 문턱 전압과의 차를 각각 클럭 신호의 라이징 에지에서 샘플링하여 신호로 출력한다.
- [0010] PAM4 수신기가 수신한 "송신된 데이터"는 디지털 신호이지만, 전송되는 과정에서 발생하는 고주파 성분의 감쇠로 인하여 수신된 신호는 온전한 디지털 신호가 아닌 왜곡을 포함한다. 따라서, 수신된 신호는 CTLE에 의한 등화가 필요하다. CTLE에 의해 등화된 신호는 신호로 출력되어 샘플러에 입력된다. 출력 신호는 수신된 신호의 고주파 성분이 보상된 신호이다.
- [0011] DEMUX는 샘플러의 출력 신호를 병렬화하여 데이터 신호를 출력한다. 구체적으로는, DEMUX는 신호를 소정의 클럭에 따라 병렬화하여 데이터 신호로 출력한다. 또한, DEMUX는 데이터 신호를 CDR에 제공한다.
- [0012] CDR은 샘플러에 샘플링 클럭 신호를 제공한다. 구체적으로는, CDR은 신호에 따라, 샘플링 클럭 신호의 타이밍 또는 위상을 조절한다. 종래 기술에 따른 PAM4 수신기는 저항과 커패시턴스를 조절하여 등화가 가능하지만, 이를 적응적으로 할 수 없어 수신된 데이터에 따라 적절한 등화가 이루어지지 않는다는 문제점이 있다.

선행기술문헌

비특허문헌

- [0013] (비특허문헌 0001) [1] G. Hou and B. Razavi, "A 56-Gb/s 8-mW PAM4 CDR/DMUX With High Jitter Tolerance," in IEEE Journal of Solid-State Circuits, vol. 57, no. 9, pp. 2856-2867, Sept. 2022.
- (비특허문헌 0002) [2] H. Park, J. Sim, Y. Choi, J. Choi, Y. Kwon and C. Kim, "A 56-Gb/s PAM-4 Receiver Using Time-Based LSB Decoder and S/H Technique for Robustness to Comparator Voltage Variations," in IEEE Journal of Solid-State Circuits, vol. 57, no. 2, pp. 562-572, Feb. 2022.

발명의 내용

해결하려는 과제

- [0014] 본 발명이 이루고자 하는 기술적 과제는 고속데이터를 전송하기 위해 시간 기반 LSB 디코더를 사용한 듀얼 모드 임계 전압 적응을 갖춘 PAM-4 수신기를 제공하는데 있다. 종래기술에서 제시된 시간 기반(Time-based) LSB 디코

더 방식에 듀얼 모드 문턱전압을 적용하며 데이터 결정을 위한 샘플러의 개수를 줄이면서도 샘플러의 전압 변동에 대한 견고성을 증가시키고자 한다.

과제의 해결 수단

- [0015] 일 측면에 있어서, 본 발명에서 제안하는 시간 기반 LSB 디코더를 사용한 듀얼 모드 임계 전압 적응을 갖춘 PAM-4 수신기는, 2-스테이지의 CTLE(Continuous Time Linear Equalization)와 감소된 게인을 보상하기 위한 VGA(Video Graphics Array), 데이터를 샘플링하기 위한 두 개의 데이터 샘플러, CDR 동작을 위한 예지 샘플러, 문턱전압 적응을 위한 예러 샘플러를 포함하는 샘플러부, 상기 데이터 샘플러로부터 데이터를 입력 받아 시간 기반 LSB를 결정하기 위한 LSB 디코더, 상기 데이터 샘플러로부터 샘플링된 데이터를 입력 받고, 상기 예러 샘플러로부터 예러를 입력 받아 문턱 전압을 결정하는 문턱전압 적응부 및 상기 문턱 전압을 결정하기 위한 외부 MODE 신호를 선택하는 MODE 신호 선택부를 포함한다.
- [0016] 상기 LSB 디코더는 상기 데이터 샘플러의 출력 지연과 상기 예러 샘플러의 출력 지연을 사용하여 LSB를 결정한다.
- [0017] 상기 문턱전압 적응부는 상기 예러 샘플러로부터 샘플링된 예러를 입력 받아 예러 레벨에 따라 상기 MODE 신호를 통해 문턱전압을 결정하고, 제1 상태(State1)에서 예러 샘플러의 출력이 0이면 예러 레벨을 형성하는 DAC의 비트가 1 LSB(Up) 증가하고, 연속으로 Up 신호가 발생하지 않으면 현재 비트의 값보다 1 LSB 작은 값을 레지스터에 저장하며, 제2 상태(State2)에서 예러 레벨이 중간 눈의 상단에 위치하면 예러 샘플러는 MSB가 1인 데이터에 대해 0을 출력하고, 예러 샘플러가 MSB가 1인 데이터에 대해 1을 출력하면 현재 비트에서 1 LSB(Down) 감소하며, 연속으로 Down 신호가 발생하지 않으면 현재 비트보다 1 LSB 큰 값이 레지스터에 저장된다.
- [0018] 상기 MODE 신호 선택부는 듀얼 모드 기준 전압의 경우, 문턱전압의 공통 모드 전압 변화, AFE의 과도한 이득으로 인한 왜곡 및 데이터의 공통 모드 전압 변화를 포함하는 비이상성에 따라 외부 모드 신호를 선택하여 문턱전압 전압을 결정하도록 한다.
- [0019] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 시간 기반 LSB 디코더를 사용한 듀얼 모드 임계 전압 적응을 갖춘 PAM-4 수신기의 동작 방법은 2-스테이지의 CTLE(Continuous Time Linear Equalization)와 VGA(Video Graphics Array)를 통해 감소된 게인을 보상하는 단계, 샘플링부를 통해 데이터를 샘플링하고, CDR 동작을 위한 예지를 샘플링하고, 문턱전압 적응을 위한 예러를 샘플링하는 단계, LSB 디코더를 통해 상기 샘플링된 데이터를 입력 받아 시간 기반 LSB를 결정하는 단계, 문턱전압 적응부를 통해 상기 샘플링된 데이터 및 예러를 입력 받아 문턱 전압을 결정하는 단계 및 MODE 신호 선택부를 통해 상기 문턱 전압을 결정하기 위한 외부 MODE 신호를 선택하는 단계를 포함한다.

발명의 효과

- [0020] 본 발명의 실시예들에 따르면 시간 기반 LSB 디코더를 사용한 듀얼 모드 임계 전압 적응을 갖춘 PAM-4 수신기를 통해 고속데이터를 전송할 수 있다. 종래기술에서 제시된 시간 기반(Time-based) LSB 디코더 방식에 듀얼 모드 문턱전압을 적용하며 데이터 결정을 위한 샘플러의 개수를 줄이면서도 샘플러의 전압 변동에 대한 견고성을 증가시킬 수 있다. 또한, 문턱전압알고리즘을 함께 제시하여 랜덤 데이터(random data)를 기반으로 2개의 데이터 레벨만을 찾기 때문에 적응 시간(adaptation time)의 감소, 전력 소모(power consumption) 감소가 가능하다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 일 실시예에 따른 시간 기반 LSB 디코더를 사용한 듀얼 모드 임계 전압 적응을 갖춘 PAM-4 수신기의 구조를 나타내는 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 시간 기반 LSB 디코더를 사용한 듀얼 모드 임계 전압 적응을 갖춘 PAM-4 수신기의 동작 방법을 설명하기 위한 흐름도이다.
- 도 3은 본 발명의 일 실시예에 따른 PAM-4 시그널링에 따른 전압차를 나타내는 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 문턱전압을 이용하는 샘플러의 지연을 설명하기 위한 도면이다.
- 도 5는 본 발명의 일 실시예에 따른 문턱전압 적응 과정을 설명하기 위한 도면이다.
- 도 6은 본 발명의 일 실시예에 따른 데이터의 공통 모드 전압 변화에 따른 LSB 회로도 시뮬레이션의 비트 오류

율을 나타내는 도면이다.

도 7은 본 발명의 일 실시예에 따른 임계값의 공통 모드 전압 변화를 사용한 LSB 회로도 시뮬레이션의 비트 오류율을 나타내는 도면이다.

도 8은 본 발명의 일 실시예에 따른 AFE의 과도한 이득을 유발하는 RLM 왜곡이 있는 LSB 회로도 시뮬레이션의 비트 오류율을 나타내는 도면이다.

도 9는 본 발명의 일 실시예에 따른 임계 전압 적응 과정을 설명하기 위한 타이밍도이다.

도 10은 본 발명의 일 실시예에 따른 AFE 이후의 단일 중단형 아이 다이어그램이다.

도 11은 본 발명의 일 실시예에 따른 20 μ s에 걸쳐 수행된 임계 전압 적응 시뮬레이션 결과를 나타내는 도면이다.

도 12는 본 발명의 일 실시예에 따른 문턱전압 적응시간의 히스토그램을 나타내는 도면이다.

도 13은 본 발명의 일 실시예에 따른 수신기의 전력 소비를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0024] 도 1은 본 발명의 일 실시예에 따른 시간 기반 LSB 디코더를 사용한 듀얼 모드 임계 전압 적응을 갖춘 PAM-4 수신기의 구조를 나타내는 도면이다.
- [0025] 본 발명의 실시예에 따른 PAM-4 수신기의 전체 구조에서, AFE(Analog Front End)은 2 스테이지의 CTLE와 감소된 이득을 보상하기 위한 VGA(110), 샘플러부(120), LSB 디코더(130), 문턱전압 적응부(140) 및 MODE 신호 선택부(150)를 포함한다.
- [0026] 본 발명의 실시예에 따른 샘플러부(120)는 하나의 슬라이스에서 데이터 결정을 위한 두 개의 데이터 샘플러(121, 122), CDR 동작을 위한 하나의 에지 샘플러(123), 문턱전압 적응을 위한 하나의 에러 샘플러(124)를 포함한다.
- [0027] 본 발명의 실시예에 따른 LSB 디코더(130)는 데이터 샘플러로부터 데이터를 입력 받아 LSB 결정을 위해 문턱전압[REF_P, REF_N]은 외부 MODE 신호에 의해 결정된다.
- [0028] 본 발명의 실시예에 따른 문턱전압 적응부(140)의 문턱전압 적응은 MSB 값과 에러 샘플러(124)의 출력을 통해 진행된다.
- [0029] 본 발명의 실시예에 따른 MODE 신호 선택부(150)는 MODE 신호를 선택하기 위해 AFE 마지막 스테이지에서 생성된 V_{DCM}과 문턱전압 적응 통한 데이터 레벨을 외부에서 관찰하여 결정된다.
- [0030] 본 발명의 실시예에 따른 시간 기반 LSB 디코더(130)의 경우, 데이터 입력을 갖는 샘플러의 출력 지연과 문턱전압 입력을 갖는 샘플러의 출력 지연을 사용하여 LSB를 결정한다. 그리고 샘플러의 지연에는, 입력 진폭과 샘플러의 지연은 반비례 관계이고, 입력 공통 모드 전압과 샘플러의 지연은 반비례 관계인 특징이 있다.
- [0032] 도 2는 본 발명의 일 실시예에 따른 시간 기반 LSB 디코더를 사용한 듀얼 모드 임계 전압 적응을 갖춘 PAM-4 수신기의 동작 방법을 설명하기 위한 흐름도이다.
- [0033] 본 발명의 일 실시예에 따른 시간 기반 LSB 디코더를 사용한 듀얼 모드 임계 전압 적응을 갖춘 PAM-4 수신기의 동작 방법은 2-스테이지의 CTLE(Continuous Time Linear Equalization)와 VGA(Video Graphics Array)를 통해 감소된 게인을 보상하는 단계(210), 샘플링부를 통해 데이터를 샘플링하고, CDR 동작을 위한 에지를 샘플링하고, 문턱전압 적응을 위한 에러를 샘플링하는 단계(220), LSB 디코더를 통해 상기 샘플링된 데이터를 입력 받아 시간 기반 LSB를 결정하는 단계(230), 문턱전압 적응부를 통해 상기 샘플링된 데이터 및 에러를 입력 받아 문턱 전압을 결정하는 단계(240) 및 MODE 신호 선택부를 통해 상기 문턱 전압을 결정하기 위한 외부 MODE 신호를 선택하는 단계(250)를 포함한다.
- [0034] 단계(210)에서, 2-스테이지의 CTLE(Continuous Time Linear Equalization)와 VGA(Video Graphics Array)를 통해 감소된 게인을 보상한다.

- [0035] 단계(220)에서, 샘플링부를 통해 데이터를 샘플링하고, CDR 동작을 위한 에지를 샘플링하고, 문턱전압 적응을 위한 에러를 샘플링한다.
- [0036] 본 발명의 실시예에 따른 샘플러부는 하나의 슬라이스에서 데이터 결정을 위한 두 개의 데이터 샘플러, CDR 동작을 위한 하나의 에지 샘플러, 문턱전압 적응을 위한 하나의 에러 샘플러를 포함한다.
- [0037] 단계(230)에서, LSB 디코더를 통해 상기 샘플링된 데이터를 입력 받아 시간 기반 LSB를 결정한다.
- [0038] 본 발명의 실시예에 따르면, 상기 데이터 샘플러의 출력 지연과 상기 에러 샘플러의 출력 지연을 사용하여 LSB를 결정한다.
- [0039] 단계(240)에서, 문턱전압 적응부를 통해 상기 샘플링된 데이터 및 에러를 입력 받아 문턱 전압을 결정한다.
- [0040] 본 발명의 실시예에 따르면, 상기 에러 샘플러로부터 샘플링된 에러를 입력 받아 에러 레벨에 따라 상기 MODE 신호를 통해 문턱전압을 결정한다.
- [0041] 본 발명의 실시예에 따르면, 제1 상태(State1)에서 에러 샘플러의 출력이 0이면 에러 레벨을 형성하는 DAC의 비트가 1 LSB(Up) 증가하고, 연속으로 Up 신호가 발생하지 않으면 현재 비트의 값보다 1 LSB 작은 값을 레지스터에 저장한다.
- [0042] 본 발명의 실시예에 따르면, 제2 상태(State2)에서 에러 레벨이 중간 눈의 상단에 위치하면 에러 샘플러는 MSB가 1인 데이터에 대해 0을 출력하고, 에러 샘플러가 MSB가 1인 데이터에 대해 1을 출력하면 현재 비트에서 1 LSB(Down) 감소하며, 연속으로 Down 신호가 발생하지 않으면 현재 비트보다 1 LSB 큰 값이 레지스터에 저장된다.
- [0043] 단계(250)에서, 상기 MODE 신호 선택부를 통해 상기 문턱 전압을 결정하기 위한 외부 MODE 신호를 선택한다.
- [0044] 본 발명의 실시예에 따르면, 듀얼 모드 기준 전압의 경우, 문턱전압의 공통 모드 전압 변화, AFE의 과도한 이득으로 인한 왜곡 및 데이터의 공통 모드 전압 변화를 포함하는 비이상성에 따라 외부 모드 신호를 선택하여 문턱 전압 전압을 결정하도록 한다.
- [0046] 도 3은 본 발명의 일 실시예에 따른 PAM-4 시그널링에 따른 전압차를 나타내는 도면이다.
- [0047] 도 3과 같이 PAM-4 신호의 눈높이가 1X의 크기로 일정한 경우, LSB=0일 때는 데이터의 전압 크기는 3X, LSB가 1일 때에는 데이터의 전압크기 1X를 갖는다. 문턱전압 $[REF_P, REF_N]$ 를 $[TH_P, TH_N]$ 즉, PAM-4 신호의 탑 아이(Top eye)의 중앙과 바텀 아이(bottom eye)의 중앙으로 설정하는 일반적인 경우 전압 크기는 2X이고 데이터의 공통모드 전압과 문턱전압의 공통모드 전압이 일치하는 특성을 갖는다.
- [0048] 본 발명의 실시예에 따른 아이디어의 경우, 문턱전압을 데이터 레벨로 설정한다. Mode 신호를 통해 문턱전압 $[REF_P, REF_N]$ 를 $[D_{LEV3}, D_{LEV1}]$ 또는 $[D_{LEV2}, D_{LEV0}]$ 중에 선택한다. 이 경우, 기존 문턱전압 $[TH_P, TH_N]$ 과 같이 동일한 전압크기 2X의 값을 갖는다. 그러나, 문턱전압을 $[D_{LEV3}, D_{LEV1}]$ 으로 적용하는 경우, 데이터의 공통모드 전압보다 높은 공통모드 전압을 갖는다. $[D_{LEV2}, D_{LEV0}]$ 의 경우, 데이터의 공통 모드 전압보다 낮은 공통모드 전압을 갖는 특성을 갖는다.
- [0050] 도 4는 본 발명의 일 실시예에 따른 문턱전압을 이용하는 샘플러의 지연을 설명하기 위한 도면이다.
- [0051] 본 발명의 실시예에 따른 샘플러의 지연은 입력 진폭에 대해 선형적이지 않으므로 도 4(a)와 같이 $[REF_P, REF_N]$ 을 $[TH_P, TH_N]$ 에 적용하면 샘플러의 지연이 3X와 1X의 딜레이의 중간보다 빠르다.
- [0052] $[REF_P, REF_N]$ 이 $[D_{LEV3}, D_{LEV1}]$ 인 경우 문턱전압의 공통 모드 전압이 증가하여 샘플러의 지연이 더 작아진다. 따라서 도 4(b)와 같이 샘플러의 지연은 $[TH_P, TH_N]$ 의 경우보다 상대적으로 왼쪽에 있다. $[REF_P, REF_N]$ 이 $[D_{LEV2}, D_{LEV0}]$ 인 경우, 문턱전압의 공통 모드 전압이 감소하고 샘플러의 지연이 증가한다. 도 4(b)와 같이 샘플러의 지연은 $[TH_P, TH_N]$ 의 경우 상대적으로 우측에 위치한다.
- [0054] 도 5는 본 발명의 일 실시예에 따른 문턱전압 적응 과정을 설명하기 위한 도면이다.
- [0055] 도 5는 문턱전압 적응 과정 알고리즘이다. 7비트 DAC의 출력을 통해 $Error_{LEV}$ 와 $Error_{B_{LEV}}$ 가 대칭적으로

형성된다. 초기 $Error_{LEV}$ 는 데이터의 공통 모드 전압에서 시작한다. State1(510)에서 모든 데이터의 상단을 찾는다. 에러 샘플러의 입력 $Error_{LEV}$ 가 모든 데이터의 맨 위에 있으면 에러 샘플러의 출력은 모든 데이터에 대해 1이다(520). 따라서 에러 샘플러의 출력이 0이면 에러레벨을 형성하는 DAC의 비트가 1 LSB(Up) 증가한다. 512개의 데이터 샘플 연속으로 Up 신호가 발생하지 않으면 현재 비트의 값보다 1 LSB 작은 값을 레지스터 (D_{LEV3})에 저장한다. $Error_{LEV}$ 는 대칭적으로 움직이므로 현재 (D_{LEV0})에 위치한다. State2(530)에서 $Error_{LEV}$ 는 가운데 눈의 상단을 찾는다. $Error_{LEV}$ 가 중간 눈의 상단에 위치하면 에러 샘플러는 MSB가 1인 데이터에 대해 0을 출력한다. 따라서 에러 샘플러가 MSB가 1인 데이터에 대해 1을 출력하면 현재 비트에서 1 LSB(Down) 감소한다(540). 마지막으로 512개의 데이터 샘플에서 연속으로 Down 신호가 발생하지 않을 때, 현재 비트보다 1 LSB 큰 값이 레지스터에 D_{LEV2} 로 저장된다. $Error_{LEV}$ 와 $Error_{B_{LEV}}$ 는 대칭적으로 이동하므로 $Error_{B_{LEV}}$ 는 D_{LEV1} 에 위치한다. 레지스터에 저장된 비트 값은 DAC로 전송되어 문턱전압을 형성한다. 첫 번째 문턱전압 적응을 완료한 후 다시 State1(510)로 들어가 연속적인 문턱전압적응이 수행된다.

[0056] 본 발명의 실시예에 따른 모드 신호 선택은 듀얼 모드 기준 전압의 경우, 어떤 비이상성이 우세한지에 따라 외부 모드 신호를 통해 기준 전압을 [D_{LEV3} , D_{LEV1}] 또는 [D_{LEV2} , D_{LEV0}]으로 선택한다. 제안된 아이디어에는 문턱전압의 공통 모드 전압 변화, AFE의 과도한 이득으로 인한 RLM 왜곡 및 데이터의 공통 모드 전압 변화라는 세 가지 주요 비이상성이 있다. AFE의 과도한 이득으로 인한 RLM 왜곡과 문턱전압의 공통 모드 전압 변화의 경우 문턱전압 적응 전후의 데이터 레벨을 통해 확인 가능하다. 데이터의 공통 모드 전압 변화는 저항 분배기에 의해 생성된 AFE의 최종 스테이지 전압인 V_{DCM} 으로 관찰할 수 있다. 이를 통해 어떤 비이상성이 우세한지 외부에서 결정할 수 있으며, 궁극적으로 문턱전압은 모드 신호를 통해 선택한다.

[0058] 도 6은 본 발명의 일 실시예에 따른 데이터의 공통 모드 전압 변화에 따른 LSB 회로도 시뮬레이션의 비트 오류율을 나타내는 도면이다.

[0059] 본 발명의 실시예에 따른 듀얼 모드 문턱전압을 적응을 통해 샘플러의 전압 변동에 대한 견고성 검증을 진행하기 위해 전압 비이상성 환경에서 각 문턱전압에 따른 비트 오류율 시뮬레이션을 진행하였다. 또한 문턱전압적응의 적응 시간과 전력 효율을 검증하기 위해 20-Gb/s 데이터 비율을 타겟으로 하는 수신기로 65nm CMOS 공정에서 설계되었다. 문턱전압에 따른 BER 시뮬레이션을 위한 테스트 설정은 다음과 같다.

[0060] 입력 데이터는 jitterrms가 1.2ps인 (PRBS)-7 이며 데이터의 공통 모드 전압은 850mV, 데이터의 진폭은 0.2V으로 설정하였다. 문턱전압은 RLM이 1일 때를 기준으로 설정하였다. 제시된 전압 비이상성은 세 가지이다. 첫째, 데이터의 공통모드전압이 증가하는 경우이다. 도 6과 같이 샘플러의 딜레이가 가장 중앙에 위치한 문턱전압 [D_{LEV2} , D_{LEV0}]가 가장 우수한 BER 성능을 갖는다.

[0062] 도 7은 본 발명의 일 실시예에 따른 임계값의 공통 모드 전압 변화를 사용한 LSB 회로도 시뮬레이션의 비트 오류율을 나타내는 도면이다.

[0063] 제시된 전압 비이상성의 두 번째는 도 7에 도시된 바와 같이 문턱전압의 공통모드전압이 증가하는 경우, 가장 작은 딜레이를 갖는 문턱전압 [D_{LEV3} , D_{LEV1}]이 가장 우수한 BER 성능을 보인다.

[0065] 도 8은 본 발명의 일 실시예에 따른 AFE의 과도한 이득을 유발하는 RLM 왜곡이 있는 LSB 회로도 시뮬레이션의 비트 오류율을 나타내는 도면이다.

[0066] 제시된 전압 비이상성의 세 번째는 도 8에 도시된 바와 같이 AFE에 과도한 이득에 의해 발생하는 RLM 왜곡 상황에서 가장 작은 지연을 갖는 [D_{LEV3} , D_{LEV1}]이 가장 우수한 BER 성능을 갖는다. 따라서, 듀얼 모드 문턱전압을 통해 샘플러의 지연 특성을 활용하여 전압 비이상성 환경에서 가장 우수한 BER 성능을 갖는 문턱전압 적응이 가능하다.

[0068] 도 9는 본 발명의 일 실시예에 따른 임계 전압 적응 과정을 설명하기 위한 타이밍도이다.

[0069] 도 9를 참조하면, 적응이 시작되기 전, $Error_{LEV}$ 및 데이터 레벨은 데이터의 공통 모드 전압에 위치한다. 적응이 진행됨에 따라 상태 1에서 $Error_{LEV}$ 는 모든 데이터 중 가장 높은 지점을 검색하고 512개 연속 데이터에 대해 Up 신호가 발생하지 않으면 State1이 종료된다. State2에서 $Error_{LEV}$ 는 중간 눈의 상단을 찾는다. 512개의 연속된 데이터에서 Down 신호가 발생하지 않으면 State2가 종료되며 첫 번째 적응이 완료된다. 이 후, State1로 다시

진입하여 지속적인 문턱전압 적응을 수행한다.

- [0071] 도 10은 본 발명의 일 실시예에 따른 AFE 이후의 단일 종단형 아이 다이어그램이다.
- [0072] 도 10을 참조하면, 20Gb/s의 데이터 비율을 갖는 PRBS-31 데이터가 AFE를 통과한 단일 종단 아이 다이어그램이다. 각 아이 사이의 간격은 약 50mV이며, 문턱전압을 형성하는 데 사용되는 DAC의 분해능은 1LSB당 약 4mV이다.
- [0074] 도 11은 본 발명의 일 실시예에 따른 20 μ s에 걸쳐 수행된 임계 전압 적응 시뮬레이션 결과를 나타내는 도면이다.
- [0075] 도 11을 참조하면, 문턱전압 적응 시뮬레이션은 약 20us 동안 1 LSB의 변동을 갖는다. 시뮬레이션 동안 적응은 29회 수행되었으며 최소 적응 시간은 540ns, 최대 적응 시간은 868ns가 소요되었다.
- [0077] 도 12는 본 발명의 일 실시예에 따른 문턱전압 적응시간의 히스토그램을 나타내는 도면이다.
- [0078] 도 12를 참조하면, PRBS31 데이터에서 싱글-엔드(single-ended) 데이터의 아이-높이(eye-height)가 50mV(차등 데이터(differential data)의 경우 100mV)이고, 문턱전압을 형성하는 DAC의 1-LSB 값이 4mV인 환경에서 10,000회 문턱전압적응을 수행하였을 때의 시간과 빈도 수에 관한 히스토그램이다. 제한하는 문턱전압 적응 알고리즘의 경우, 랜덤 데이터를 기반으로 동작되기 때문에 적응 시간도 가우시안 분포를 갖는다. 평균적인 적응 시간은 약 705ns를 갖는 것을 확인하였다.
- [0080] 도 13은 본 발명의 일 실시예에 따른 수신기의 전력 소비를 나타내는 도면이다.
- [0081] 본 발명의 실시예에 따른 20Gb/s용 PAM-4 수신기는 65nm CMOS 공정에 서 29mW를 소비한다. 도 13를 참조하면, 각 블록별 소비 전력의 경우, AFE, CDR, 샘플러 및 적응형 문턱전압 블록은 각각 11.44mW, 11.79mW, 1.73mW 및 3.96mW를 소비한다.
- [0082] 이와 같이 본 발명의 실시예에 따르면, 시간 기반 LSB 디코더를 사용하여 듀얼 모드 문턱전압을 갖는 20Gb/s PAM-4 수신기를 제한함으로써 적절한 문턱전압 선택을 통해 샘플러 전압 변화 환경에 대한 견고성을 증가시켰다. 또한, 하나의 에러 샘플러를 이용한 랜덤 데이터 기반 문턱전압 적응을 제시하여, 4개의 데이터 레벨을 찾는 다른 문턱전압 적응 방식에 비해 2개의 데이터 레벨을 찾아 적응 시간을 단축할 수 있다. 데이터 결정을 위한 2개의 데이터 샘플러, CDR 동작을 위한 1개의 에지 샘플러, 문턱전압적응을 위한 1개의 에러 샘플러 등 1개의 슬라이스에 4개의 샘플러가 적용되며 일반적인 PAM-4 수신기에 비해 샘플러 수를 절반으로 줄여 하드웨어 복잡도를 감소시킬 수 있다.
- [0084] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 컨트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 컨트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0085] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.
- [0086] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등

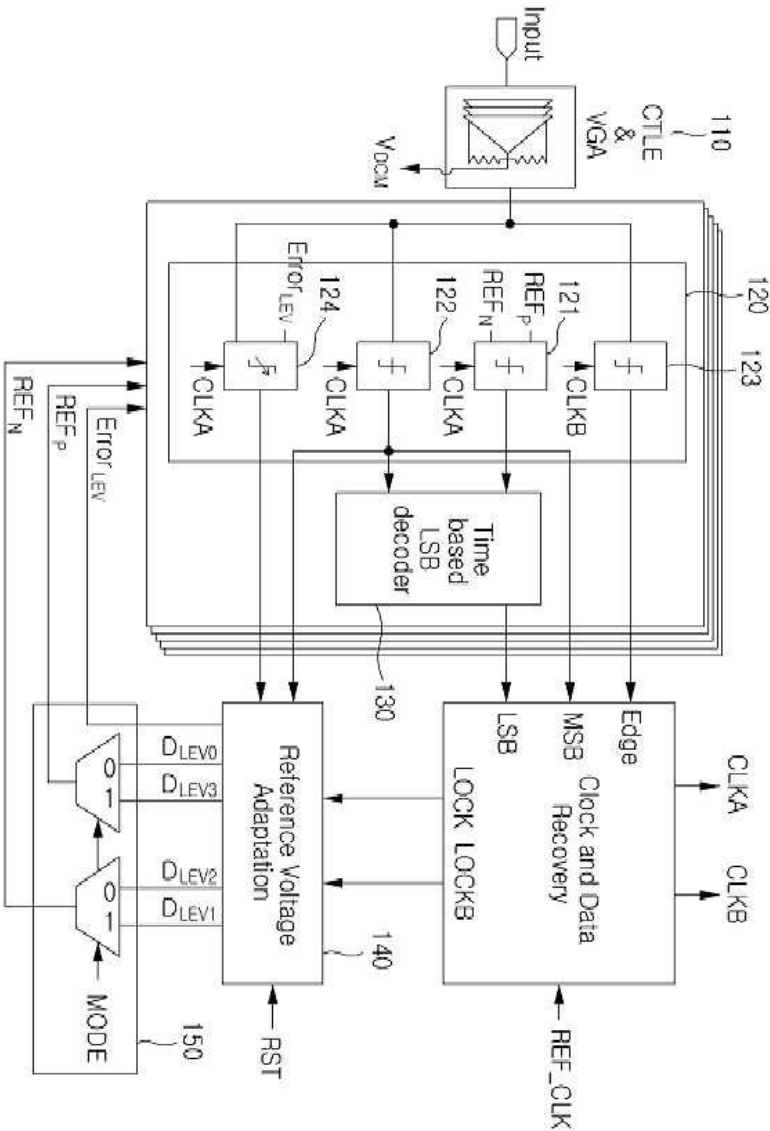
을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.

[0087] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

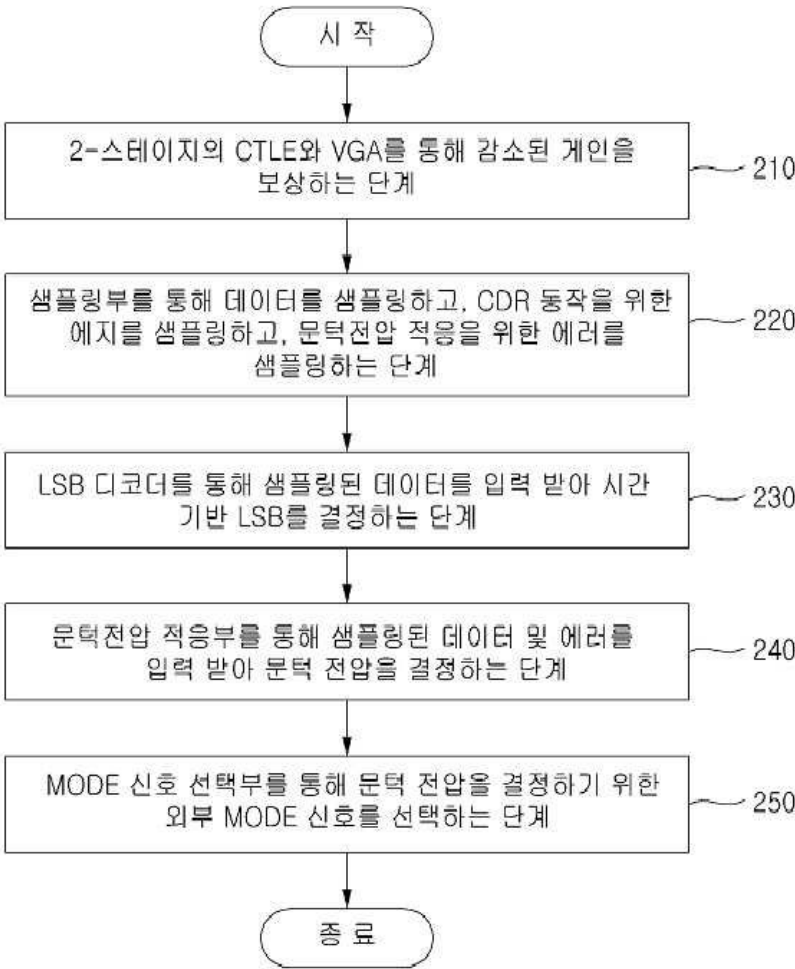
[0088] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

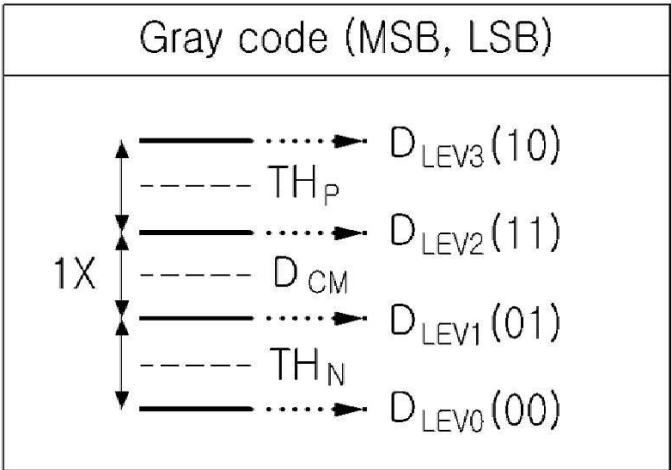
도면1



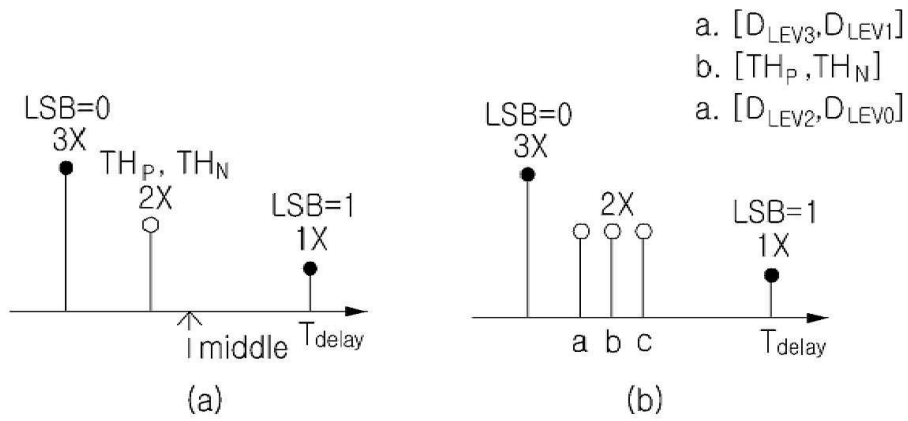
도면2



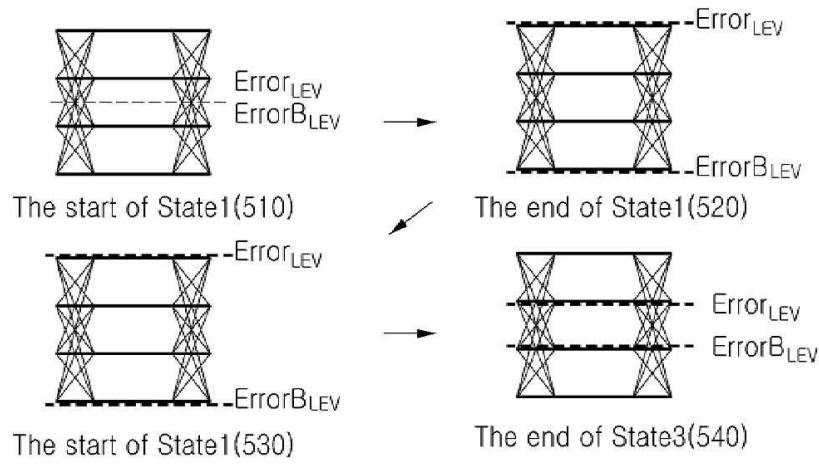
도면3



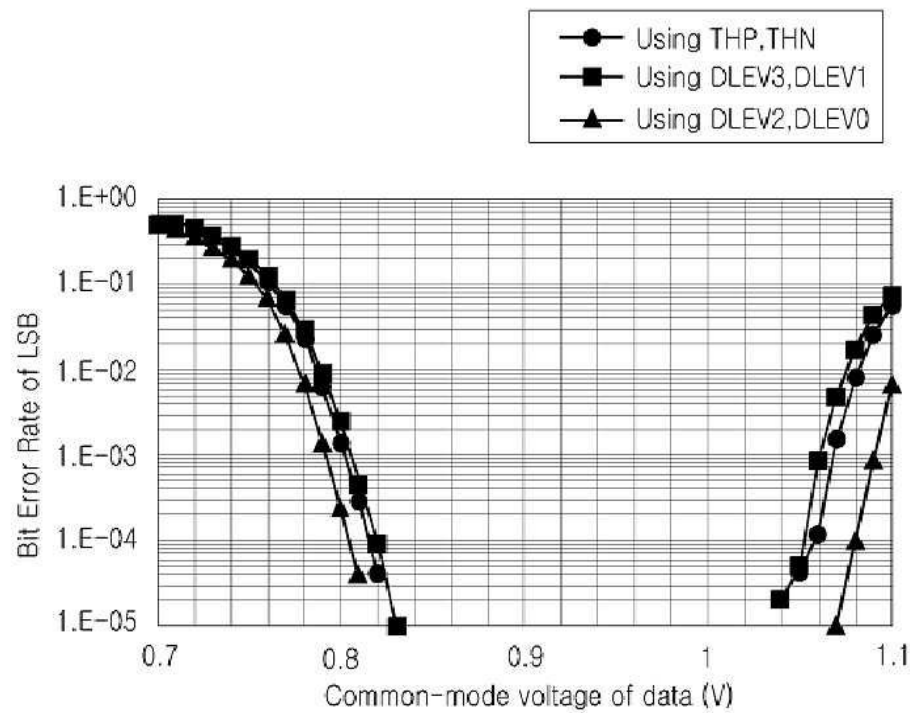
도면4



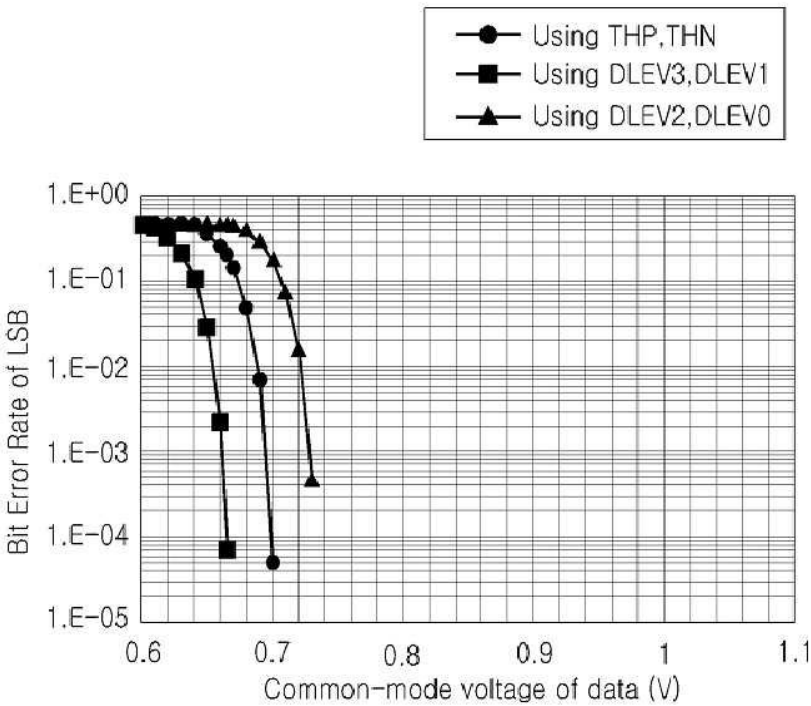
도면5



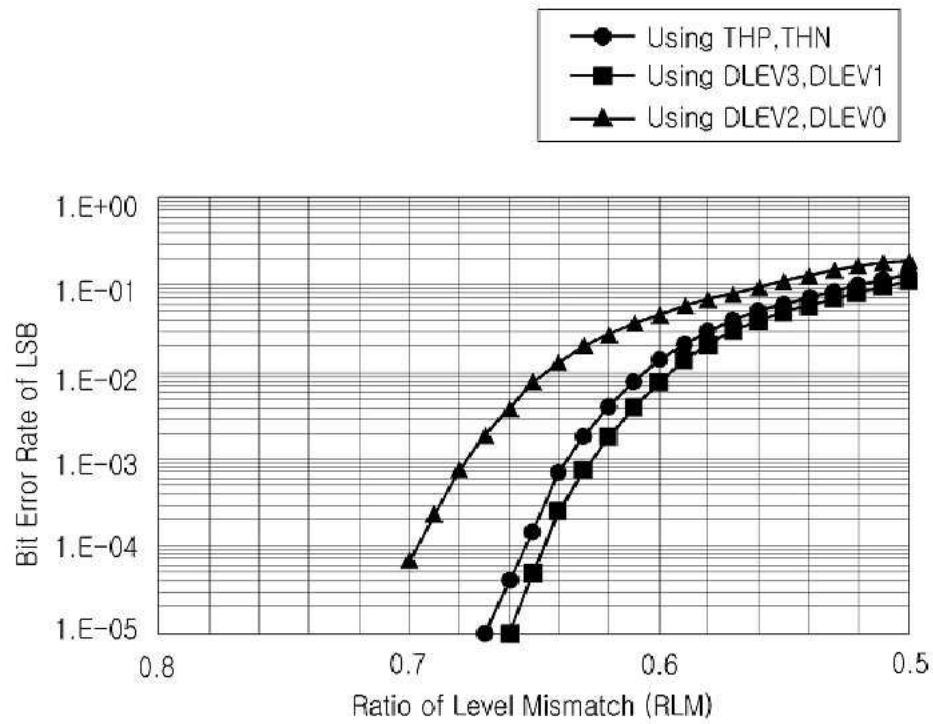
도면6



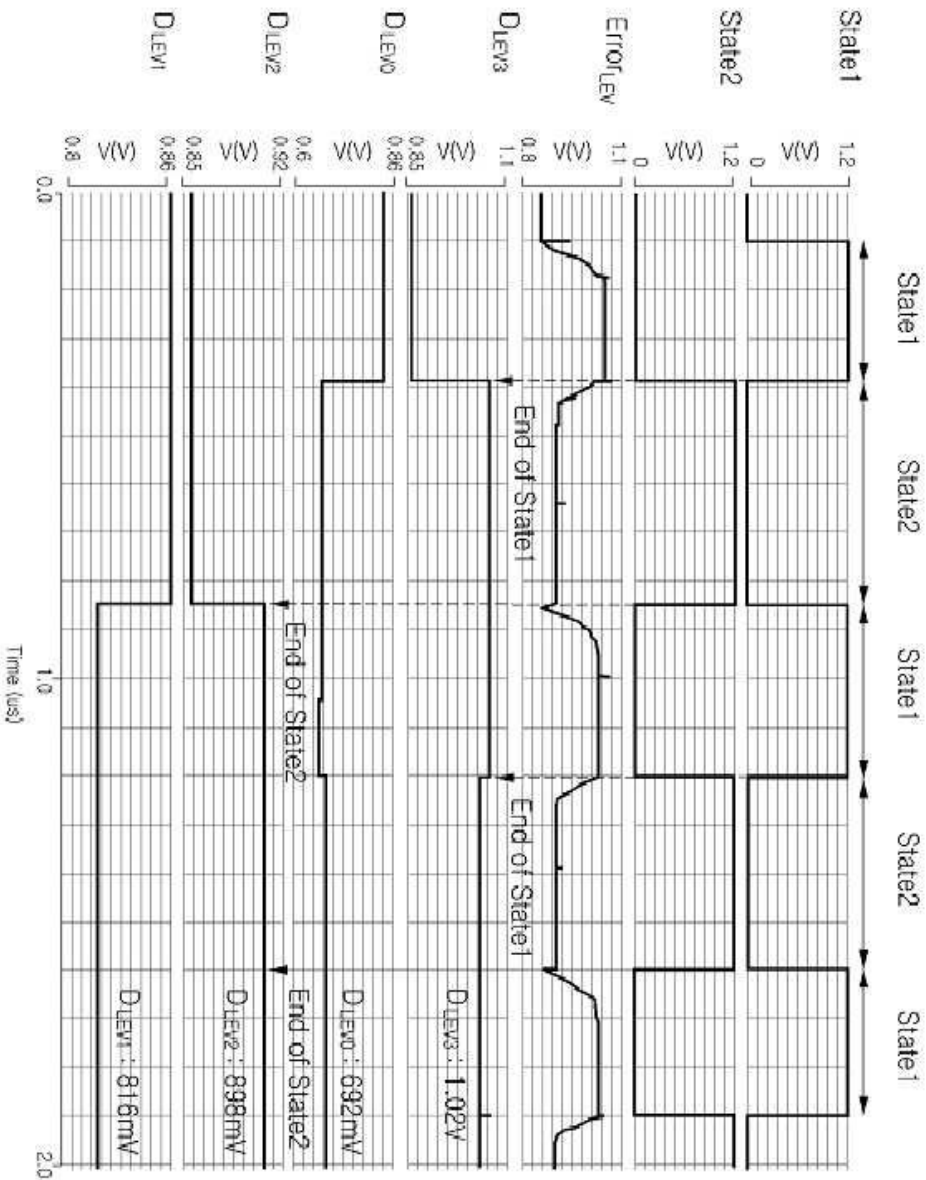
도면7



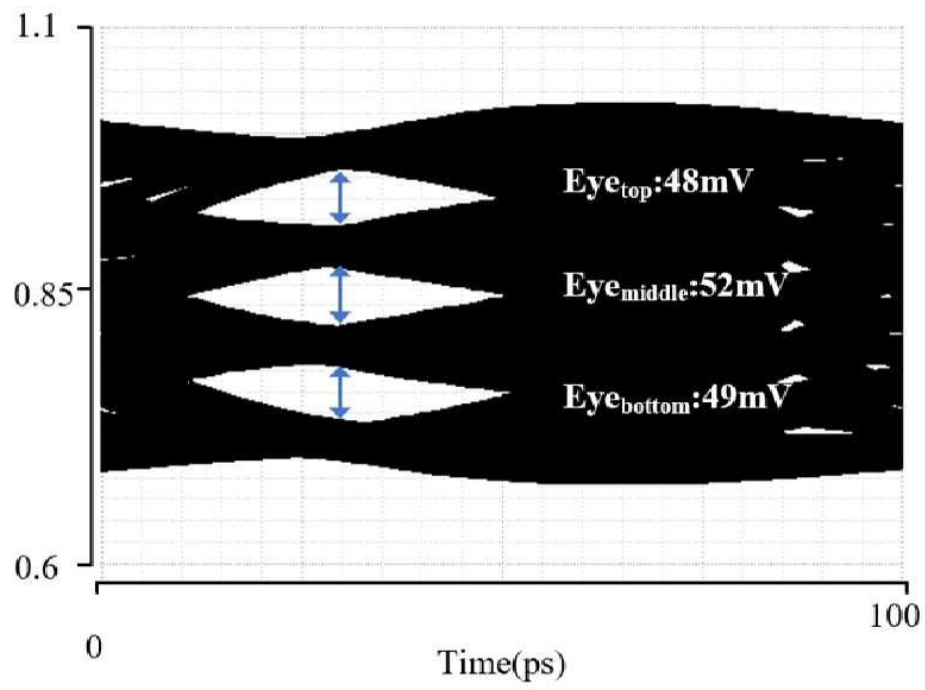
도면8



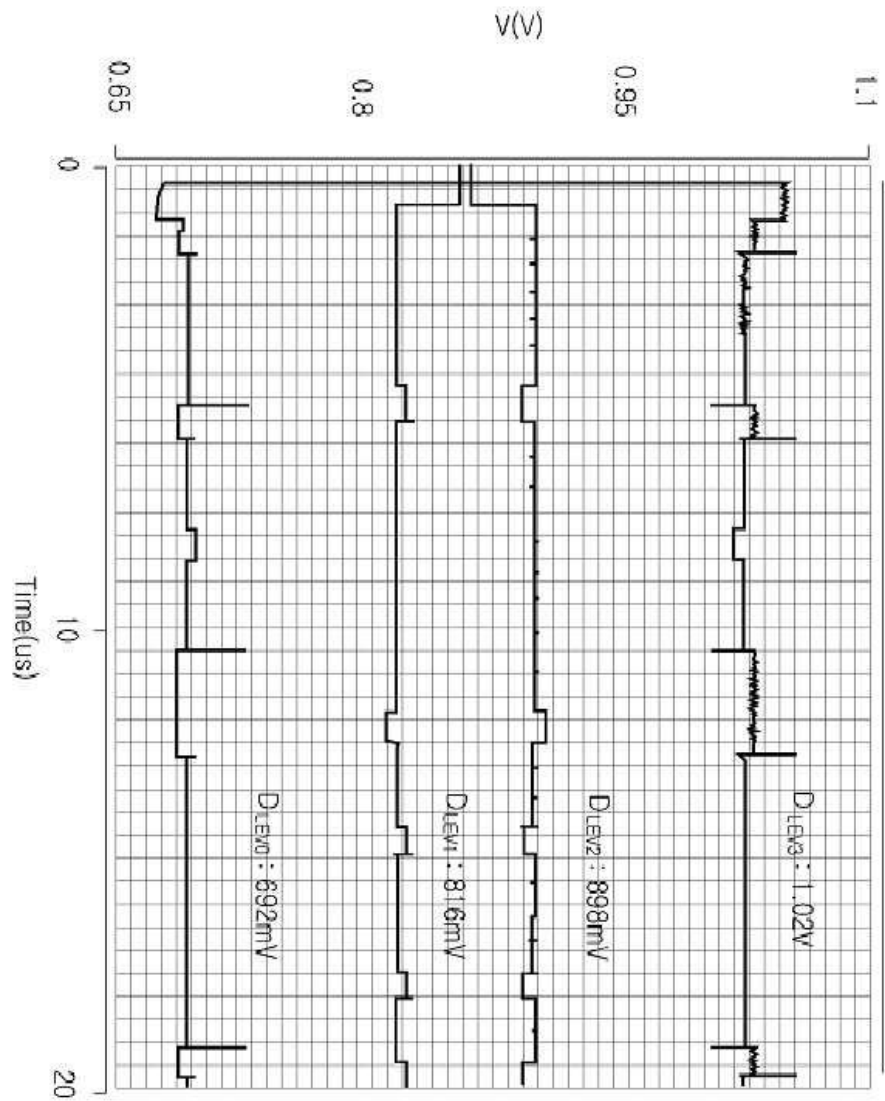
도면9



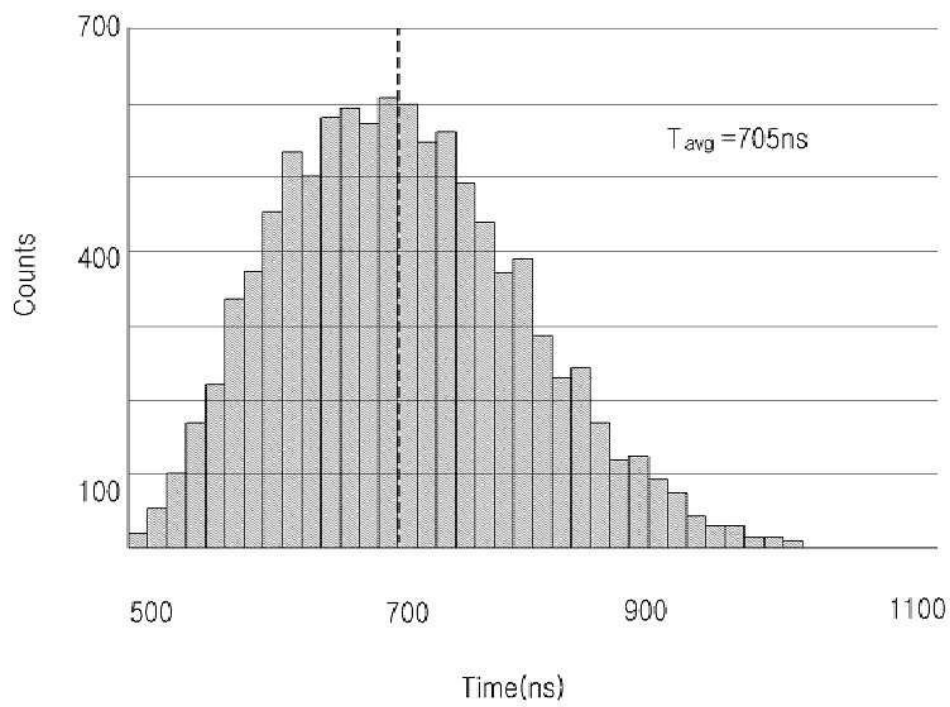
도면10



도면11



도면12



도면13

