

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-183686

(P2005-183686A)

(43) 公開日 平成17年7月7日(2005.7.7)

(51) Int. Cl.⁷

F I

テーマコード (参考)

H O 1 L 21/822

H O 1 L 27/04

P

5 F O 3 2

H O 1 L 21/76

H O 1 L 27/08

3 3 1 A

5 F O 3 8

H O 1 L 21/762

H O 1 L 27/08

3 3 1 E

5 F O 4 8

H O 1 L 21/8234

H O 1 L 29/78

6 2 1

5 F 1 1 0

H O 1 L 27/04

H O 1 L 29/78

6 1 3 Z

審査請求 未請求 請求項の数 12 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2003-422762 (P2003-422762)

(22) 出願日 平成15年12月19日 (2003.12.19)

(71) 出願人 503121103

株式会社ルネサステクノロジ

東京都千代田区丸の内二丁目4番1号

(74) 代理人 100089233

弁理士 吉田 茂明

(74) 代理人 100088672

弁理士 吉竹 英俊

(74) 代理人 100088845

弁理士 有田 貴弘

(72) 発明者 岩松 俊明

東京都千代田区丸の内二丁目4番1号 株

式会社ルネサステクノロジ内

(72) 発明者 一法師 隆志

東京都千代田区丸の内二丁目4番1号 株

式会社ルネサステクノロジ内

最終頁に続く

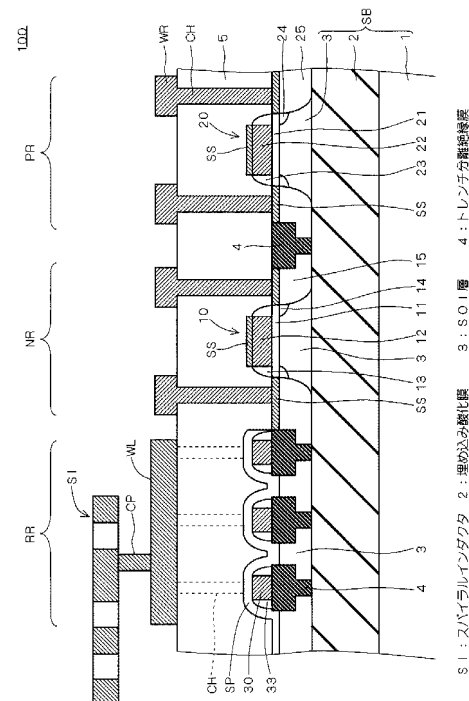
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】ディッシングの発生を防止するとともに、抵抗素子の寄生容量を低減して高性能な回路動作を実現したSOIデバイスを提供する。

【解決手段】抵抗領域RRにおいては、スパイラルインダクタSIの配設領域に対応するSOI層3の表面内にトレンチ分離絶縁膜4がSOI層3を間に挟んで複数配設され、各トレンチ分離絶縁膜4上に抵抗素子30がそれぞれ配設されている。トレンチ分離絶縁膜4は、中央部分においてはSOI層3を貫通して埋め込み酸化膜2に達して完全分離構造となり、両端縁部においては、その下部にSOI層3を有して部分分離構造となった併合分離構造を有している。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

土台となる基板部、該基板部上に配設された埋め込み酸化膜、および該埋め込み酸化膜上に配設されたＳＯＩ層を有するＳＯＩ基板と、

前記ＳＯＩ基板の上方に配設されたインダクタンス素子と、

前記インダクタンス素子の下部に相当する第１の領域の前記ＳＯＩ層の主面内に、間に前記ＳＯＩ層を挟んで配設された複数の第１の素子分離絶縁膜と、

前記第１の領域の前記複数の第１の素子分離絶縁膜上にそれぞれ配設された、複数の抵抗素子と、を備え、

前記複数の第１の素子分離絶縁膜のそれぞれは、少なくとも一部分が前記ＳＯＩ層を貫通して前記埋め込み酸化膜に達する完全分離構造をなす、半導体装置。 10

【請求項 2】

土台となる基板部、該基板部上に配設された埋め込み酸化膜、および該埋め込み酸化膜上に配設されたＳＯＩ層を有するＳＯＩ基板と、

前記ＳＯＩ基板の上方に配設されたインダクタンス素子と、

前記インダクタンス素子の下部に相当する第１の領域の前記ＳＯＩ層の主面内に、間に前記ＳＯＩ層を挟んで配設された複数の第１の素子分離絶縁膜と、

前記複数の第１の素子分離絶縁膜の間の前記ＳＯＩ層上に、それぞれ絶縁膜を介して配設された、複数の抵抗素子と、を備え、

前記複数の第１の素子分離絶縁膜のそれぞれは、少なくとも一部分が前記ＳＯＩ層を貫通して前記埋め込み酸化膜に達する完全分離構造をなす、半導体装置。 20

【請求項 3】

前記複数の第１の素子分離絶縁膜のそれぞれは、その断面形状において、中央部分は前記完全分離構造をなし、両端部分は、その下部に前記ＳＯＩ層を有する部分分離構造をなし、併合分離構造を有する、請求項 1 または請求項 2 記載の半導体装置。

【請求項 4】

前記複数の第１の素子分離絶縁膜のそれぞれは、その断面形状において、全体が前記完全分離構造を有する、請求項 1 または請求項 2 記載の半導体装置。

【請求項 5】

前記第１の領域の前記ＳＯＩ層は、完全空乏化状態を可能とする濃度に不純物を含む、請求項 1 または請求項 2 記載の半導体装置。 30

【請求項 6】

複数の半導体素子が配設される第２の領域の前記ＳＯＩ層の主面内に配設された第２の素子分離絶縁膜を備え、

前記複数の第１の素子分離絶縁膜は、前記第２の素子分離絶縁膜の厚さよりも厚い、請求項 5 記載の半導体装置。

【請求項 7】

前記複数の第１の素子分離絶縁膜のそれぞれの平面視形状は、第１の方向に細長く延在する細長形状を有し、

前記複数の第１の素子分離絶縁膜は、前記第１の方向とは直交する第２の方向に並列して配列され、 40

前記第１の領域の前記ＳＯＩ層は、前記複数の第１の素子分離絶縁膜の配列間に少なくとも配設される、請求項 1 または請求項 2 記載の半導体装置。

【請求項 8】

前記第１の領域の前記ＳＯＩ層は、前記複数の第１の素子分離絶縁膜の前記第１の方向の両端部外側の位置にも配設される、請求項 7 記載の半導体装置。

【請求項 9】

前記第１の領域とは異なる第２の領域に配設されたＭＯＳトランジスタを備え、

前記ＭＯＳトランジスタは、第２の領域の前記ＳＯＩ層上に配設されたゲート絶縁膜を有し、

前記第 1 の領域の前記 S O I 層上の前記絶縁膜の厚さは、前記ゲート絶縁膜よりも厚い、請求項 2 記載の半導体装置。

【請求項 1 0】

前記複数の抵抗素子はポリシリコンで構成される、請求項 1 または請求項 2 記載の半導体装置。

【請求項 1 1】

土台となる基板部、該基板部上に配設された埋め込み酸化膜、および該埋め込み酸化膜上に配設された S O I 層を有する S O I 基板の上方に配設されたインダクタンス素子と、前記インダクタンス素子の下部に相当する第 1 の領域の前記 S O I 層の主面内に、間に前記 S O I 層を挟んで配設された複数の素子分離絶縁膜と、前記第 1 の領域の前記複数の素子分離絶縁膜上または前記複数の素子分離絶縁膜間の前記 S O I 層上にそれぞれ配設された、複数の抵抗素子と、前記第 1 の領域とは異なる第 2 の領域に配設された M O S トランジスタとを備えた半導体装置の製造方法であって、

(a) 前記第 1 の領域の前記 S O I 層の主面内に、前記複数の素子分離絶縁膜を形成する工程と、

(b) 前記第 2 の領域の前記 S O I 層内に、イオン注入により前記 M O S トランジスタのしきい値電圧を設定するための不純物を導入する工程と、

(c) 前記工程 (b) の後に、前記第 1 および第 2 の領域に渡るようにポリシリコン層を形成する工程と、

(d) 前記第 1 および第 2 の領域の前記ポリシリコン層をそれぞれパターンニングして、前記複数の抵抗素子および前記 M O S トランジスタのゲート電極を形成する工程と、を備え、

前記工程 (b) は、前記第 1 の領域上をマスクで覆い、前記第 1 の領域への前記不純物の導入を防止する工程を含む、半導体装置の製造方法。

【請求項 1 2】

(e) 前記工程 (d) の後に、前記第 2 の領域の前記 S O I 層内に、イオン注入により前記 M O S トランジスタのソース・ドレイン層を形成するためのソース・ドレイン不純物を導入する工程をさらに備え、

前記工程 (e) は、前記第 1 の領域上をマスクで覆い、前記第 1 の領域への前記ソース・ドレイン不純物の導入を防止する工程を含む、請求項 1 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置およびその製造方法に関し、特に、インダクタを有した半導体装置およびその製造方法に関する。

【背景技術】

【0002】

シリコン基板上に埋め込み酸化膜および S O I (Silicon On Insulator) 層が配設された S O I 基板に形成される S O I 構造の半導体装置 (以後、S O I デバイスと呼称) は、寄生容量を低減でき、高速で安定な動作および低消費電力という特徴を有し、携帯機器などに使用されている。

【0003】

S O I デバイスの一例としては、S O I 層の表面内に埋め込み酸化膜に達するトレンチを設け、該トレンチ内に絶縁物を埋め込むことで形成された完全トレンチ分離絶縁膜により、素子間を電氣的に分離する完全トレンチ分離 (F T I) 構造の S O I デバイスがある。しかし、衝突電離現象によって発生するキャリア (N M O S ではホール) がチャネル形成領域に溜まり、これによりキックが発生したり、動作耐圧が劣化したり、また、チャネル形成領域の電位が安定しないために遅延時間の周波数依存性が発生する等の基板浮遊効果により生ずる種々の問題点があった。

【0004】

10

20

30

40

50

そこで考案されたのが、トレンチの底部と埋め込み酸化膜との間に所定厚さのS O I層が残るようにS O I層の表面内にトレンチを形成し、該トレンチ内に絶縁物を埋め込むことで形成されたパーシャルトレンチ分離(P T I)構造である。

【0005】

P T I構造の採用により、トレンチ分離絶縁膜の下部のウエル領域を通じてキャリアの移動が可能であり、キャリアがチャンネル形成領域に溜まるということを防ぎ、またウエル領域を通じてチャンネル形成領域の電位を固定することができるので、基板浮遊効果による種々の問題が発生しない。

【0006】

ここで、高周波アナログ回路等では、能動素子としてのトランジスタに加え、受動素子としてのインダクタ、キャパシタ、抵抗などが用いられる。 10

【0007】

例えば、特許文献1にはポリシリコン抵抗をL O C O S (Local Oxide of Silicon) 酸化膜の上に配設する構成が開示されている。

【0008】

ここで、P T I構造を採用するS O Iデバイスにおいて、インダクタとしてスパイラルインダクタを備える場合、当該インダクタの下部に対応するS O I層の領域に完全トレンチ分離絶縁膜を配設するようにしていた。そして当該完全トレンチ分離絶縁膜上に抵抗素子を配設する構成を採っていた。

【0009】

スパイラルインダクタは、その一辺が数10 μ m ~ 数100 μ mの長さを有する方形状の外形を有するが、その下部に上述したような完全トレンチ分離絶縁膜を配設する構成を採ると、スパイラルインダクタの配設面積に相当する広い領域に渡って、完全トレンチ分離絶縁膜が存在することとなる。 20

【0010】

そして、このような構造を採用する場合、完全トレンチ分離絶縁膜の形成時にC M P (Chemical Mechanical Polishing) 処理を行うと、完全トレンチ分離絶縁膜が所望の研磨量よりも過剰に除去され、完全トレンチ分離酸化の厚みが中央部になるほど薄くなる、いわゆるディッシングが発生する。そして、ディッシングが発生した完全トレンチ分離絶縁膜上に抵抗素子を配設すると、完全トレンチ分離絶縁膜の端縁部近傍に配置される抵抗素子は、寸法異常や形状異常などを引き起こす問題があった。 30

【0011】

また、これらを回避するため、完全トレンチ分離絶縁膜の端縁部近傍には抵抗素子を配設しないこととすると、抵抗を必要個数配設するために完全トレンチ分離絶縁膜の面積を大きくする必要が生じ、装置面積の増大が生じる。

【0012】

また、C M P処理で過度のディッシングが発生するような場合には、分離絶縁膜とS O I層はもとより、その下層の埋め込み酸化膜まで研磨が及ぶことがあり、さらには、埋め込み酸化膜まで研磨され、場合によってはシリコン基板にまで研磨が及ぶことも起こりうる。 40

【0013】

このようなディッシングの発生を防止するには、従来は、例えば特許文献2に開示されるように、スパイラルインダクタの配設領域の下部およびその周辺に、複数のダミー素子領域を分散配置する構成が提案されていた。

【0014】

【特許文献1】特開平9 - 289324号公報(第5、第6欄、図2(g))

【特許文献2】特開2002 - 110908号公報(第6欄、図3、4)

【発明の開示】

【発明が解決しようとする課題】

【0015】

上記のように、大きな面積を有するトレンチ分離絶縁膜を形成する際には、ディッシングの発生を防止することが課題であるが、そのために特許文献1のようにトレンチ分離絶縁膜の形成領域に複数のダミー素子領域を分散配置すると抵抗素子を配設することができず、高周波アナログ回路等には不向きな構成となってしまう。

【0016】

本発明は上記のような問題点を解消するためになされたもので、ディッシングの発生を防止するとともに、抵抗素子の寄生容量を低減して高性能な回路動作を実現したSOIデバイスを提供することを目的とする。

【課題を解決するための手段】

【0017】

本発明に係る請求項1記載の半導体装置は、土台となる基板部、該基板部上に配設された埋め込み酸化膜、および該埋め込み酸化膜上に配設されたSOI層を有するSOI基板と、前記SOI基板の上方に配設されたインダクタンス素子と、前記インダクタンス素子の下部に相当する第1の領域の前記SOI層の主面内に、間に前記SOI層を挟んで配設された複数の第1の素子分離絶縁膜と、前記第1の領域の前記複数の第1の素子分離絶縁膜上にそれぞれ配設された、複数の抵抗素子とを備え、前記複数の第1の素子分離絶縁膜のそれぞれは、少なくとも一部分が前記SOI層を貫通して前記埋め込み酸化膜に達する完全分離構造をなしている。

【0018】

本発明に係る請求項2記載の半導体装置は、土台となる基板部、該基板部上に配設された埋め込み酸化膜、および該埋め込み酸化膜上に配設されたSOI層を有するSOI基板と、前記SOI基板の上方に配設されたインダクタンス素子と、前記インダクタンス素子の下部に相当する第1の領域の前記SOI層の主面内に、間に前記SOI層を挟んで配設された複数の第1の素子分離絶縁膜と、前記複数の第1の素子分離絶縁膜の間の前記SOI層上に、それぞれ絶縁膜を介して配設された、複数の抵抗素子とを備え、前記複数の第1の素子分離絶縁膜のそれぞれは、少なくとも一部分が前記SOI層を貫通して前記埋め込み酸化膜に達する完全分離構造をなしている。

【0019】

本発明に係る請求項11記載の半導体装置の製造方法は、土台となる基板部、該基板部上に配設された埋め込み酸化膜、および該埋め込み酸化膜上に配設されたSOI層を有するSOI基板の上方に配設されたインダクタンス素子と、前記インダクタンス素子の下部に相当する第1の領域の前記SOI層の主面内に、間に前記SOI層を挟んで配設された複数の素子分離絶縁膜と、前記第1の領域の前記複数の素子分離絶縁膜上または前記複数の素子分離絶縁膜間の前記SOI層上にそれぞれ配設された、複数の抵抗素子と、前記第1の領域とは異なる第2の領域に配設されたMOSトランジスタとを備えた半導体装置の製造方法であって、以下の工程(a)ないし(e)を備えている。すなわち、前記第1の領域の前記SOI層の主面内に、前記複数の素子分離絶縁膜を形成する工程(a)と、前記第2の領域の前記SOI層内に、イオン注入により前記MOSトランジスタのしきい値電圧を設定するための不純物を導入する工程(b)と、前記工程(b)の後に、前記第1および第2の領域に渡るようにポリシリコン層を形成する工程(c)と、前記第1および第2の領域の前記ポリシリコン層をそれぞれパターニングして、前記複数の抵抗素子および前記MOSトランジスタのゲート電極を形成する工程(d)とを備えている。そして前記工程(b)は、前記第1の領域上をマスクで覆い、前記第1の領域への前記不純物の導入を防止する工程を含んでいる。

【発明の効果】

【0020】

本発明に係る請求項1記載の半導体装置によれば、インダクタンス素子の下部に相当する第1の領域のSOI層の主面内に、間にSOI層を挟んで配設された複数の第1の素子分離絶縁膜を備えるので、単一の分離絶縁膜が広い面積に渡って存在することがないので、分離絶縁膜の形成時のCMP処理においてディッシングが発生することを防止できる。

10

20

30

40

50

また、第 1 の領域の複数の第 1 の素子分離絶縁膜上には、それぞれ複数の抵抗素子が配設されているので、スパイラルインダクタの下方に対応する領域を有効に利用することができ、装置面積が増大することがなく、かつ高周波アナログ回路等の形成に有利な構成となる。

【0021】

本発明に係る請求項 2 記載の半導体装置によれば、インダクタンス素子の下部に相当する第 1 の領域の S O I 層の主面内に、間に S O I 層を挟んで配設された複数の第 1 の素子分離絶縁膜を備えるので、単一の分離絶縁膜が広い面積に渡って存在することがないので、分離絶縁膜の形成時の C M P 処理においてディッシングが発生することを防止できる。また、複数の第 1 の素子分離絶縁膜の間の S O I 層上に、それぞれ絶縁膜を介して抵抗素子が配設されているので、スパイラルインダクタの下方に対応する領域を有効に利用することができ、装置面積が増大することがなく、かつ高周波アナログ回路等の形成に有利な構成となる。

10

【0022】

本発明に係る請求項 1 1 記載の半導体装置の製造方法によれば、第 1 の領域の S O I 層内には、半導体素子の形成時に不純物が導入されることが防止されるので、第 1 の領域の S O I 層を高抵抗に保つことができ、また、電圧条件によっては完全空乏化が可能となり、抵抗素子の寄生容量の低容量化が可能となり、高周波動作に有利な半導体装置を得ることができる。

【発明を実施するための最良の形態】

20

【0023】

< 高周波アナログ回路の一例 >

図 1 に高周波アナログ回路の一例として、電流作動型のバッファ回路 B F の構成を示す。この駆動電源 V C C に並列に接続されたスパイラルインダクタ I 1 および I 2、スパイラルインダクタ I 1 および I 2 にそれぞれ接続された抵抗 R 1 および R 2、抵抗 R 1 および R 2 に、それぞれのドレインが接続された N チャネルトランジスタ T 1 および T 2、N チャネルトランジスタ T 1 および T 2 のソースが共通に接続される電流源 C S とを備えている。

【0024】

このような構成を有するバッファ回路 B F は、N チャネルトランジスタ T 1 および T 2 のゲートに相補的な信号 I N 1 および I N 2 が与えられると、それぞれの出力 O U T 1 および O U T 2 からは反転した相補的な信号が出力される。

30

【0025】

この出力信号の立ち上がりや立ち下がりの変化率は、回路中の抵抗成分および容量成分で決定され、立ち上がりや立ち下がり急峻なものとするには、抵抗 R 1 および R 2 に寄生する容量を低減することが効果的である。また、抵抗 R 1 および R 2 はそれぞれ複数の抵抗素子で構成されるので、それらの抵抗素子を設計通りに形成することが、回路動作を良好なものとする上で重要である。

【0026】

< 実施の形態 >

40

< A . 装置構成 >

本発明に係る半導体装置の実施の形態として、図 2 を用いて S O I デバイス 1 0 0 の平面構成を説明する。

【0027】

図 2 において、N チャネル型の M O S トランジスタ 1 0 と、P チャネル型の M O S トランジスタ 2 0 とが、それぞれのゲート電極 1 2 および 2 2 がゲート長方向に並列するように隣り合って配設されている。

【0028】

そして、M O S トランジスタ 1 0 および 2 0 の、それぞれのゲート電極 1 2 および 2 2 のゲート幅方向の一方の端縁部の先には電位固定のためのボディ固定領域 B R 1 および B

50

R 2 が配設されている

なお、M O S トランジスタ 1 0 の配設領域と M O S トランジスタ 2 0 の配設領域とは電氣的に絶縁されており、その様子を図 2 においては便宜的に破線 X で示している。

【 0 0 2 9 】

そして M O S トランジスタ 1 0 の図に向かって左隣は抵抗素子の配設領域となっており、複数の抵抗素子 3 0 が並列に配設されている。なお、抵抗素子 3 0 は細長形状を有し、短手方向に並列するように配列されている。

【 0 0 3 0 】

次に、S O I デバイス 1 0 0 の断面構成として、図 2 に示す A - A 線での断面構成を図 3 に示し、また B - B 線での断面構成を図 4 に、C - C 線での断面構成を図 5 に示す。

10

【 0 0 3 1 】

図 3 に示すように S O I デバイス 1 0 0 は、シリコン基板 1 と、当該シリコン基板 1 上に配設された埋め込み酸化膜 2 と、埋め込み酸化膜 2 上に配設された S O I 層 3 とで構成される S O I 基板 S B 上に配設されている。

【 0 0 3 2 】

S O I 基板 S B 上は、抵抗素子 3 0 が配設される抵抗領域 R R (第 1 の領域) と、素子領域 (第 2 の領域) である N チャネル型の M O S トランジスタ 1 0 が配設される N M O S 領域 N R と、P チャネル型の M O S トランジスタ 2 0 が配設される P M O S 領域 P R とに区分されている。なお、図 2 および図 3 においては、M O S トランジスタ 1 0 および 2 0 は、それぞれ 1 個ずつ、抵抗素子 3 0 は 3 個しか示していないが、これは便宜的なものであり、何れの構成もこの個数に限定されるものではない。また、抵抗素子 3 0 はゲート電極 1 2 および 2 2 と並列に配設された例を示したがこれに限定されるものではなく、ゲート電極 1 2 および 2 2 の配列方向と直交する方向に配列しても良い。

20

【 0 0 3 3 】

抵抗領域 R R においては、スパイラルインダクタ S I の配設領域に対応する S O I 層 3 の表面内にトレンチ分離絶縁膜 4 が S O I 層 3 を間に挟んで複数配設され、各トレンチ分離絶縁膜 4 上に抵抗素子 3 0 がそれぞれ配設されている。なお、抵抗素子 3 0 の側面を覆うようにサイドウォール酸化膜 3 3 が配設されている。

【 0 0 3 4 】

ここでトレンチ分離絶縁膜 4 は、中央部分においては S O I 層 3 を貫通して埋め込み酸化膜 2 に達して完全分離構造 (フルトレンチ分離構造 : F T I) となり、両端縁部においては、その下部に S O I 層 3 を有して部分分離構造 (パーシャルトレンチ分離構造 : P T I) となって、断面の輪郭形状が略 T 字形となった併合分離構造 (ハイブリッドトレンチ分離構造 : H T I) を有している。

30

【 0 0 3 5 】

なお、併合分離構造は上述した略 T 字形の形状に限定されるものではなく、部分分離構造と完全分離構造とを有するものであれば断面形状に関係なく併合分離構造と言うことができる。

【 0 0 3 6 】

また、複数の抵抗素子 3 0 の上部および抵抗素子間の S O I 層 3 上を覆うようにシリサイドプロテクション膜 S P が配設されている。シリサイドプロテクション膜 S P は、シリサイド膜の形成を望まない部分に配設される膜であり、シリコン酸化膜等の絶縁膜で構成される。細長形状の抵抗素子 3 0 においては、図 4 に示すように、長手方向の両端縁部上にはシリサイド膜 S S を配設し、中央部はシリサイドプロテクション膜 S P で覆っている。なお、図 2 でハッチングを付している部分はシリサイド膜 S S が形成されている部分である。

40

【 0 0 3 7 】

M O S トランジスタ 1 0 は、S O I 層 3 上に選択的に配設されたゲート絶縁膜 1 1 、ゲート絶縁膜 1 1 上に配設されたゲート電極 1 2 、ゲート電極 1 2 上に配設されたシリサイド膜 S S および、それらの側面を覆うように配設されたサイドウォール絶縁膜 1 3 を備え

50

ている。

【0038】

また、MOSトランジスタ10のサイドウォール絶縁膜13の外側のSOI層3の表面内にはソース・ドレイン層15が配設され、ソース・ドレイン層15よりも浅い位置にはエクステンション層14が配設されている。なお、ソース・ドレイン層15上にはシリサイド膜SSが配設されている。

【0039】

MOSトランジスタ20は、SOI層3上に選択的に配設されたゲート絶縁膜21、ゲート絶縁膜21上に配設されたゲート電極22、ゲート電極22上に配設されたシリサイド膜SSおよび、それらの側面を覆うように配設されたサイドウォール絶縁膜23を備えている。 10

【0040】

また、MOSトランジスタ20のサイドウォール絶縁膜23の外側のSOI層3の表面内にはソース・ドレイン層25が配設され、ソース・ドレイン層25よりも浅い位置にはエクステンション層24が配設されている。なお、ソース・ドレイン層25上にはシリサイド膜SSが配設されている。

【0041】

ここで、エクステンション層14および24は、ソース・ドレイン層よりも浅い接合となるように形成される不純物層であり、ソース・ドレイン層と同一導電型であり、ソース・ドレイン層として機能するのでソース・ドレインエクステンション層と呼称すべきであるが、便宜的にエクステンション層と呼称する。 20

【0042】

なお、NMOS領域NRとPMOS領域PRとの間は、併合分離構造を有するトレンチ分離絶縁膜4によって電氣的に分離されている。

【0043】

そして、SOI基板SB上全域を覆うように、例えばシリコン酸化膜で構成される層間絶縁膜5が配設され、層間絶縁膜5の上方にはスパイラルインダクタSIが配設されている。

【0044】

また、層間絶縁膜5を貫通して、ソース・ドレイン層15および25上のシリサイド膜SSに接続されるように複数のコンタクト部CHが設けられ、各コンタクト部CHは層間絶縁膜5上の配線WRに接続されている。 30

【0045】

なお、各抵抗素子30もコンタクト部CHを介して絶縁膜5上の配線WLに接続されている。配線WLはコンタクト部CPを介してスパイラルインダクタSIに電氣的に接続される配線である。

【0046】

なお、層間絶縁膜5上にはさらに層間絶縁膜が多層に形成されるが、図3においては簡単化のため図示は省略している。

【0047】

また、図5に示すように、MOSトランジスタ10が配設される領域NRのボディ固定領域BR1とMOSトランジスタ10のゲート電極12直下のSOI層3とは、部分分離構造を有するトレンチ分離絶縁膜4Aの下部のSOI層3を介して電氣的に接続される構成となっている。なお、この構造は領域PRのボディ固定領域BR2とMOSトランジスタ20のゲート電極22直下のSOI層3との間でも同じである。 40

【0048】

このようにMOSトランジスタ10は、トレンチ分離絶縁膜4Aの下部のSOI層3を通じてボディ固定領域BR1との間でキャリアの移動が可能であり、キャリアがチャンネル形成領域に溜まるということを防ぎ、またチャンネル形成領域の電位を固定することができるので、基板浮遊効果を抑制できる。 50

【0049】

また、図2に示したようにNMOS領域NRとPMOS領域PRとの間に配設されるトレンチ分離絶縁膜4は併合分離構造を有し、上記2つの領域を完全に電氣的に分離することができるので、ラッチアップの発生を防止することが可能となる。

【0050】

また、併合分離構造の形成においては、その過程で部分分離構造を形成する工程を経るので、部分分離構造は、併合分離構造の形成過程で形成することができ、効率的な製造が可能となる。このように、併合分離構造(HTI)は非常に理想的なデバイス構造と言える。

【0051】

10

< B . 製造方法 >

< B - 1 . トレンチ分離絶縁膜の形成 >

まず、製造工程を順に示す図6～図13を用いて、トレンチ分離絶縁膜4の製造方法について説明する。なお、図6～図13では抵抗領域のみを例示しており、半導体素子領域は省略している。

【0052】

図6に示す工程において、SIMOX法や貼り合わせ法などにより形成した、シリコン基板1、埋め込み酸化膜2およびSOI層3で構成されるSOI基板SBを準備する。通常、SOI層3の膜厚は50～200nm、埋め込み酸化膜2の膜厚は100～400nmである。なお、この状態でのSOI層3の不純物濃度は $1 \times 10^{16} / \text{cm}^3$ 未満である。

20

【0053】

なお、シリコン基板1に高比抵抗(1000 $\cdot\text{cm}$ 以上)の基板を採用することにより、アナログ-デジタル回路間のクロストークを抑制でき、また、スパイラルインダクタなどの受動素子の高性能化(高Q値化)が可能となり、高周波アナログ回路に適した構成となる。

【0054】

そして、SOI層3上に、熱酸化により厚さ5～30nmのパッド酸化膜PDXを形成した後、パッド酸化膜PDX上に、CVD法により600～800 $^{\circ}\text{C}$ の形成温度で厚さ100～200nmのシリコン窒化膜SNを堆積する。

30

【0055】

その後、シリコン窒化膜SN上にパターニングによりレジストマスクRM1を形成する。レジストマスクRM1は、トレンチを形成するための開口部を有している。

【0056】

続いて、図7に示す工程においてレジストマスクRM1をマスクとしてシリコン窒化膜SN、パッド酸化膜PDXおよびSOI層3をエッチングによりパターニングし、SOI層3に部分トレンチTR1を形成する。このエッチングにおいては、SOI層3を完全にエッチングして埋め込み酸化膜2を露出させるのではなく、トレンチTR1の底部に所定厚さのSOI層3が残るようにエッチング条件を調整する。

【0057】

40

次に、レジストマスクRM1を除去した後、図8に示す工程において、露出したSOI層3を700～1100 $^{\circ}\text{C}$ の温度で熱酸化して、5～30nmの厚さのシリコン酸化膜OX1を形成する。

【0058】

次に、図9に示す工程において、SOI基板SB上にパターニングによりレジストマスクRM2を形成する。レジストマスクRM2は、トレンチTR1の所定部分だけが開口部となるようなパターンを有している。より具体的には、後に形成されるは併合分離構造のトレンチ分離絶縁膜4(図3)のうち、SOI層3を貫通して埋め込み酸化膜2に達する部分に対応する領域のみが開口部となったパターンを有している。

【0059】

50

そして、図 10 に示す工程においてレジストマスク R M 2 の開口パターンに合わせてトレンチ T R 1 をエッチングし、埋め込み酸化膜 2 を露出させるようにエッチングしてトレンチ T R 2 を形成し、レジストマスク R M 2 を除去する。

【 0 0 6 0 】

ここで、図 14 にレジストマスク R M 2 を除去した状態での S O I 基板 S B の上主面の平面図を示す。

【 0 0 6 1 】

図 14 に示すようにトレンチ T R 2 の平面視形状は、細長形状を有する複数の第 1 の領域 P 1 が間隔を開けて短手方向に並列に形成され、各第 1 の領域 P 1 の長手方向の両端部には、全端部間に渡るように細長形状の第 2 の領域 P 2 がそれぞれ形成されている。なお、第 1 の領域 P 1 および第 2 の領域 P 2 においてはその底部に埋め込み酸化膜 2 が露出していることは言うまでもない。

10

【 0 0 6 2 】

次に、図 11 に示す工程において、S O I 基板全域に渡って厚さ 150 ~ 600 nm のシリコン酸化膜 O X 2 を形成し、シリコン酸化膜 O X 2 によりトレンチ T R 1 および T R 2 を完全に埋め込む。

【 0 0 6 3 】

シリコン酸化膜 O X 2 は、例えば H D P (High Density Plasma) - C V D 法によって形成される。H D P - C V D 法は、一般的なプラズマ C V D よりも 1 桁 ~ 2 桁高い密度のプラズマを使用し、スパッタリングとデポジションを同時に行いながら酸化膜を堆積するものであり、膜質の良好なシリコン酸化膜を得ることができる。

20

【 0 0 6 4 】

なお、シリコン酸化膜 O X 2 はトレンチ T R 1 および T R 2 内を越えて S O I 基板 S B の全面を覆うように形成されるので、少なくともシリコン窒化膜 S N の表面が露出する程度まで C M P 処理によりシリコン酸化膜 O X 2 を研磨して平坦化する。このときシリコン窒化膜 S N を半分程度の厚さになるまで研磨しても良い。

【 0 0 6 5 】

次に、図 12 に示す工程において、シリコン窒化膜 S N およびパッド酸化膜 P D X を、ウエットエッチングまたはドライエッチングにより除去することで、併合分離構造のトレンチ分離絶縁膜 4 を得る。

30

【 0 0 6 6 】

トレンチ分離絶縁膜 4 を形成することで、その間に位置する S O I 層 3 を電氣的に独立した構成にすることが可能となる。

【 0 0 6 7 】

なお、図 12 においてはトレンチ分離絶縁膜 4 の部分分離構造に対面する S O I 層 3 の表面にはシリコン酸化膜 O X 1 が存在するように示されているが、図 2 においては両者は一体化したものとして扱い、記載を省略している。

【 0 0 6 8 】

なお、ここまでの工程で、図 2 に示した N M O S 領域 N R と P M O S 領域 P R との間を電氣的に分離するトレンチ分離絶縁膜 4 や、図 5 に示した部分分離構造を有するトレンチ分離絶縁膜 4 A も同時に形成されている。

40

【 0 0 6 9 】

次に、図 13 に示す工程において、S O I 基板 S B の全面を覆うようにポリシリコン膜を堆積し、パターニングすることでトレンチ分離絶縁膜 4 上に所望の形状の抵抗素子 30 を形成する。なお、抵抗素子 30 の形成については、以下に説明する半導体素子の製造方法で、より具体的に説明する。

【 0 0 7 0 】

ここで、図 15 に、抵抗素子 30 をパターニングした状態での S O I 基板 S B の上主面の平面図を示す。

【 0 0 7 1 】

50

図 1 5 に示すように、トレンチ T R 1 の平面視形状はアルファベットの I 字形状をなし、細長形状の胴体部が図 1 4 に示した第 1 の領域 P 1 に対応する位置に配置され、長手方向両端の面積が広がっている部分が図 1 4 に示した第 2 の領域 P 2 に対応する位置に配置され、当該部分が電氣的なコンタクト部となる。

【 0 0 7 2 】

なお、トレンチ T R 2 の平面視形状を図 1 4 に示したような形状とすると、トレンチ分離絶縁膜 4 で完全に囲まれる S O I 層 3 が存在することとなり、当該 S O I 層 3 を電氣的に独立した構成にすることが可能となる。

【 0 0 7 3 】

なお、上記 S O I 層 3 は電氣的にフローティング状態となるが、この S O I 層 3 の電位を固定したい場合には、コンタクト部を接続させれば良い。

【 0 0 7 4 】

また、トレンチ T R 2 の平面視形状を図 1 4 に示すような形状とせず、第 2 の領域 P 2 を分割して、トレンチ T R 2 で完全に囲まれる S O I 層 3 が存在しない構成としても良い。

【 0 0 7 5 】

< B - 2 . 半導体素子の形成 >

次に、製造工程を順に示す図 1 6 ~ 図 2 5 を用いて、半導体素子の製造方法について説明する。なお、図 1 6 ~ 図 2 5 では抵抗領域および半導体素子領域を例示している。

【 0 0 7 6 】

まず、図 6 ~ 図 1 2 を用いて説明した工程を経て、S O I 層 3 の所定部分の表面内にトレンチ分離絶縁膜 4 や、部分分離構造を有するトレンチ分離絶縁膜（図示せず）を配設する。そして、S O I 層 3 上には熱酸化により厚さ 5 ~ 3 0 n m のパッド酸化膜 P D X 1 を形成する。なお、パッド酸化膜 P D X 1 を新たに配設する代わりに、図 6 を用いて説明した工程で形成されたパッド酸化膜 P D X を除去せずに残しておいても良い。

【 0 0 7 7 】

その後、図 1 6 に示す工程において S O I 基板 S B 上に、N M O S 領域 N R が開口部となったレジストマスク R M 1 1 をパターンニングし、当該開口部からボロン（B）などの P 型不純物を S O I 層 3 内にイオン注入する（チャンネル注入）。この注入はトランジスタのしきい値電圧を設定するための注入であり、S O I 層 3 の主面近傍に不純物層が形成されるように注入エネルギーが設定される。

【 0 0 7 8 】

次に、レジストマスク R M 1 1 を除去した後、図 1 7 に示す工程において、P M O S 領域 P R が開口部となったレジストマスク R M 1 2 をパターンニングし、当該開口部からリン（P）、ヒ素（As）などの N 型不純物を S O I 層 3 内にイオン注入する（チャンネル注入）。

【 0 0 7 9 】

以上説明した何れのチャンネル注入においても、抵抗領域 R R の S O I 層 3 には不純物が注入されないので、抵抗領域 R R の S O I 層 3 の不純物濃度が高まることが防止され、S O I 層 3 を高抵抗に保つことができ、また、電圧条件によっては完全空乏状態が可能となり、抵抗素子 3 0 の寄生容量の低容量化が可能となる。

【 0 0 8 0 】

すなわち、トレンチ分離絶縁膜 4 は、中央部分においては完全分離構造となっているので、この部分の寄生容量は小さいが、両端縁部においては、その下部に S O I 層 3 を有した部分分離構造となっている。従って、この部分では、シリコン酸化膜の厚さが薄いので容量成分が大きくなるが、S O I 層 3 が完全空乏状態であればシリコン酸化膜の厚さが厚くなったことと実質的に等価となり、この部分での寄生容量を低くできる。

【 0 0 8 1 】

次に、レジストマスク R M 1 2 を除去した後パッド酸化膜 P D X 1 を全て除去し、図 1 8 に示す工程において、露出した S O I 層 3 の表面に、ゲート絶縁膜となるシリコン酸化

10

20

30

40

50

膜 O X 1 1 を形成する。その後、S O I 基板 S B の全面に例えば C V D 法により、後にゲート電極 1 1、2 1 および抵抗素子 3 0 となるポリシリコン層 P S 1 を堆積する。このときの堆積温度は 6 0 0 ~ 8 0 0 が選択される。また、4 0 0 ~ 6 0 0 の温度条件でスパッタリング法により形成しても良い。

【 0 0 8 2 】

その後、ポリシリコン層 P S 1 上に、抵抗領域 R R が開口部となったレジストマスク R M 1 3 をパターニングし、当該開口部から不純物をポリシリコン層 P S 1 内にイオン注入する。このときの不純物は P 型 (B) でも N 型 (P、A s) でも良く、ドーズ量は $0.2 \times 10^{15} \sim 5 \times 10^{15} / \text{cm}^2$ とする。この注入で、ポリシリコン層 P S 1 の抵抗値を設定することができる。このように抵抗素子 3 0 をポリシリコンで構成することで抵抗値を任意に設定することができる。

10

【 0 0 8 3 】

なお、ゲート電極として使用される N M O S 領域 N R および P M O S 領域 P R のポリシリコン層 P S 1 に不純物を注入して (ゲート注入)、ゲート電極とシリコン層との仕事関数差を小さくし、ゲートの空乏化を抑制してしきい値電圧を下げることを企図する場合には、レジストマスク R M 1 3 の代わりに、N M O S 領域 N R あるいは P M O S 領域 P R の何れか一方と抵抗領域 R R とが開口部となったレジストマスクを形成し、当該開口部から不純物をイオン注入すれば良い。この場合、N M O S 領域 N R のポリシリコン層 P S 1 と同時に注入するのであれば N 型の不純物を、P M O S 領域 P R のポリシリコン層 P S 1 と同時に注入するのであれば P 型の不純物を注入する。

20

【 0 0 8 4 】

次に、レジストマスク R M 1 3 を除去した後、図 1 9 に示す工程において、N M O S 領域 N R および P M O S 領域 P R では、それぞれシリコン酸化膜 O X 1 1 上にゲート電極 1 2 および 2 2 を形成するようにポリシリコン層 P S 1 をパターニングし、抵抗領域 R R ではトレンチ分離絶縁膜 4 上に抵抗素子 3 0 を形成するようにポリシリコン層 P S 1 をパターニングする。

【 0 0 8 5 】

次に、図 2 0 に示す工程において、S O I 基板 S B 上に、N M O S 領域 N R が開口部となったレジストマスク R M 1 4 をパターニングし、当該開口部から N 型不純物 (例えば P や A s) を S O I 層 3 内にイオン注入してエクステンション層 1 4 を形成する (エクステンション注入)。このとき、ゲート電極 1 2 が注入マスクとなる。

30

【 0 0 8 6 】

次に、レジストマスク R M 1 4 を除去した後、図 2 1 に示す工程において、S O I 基板 S B 上に、P M O S 領域 P R が開口部となったレジストマスク R M 1 5 をパターニングし、当該開口部から P 型不純物 (例えば B) を S O I 層 3 内にイオン注入してエクステンション層 2 4 を形成する (エクステンション注入)。このとき、ゲート電極 2 2 が注入マスクとなる。

【 0 0 8 7 】

以上説明した何れのエクステンション注入においても、抵抗領域 R R の S O I 層 3 には不純物が注入されないので、抵抗領域 R R の S O I 層 3 の不純物濃度が高まることが防止され、S O I 層 3 を高抵抗に保つことができ、また、電圧条件によっては完全空乏状態が可能となり、抵抗素子 3 0 の寄生容量の低容量化が可能となる。

40

【 0 0 8 8 】

次に、レジストマスク R M 1 5 を除去した後、ゲート電極 1 2 および 2 2 の側面に、例えばシリコン酸化膜で、それぞれサイドウォール絶縁膜 1 3 および 2 3 を、抵抗素子 3 0 の側面にサイドウォール絶縁膜 3 3 を形成する。このとき、シリコン酸化膜 O X 1 1 の不要部分が除去され、ゲート電極 1 2 および 2 2 の下にゲート絶縁膜 1 1 および 2 1 が形成される。

【 0 0 8 9 】

その後、図 2 2 に示す工程において、S O I 基板 S B 上に、N M O S 領域 N R が開口部

50

となったレジストマスク R M 1 6 をパターンングし、当該開口部から N 型不純物（例えば P や A s ）を S O I 層 3 内にイオン注入してソース・ドレイン層 1 5 を形成する（ソース・ドレイン注入）。このとき、ゲート電極 1 2 およびサイドウォール絶縁膜 1 3 が注入マスクとなる。

【 0 0 9 0 】

次に、レジストマスク R M 1 6 を除去した後、図 2 3 に示す工程において、S O I 基板 S B 上に、P M O S 領域 P R が開口部となったレジストマスク R M 1 7 をパターンングし、当該開口部から P 型不純物（例えば B ）を S O I 層 3 内にイオン注入してソース・ドレイン層 2 5 を形成する（ソース・ドレイン注入）。このとき、ゲート電極 2 2 およびサイドウォール絶縁膜 2 3 が注入マスクとなる。

10

【 0 0 9 1 】

以上説明した何れのソース・ドレイン注入においても、抵抗領域 R R の S O I 層 3 には不純物が注入されないので、抵抗領域 R R の S O I 層 3 の不純物濃度が高まることが防止され、S O I 層 3 を高抵抗に保つことができ、また、電圧条件によっては完全空乏状態が可能となり、抵抗素子 3 0 の寄生容量の低容量化が可能となる。

【 0 0 9 2 】

なお、エクステンション層の先端からさらに突出するように、イオン注入によりソース・ドレイン層とは反対の導電型の不純物層（ポケット層）を形成する場合があるが、その場合も、抵抗領域 R R の S O I 層 3 には不純物が注入されないようにする。

【 0 0 9 3 】

次に、レジストマスク R M 1 7 を除去した後、図 2 4 に示す工程において、C V D 法により、S O I 基板 S B の主面全面を覆うように、厚さ 1 0 ~ 1 0 0 n m のシリサイドプロテクション膜 S P を形成する。シリサイドプロテクション膜 S P はシリコン酸化膜やシリコン窒化膜などの絶縁膜で構成される。

20

【 0 0 9 4 】

シリサイドプロテクション膜 S P はシリサイド膜の形成を望まない部分を保護するための膜であるので、シリサイド膜の形成を望む部分が開口部となったレジストマスク R M 1 8 を形成して、当該開口部に露出するシリサイドプロテクション膜 S P をエッチングにより除去する。

【 0 0 9 5 】

なお、図 2 4 では抵抗領域 R R はレジストマスク R M 1 8 で覆われるように示されているが、図 2 および図 4 を用いて説明したように、抵抗素子 3 0 の長手方向の両端部上にはシリサイド膜 S S を形成するので、当該部分はレジストマスク R M 1 8 で覆われていない。

30

【 0 0 9 6 】

次に、レジストマスク R M 1 8 を除去した後、図 2 5 に示す工程において、S O I 基板 S B の全面に渡って C o （コバルト）などの高融点金属層をスパッタリング法で形成し、熱処理によりシリコンとのシリサイド反応を起こさせてシリサイド膜 S S を形成する。なお、シリサイド反応は絶縁膜との間では起きないので、サイドウォール絶縁膜 1 3 および 2 3 上や、シリサイドプロテクション膜 S P 上には未反応の高融点金属層が残り、これを除去することで、ゲート電極 1 2 および 2 2 の上部、ソース・ドレイン層 1 5 および 2 5 の上部に、それぞれシリサイド膜 S S を選択的に形成できる。

40

【 0 0 9 7 】

なお、高融点金属層としては C o に限定されず、チタン（T i ）、タングステン（W ）、モリブデン（M o ）や N i （ニッケル）などシリサイド反応を起こす金属であって、コンタクト部との接触抵抗を低減できる金属であれば何でも良い。

【 0 0 9 8 】

その後、S O I 基板 S B の主面全面に渡って層間絶縁膜 5 を形成し、層間絶縁膜 5 を貫通してシリサイド膜 S S に達するコンタクト部 C H を設け、コンタクト部 C H に配線層 W R や W L を接続する。そして、層間絶縁膜 5 の上方にスパイラルインダクタ S I を形成す

50

ることで、図 3 に示す S O I デバイス 1 0 0 が形成される。

【 0 0 9 9 】

< C . 特徴的効果 >

以上説明した S O I デバイス 1 0 0 においては、スパイラルインダクタ S I の下方に対応する抵抗領域 R R の S O I 層 3 の表面内に、併合分離構造のトレンチ分離絶縁膜 4 を S O I 層 3 を間に挟むようにして飛び飛びに配置するようにしたので、単一のトレンチ分離絶縁膜が広い面積に渡って存在することがないので、トレンチ分離絶縁膜 4 の形成時の C M P 処理においてディッシングが発生することを防止できる。

【 0 1 0 0 】

そして、抵抗領域 R R にはディッシングが発生しないので、スパイラルインダクタ S I の下方に対応する領域を有効に利用して抵抗素子 3 0 を配設することができ、装置面積が増大することがない。

【 0 1 0 1 】

また、スパイラルインダクタ S I の下方に抵抗素子 3 0 を配設できるので、高周波アナログ回路等の形成に有利な構成となる。

【 0 1 0 2 】

また、抵抗領域 R R の S O I 層 3 には、半導体素子の形成時に不純物が導入されることを防止しているので、S O I 層 3 を高抵抗に保つことができ、また、電圧条件によっては完全空乏化が可能となり、トレンチ分離絶縁膜 4 上に配設される抵抗素子 3 0 の寄生容量の低容量化が可能となり、高周波動作に有利となる。

【 0 1 0 3 】

また、N M O S 領域 N R と P M O S 領域 P R との間は、トレンチ分離絶縁膜 4 で電氣的に分離するが、図 5 を用いて説明したように、N M O S 領域 N R ではボディ固定領域 B R 1 と M O S トランジスタ 1 0 のゲート電極 1 2 直下の S O I 層 3 とは、部分分離構造を有するトレンチ分離絶縁膜 4 A の下部の S O I 層 3 を介して電氣的に接続される構成となっているので（これは P M O S 領域 P R でも同様）、基板浮遊効果を抑制でき、キャリア（N M O S トランジスタではホール）がチャネル形成領域に溜まり、これによりキंकが発生することを防止でき、アナログ回路に適した構成となっている。

【 0 1 0 4 】

また、チャネル形成領域の電位が安定しないために遅延時間の周波数依存性が発生するということが防止され、回路設計においてタイミングマージンを多めに設定する必要がなくなるので、高速動作を最大限に活用できることとなり、デジタル回路に適した構成となっている。

【 0 1 0 5 】

< D . 変形例 1 >

以上説明した実施の形態では、抵抗領域 R R の S O I 層 3 には、半導体素子の形成時に不純物が導入されることを防止して、S O I 層 3 を高抵抗に保つこと、あるいは電圧条件によっては完全空乏化が可能となるように構成したが、例えば、ソース・ドレイン注入に際して抵抗素子 3 0 にも不純物を注入すると、抵抗素子 3 0 の抵抗値を低くできる。このとき、抵抗領域 R R においては、抵抗領域 R R 上全域を開口部とするレジストマスクを形成するのではなく、抵抗素子 3 0 の上部だけが開口部となったレジストマスクを形成することで、トレンチ分離絶縁膜 4 間の S O I 層 3 には不純物が注入されることを防止できる。

【 0 1 0 6 】

なお、このような開口部を有するレジストマスクを形成するには、レジストマスクのパターニングマージンを考慮して、抵抗領域 R R のトレンチ分離絶縁膜 4 の幅を広く設定することが望ましい。

【 0 1 0 7 】

但し、装置面積の関係上、抵抗領域 R R のトレンチ分離絶縁膜 4 の幅を広げることが許容されず、抵抗素子 3 0 の上部だけが開口部となったレジストマスクを形成できない場合

もあるが、それでも抵抗素子 30 の抵抗値を低くすることに主眼を置くのであれば、半導体素子の形成時に抵抗領域 RR の SOI 層 3 に不純物が導入されることとなっても構わない。この場合でも、トレンチ分離絶縁膜 4 の中央部分においては完全分離構造となっているので、この部分の寄生容量は小さく、トレンチ分離絶縁膜 4 の端縁部で寄生容量が多少増加しても、その影響は少ないからである。

【0108】

< E . 変形例 2 >

以上説明した実施の形態では、抵抗領域 RR においては併合分離構造のトレンチ分離絶縁膜 4 を SOI 層 3 を間に挟むようにして飛び飛びに配置し、その上に抵抗素子 30 を配設したが、トレンチ分離絶縁膜 4 の代わりに、完全分離構造のトレンチ分離絶縁膜を配設するようにしても良い。以下、当該構成について製造工程を順に示す図 26 ~ 図 29 を用いて説明する。

10

【0109】

図 6 ~ 図 8 を用いて説明した工程を経て、トレンチ TR 1 の内壁にシリコン酸化膜 OX 1 を形成した後、図 26 に示す工程において、NMOS 領域 NR との境界部のトレンチ TR 1 の NMOS 領域 NR 側の半分および NMOS 領域 NR の所定部分をレジストマスク RM 21 で覆う。このとき、残りの抵抗領域 RR 上にはレジストを配設せず開口部とする。

【0110】

次に、図 27 に示す工程において、シリコン窒化膜 SN をエッチングマスクとしてトレンチ TR 1 をエッチングし、埋め込み酸化膜 2 を露出させる。このエッチングにより、トレンチ TR 1 は全体的にエッチングされて、その底部に埋め込み酸化膜 2 が露出する完全トレンチ TR 21 となる。なお、NMOS 領域 NR との境界部のトレンチ TR 1 においては、半分だけが完全トレンチ TR 21 となっている。

20

【0111】

次に、レジストマスク RM 21 を除去した後、図 28 に示す工程において、SOI 基板全域に渡って厚さ 15 ~ 600 nm のシリコン酸化膜 OX 2 を形成し、シリコン酸化膜 OX 2 によりトレンチ TR 21 および TR 1 を完全に埋め込む。なお、この工程は図 11 を用いて説明した工程と同じであるので、重複する説明は省略する。

【0112】

次に、図 29 に示す工程において、シリコン窒化膜 SN およびパッド酸化膜 PD X を、ウエットエッチングまたはドライエッチングにより除去することで、完全分離構造のトレンチ分離絶縁膜 4 B および、半部分が部分分離構造で、半部分が完全分離構造のトレンチ分離絶縁膜 4 C を得る。その後、トレンチ分離絶縁膜 4 B および 4 C 上に所望の形状の抵抗素子 30 を形成する。

30

【0113】

このような構成を採用することで、抵抗素子 30 が形成されるトレンチ分離絶縁膜 4 B は完全分離構造となり、抵抗素子 30 の寄生容量の低容量化をさらに促進できる。

【0114】

また、抵抗領域 RR では、レジストマスクのパターニングが不要になるため、パターニングマージンを見込む必要がなくなるので、トレンチ TR 1 の幅や、配設間隔を狭くすることができ、結果的に抵抗素子 30 の配設間隔を狭くすることが可能となってさらなる高集積化が可能となる。

40

【0115】

< F . 変形例 3 >

以上説明した実施の形態では、抵抗領域 RR の SOI 層 3 には、半導体素子の形成時に不純物が導入されることを防止しているので、SOI 層 3 を高抵抗に保つこと、あるいは電圧条件によっては完全空乏化が可能となることを説明したが、これは分離絶縁膜にも不純物が導入されないことを意味しており、その結果、素子領域に比べて、分離絶縁膜の膜厚を厚くすることが可能となる。

【0116】

50

すなわち、分離絶縁膜に不純物を注入すると、その後に行われるシリコン酸化膜除去のためのHF（フッ酸）処理でのエッチングレートが増大する。

【0117】

例えば、図16を用いて説明したように、チャネル注入に際してはパッド酸化膜PDX1を介してイオン注入を行い、注入後にはパッド酸化膜PDX1を除去する。このとき、HF処理を使用すると、NMOS領域NRおよびPMOS領域PRのトレンチ分離絶縁膜4にはチャネル注入の不純物が注入されているので、抵抗領域RRのトレンチ分離絶縁膜4に比べてエッチングの進行が早く、厚さが薄くなる。同様の現象は、ゲート絶縁膜11および21の形成工程においても生じる。

【0118】

図30には、Nチャネル型のトランジスタ10を形成した段階でのNMOS領域NRおよび抵抗領域RRの断面構成を示す。

【0119】

図30に示すように、抵抗領域RRのトレンチ分離絶縁膜4（第1の素子分離絶縁膜）は、NMOS領域NRのトレンチ分離絶縁膜41（第2の素子分離絶縁膜）よりも厚さLだけ厚くなっている。この構成により抵抗素子30の寄生容量の増大を防止できる。

【0120】

この厚さLは、パッド酸化膜PDX1の除去からサイドウォール酸化膜形成までの全ての工程における総エッチング量の差に相当するものである。

【0121】

なお、以上説明した実施の形態以外にも、例えば、3.3Vの入出力（I/O）トランジスタなどのように、ゲート絶縁膜の厚さ異なるデバイスが複数種類存在する場合には、素子領域ではシリコン酸化膜の除去や形成を繰り返すこと（デュアルオキシサイドプロセス）があるが、その場合でも抵抗領域RRについてはレジストマスクによりエッチングを受けないように保護することで、分離絶縁膜の膜厚さが減ることを抑制でき、寄生容量の増大を防止できる。

【0122】

< G . 変形例 4 >

以上説明した実施の形態では、抵抗領域RRのSOI層3の表面内に、併合分離構造のトレンチ分離絶縁膜4をSOI層3を間に挟むようにして飛び飛びに配置することで、トレンチ分離絶縁膜4の形成時のCMP処理においてディッシングが発生することを防止する構成を示したが、SOI層3の配設はトレンチ分離絶縁膜4の間、すなわち抵抗素子30の間に限定されるものではなく、例えば図31に示すように、抵抗素子30の長手方向の両端部外側の位置に配置しても良い。

【0123】

このような配置とすることで、CMP処理においてトレンチ分離絶縁膜4にディッシングが生じることがさらに抑制され、トレンチ分離絶縁膜4の膜厚均一性がさらに向上する。

【0124】

< H . 変形例 5 >

以上説明した実施の形態およびその変形例では、抵抗領域RRのSOI層3の表面内に設けられた併合分離構造のトレンチ分離絶縁膜4あるいは完全分離構造のトレンチ分離絶縁膜4B上に抵抗素子30を配設する構成を示したが、SOI層3上に抵抗素子を配設する構成としても良い。当該構成について図32を用いて説明する。

【0125】

図32には、Nチャネル型のトランジスタ10を形成した段階でのNMOS領域NRおよび抵抗領域RRの断面構成を示している。

【0126】

図32に示すように、抵抗領域RRにおいては、トレンチ分離絶縁膜4で挟まれるSOI層3上に、絶縁膜35を介して抵抗素子30Aが配設されている。そして、絶縁膜35

10

20

30

40

50

および抵抗素子 30A の側面を覆うようにサイドウォール酸化膜 33 が配設されている。

【0127】

このような構成を採ることによっても、スパイラルインダクタ S I の下方に抵抗素子 30 を配設できる。

【0128】

この場合も、抵抗領域 R R の S O I 層 3 には、素子領域での不純物注入に際して、不純物が注入されないように保護する。

【0129】

なお、絶縁膜 35 は、図 16 に示したパッド酸化膜 P D X 1 を、抵抗領域 R R においては除去せずに残し、図 19 を用いて説明したシリコン酸化膜 O X 1 1 の形成に際しては、
パッド酸化膜 P D X 1 上にシリコン酸化膜 O X 1 1 を形成することで実現できる。これにより、絶縁膜 35 の厚さはパッド酸化膜 P D X 1 とシリコン酸化膜 O X 1 1 の厚さの合計の厚さにすることができ、その上に形成される抵抗素子 30 の寄生容量を低減することができる。

10

【0130】

また、例えば、3.3V の入出力 (I/O) トランジスタなどのように、ゲート絶縁膜の厚さ異なるデバイスが複数種類存在する場合には、素子領域では厚さの異なるゲート絶縁膜を形成するが、その場合には、シリコン酸化膜の除去や形成を繰り返すこと (デュアルオキサイドプロセス) がある。このとき、素子領域でのシリコン酸化膜の除去に際しては抵抗領域 R R はレジストマスクで覆うなどして、抵抗領域 R R の S O I 層 3 上においては一旦形成したシリコン酸化膜は除去しないこととする。これにより、S O I 層 3 上には分厚いシリコン酸化膜が形成されることになり、その上に抵抗素子 30 を形成すれば抵抗素子 30 の寄生容量を大幅に低減することができる。

20

【0131】

また、以上の説明においては、素子分離絶縁膜はシリコン酸化膜で構成されるものとして説明したが、シリコン窒化膜で構成しても良い。

【図面の簡単な説明】

【0132】

【図 1】バッファ回路の構成を示す図である。

【図 2】本発明に係る実施の形態の半導体装置の平面構成を説明する図である。

30

【図 3】本発明に係る実施の形態の半導体装置の断面構成を説明する図である。

【図 4】本発明に係る実施の形態の半導体装置の断面構成を説明する図である。

【図 5】本発明に係る実施の形態の半導体装置の断面構成を説明する図である。

【図 6】本発明に係る実施の形態の半導体装置の抵抗領域の製造方法を説明する断面図である。

【図 7】本発明に係る実施の形態の半導体装置の抵抗領域の製造方法を説明する断面図である。

【図 8】本発明に係る実施の形態の半導体装置の抵抗領域の製造方法を説明する断面図である。

【図 9】本発明に係る実施の形態の半導体装置の抵抗領域の製造方法を説明する断面図である。

40

【図 10】本発明に係る実施の形態の半導体装置の抵抗領域の製造方法を説明する断面図である。

【図 11】本発明に係る実施の形態の半導体装置の抵抗領域の製造方法を説明する断面図である。

【図 12】本発明に係る実施の形態の半導体装置の抵抗領域の製造方法を説明する断面図である。

【図 13】本発明に係る実施の形態の半導体装置の抵抗領域の製造方法を説明する断面図である。

【図 14】本発明に係る実施の形態の半導体装置の抵抗領域の製造過程における平面構成

50

を説明する図である。

【図 1 5】本発明に係る実施の形態の半導体装置の抵抗素子および S O I 層の配設状態を説明する平面図である。

【図 1 6】本発明に係る実施の形態の半導体装置の抵抗領域および素子領域の製造方法を説明する断面図である。

【図 1 7】本発明に係る実施の形態の半導体装置の抵抗領域および素子領域の製造方法を説明する断面図である。

【図 1 8】本発明に係る実施の形態の半導体装置の抵抗領域および素子領域の製造方法を説明する断面図である。

【図 1 9】本発明に係る実施の形態の半導体装置の抵抗領域および素子領域の製造方法を説明する断面図である。 10

【図 2 0】本発明に係る実施の形態の半導体装置の抵抗領域および素子領域の製造方法を説明する断面図である。

【図 2 1】本発明に係る実施の形態の半導体装置の抵抗領域および素子領域の製造方法を説明する断面図である。

【図 2 2】本発明に係る実施の形態の半導体装置の抵抗領域および素子領域の製造方法を説明する断面図である。

【図 2 3】本発明に係る実施の形態の半導体装置の抵抗領域および素子領域の製造方法を説明する断面図である。

【図 2 4】本発明に係る実施の形態の半導体装置の抵抗領域および素子領域の製造方法を説明する断面図である。 20

【図 2 5】本発明に係る実施の形態の半導体装置の抵抗領域および素子領域の製造方法を説明する断面図である。

【図 2 6】本発明に係る実施の形態の半導体装置の抵抗領域の製造方法の変形例を説明する断面図である。

【図 2 7】本発明に係る実施の形態の半導体装置の抵抗領域の製造方法の変形例を説明する断面図である。

【図 2 8】本発明に係る実施の形態の半導体装置の抵抗領域の製造方法の変形例を説明する断面図である。

【図 2 9】本発明に係る実施の形態の半導体装置の抵抗領域の製造方法の変形例を説明する断面図である。 30

【図 3 0】本発明に係る実施の形態の半導体装置の抵抗領域と素子領域とで異なる素子分離絶縁膜の厚さについて説明する図である。

【図 3 1】本発明に係る実施の形態の半導体装置の抵抗素子および S O I 層の配設状態の変形例を説明する平面図である。

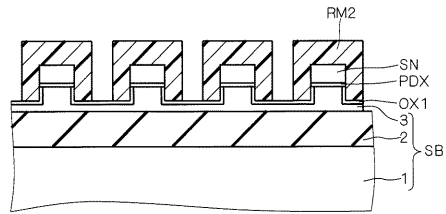
【図 3 2】本発明に係る実施の形態の半導体装置の変形例の構成を説明する断面図である。

【符号の説明】

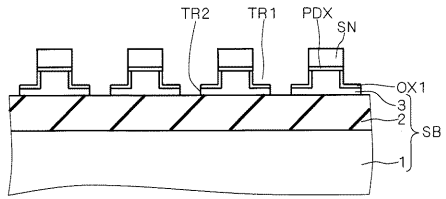
【 0 1 3 3 】

2 埋め込み酸化膜、 3 S O I 層、 4 トレンチ分離絶縁膜、 3 0 抵抗素子、 3 5 絶縁膜、 S I スパイラルインダクタ。 40

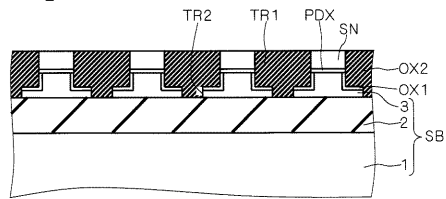
【図 9】



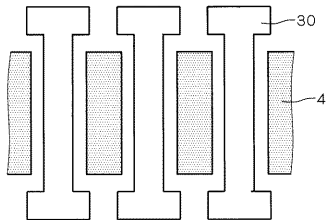
【図 10】



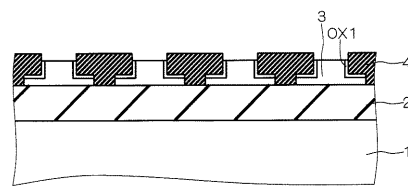
【図 11】



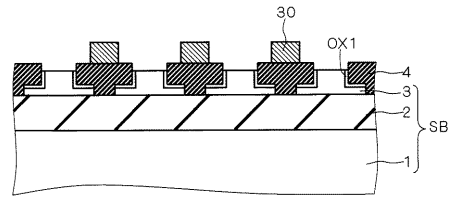
【図 15】



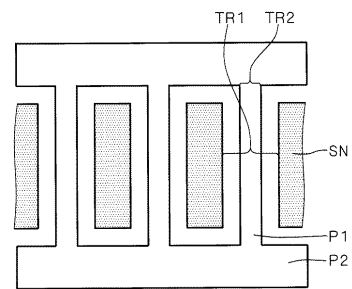
【図 12】



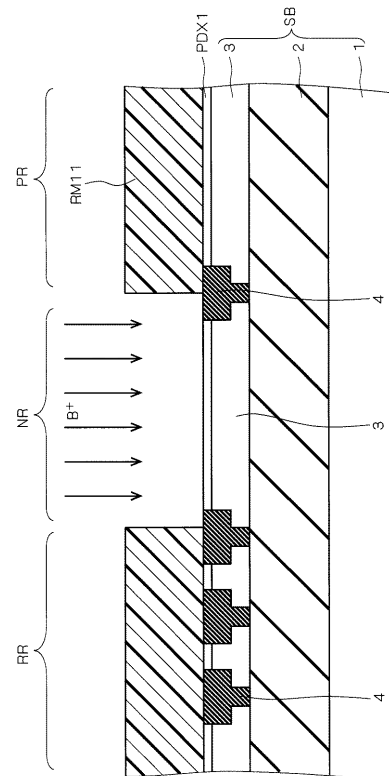
【図 13】



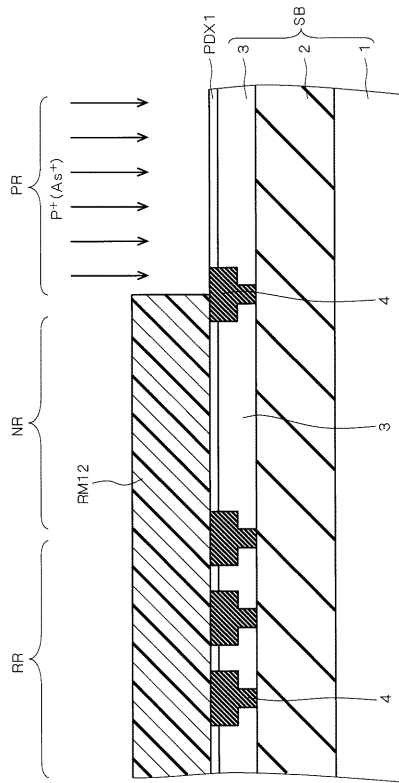
【図 14】



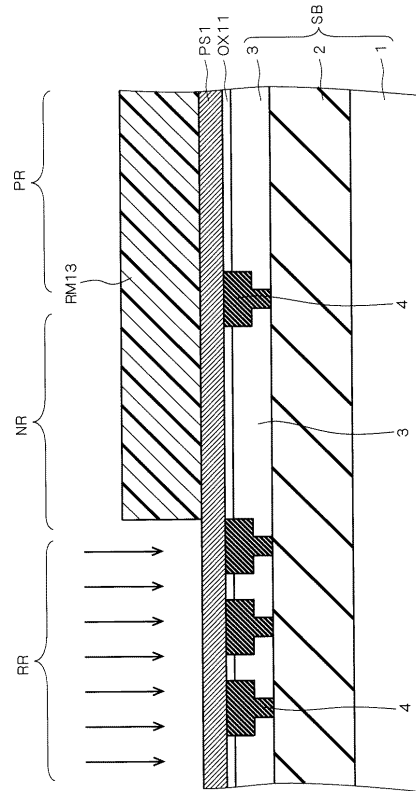
【図 16】



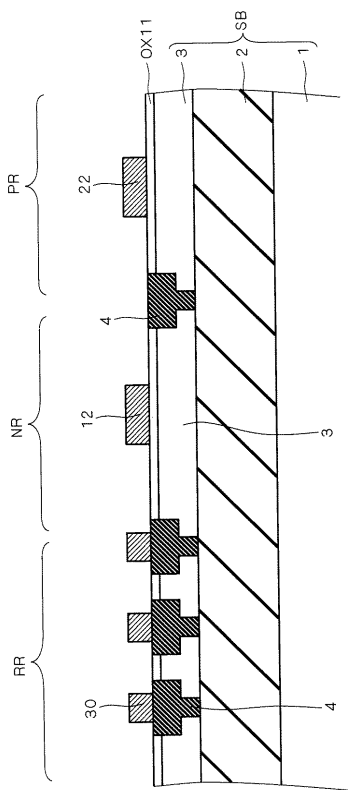
【 図 1 7 】



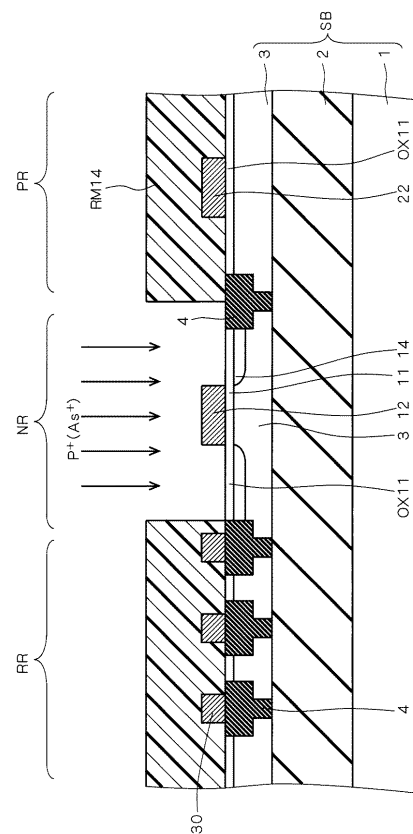
【 図 1 8 】



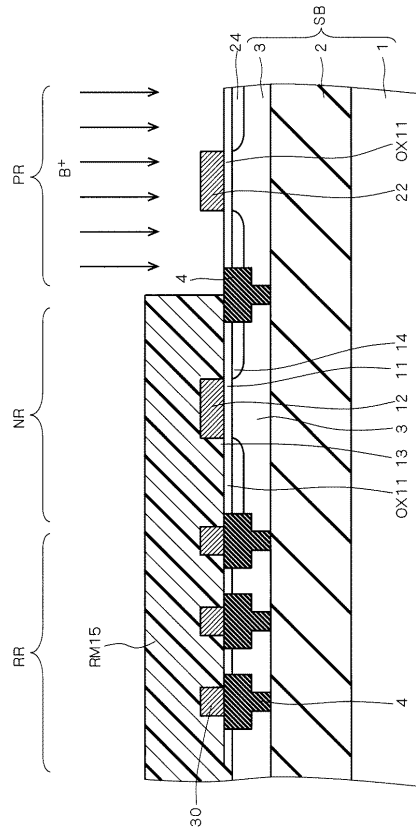
【 図 1 9 】



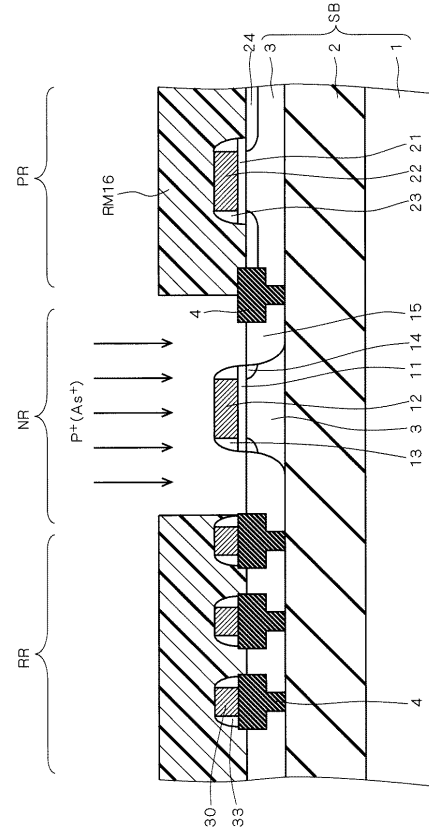
【 図 2 0 】



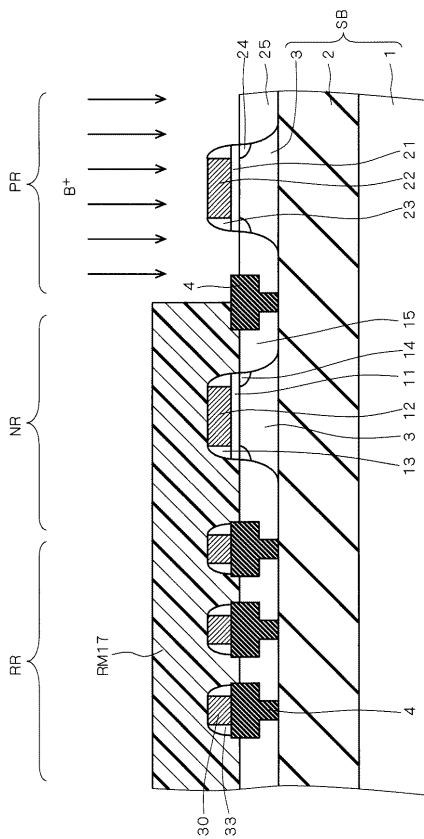
【図 2 1】



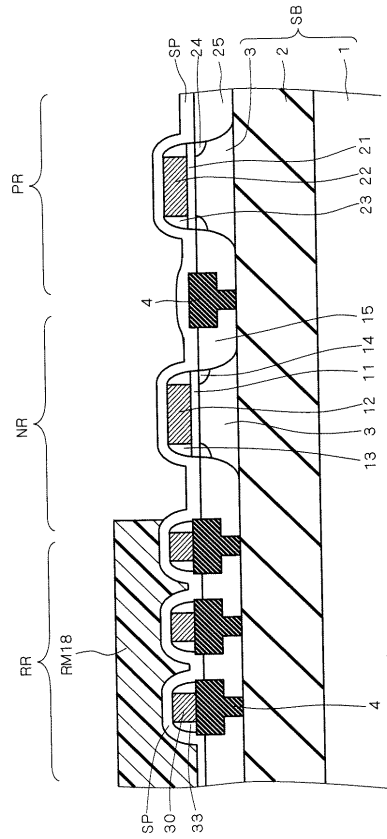
【図 2 2】



【図 2 3】



【図 2 4】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 27/06	H 0 1 L 29/78	6 1 8 F
H 0 1 L 27/08	H 0 1 L 27/04	L
H 0 1 L 29/786	H 0 1 L 27/06	1 0 2 A
	H 0 1 L 21/76	L
	H 0 1 L 21/76	D

F ターム(参考)	5F032	AA03	AA35	AA44	AA45	AA67	AA70	AA77	BA01	BB03	CA14
		CA17	DA23	DA33							
	5F038	AR09	AR24	AR27	AV06	AZ04	BH19	CA18	CD04	DF12	EZ06
		EZ11	EZ14	EZ15	EZ20						
	5F048	AA04	AC04	AC10	BA16	BB05	BB08	BB12	BC06	BC16	BD04
		BE03	BF06	BF11	BF16	BF17	BF18	BG01	BG07	BG13	DA25
	5F110	AA02	AA04	AA15	AA26	BB04	CC02	DD05	DD13	DD24	EE05
		EE09	EE14	EE31	EE41	EE44	EE45	FF02	GG02	GG12	GG25
		GG32	GG34	GG52	GG60	HJ01	HJ13	HK05	HK33	HK40	HM15
		NN02	NN23	NN62	NN65	NN71	QQ11	QQ17	QQ19		