

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月1日(01.10.2020)



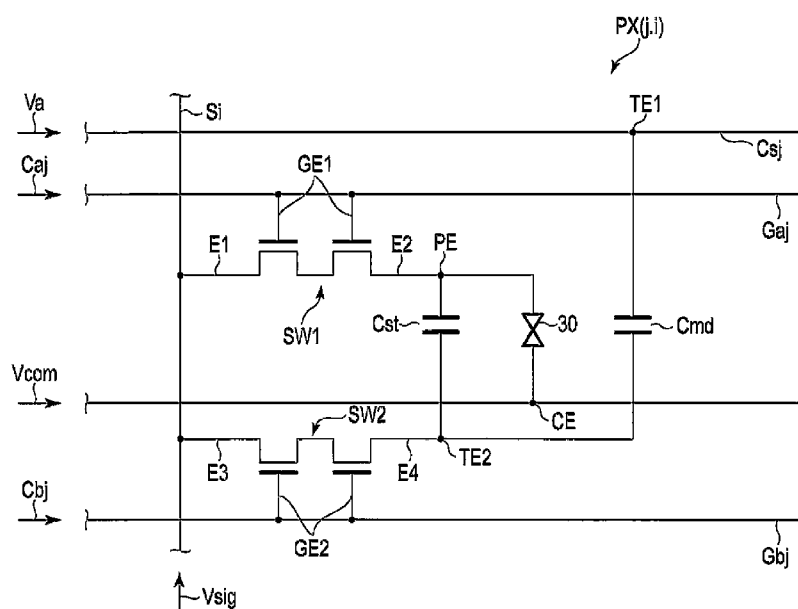
(10) 国際公開番号

WO 2020/195672 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) *G02F 1/1368* (2006.01)
G02F 1/133 (2006.01) *G09G 3/20* (2006.01)
- (21) 国際出願番号: PCT/JP2020/009366
- (22) 国際出願日: 2020年3月5日(05.03.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-063247 2019年3月28日(28.03.2019) JP
- (71) 出願人: 株式会社ジャパンディスプレイ (JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).
- (72) 発明者: 林 宏 宜 (HAYASHI, Hirotaka); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).
- (74) 代理人: 特許業務法人スズエ国際特許事務所 (S & S INTERNATIONAL PPC); 〒1050001 東京都港区虎ノ門一丁目12番9号 スズエ・アンド・スズエビル Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: DISPLAY DEVICE AND METHOD FOR DRIVING SAME

(54) 発明の名称: 表示装置およびその駆動方法



(57) Abstract: Provided are a display device that makes it possible to achieve low power consumption and a method for driving the display device. A display device according to one embodiment of the present invention is provided with first scan lines, second scan lines, signal lines, capacitance wiring, and pixels comprising pixel electrodes, first transparent electrodes connected to the capacitance wiring, second transparent electrodes capacitively coupled with the pixel electrodes, first switches, and second switches. The first transparent electrodes are capacitively coupled with the second

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

transparent electrodes, the first switches are electrically connected to the signal lines, the pixel electrodes, and the first scan lines, and the second switches are electrically connected to the signal lines, the second transparent electrodes, and the second scan lines.

(57) 要約: 低消費電力化を図ることが可能な表示装置および表示装置の駆動方法を提供すること。一実施形態に係る表示装置は、第1走査線と、第2走査線と、信号線と、容量配線と、画素電極、容量配線に接続される第1透明電極、画素電極と静電容量結合している第2透明電極、第1スイッチ、および第2スイッチを有する画素と、を備え、第1透明電極は第2透明電極と静電容量結合し、第1スイッチは信号線と画素電極と第1走査線に電氣的に接続され、第2スイッチは信号線と第2透明電極と第2走査線に電氣的に接続される。

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明の実施形態は、表示装置およびその駆動方法に関する。

背景技術

[0002] 携帯電話端末やパーソナルコンピュータ等の電子機器に搭載される表示装置として、液晶表示装置が広く利用されている。例えば、液晶表示装置は、互いに対向して配置されたアレイ基板および対向基板と、これら両基板間に挟持された液晶層と、マトリクス状に配置された複数の画素と、複数の画素を駆動する駆動回路と、を備えている。

[0003] アレイ基板には、各画素に対応するように画素電極がマトリクス状に配置されている。対向基板には、複数の画素電極と対向するように対向電極が配置されている。液晶層に含まれる液晶分子は、画素電極に印加される電圧と対向電極に印加される電圧とによって、液晶分子の配向状態が制御される。

[0004] 液晶層は、長時間同じ電圧（直流電圧）が印加されていると、液晶層の傾きが固定され、その結果として残像現象を引き起こし、液晶層の寿命を縮めることになる。これを防止するために、液晶表示装置においては、液晶層に印加する電圧をある一定時間毎に交流化、すなわち、対向電極に印加する電圧を基準にして、画素電極に印加する電圧を一定時間毎に正電圧側および負電圧側に変化させるようにしている。すなわち、極性反転駆動を行っている。

[0005] このように液晶層に交流電圧を印加する駆動方法として、画素スイッチが非導通状態の期間に、補助容量線の電圧を制御し、信号線に供給する信号電位の変化量より、画素電極電位の変化量を大きくする容量結合（CC: Capacit y Coupling）駆動方式が知られている。

先行技術文献

特許文献

[0006] 特許文献1：特開2008-281922号公報

発明の概要

発明が解決しようとする課題

[0007] 本開示は、低消費電力化を図ることが可能な表示装置および表示装置の駆動方法を提供することを目的の一つとする。

課題を解決するための手段

[0008] 一実施形態に係る表示装置は、第1走査線と、第2走査線と、信号線と、容量配線と、画素電極、前記容量配線に接続される第1透明電極、前記画素電極と静電容量結合している第2透明電極、第1スイッチ、および第2スイッチを有する画素と、を具備し、前記第1透明電極は前記第2透明電極と静電容量結合し、前記第1スイッチは前記信号線と前記画素電極と前記第1走査線に電氣的に接続され、前記第2スイッチは前記信号線と前記第2透明電極と前記第2走査線に電氣的に接続される。

[0009] また、一実施形態に係る表示装置の駆動方法は、第1走査線と、第2走査線と、信号線と、容量配線と、画素電極、前記容量配線に接続される第1透明電極、前記画素電極と静電容量結合している第2透明電極、第1スイッチ、および第2スイッチを有する画素と、を有し、前記第1透明電極は前記第2透明電極と静電容量結合し、前記第1スイッチは前記信号線と前記画素電極と前記第1走査線に電氣的に接続され、前記第2スイッチは前記信号線と前記第2透明電極と前記第2走査線に電氣的に接続される、表示装置の駆動方法であって、前記第1スイッチおよび前記第2スイッチのそれぞれのオンオフを切り替えるために前記第1走査線に第1制御信号を与えることと、前記第2スイッチのオンオフを切り替えるために前記第2走査線に第2制御信号を与えることと、前記信号線に画像信号を与えることと、前記容量配線に補助電圧を与えることと、第1駆動期間に、前記第1スイッチをオンし、前記第2スイッチをオフし、前記画像信号を前記信号線および前記第1スイッチを介して前記画素電極に与えることと、前記第1駆動期間に続く第2駆動期間に、前記第1スイッチをオフし、前記第2スイッチをオンし、前記画像

信号を前記信号線および前記第2スイッチを介して前記第2透明電極に与えることと、を具備する。

発明の効果

[0010] 本実施形態によれば、低消費電力化を図ることが可能な表示装置および表示装置の駆動方法を提供することができる。

図面の簡単な説明

[0011] [図1]図1は、一実施形態に係る表示装置の構成例を示す平面図である。

[図2]図2は、図1に示した表示装置の断面図である。

[図3]図3は、図1に示した表示装置の主要な構成要素を示す図である。

[図4]図4は、図3に示したレベル変換回路およびVcom引き込み回路を説明するための図である。

[図5]図5は、図3に示した画素を示す等価回路図である。

[図6]図6は、図3に示した画素を示す平面図である。

[図7]図7は、図6に示した線V11ーV11に沿った断面を示す図である。

[図8]図8は、図6に示した線V111ーV111に沿った断面を示す図である。

[図9A]図9Aは、1ライン反転駆動の概要を示す図である。

[図9B]図9Bは、2ライン反転駆動の概要を示す図である。

[図9C]図9Cは、サブフレーム反転駆動の概要を示す図である。

[図10]図10は、表示装置の駆動方法を説明するためのタイミングチャートである。

[図11]図11は、n行m列に位置する画素電極に正極性の画像信号を書き込む例を説明するためのタイミングチャートである。

[図12]図12は、比較例に係る画素を示す等価回路図である。

[図13]図13は、n行m列に位置する画素電極に負極性の画像信号を書き込む例を説明するためのタイミングチャートである。

[図14]図14は、n行m列に位置する画素電極に正極性の画像信号を書き込む別の例を説明するためのタイミングチャートである。

[図15]図15は、 n 行 m 列に位置する画素電極に負極性の画像信号を書き込む別の例を説明するためのタイミングチャートである。

[図16]図16は、変形例に係る表示装置の駆動方法を説明するためのタイミングチャートである。

[図17]図17は、変形例に係る表示装置の駆動方法により、 n 行 m 列に位置する画素電極に正極性の画像信号を書き込む例を説明するためのタイミングチャートである。

[図18]図18は、変形例に係る表示装置の駆動方法により、 n 行 m 列に位置する画素電極に負極性の画像信号を書き込む例を説明するためのタイミングチャートである。

[図19]図19は、変形例に係る表示装置の駆動方法により、 n 行 m 列に位置する画素電極に正極性の画像信号を書き込む別の例を説明するためのタイミングチャートである。

[図20]図20は、変形例に係る表示装置の駆動方法により、 n 行 m 列に位置する画素電極に負極性の画像信号を書き込む別の例を説明するためのタイミングチャートである。

発明を実施するための形態

[0012] いくつかの実施形態につき、図面を参照しながら説明する。

なお、開示はあくまで一例に過ぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有される。また、図面は、説明をより明確にするため、実施の態様に比べて模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。各図において、連続して配置される同一または類似の要素については符号を省略することがある。また、本明細書と各図において、既出の図に関して前述したものと同一または類似した機能を発揮する構成要素には同一の参照符号を付し、重複する詳細な説明を省略することがある。

[0013] 本実施形態においては、表示装置の一例として、高分子分散型液晶を適用

した液晶表示装置について説明する。表示装置は、例えば、デジタルサイネージ、スマートフォン、タブレット端末、携帯電子端末等の種々の装置に用いることができる。

[0014] 図1は、一実施形態における表示装置DSPの構成例を示す平面図である。

図1に示すように、第1方向Xおよび第2方向Yは互いに交差する方向であり、第3方向Zは第1方向Xおよび第2方向Yと交差する方向である。第1方向Xは、列方向に相当し、第2方向Yは、行方向に相当している。一例では、第1方向X、第2方向Y、および第3方向Zは、互いに直交しているが、互いに90度以外の角度で交差していても良い。本明細書において、第3方向Zを示す矢印の先端に向かう方向を上方（あるいは、単に上）と称し、矢印の先端から逆に向かう方向を下方（あるいは、単に下）と称する。

[0015] 表示装置DSPは、表示パネルPNL、配線基板F1、F2等を備えている。表示パネルPNLは、画像を表示する表示領域DA、および表示領域DAを囲む額縁状の非表示領域NDAを備えている。表示パネルPNLは、n本の第1走査線Ga（Ga1～Gan）、n本の第2走査線Gb（Gb1～Gbn）、m本の信号線S（S1～Sm）等を備えている。なお、nおよびmはいずれも正の整数であり、nがmと等しくても良いし、nがmとは異なっても良い。複数の第1走査線Gaおよび複数の第2走査線Gbは、表示領域DAにて、それぞれ第1方向Xに延在し、第2方向Y（行方向）に1行目、2行目、3行目・・・と間隔をおいて並んでいる。複数の信号線Sは、表示領域DAにて、それぞれ第2方向Yに延在し、第1方向X（列方向）に1列目、2列目、3列目・・・と間隔をおいて並んでいる。

[0016] 表示パネルPNLは、複数の第1接続配線CW1および複数の第2接続配線CW2を備えている。複数の第1接続配線CW1は、非表示領域NDAに設けられ、第1走査線Ga、第2走査線Gb、および信号線Sのいずれか一つに電氣的に接続されている。本実施形態において、第1接続配線CW1は、信号線Sと同一の材料で形成されている。複数の第2接続配線CW2は、

非表示領域NDAに設けられ、複数の第1接続配線CW1に1対1で接続されている。本実施形態において、第2接続配線CW2は、第1走査線Gaおよび第2走査線Gbと同一の材料で形成されている。

[0017] また、これに限らず複数の第1接続配線CW1は第1走査線Gaおよび第2走査線Gbと同一の材料で形成されても良く、さらには後述する容量配線Csと同一の材料で形成されても良い。

[0018] 表示パネルPNLは、第1方向Xに延在する端辺En1、En2と、第2方向Yに延在する端辺En3、En4と、を有している。本実施形態において、端辺En1、En2はそれぞれ長辺であり、端辺En3、En4はそれぞれ短辺である。

[0019] 走査線駆動回路GD1、GD2、および信号線駆動回路SD1、SD2、SD3は、表示パネルPNLの非表示領域NDAに実装されている。本実施形態において、走査線駆動回路GD1、信号線駆動回路SD1、信号線駆動回路SD2、信号線駆動回路SD3、および走査線駆動回路GD2は、表示領域DAと端辺En2との間に位置し、第1方向Xに順に並んでいる。走査線駆動回路GD1、GD2、および信号線駆動回路SD1、SD2、SD3は、それぞれ複数の第2接続配線CW2と電氣的に接続されている。

[0020] 配線基板F1は、表示パネルPNLおよび配線基板F2に接続されている。配線基板F1は、走査線駆動回路GD1、GD2、および信号線駆動回路SD1、SD2、SD3と電氣的に接続されている。配線基板F2は、タイミングコントローラTCや電源回路PC等を備えている。配線基板F1は、配線基板F2のコネクタCTに接続されている。なお、配線基板F1、F2は、単一の配線基板に置換されても良い。上記した走査線駆動回路GD1、GD2、信号線駆動回路SD1、SD2、SD3、およびタイミングコントローラTCは、本実施形態の駆動部DRを構成している。駆動部DRは、第1走査線Ga、第2走査線Gb、信号線S、後述する容量配線、および後述する共通電極のそれぞれの駆動を制御するように構成されている。

[0021] また、走査線駆動回路GD1、GD2、および信号線駆動回路SD1、S

D 2, S D 3 は、例えばドライバ I C であり、ドライバ I C の走査線駆動回路 G D 1, G D 2 および信号線駆動回路 S D 1, S D 2, S D 3 は表示パネル P N L に実装される例に限らず、配線基板 F 1 もしくは配線基板 F 2 に実装される構造であっても良い。

[0022] 図示した例では、端辺 E n 1 の側から奇数番目の第 1 走査線 G a 1, ..., G a (n - 1) および第 2 走査線 G b 1, ..., G b (n - 1) が走査線駆動回路 G D 1 に接続され、偶数番目の第 1 走査線 G a 2, ..., G a n および第 2 走査線 G b 2, ..., G b n が走査線駆動回路 G D 2 に接続されている。但し、第 1 走査線 G a および第 2 走査線 G b と、走査線駆動回路 G D 1, G D 2 との接続関係は図示した例に限定されるものではない。例えば、走査線駆動回路 G D 1, G D 2 を単一の走査線駆動回路に置換し、全ての第 1 走査線 G a および全ての第 2 走査線 G b を単一の走査線駆動回路に接続しても良い。信号線 S と、信号線駆動回路 S D 1, S D 2, S D 3 との接続関係も図示した例に限定されるものではない。信号線駆動回路 S D 1, S D 2, S D 3 を単一の信号線駆動回路に置換し、全ての信号線 S を単一の信号線駆動回路に接続しても良い。

[0023] 図 2 は、図 1 に示した表示装置 D S P の断面図である。ここでは、第 2 方向 Y および第 3 方向 Z によって規定される Y - Z 平面における表示装置 D S P の断面において、主要部のみを説明する。

[0024] 図 2 に示すように、表示パネル P N L は、第 1 基板 S U B 1、第 2 基板 S U B 2、表示機能層としての液晶層 3 0 等を備えている。第 1 基板 S U B 1 は、透明基板 1 0、画素電極 P E、配向膜 A F 1 等を備えている。第 2 基板 S U B 2 は、透明基板 2 0、共通電極 C E、配向膜 A F 2 等を備えている。画素電極 P E および共通電極 C E は、例えばインジウム錫酸化物 (I T O) やインジウム亜鉛酸化物 (I Z O) 等の透明な導電材料によって形成されている。

[0025] 液晶層 3 0 は、少なくとも表示領域 D A に位置している。液晶層 3 0 は、高分子分散液晶を含み、配向膜 A F 1 と配向膜 A F 2 との間に位置している

。本実施形態の液晶層30は、リバーズ型高分子分散液晶（R-PDLC: reverse mode polymer dispersed liquid crystal）を利用している。上記の液晶層30は、印加される電圧が低い場合に入射される光の平行度を維持し、印加される電圧が高い場合に入射される光を散乱させる。第1基板SUB1および第2基板SUB2は、シール材40によって接合されている。第1基板SUB1は、透明基板20の端部20Eよりも第2方向Yに延出した延出部EXを有している。

[0026] 配線基板F1は、第1基板SUB1の延出部EXに実装され、延出部EXに物理的に固定されている。延出部EXは第1基板SUB1が第2基板SUB2から露出された（もしくは重畳しない）部分である。また、配線基板F1は、延出部EXの図示しないパッドに電氣的に接続されている。なお、上記パッドは、上記した走査線駆動回路GD1、GD2、および信号線駆動回路SD1、SD2、SD3と電氣的に接続されている。

[0027] 光源ユニットLUは、表示領域DAの外側の非表示領域NDAに位置している。光源ユニットLUは、発光素子LS、配線基板F3等を備えている。発光素子LSは、配線基板F3に接続され、延出部EXの上に位置している。発光素子LSは、端部20Eと対向する発光部（発光面）EMを有している。発光部EMから出射された照明光は、端部20Eに入射し、表示パネルPNLを伝播する。

[0028] 図3は、図1に示した表示装置DSPの主要な構成要素を示す図である。

図3に示すように、表示装置DSPは、図中に破線で示すコントローラCNTを備えている。コントローラCNTは、タイミングコントローラTC、走査線駆動回路GD1、GD2、信号線駆動回路SD1、SD2、SD3、Vcom回路VC、補助回路AC、レベル変換回路（L/S回路）LSC、Vcom引き込み回路LIC、および光源ドライバLSD等を含んでいる。なお、レベル変換回路LSCおよびVcom引き込み回路LICについては、図4と共に後述するため、ここではその詳しい説明は省略する。

[0029] タイミングコントローラTCは、外部から入力された画像データや同期信号等に基づいて各種信号を生成する。一例では、タイミングコントローラTCは、画像データに基づき、所定の信号処理を行って生成した画像信号（例えば、映像信号）を信号線駆動回路SD1、SD2、SD3に出力する。また、タイミングコントローラTCは、同期信号に基づいて生成した制御信号を、走査線駆動回路GD1、GD2、信号線駆動回路SD1、SD2、SD3、Vcom回路VC、補助回路AC、レベル変換回路LSC、および光源ドライバLSにそれぞれ出力する。タイミングコントローラTCの詳細については後述する。

[0030] 図中に二点鎖線で示す表示領域DAは、複数の画素PXを備えている。複数の画素PXは、第1方向Xおよび第2方向Yにマトリクス状に設けられている。各画素PXは、第1走査線Ga、第2走査線Gb、信号線S、および容量配線Csと電氣的に接続されている。なお、n本の容量配線Cs（Cs1～Csn）は、表示領域DAにて、それぞれ第1方向Xに延在し、第2方向Yに間隔を置いて並んでいる。

[0031] 共通電極CEは表示領域DAに位置している。共通電極CEは、複数の画素PXで共用されている。共通電極CEは、画素PXの一部を構成している。第1走査線Gaの各々には、走査線駆動回路GD1またはGD2から第1制御信号が与えられる。第2走査線Gbの各々には、走査線駆動回路GD1またはGD2から第2制御信号が与えられる。信号線Sの各々には、信号線駆動回路SD1、SD2またはSD3から画像信号（映像信号）が与えられる。共通電極CEには、Vcom回路VCからコモン電圧Vcomが与えられる。容量配線Csには、補助回路ACから補助電圧Va（例えば、コモン電圧Vcomと同一の電圧）が与えられる。

[0032] 本実施形態において、複数の信号線Sは、セクタ回路を介すること無しに信号線駆動回路SDと接続されている。そのため、信号線駆動回路SDは、全ての信号線Sに画像信号を同時に与えることができる。但し、本実施形態と異なり、複数の信号線Sは、セクタ回路を介して信号線駆動回路SD

と接続されていても良い。この場合、複数の信号線Sは時分割的に駆動され、複数の信号線Sには、時分割的に画像信号が与えられる。

[0033] また、走査線駆動回路GD1, GD2はドライバICの例に限らず、第1基板SUB1上に形成されたゲート内蔵回路であっても良く、信号線駆動回路SDに接続されるセクタ回路も第1基板SUB1上に形成された内蔵回路であっても良い。

[0034] 光源ユニットLUは、液晶層30に無彩色以外の色の光を照射するように構成されている。光源ユニットLUは、複数色の発光素子LSを備えている。例えば、光源ユニットLUは、液晶層30に第1色の光を照射する発光素子（第1発光素子）LSRと、液晶層30に第2色の光を照射する発光素子（第2発光素子）LSGと、液晶層30に第3色の光を照射する発光素子（第3発光素子）LSBと、を備えている。上記の第1色、第2色、および第3色が、互いに異なる色であることは言うまでもない。本実施形態において、第1色は赤色、第2色は緑色、第3色は青色である。光源ドライバLSDは、これらの発光素子LSR、LSG、LSBの点灯期間を制御する。後に詳述するが、1フレーム期間が複数のサブフレーム期間を有する駆動方式においては、各サブフレームにおいて3つの発光素子LSR、LSG、LSBのうちの少なくとも一つが点灯し、サブフレーム毎に照明光の色が切り替えられる。

[0035] また、光源ユニットLUは、上述のように第1色、第2色、第3色の発光素子LSを備えたカラー表示用に限らず、白色の発光素子のみを備え、モノクロ表示に用いるものであっても良い。

[0036] ここで、図4を参照して、図3に示したレベル変換回路LSCおよびVcom引き込み回路LICについて説明する。

Vcom回路VCから供給されるコモン電圧Vcomは、共通電極CEに供給されると共に、Vcom引き込み回路LICにも供給される。Vcom引き込み回路LICは、信号線駆動回路SDと各信号線Sとの間に介在している。Vcom引き込み回路LICは、信号線駆動回路SDから出力される

画像信号を各信号線Sに供給する。また、Vcom引き込み回路LICは、Vcom回路VCからのコモン電圧Vcomを各信号線Sに供給する。

[0037] Vcom引き込み回路LICは、図4に示すように、スイッチング素子SW1～SWmを備えている。スイッチング素子SW1～SWmは、例えば表示パネルPNLの第1基板SUB1に配置されている。スイッチング素子SW1～SWmの入力端（ソース）には配線LN1が接続され、出力端（ドレイン）には各信号線S1～Smがそれぞれ接続され、制御端（ゲート）には配線LN2が接続されている。

[0038] Vcom回路VCは、配線LN1にコモン電圧Vcomを供給する。この動作は、後述する垂直ブラंक期間において行われる。Vcom引き込み回路LICがコモン電圧Vcomを信号線S1～Smに供給する際、信号線駆動回路SDの出力は、ハイ・インピーダンスに制御される。タイミングコントローラTCは、上記動作を実行する際に、制御信号をレベル変換回路LSCに出力する。レベル変換回路LSCは、この制御信号を所定レベルの電圧に変換して配線LN2に供給する。配線LN2に制御信号が供給されると、配線LN1と各信号線S1～Smとが導通し、配線LN1のコモン電圧Vcomが各信号線S1～Smに供給される。

[0039] なお、図3および図4では、コントローラCNTがレベル変換回路LSCおよびVcom引き込み回路LICを備えている場合を例示したが、これに限定されず、レベル変換回路LSCおよびVcom引き込み回路LICの代わりに、信号線Sに対してコモン電圧Vcomを供給可能な回路が信号線駆動回路SDに別途設けられても良い。

[0040] 次に、上記した複数の画素PXを代表し、j行i列に位置する1画素PX（j，i）について説明する。なお、複数の画素PXは、同様に構成されている。図5は、図3に示した画素PXを示す等価回路図である。

[0041] 図5に示すように、画素PXは、画素電極PE、第1透明電極TE1、第2透明電極TE2、第1スイッチSW1、第2スイッチSW2、および共通電極CEを有している。

- [0042] 共通電極C E には、駆動部D R からコモン電圧V c o m が与えられる。液晶層3 0 には、画素電極P E と共通電極C E との間に印加される電圧がかかる。第2 透明電極T E 2 は、画素電極P E と静電容量結合している。換言すると、第2 透明電極T E 2 および画素電極P E は、コンデンサC s t を形成している。第1 透明電極T E 1 は、容量配線C s j と電氣的に接続され、また、第2 透明電極T E 2 と静電容量結合している。換言すると、第1 透明電極T E 1 および第2 透明電極T E 2 は、コンデンサC m d を形成している。
- [0043] なお、2 以上の画素電極P E 同士は電氣的に接続されない。同様に、2 以上の第1 透明電極T E 1 同士は電氣的に接続されないし、2 以上の第2 透明電極T E 2 同士も電氣的に接続されない。なぜなら、画素P X が異なると、画素電極P E の電位が異なったり、第1 透明電極T E 1 の電位が異なったり、第2 透明電極T E 2 の電位が異なったりすることがあり得るためである。
- [0044] 第1 スイッチS W 1 および第2 スイッチS W 2 は、薄膜トランジスタ（T F T）等のスイッチング素子で構成されている。本実施形態において、第1 スイッチS W 1 および第2 スイッチS W 2 は、それぞれNチャネル型かつダブルゲート型のT F Tである。
- [0045] 第1 スイッチS W 1 は、第1 ゲート電極G E 1、第1 電極E 1、および第2 電極E 2 を有している。第1 ゲート電極G E 1 は、第1 走査線G a j に電氣的に接続されている。第1 電極E 1 は、信号線S i に接続されている。第2 電極E 2 は、画素電極P E に電氣的に接続されている。第1 スイッチS W 1 のオンオフは、第1 走査線G a j を介して与えられる第1 制御信号C a j に基づいて切り替えられる。第1 スイッチS W 1 がオンした状態、すなわち、第1 スイッチS W 1 を構成するT F Tが導通状態に切り替わった状態にて、駆動部D R が信号線S i に画像信号V s i g を出力すると、画像信号V s i g は、信号線S i および第1 スイッチS W 1 を介して画素電極P E に与えられる。
- [0046] 第2 スイッチS W 2 は、第2 ゲート電極G E 2、第3 電極E 3、および第4 電極E 4 を有している。第2 ゲート電極G E 2 は、第2 走査線G b j に電

氣的に接続されている。第3電極E3は、信号線S_iに接続されている。第4電極E4は、第2透明電極TE2に電氣的に接続されている。第2スイッチSW2のオンオフは、第2走査線Gb_jを介して与えられる第2制御信号Cb_jに基づいて切り替えられる。第2スイッチSW2がオンした状態、すなわち、第2スイッチSW2を構成するTF_Tが導通状態に切り替わった状態にて、駆動部DRが信号線S_iに画像信号Vsigを出力すると、画像信号Vsigは、信号線S_iおよび第2スイッチSW2を介して第2透明電極TE2に与えられる。

[0047] 第2方向Yに並んだ各行の複数の画素PXは、複数の第1走査線Ga、複数の第2走査線Gb、および複数の容量配線Csのうち、対応する一つの第1走査線Ga、対応する一つの第2走査線Gb、および対応する一つの容量配線Csに共通して接続されている。例えば、j行目の複数の画素PXは、第1走査線Ga_j、第2走査線Gb_j、および容量配線Cs_jに共通して接続されている。

[0048] 第1方向Xに並んだ各列の複数の画素PXは、複数の信号線Sのうち、対応する一つの信号線Sに共通して接続されている。例えば、i列目の複数の画素PXは、信号線S_iに共通して接続されている。

[0049] 図6は、表示装置DSPの表示パネルPNLの一部を示す平面図であり、画素PXを示す図である。なお、図6において、後述する遮光層SH1、SH2の図示は省略している。

図6に示すように、容量配線Cs_jは、平面視にて、第2走査線Gb_jより第1走査線Ga_jの近傍に位置し、第2透明電極TE2に距離を置いて位置している。第2方向Yにおいて、第1走査線Ga_jは、容量配線Cs_jと第2走査線Gb_jとの間に位置している。本実施形態において、第2走査線Gb_{j-1}、容量配線Cs_j、および第1走査線Ga_jは、第2方向Yに間隔を置いて設けられている。また、第2走査線Gb_j、容量配線Cs_{j+1}、および第1走査線Ga_{j+1}は、第2方向Yに間隔を置いて設けられている。

- [0050] 平面視にて、第1スイッチSW1および第2スイッチSW2は、実質的に第1走査線Ga_jと第2走査線Gb_jとの間に位置し、実質的に信号線S_iと信号線S_{i+1}との間に位置している。上記のことから、第1スイッチSW1および第2スイッチSW2は、実質的に、第1走査線Ga_j、第2走査線Gb_j、信号線S_i、および信号線S_{i+1}で囲まれた領域に位置している。第1走査線Ga_j、第2走査線Gb_j、信号線S_i、および信号線S_{i+1}で囲まれた領域とは、本実施例においては第1走査線Ga_j、第2走査線Gb_j、信号線S_i、および信号線S_{i+1}のそれぞれの配線幅の中心を通る仮想的な中心線で4辺を囲われる領域とする。
- [0051] 画素電極PE、第1透明電極TE1および第2透明電極TE2は、平面視にて、第1スイッチSW1および第2スイッチSW2のそれぞれと対向している。
- [0052] 画素電極PEは四角形の形状を有し、容量配線Cs_j、容量配線Cs_{j+1}、信号線S_iおよび信号線S_{i+1}で囲まれた領域に位置している。容量配線Cs_j、容量配線Cs_{j+1}、信号線S_iおよび信号線S_{i+1}で囲まれた領域とは、本実施例においては容量配線Cs_j、容量配線Cs_{j+1}、信号線S_iおよび信号線S_{i+1}のそれぞれの配線幅の中心を通る仮想的な中心線で4辺を囲われる領域とする。本実施形態において、画素電極PEは、第1走査線Ga_jおよび第2走査線Gb_jに重なり、容量配線Cs_j、容量配線Cs_{j+1}、信号線S_iおよび信号線S_{i+1}に重なっていない。
- [0053] 第2透明電極TE2は、画素電極PEよりも小さく、その全面が画素電極PEと重なっている。換言すると、第2透明電極TE2は、容量配線Cs_j、容量配線Cs_{j+1}、信号線S_iおよび信号線S_{i+1}で囲まれた領域に位置する画素電極PEのそのさらに内側の領域に位置している。本実施形態において、第2透明電極TE2は、第2電極E2と対向する位置にノッチ部NT（切り欠き部）を有している。
- [0054] 第1透明電極TE1は、表示パネルPNLの全面に亘って設けられている。第1透明電極TE1は、第1開口部OP1および第2開口部OP2を有し

ている。第1開口部OP1は、画素電極PEを第1スイッチSW1にコンタクトさせるために用いられる。画素電極PEは、第1透明電極TE1の第1開口部OP1を通り、第1スイッチSW1の第2電極E2にコンタクトしている。第2開口部OP2は、第2透明電極TE2を第2スイッチSW2にコンタクトさせるために用いられる。第2透明電極TE2は、第1透明電極TE1の第2開口部OP2を通り、第2スイッチSW2の第4電極E4にコンタクトしている。

[0055] 第1スイッチSW1において、第1電極E1は、例えば、第1方向Xに延在し、第2方向Yに延在した信号線Siと一体に形成されている。第2電極E2は、例えば、第1方向Xに延在し、ノッチ部NTと対向し、画素電極PEに接続されている。第1ゲート電極GE1は、それぞれ、第1方向Xに延在し、第1電極E1と第2電極E2との間に位置し、第1方向Xに延在した第1走査線Gajと一体に形成されている。

[0056] 第1スイッチSW1の第1半導体層SMC1は、第1電極E1、第1ゲート電極GE1および第2電極E2のそれぞれと対向し、第2方向Yに連続的に延在している。

[0057] 第2スイッチSW2において、第3電極E3は、例えば、第2方向Yに延在し、第2方向Yに延在した信号線Siと一体に形成されている。第4電極E4は、例えば、第1方向Xに延在し、第2透明電極TE2に接続されている。第2ゲート電極GE2は、それぞれ、第2方向Yに延在し、第3電極E3と第4電極E4との間に位置し、第1方向Xに延在した第2走査線Gb jと一体に形成されている。

[0058] 第2スイッチSW2の第2半導体層SMC2は、第3電極E3、第2ゲート電極GE2および第4電極E4のそれぞれと対向し、第1方向Xに連続的に延在している。

[0059] 上記した第1電極E1～第4電極E4、および信号線Sは、同一の遮光性の金属材料で形成されている。例えば、第1電極E1～第4電極E4、および信号線Sは、それぞれ3層積層構造（Ti系/AI系/Ti系）が採用さ

れ、Ti（チタン）、Tiを含む合金等、Tiを主成分とする金属材料からなる下層と、Al（アルミニウム）、Alを含む合金等、Alを主成分とする金属材料からなる中間層と、Ti、Tiを含む合金等、Tiを主成分とする金属材料からなる上層と、を有している。

[0060] 第1ゲート電極GE1および第2ゲート電極GE2と、第1走査線Gaおよび第2走査線Gbとは、同一の遮光性の金属材料で形成されている。例えば、第1ゲート電極GE1および第2ゲート電極GE2と、第1走査線Gaおよび第2走査線Gbとは、Al、Ti、銀（Ag）、モリブデン（Mo）、タングステン（W）、銅（Cu）、クロム（Cr）等の金属材料や、これらの金属材料を組み合わせた合金等によって形成され、単層構造であっても良いし、多層構造であっても良い。本実施形態において、第1ゲート電極GE1および第2ゲート電極GE2と、第1走査線Gaおよび第2走査線Gbとは、Moで形成されている。

[0061] 容量配線Csは、遮光性の金属材料で形成されている。例えば、容量配線Csは、3層積層構造（Mo系／Al系／Mo系）が採用され、Mo、Moを含む合金等、Moを主成分とする金属材料からなる下層と、Al、Alを含む合金等、Alを主成分とする金属材料からなる中間層と、Mo、Moを含む合金等、Moを主成分とする金属材料からなる上層と、を有している。

[0062] 第2透明電極TE2は、第2スイッチSW2、コンデンサCstおよびコンデンサCmdの共通のノードとして機能している。そのため、第2透明電極TE2が上記ノードとして機能していない場合と比較して、画素PXにおける、第2スイッチSW2の面積効率を高くすることができる。例えば、第4電極E4および第2透明電極TE2をつなぐ配線を減らすことができ、画素PXの開口面積を大きくとることができる。

[0063] 次に、表示パネルPNLの断面構造について説明する。図7は、図6の表示パネルPNLを線VⅠⅠ－VⅠⅠに沿って示す断面図である。なお、図7においては、説明の便宜上、第1基板SUB1側の断面のみを図示し、液晶層30および第2基板SUB2側の断面の図示を省略している。

- [0064] 図7に示すように、第1基板SUB1は、透明基板10、絶縁層11～17、遮光層SH1、第1半導体層SMC1、信号線Si（第1電極E1）、第1ゲート電極GE1、第2電極E2、第1透明電極TE1、容量配線Cs_j、第2透明電極TE2、画素電極PEおよび配向膜AF1、等を備えている。
- [0065] 透明基板10は、絶縁性を有する透明基板としてガラス基板を利用することができる。但し、透明基板10にガラス基板以外の基板を利用しても良い。例えば、透明基板10は樹脂基板であっても良い。
- [0066] 透明基板10の上に、絶縁層11～17が順に配置されている。絶縁層11～14、16、17は、シリコン酸化物やシリコン窒化物等の無機絶縁層、またはそれらの積層体で形成されている。絶縁層15は、有機絶縁層で形成されている。
- [0067] 遮光層SH1は、絶縁層11の上に位置し、絶縁層12で覆われている。遮光層SH1は、金属材料で形成されているが、黑色樹脂等の遮光材料で形成されていても良い。
- [0068] 第1半導体層SMC1は、絶縁層12の上に位置し、絶縁層13で覆われている。第1ゲート電極GE1は、絶縁層13の上に位置し、絶縁層14で覆われている。第1半導体層SMC1は、二つの第1チャネル領域RC1、第1低抵抗領域R1、および第2低抵抗領域R2を有している。第1チャネル領域RC1は、第1低抵抗領域R1と第2低抵抗領域R2との間に位置している。各々の第1チャネル領域RC1は、第1ゲート電極GE1と対向している。
- [0069] 第1低抵抗領域R1は、信号線Si（第1電極E1）に電氣的に接続され、第1チャネル領域RC1より低抵抗である。なお、信号線Si（第1電極E1）は、絶縁層13および絶縁層14を貫通し、第1低抵抗領域R1と対向する領域に位置した1以上のコンタクトホールCH1を通り、第1低抵抗領域R1に電氣的に接続されている。
- [0070] 第2低抵抗領域R2は、第2電極E2に電氣的に接続され、第1チャネル

領域 R C 1 より低抵抗である。なお、第 2 電極 E 2 は、絶縁層 1 3 および絶縁層 1 4 を貫通し、第 2 低抵抗領域 R 2 と対向する領域に位置した 1 以上のコンタクトホール C H 2 を通り、第 2 低抵抗領域 R 2 に電氣的に接続されている。

[0071] 遮光層 S H 1 は、第 1 スイッチ S W 1 と対向している。遮光層 S H 1 は、第 1 半導体層 S M C 1 のうち、少なくとも第 1 チャネル領域 R C 1 の全体と対向している。

[0072] 信号線 S i (第 1 電極 E 1) および第 2 電極 E 2 は、絶縁層 1 4 の上に位置し、絶縁層 1 5 で覆われている。第 1 透明電極 T E 1 は、絶縁層 1 5 の上に位置し、絶縁層 1 6 で覆われている。第 1 透明電極 T E 1 は、第 2 電極 E 2 と対向する領域には形成されず、当該領域には第 1 開口部 O P 1 (コンタクトホール) が形成されている。第 1 透明電極 T E 1 の上には、容量配線 C S j が形成され、当該容量配線 C S j は絶縁層 1 6 で覆われている。容量配線 C s j は、信号線 S i (第 1 電極 E 1) と対向する領域に形成されている。

[0073] 第 2 透明電極 T E 2 は、絶縁層 1 6 の上に位置し、絶縁層 1 7 で覆われている。画素電極 P E は、絶縁層 1 7 の上に位置し、第 1 開口部 O P 1 を介して第 2 電極 E 2 に電氣的に接続されている。つまり、画素電極 P E は、第 2 電極 E 2 を介して、上記した第 2 低抵抗領域 R 2 とも電氣的に接続されている。画素電極 P E は、配向膜 A F 1 で覆われている。第 2 透明電極 T E 2、絶縁層 1 7、および画素電極 P E は、コンデンサ C s t を形成している。コンデンサ C s t の容量の大きさは、絶縁層 1 7 の膜厚に応じて設定される。

[0074] 第 1 透明電極 T E 1、第 2 透明電極 T E 2、および画素電極 P E は、I T O 等の光透過性の導電材料によって形成されている。そのため、I P S (In Plane Switching) モードの一種である F F S (Fringe Field Switching) モードの液晶表示パネルと同様の製造方法にて、第 1 基板 S U B 1 を形成することが可能である。

[0075] 図 8 は、図 5 の表示パネル P N L を線 V I I I - V I I I に沿って示す断

面図である。

図8に示すように、第1基板SUB1は、透明基板10、絶縁層11～17、遮光層SH2、第2半導体層SMC2、信号線Si（第3電極E3）、第2ゲート電極GE2、第4電極E4、第1透明電極TE1、第2透明電極TE2、画素電極PEおよび配向膜AF1、等を備えている。

[0076] 遮光層SH2は、絶縁層11の上に位置し、絶縁層12で覆われている。遮光層SH2は、金属材料で形成されているが、黑色樹脂等の遮光材料で形成されていても良い。

[0077] 第2半導体層SMC2は、絶縁層12の上に位置し、絶縁層13で覆われている。第2ゲート電極GE2は、絶縁層13の上に位置し、絶縁層14で覆われている。第2半導体層SMC2は、二つの第2チャネル領域RC2、第3低抵抗領域R3、および第4低抵抗領域R4を有している。第2チャネル領域RC2は、第3低抵抗領域R3と第4低抵抗領域R4との間に位置している。各々の第2チャネル領域RC2は、第2ゲート電極GE2と対向している。

[0078] 第3低抵抗領域R3は、信号線Si（第3電極E3）に電氣的に接続され、第2チャネル領域RC2より低抵抗である。なお、信号線Si（第3電極E3）は、絶縁層13および絶縁層14を貫通し、第3低抵抗領域R3と対向する領域に位置した1以上のコンタクトホールCH3を通り、第3低抵抗領域R3に電氣的に接続されている。

[0079] 第4低抵抗領域R4は、第4電極E4に電氣的に接続され、第2チャネル領域RC2より低抵抗である。なお、第4電極E4は、絶縁層13および絶縁層14を貫通し、第4低抵抗領域R4と対向する領域に位置した1以上のコンタクトホールCH4を通り、第4低抵抗領域R4に電氣的に接続されている。

[0080] 遮光層SH2は、第2スイッチSW2と対向している。遮光層SH2は、第2半導体層SMC2のうち、少なくとも第2チャネル領域RC2の全体と対向している。

- [0081] 信号線 S_i (第3電極 E_3) および第4電極 E_4 は、絶縁層 14 の上に位置し、絶縁層 15 で覆われている。第1透明電極 TE_1 は、絶縁層 15 の上に位置し、絶縁層 16 で覆われている。第1透明電極 TE_1 は、第4電極 E_4 と対向する領域には形成されず、当該領域には第2開口部 OP_2 (コンタクトホール) が形成されている。
- [0082] 第2透明電極 TE_2 は、絶縁層 16 の上に位置し、第2開口部 OP_2 を介して第4電極 E_4 に電氣的に接続されている。つまり、第2透明電極 TE_2 は、第4電極 E_4 を介して、上記した第4低抵抗領域 R_4 とも電氣的に接続されている。画素電極 PE は、絶縁層 17 の上に位置し、配向膜 AF_1 で覆われている。第1透明電極 TE_1 、絶縁層 16、および第2透明電極 TE_2 は、コンデンサ C_{md} を形成している。コンデンサ C_{md} の容量の大きさは、絶縁層 16 の膜厚に応じて設定される。
- [0083] 表示装置 DSP には、液晶層 30 に印加する電圧の極性を反転する極性反転駆動を適用することができる。図9A、図9B、および図9Cは、極性反転駆動の概要を示す図である。ここでは、1フレーム期間が複数のサブフレーム期間(複数のフィールド期間)を有する駆動方式を表示装置 DSP に適用する。このような駆動方式は、例えばフィールドシーケンシャル方式と呼ばれる。
- [0084] 図9Aは、1サブフレーム期間毎に、1行の画素 PX (1ライン) の単位で、液晶層 30 に印加する電圧(画素 PX に書き込む電圧)を正極性(+)と負極性(-)とで反転する1ライン反転駆動を表している。
- [0085] このような駆動方法においては、例えば、走査線駆動回路 GD_1 、 GD_2 が、第1走査線 G_a に第1制御信号 C_a を与え、第2走査線 G_b に第2制御信号 C_b を与える1水平期間毎に、共通電極 CE に供給されるコモン電圧 V_{com} の極性と、信号線駆動回路 SD_1 、 SD_2 、 SD_3 から信号線 S に供給される画像信号 V_{sig} の極性とが反転される。同じ水平期間において、コモン電圧の極性と映像信号の極性は、例えば逆である。または、駆動部 DR は、1フレーム期間毎に液晶層 30 に印加する電圧を正極性と負極性とで

反転する 1 ライン反転駆動を行っても良い。

[0086] または、駆動部 D R は、1 サブフレーム期間毎にインターレース方式による駆動を行っても良い。その場合、奇数フィールド期間と偶数フィールド期間とが切り替わる際に、駆動部 D R は極性反転を行う。1 サブフレーム期間毎の極性反転の回数を大幅に少なくすることができ、低消費電力化に寄与することができる。1 行の画素 P X に注目した場合、駆動部 D R は、1 サブフレーム期間毎または 1 フレーム期間毎に、液晶層 3 0 に印加する電圧を正極性と負極性とで反転する 1 ライン反転駆動を行うことが可能である。

[0087] 図 9 B は、2 ライン毎に液晶層 3 0 に印加する電圧を正極性 (+) と負極性 (-) とで反転する 2 ライン反転駆動を表している。図 9 A および図 9 B の例に限られず、3 つ以上のライン毎に極性を反転しても良い。

[0088] 図 9 C は、サブフレーム期間毎に液晶層 3 0 に印加する電圧を正極性 (+) と負極性 (-) とで反転するサブフレーム反転駆動を表している。このような駆動方法においては、例えば、1 サブフレーム期間毎に、コモン電圧 V_{com} の極性と、画像信号 V_{si} の極性とが反転される。同じサブフレーム期間において、コモン電圧 V_{com} の極性と画像信号 V_{sig} の極性は、例えば逆である。または、駆動部 D R は、1 フレーム期間毎に、液晶層 3 0 に印加する電圧を正極性と負極性とで反転するフレーム反転駆動を行っても良い。

[0089] 次に、表示装置 D S P の駆動方法について説明する。図 1 0 は、1 フレーム期間 P_f における、画像信号 V_{sig} 、第 1 制御信号 C_a 、第 2 制御信号 C_b 、補助電圧 V_a 、およびコモン電圧 V_{com} の変化を示すタイミングチャートである。

[0090] 図 1 0 に示すように、1 フレーム期間 P_f は、第 1 サブフレーム期間 P_{sf1} 、第 2 サブフレーム期間 P_{sf2} 、および第 3 サブフレーム期間 P_{sf3} を有している。例えば、第 1 サブフレーム期間 P_{sf1} においては赤色の画像が表示され、第 2 サブフレーム期間 P_{sf2} においては緑色の画像が表示され、第 3 サブフレーム期間 P_{sf3} においては青色の画像が表示される

。このように時分割で表示された画像が合わさって、多色表示の画像としてユーザに視認される。また、各サブフレーム期間 P_{sf} は、垂直ブランク期間（ハイ・インピーダンス期間） H_{i-Z} と、複数の水平走査期間 H （ $H_1 \sim H_n$ ）と、を有している。さらに、水平走査期間 H は、第1駆動期間 P_{d1} および第2駆動期間 P_{d2} を有している。

[0091] 図10に示すように、第1サブフレーム期間 P_{sf1} において、駆動部DRはコモン電圧 V_{com} 、および補助電圧 V_a を0Vから+10Vに切り替え、駆動部DRは画像信号 V_{sig} を出力している。

[0092] 垂直ブランク期間 H_{i-Z} において、駆動部DRは第1制御信号 $C_{a1} \sim C_{an}$ および第2制御信号 $C_{b1} \sim C_{bn}$ の電圧を全てハイ（H）レベルにシフトする。すると、1行目～ n 行目の全ての画素 P_X の第1スイッチ SW_1 および第2スイッチ SW_2 はオンになる。その後、駆動部DRは第1制御信号 $C_{a1} \sim C_{an}$ および第2制御信号 $C_{b1} \sim C_{bn}$ の電圧を全てロー（L）レベルにシフトし、各行の画素 P_X の第1スイッチ SW_1 および第2スイッチ SW_2 はオフに切り替わる。

[0093] なお、ここでは、垂直ブランク期間 H_{i-Z} は、水平走査期間 $H_1 \sim H_n$ が開始される前に設けられている場合を例示したが、これに限定されず、垂直ブランク期間 H_{i-Z} は、水平走査期間 $H_1 \sim H_n$ が終了した後、つまり、サブフレーム期間 P_{sf} の最後に設けられても良い。

[0094] 次いで、1番目の水平走査期間 H_1 の第1駆動期間 P_{d1} において、駆動部DRは第1制御信号 C_{a1} の電圧をHレベルにシフトし、その他の第1制御信号 $C_{a2} \sim C_{an}$ および全ての第2制御信号 $C_{b1} \sim C_{bn}$ の電圧をLレベルにする。すると、1行目の全ての画素 P_X の第1スイッチ SW_1 はオンになり、その他のスイッチはオフになる。その後、駆動部DRは第1制御信号 C_{a1} の電圧をLレベルにし、1行目の全ての画素 P_X の第1スイッチ SW_1 はオフに切り替わる。

[0095] 水平走査期間 H_1 の第2駆動期間 P_{d2} に移行すると、駆動部DRは第2制御信号 C_{b1} の電圧をHレベルにシフトし、その他の制御信号の電圧をL

レベルのままにする。すると、1行目の全ての画素P Xの第2スイッチSW 2はオンになり、その他のスイッチはオフになる。その後、駆動部D Rは第2制御信号C b 1の電圧をLレベルにシフトし、1行目の全ての画素P Xの第2スイッチSW 2はオフに切り替わる。

[0096] 次いで、2番目の水平走査期間H 2の第1駆動期間P d 1において、駆動部D Rは第1制御信号C a 2の電圧をHレベルにシフトし、その他の制御信号の電圧をLレベルにする。すると、2行目の全ての画素P Xの第1スイッチSW 1はオンになり、その他のスイッチはオフになる。その後、駆動部D Rは第1制御信号C a 2の電圧をLレベルにシフトし、2行目の全ての画素P Xの第1スイッチSW 1はオフに切り替わる。

[0097] 水平走査期間H 2の第2駆動期間P d 2に移行すると、駆動部D Rは第2制御信号C b 2の電圧をHレベルにシフトし、その他の制御信号の電圧をLレベルのままにする。これにより、2行目の全ての画素P Xの第2スイッチSW 2がオンになり、その他のスイッチはオフになる。その後、駆動部D Rは第2制御信号C b 2の電圧をLレベルにシフトし、2行目の全ての画素P Xの第2スイッチSW 2はオフに切り替わる。

[0098] 上記した水平走査期間Hが、n行に亘って配置されている全ての第1走査線G a 1～G a nおよび第2走査線G b 1～G b nについて設けられている。

[0099] 上記したように、第1サブフレーム期間P s f 1において、駆動部D Rは各行の第1スイッチSW 1および第2スイッチSW 2のオンオフを切り替える。同様に、第2サブフレーム期間P s f 2および第3サブフレーム期間P s f 3においても、駆動部D Rは各行の第1スイッチSW 1および第2スイッチSW 2のオンオフを切り替える。なお、ここでは、サブフレーム反転駆動を採用している。そのため、第2サブフレーム期間P s f 2において、駆動部D Rは、コモン電圧V c o mおよび補助電圧V aを+10Vから0Vに切り替えている。次いで、第3サブフレーム期間P s f 3において、駆動部D Rは、コモン電圧V c o mおよび補助電圧V aを0Vから+10Vに切り

替えている。

[0100] 次に、図11を参照して、 n 行 m 列に位置する画素電極 $PE(n, m)$ に画像信号 $Vsig$ を書き込む例について説明する。

[0101] 図11は、所定のサブフレーム期間 Psf に設けられる水平走査期間 Hn と、所定のサブフレーム期間 Psf に続くサブフレーム期間 Psf に設けられる垂直ブランク期間 Hiz における、画像信号 $Vsig$ 、第1制御信号 Can 、第2制御信号 Cbn 、補助電圧 Va 、コモン電圧 $Vcom$ 、画素電極 $PE(n, m)$ の電位 $Pp(n, m)$ 、および第2透明電極 $TE2(n, m)$ の電位 $Pn(n, m)$ の変化を示すタイミングチャートであり、上記した画素電極 $PE(n, m)$ に正極性の画像信号 $Vsig$ を書き込む例を説明するための図である。

[0102] 水平走査期間 Hn を含む所定のサブフレーム期間 Psf において、駆動部 DR はコモン電圧 $Vcom$ および補助電圧 Va として、 $0V$ の電圧を与える。水平走査期間 Hn において、駆動部 DR は $+10V$ の画像信号 $Vsig$ 等を出力する。

[0103] 図11に示すように、水平走査期間 Hn の第1駆動期間 $Pd1$ において、駆動部 DR は第1制御信号 Can の電圧を H レベルにシフトし、駆動部 DR は第2制御信号 Cbn の電圧を L レベルのままにする。すると、 n 行目の全ての画素 PX の第1スイッチ $SW1$ はオンに切り替わり、 n 行目の全ての画素 PX の第2スイッチ $SW2$ はオフのままになる。駆動部 DR は、画像信号 $Vsig$ を複数の信号線 S および複数の第1スイッチ $SW1$ を介して n 行目の全ての画素 PX の画素電極 PE に与える。

[0104] 画素 $PX(n, m)$ に注目すると、駆動部 DR によって出力された画像信号 $Vsig$ は、信号線 Sm および画素 $PX(n, m)$ の第1スイッチ $SW1$ を介して画素電極 $PE(n, m)$ に与えられ、画素電極 $PE(n, m)$ の電位 $Pp(n, m)$ は $0V$ から $+10V$ に変化（遷移）する。また、画素電極 $PE(n, m)$ の電位 $Pp(n, m)$ が $+10V$ になると、第2透明電極 $TE2(n, m)$ の電位 $Pn(n, m)$ はコンデンサ Cst とコンデンサ Cm

dとの容量に基づく容量分圧により0 Vから+0.9 Vに変化する。

[0105] その後、駆動部DRは第1制御信号Canの電圧をLレベルにシフトする。これにより、n行目の全ての画素PXの第1スイッチSW1および第2スイッチSW2はオフとなる。

[0106] 水平走査期間Hnの第2駆動期間Pd2に移行すると、駆動部DRは第2制御信号Cbnの電圧をHレベルにシフトする。すると、n行目の全ての画素PXの第1スイッチSW1はオフのままになり、n行目の全ての画素PXの第2スイッチSW2はオンに切り替わる。駆動部DRは、画像信号Vsigを複数の信号線Sおよび複数の第2スイッチSW2を介して全ての画素PXの第2透明電極TE2に与える。

[0107] 画素PX(n, m)に注目すると、駆動部DRによって出力された画像信号Vsigは信号線Smおよび画素PX(n, m)の第2スイッチSW2を介して第2透明電極TE2(n, m)に与えられ、第2透明電極TE2(n, m)の電位Pn(n, m)は+0.9 Vから+1.0 Vに変化する。すると、画素電極PE(n, m)と第2透明電極TE2(n, m)との間のカップリング作用により、画素電極PE(n, m)の電位Pp(n, m)は+1.0 Vから+1.9.1 Vに変化する。

[0108] その後、駆動部DRは第2制御信号Cbnの電圧をLレベルにシフトする。すると、n行目の全ての画素PXの第1スイッチSW1および第2スイッチSW2はオフになる。なお、図示した例のように、水平走査期間Hnの先頭、第1駆動期間Pd1と第2駆動期間Pd2との間、および水平走査期間Hnの後尾にマージン期間があっても良い。

[0109] 次いで、所定のサブフレーム期間Psfに続くサブフレーム期間Psfの垂直ブランク期間Hi-Zにおいて、駆動部DRは、第1スイッチSW1および第2スイッチSW2をオフにしたまま、液晶層30に印加する電圧の極性を反転させる反転駆動を行う。つまり、所定のサブフレーム期間Psfに続くサブフレーム期間Psfにおいては、駆動部DRは、コモン電圧Vcomおよび補助電圧Vaとして、+1.0 Vの電圧を与える。

- [0110] 画素 $PX(n, m)$ に注目すると、駆動部 DR によって反転駆動が行われることで、画素電極 $PE(n, m)$ の電位 $Pp(n, m)$ は $+19.1\text{ V}$ から $+29.1\text{ V}$ に変化し、第2透明電極 $TE2(n, m)$ の電位 $Pn(n, m)$ は $+10\text{ V}$ から $+20\text{ V}$ に変化する。
- [0111] その後、駆動部 DR は第1制御信号 Can および第2制御信号 Cbn の電圧を H レベルにシフトする。すると、 n 行目の全ての画素 PX の第1スイッチ $SW1$ および第2スイッチ $SW2$ はオンに切り替わる。駆動部 DR は、コモン電圧 $Vcom$ を、複数の信号線 S と、複数の第1スイッチ $SW1$ および第2スイッチ $SW2$ とを介して、 n 行目の全ての画素 PX の画素電極 PE および第2透明電極 $TE2$ に与える。
- [0112] 画素 $PX(n, m)$ に注目すると、駆動部 DR によって出力されたコモン電圧 $Vcom$ は、信号線 Sm と、画素 $PX(n, m)$ の第1スイッチ $SW1$ および第2スイッチ $SW2$ とを介して、画素電極 $PE(n, m)$ および第2透明電極 $TE2(n, m)$ に与えられ、画素電極 $PE(n, m)$ の電位 $Pp(n, m)$ は $+29.1\text{ V}$ から $+10\text{ V}$ に変化し、第2透明電極 $TE2(n, m)$ の電位 $Pn(n, m)$ は $+20\text{ V}$ から $+10\text{ V}$ に変化する。つまり、コンデンサ Cst およびコンデンサ Cmd に蓄えられていた電荷が全て放電されて、コンデンサ Cst およびコンデンサ Cmd の容量がリセットされる。これによれば、画素電極 PE と共通電極 CE との電位差が 0 V となり、液晶層 30 に印加される電圧が 0 V となるため、液晶層 30 は透明状態になる（換言すると、液晶層 30 による表示は黒（透明）になる）。以下の説明中では、画素電極 PE および第2透明電極 $TE2$ にコモン電圧 $Vcom$ を与えて、液晶層 30 を透明状態にする動作を「リセット動作」と称する。
- [0113] その後、駆動部 DR は第1制御信号 Can および第2制御信号 Cbn の電圧を H レベルから L レベルにシフトする。すると、 n 行目の全ての画素 PX の第1スイッチ $SW1$ および第2スイッチ $SW2$ はオフになる。
- [0114] 上記したように、水平走査期間 Hn の第2駆動期間 $Pd2$ において、画素電極 $PE(n, m)$ の電位 $Pp(n, m)$ は $+19.1\text{ V}$ であり、共通電極

CEには0Vのコモン電圧 V_{com} が与えられるため、画素電極PEと共通電極CEとの間には+19.1Vの電圧が印加される。つまり、液晶層30には、+19.1Vの電圧が印加される。このように、本実施形態の駆動方法によれば、駆動部DRが信号線Sに与える電圧よりも高い電圧を画素電極PEに印加することができ、駆動部DRは信号線Sに与える電圧を抑制することができ、駆動部DRの低消費電力化を図ることができる。

[0115] ここで、比較例を用いて、本実施形態に係る表示装置DSPの効果について説明する。なお、比較例は、本実施形態に係る表示装置DSPが奏し得る効果の一部を説明するためのものであって、比較例と本実施形態とで共通する構成や効果を本願発明の範囲から除外するものではない。

[0116] 図12は、比較例に係る表示装置100に設けられる複数の画素PXのうちの一つを示す等価回路図である。図12に示すように、比較例に係る表示装置100に設けられる画素PXには、第1透明電極TE1の代わりに、第3スイッチSW3が設けられている点で、本実施形態に係る表示装置DSPと相違している。

[0117] 第3スイッチSW3は、第3ゲート電極GE3、第5電極E5、第6電極E6を有している。第3ゲート電極GE3は、第1走査線Gajに電氣的に接続されている。第5電極E5は、容量配線Csjに電氣的に接続されている。第6電極E6は、第2透明電極TE2に電氣的に接続されている。第3スイッチSW3のオンオフは、第1走査線Gajを介して与えられる第1制御信号Cajに基づいて切り替えられる。第3スイッチSW3がオンした状態、すなわち第3スイッチSW3を構成するTF Tが導通状態に切り替わった状態にて、第2透明電極TE2に補助電圧Vaが与えられる。

[0118] このような表示装置100においても、本実施形態に係る表示装置DSPと同様に、駆動部DRは信号線Sに与える電圧よりも高い電圧を画素電極PEに印加することができ、駆動部DRは信号線Sに与える電圧を抑制することができ、駆動部DRの低消費電力化を図ることは可能である。

[0119] 一方で、比較例に係る表示装置100においては、画素PXと同数の第3

スイッチSW3が第1走査線Ga1～Ganに電氣的に接続されているため、第1走査線Ga1～Ganに電氣的に接続される素子数が多く、第1走査線Ga1～Ganに対する負荷が大きいという不都合がある。

[0120] これに対し、本実施形態に係る表示装置DSPは、第3スイッチSW3の代わりに、第1透明電極TE1を設ける構成としているので、第1走査線Ga1～Ganに電氣的に接続される素子数を減らすことができ、比較例に係る表示装置100に比べて、第1走査線Ga1～Ganにかかる負荷を低減させることが可能である。これによれば、表示装置DSPに設けられる表示パネルPNL（表示領域DA）の大型化（大画面化）や、隣接する二つの画素PX間の距離（画素ピッチ）を狭めての高精細化、等を実現させることが可能である。

[0121] また、第1透明電極TE1はITO等の光透過性の導電材料によって形成されるので、第3スイッチSW3に起因した非透過領域を減らすことが可能である。つまり、本実施形態に係る表示装置DSPは、比較例に係る表示装置100に比べて、透過領域を拡大させることが可能であり、表示品位の向上を図ることが可能である。

[0122] 続いて、図13を参照して、本実施形態に係る画素電極PE（n，m）に負極性の画像信号Vsigを書き込む例について説明する。

[0123] 図13は、所定のサブフレーム期間Psfに設けられる水平走査期間Hnと、所定のサブフレーム期間Psfに続くサブフレーム期間Psfに設けられる垂直ブランク期間Hi-Zにおける、画像信号Vsig、第1制御信号Can、第2制御信号Cbn、補助電圧Va、コモン電圧Vcom、画素電極PE（n，m）の電位Pp（n，m）、および第2透明電極TE2（n，m）の電位Pn（n，m）の変化を示すタイミングチャートであり、上記した画素電極PE（n，m）に負極性の画像信号Vsigを書き込む例を説明するための図である。なお、図11において説明したことは適宜省略する。

[0124] 水平走査期間Hnを含む所定のサブフレーム期間Psfにおいて、駆動部DRはコモン電圧Vcomおよび補助電圧Vaとして、+10Vの電圧を与

える。水平走査期間 H_n において、駆動部 DR は $0V$ の画像信号 V_{sig} 等
を出力する。

[0125] 図13に示すように、水平走査期間 H_n の第1駆動期間 P_{d1} において、
駆動部 DR によって出力された画像信号 V_{sig} は画素電極 $PE(n, m)$
に与えられ、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ は $+10V$ から
 $0V$ に変化する。また、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ が $0V$
になると、第2透明電極 $TE2$ の電位 $P_n(n, m)$ はコンデンサ C_{st}
とコンデンサ C_{md} との容量に基づく容量分圧により $+10V$ から $+9.1V$
に変化する。

[0126] 次に、水平走査期間 H_n の第2駆動期間 P_{d2} において、駆動部 DR によ
って出力された画像信号 V_{sig} は第2透明電極 $TE2(n, m)$ に与えら
れ、第2透明電極 $TE2(n, m)$ の電位 $P_n(n, m)$ は $+9.1V$ から
 $0V$ に変化する。すると、画素電極 $PE(n, m)$ と第2透明電極 $TE2(n, m)$
との間のカップリング作用により、画素電極 $PE(n, m)$ の電位
 $P_p(n, m)$ は $0V$ から $-9.1V$ に変化する。

[0127] 次いで、所定のサブフレーム期間 P_{sf} に続くサブフレーム期間 P_{sf} の
垂直ブランク期間 H_{i-z} において、駆動部 DR は、液晶層30に印加する
電圧の極性を反転させる反転駆動を行う。つまり、所定のサブフレーム期間
 P_{sf} に続くサブフレーム期間 P_{sf} においては、駆動部 DR は、コモン電
圧 V_{com} および補助電圧 V_a として、 $0V$ の電圧を与える。これによれば
、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ は $-9.1V$ から $-19.1V$
に変化し、第2透明電極 $TE2(n, m)$ の電位 $P_n(n, m)$ は $0V$
から $-10V$ に変化する。

[0128] その後、垂直ブランク期間 H_{i-z} において、リセット動作が実行される
。具体的には、駆動部 DR によって出力されたコモン電圧 V_{com} は画素電
極 $PE(n, m)$ および第2透明電極 $TE2(n, m)$ に与えられ、画素電
極 $PE(n, m)$ の電位 $P_p(n, m)$ は $-19.1V$ から $0V$ に変化し、
第2透明電極 $TE2(n, m)$ の電位 $P_n(n, m)$ は $-10V$ から $0V$ に

変化する。

[0129] 上記したように、水平走査期間 H_n の第2駆動期間 P_{d2} において、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ は $-9.1V$ であり、共通電極 CE には $10V$ のコモン電圧 V_{com} が与えられるため、画素電極 PE と共通電極 CE との間には $-19.1V$ の電圧が印加されることになる。つまり、液晶層30には、 $-19.1V$ の電圧が印加される。これによれば、図13に示した駆動方法においても、図11に示した駆動方法と同様の効果を得ることができる。

[0130] 次に、図14を参照して、本実施形態に係る画素電極 $PE(n, m)$ に正極性の画像信号 V_{sig} を書き込む例であって、サブフレーム期間 P_{sf} 間で反転駆動を行わない例について説明する。

[0131] 図14は、所定のサブフレーム期間 P_{sf} に設けられる水平走査期間 H_n と、所定のサブフレーム期間 P_{sf} に続くサブフレーム期間 P_{sf} に設けられる垂直ブランク期間 H_{i-z} における、画像信号 V_{sig} 、第1制御信号 Can 、第2制御信号 Cbn 、補助電圧 V_a 、コモン電圧 V_{com} 、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ 、および第2透明電極 $TE2(n, m)$ の電位 $P_n(n, m)$ の変化を示すタイミングチャートであり、上記した画素電極 $PE(n, m)$ に正極性の画像信号 V_{sig} を書き込む例であって、サブフレーム期間 P_{sf} 間で反転駆動を行わない例を説明するための図である。なお、図11および図13において説明したことは適宜省略する。

[0132] 水平走査期間 H_n を含む所定のサブフレーム期間 P_{sf} において、駆動部 DR はコモン電圧 V_{com} および補助電圧 V_a として、 $0V$ の電圧を与える。水平走査期間 H_n において、駆動部 DR は $+10V$ の画像信号 V_{sig} 等を出力する。

[0133] 図14に示すように、水平走査期間 H_n の第1駆動期間 P_{d1} において、駆動部 DR によって出力された画像信号 V_{sig} は画素電極 $PE(n, m)$ に与えられ、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ は $0V$ から $+10V$ に変化する。また、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ が+

10Vになると、第2透明電極TE2の電位 $P_n(n, m)$ はコンデンサ C_{st} とコンデンサ C_{md} との容量に基づく容量分圧により0Vから+0.9Vに変化する。

[0134] 次に、水平走査期間 H_n の第2駆動期間 P_{d2} において、駆動部DRによって出力された画像信号 V_{sig} は第2透明電極TE2(n, m)に与えられ、第2透明電極TE2(n, m)の電位 $P_n(n, m)$ は+0.9Vから+10Vに変化する。すると、画素電極PE(n, m)と第2透明電極TE2(n, m)との間のカップリング作用により、画素電極PE(n, m)の電位 $P_p(n, m)$ は+10Vから+19.1Vに変化する。

[0135] 次いで、所定のサブフレーム期間 P_{sf} に続くサブフレーム期間 P_{sf} の垂直ブランク期間 H_{i-Z} において、リセット動作が実行される。具体的には、駆動部DRによって出力された共通電圧 V_{com} は画素電極PE(n, m)および第2透明電極TE2(n, m)に与えられ、画素電極PE(n, m)の電位 $P_p(n, m)$ は+19.1Vから0Vに変化し、第2透明電極TE2(n, m)の電位 $P_n(n, m)$ は+10Vから0Vに変化する。

[0136] 上記したように、水平走査期間 H_n の第2駆動期間 P_{d2} において、画素電極PE(n, m)の電位 $P_p(n, m)$ は+19.1Vであり、共通電極CEには0Vの共通電圧 V_{com} が与えられるため、画素電極PEと共通電極CEとの間には+19.1Vの電圧が印加されることになる。つまり、液晶層30には、+19.1Vの電圧が印加される。これによれば、図14に示した駆動方法においても、図11および図13に示した駆動方法と同様の効果を得ることができる。

[0137] さらに、図15を参照して、本実施形態に係る画素電極PE(n, m)に負極性の画像信号 V_{sig} を書き込む例であって、サブフレーム期間 P_{sf} 間で反転駆動を行わない例について説明する。

[0138] 図15は、所定のサブフレーム期間 P_{sf} に設けられる水平走査期間 H_n と、所定のサブフレーム期間 P_{sf} に続くサブフレーム期間 P_{sf} に設けられる垂直ブランク期間 H_{i-Z} における、画像信号 V_{sig} 、第1制御信号

C_{an} 、第2制御信号 C_{bn} 、補助電圧 V_a 、コモン電圧 V_{com} 、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ 、および第2透明電極 $TE2(n, m)$ の電位 $P_n(n, m)$ の変化を示すタイミングチャートであり、上記した画素電極 $PE(n, m)$ に負極性の画像信号 V_{sig} を書き込む例であって、サブフレーム期間 P_{sf} 間で反転駆動を行わない例を説明するための図である。なお、図11、図13および図14において説明したことは適宜省略する。

[0139] 水平走査期間 H_n を含む所定のサブフレーム期間 P_{sf} において、駆動部 DR はコモン電圧 V_{com} および補助電圧 V_a として、 $+10V$ の電圧を与える。水平走査期間 H_n において、駆動部 DR は $0V$ の画像信号 V_{sig} 等を入力する。

[0140] 図15に示すように、水平走査期間 H_n の第1駆動期間 P_{d1} において、駆動部 DR によって出力された画像信号 V_{sig} は画素電極 $PE(n, m)$ に与えられ、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ は $+10V$ から $0V$ に変化する。また、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ が $0V$ になると、第2透明電極 $TE2$ の電位 $P_n(n, m)$ はコンデンサ C_{st} とコンデンサ C_{md} との容量に基づく容量分圧により $+10V$ から $+9.1V$ に変化する。

[0141] 次に、水平走査期間 H_n の第2駆動期間 P_{d2} において、駆動部 DR によって出力された画像信号 V_{sig} は第2透明電極 $TE2(n, m)$ に与えられ、第2透明電極 $TE2(n, m)$ の電位 $P_n(n, m)$ は $+9.1V$ から $0V$ に変化する。すると、画素電極 $PE(n, m)$ と第2透明電極 $TE2(n, m)$ との間のカップリング作用により、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ は $0V$ から $-9.1V$ に変化する。

[0142] 次いで、所定のサブフレーム期間 P_{sf} に続くサブフレーム期間 P_{sf} の垂直ブランク期間 H_{i-z} において、リセット動作が実行される。具体的には、駆動部 DR によって出力されたコモン電圧 V_{com} は画素電極 $PE(n, m)$ および第2透明電極 $TE2(n, m)$ に与えられ、画素電極 $PE(n, m)$

、 m) の電位 $P_p(n, m)$ は -9.1 V から $+10\text{ V}$ に変化し、第2 透明電極 $TE_2(n, m)$ の電位 $P_n(n, m)$ は 0 V から $+10\text{ V}$ に変化する。

[0143] 上記したように、水平走査期間 H_n の第2 駆動期間 Pd_2 において、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ は -9.1 V であり、共通電極 CE には 10 V のコモン電圧 V_{com} が与えられるため、画素電極 PE と共通電極 CE との間には -19.1 V の電圧が印加されることになる。つまり、液晶層 30 には、 -19.1 V の電圧が印加される。これによれば、図 15 に示した駆動方法においても、図 11、図 13 および図 14 に示した駆動方法と同様の効果を得ることができる。〔変形例〕

次に、上記した実施形態の変形例について説明する。

本変形例は、上記したリセット動作を全ての行に対して一斉に実行するのではなく、行単位で実行している点において、上記した実施形態と相違している。

[0144] 図 16 は、本変形例における表示装置 DSP の駆動方法を説明するための図であり、1 フレーム期間 Pf における、画像信号 $Vsig$ 、第1 制御信号 Ca 、第2 制御信号 Cb 、補助電圧 Va 、およびコモン電圧 V_{com} の変化を示すタイミングチャートである。なお、図 10 において説明したことは適宜省略する。

[0145] 図 16 に示すように、各サブフレーム期間 Psf は、複数の水平走査期間 H ($H_1 \sim H_n$) を有し、各水平走査期間 $H_1 \sim H_n$ は垂直ブランク期間 H_{i-Z} ($H_{i-Z_1} \sim H_{i-Z_n}$) をそれぞれ含んでいる。さらに、水平走査期間 H は、第1 駆動期間 Pd_1 および第2 駆動期間 Pd_2 を有している。

[0146] 図 16 に示すように、第1 サブフレーム期間 Psf_1 において、駆動部 DR はコモン電圧 V_{com} 、および補助電圧 Va を 0 V から $+10\text{ V}$ に切り替え、駆動部 DR は画像信号 $Vsig$ を出力している。

[0147] まず、1 番目の水平走査期間 H_1 の第1 駆動期間 Pd_1 において、駆動部 DR は第1 制御信号 Ca_1 の電圧を H レベルにシフトし、その他の第1 制御

信号 $C a 2 \sim C a n$ の電圧を L レベルにする。また、駆動部 D R は第 2 制御信号 $C b 1$ の電圧を H レベルにシフトし、その他の第 2 制御信号 $C b 2 \sim C b n$ の電圧を L レベルにする。すると、1 行目の全ての画素 P X の第 1 スイッチ S W 1 および第 2 スイッチ S W 2 はオンになり、その他のスイッチはオフになる。

[0148] その後、駆動部 D R は第 1 制御信号 $C a 1$ の電圧は H レベルのまま、第 2 制御信号 $C b 1$ の電圧を L レベルにシフトする。すると、1 行目の全ての画素 P X の第 2 スイッチ S W 2 はオフに切り替わり、1 行目の全ての画素 P X の第 1 スイッチ S W 1 のみがオンになる。第 1 駆動期間 P d 1 において、第 1 制御信号 $C a 1$ および第 2 制御信号 $C b 1$ の電圧が共に H レベルの期間が、1 番目の水平走査期間 H 1 に含まれる垂直ブランク期間 $H i - Z 1$ に相当する。

[0149] その後、駆動部 D R は第 1 制御信号 $C a 1$ の電圧を L レベルにし、1 行目の全ての画素 P X の第 1 スイッチ S W 1 はオフに切り替わる。

[0150] 水平走査期間 H 1 の第 2 駆動期間 P d 2 に移行すると、駆動部 D R は第 2 制御信号 $C b 1$ の電圧を H レベルにシフトし、その他の制御信号の電圧を L レベルのままにする。すると、1 行目の全ての画素 P X の第 2 スイッチ S W 2 はオンになり、その他のスイッチはオフになる。その後、駆動部 D R は第 2 制御信号 $C b 1$ の電圧を L レベルにシフトし、1 行目の全ての画素 P X の第 2 スイッチ S W 2 はオフに切り替わる。

[0151] このような水平走査期間 H が、n 行に亘って配置されている全ての第 1 走査線 $G a 1 \sim G a n$ および第 2 走査線 $G b 1 \sim G b n$ について設けられている。また、上記では第 1 サブフレーム期間 P s f 1 を例にとって説明したが、第 2 サブフレーム期間 P s f 2 および第 3 サブフレーム期間 P s f 3 においても、駆動部 D R が同様に動作する水平走査期間 H 1 $\sim$ H n が設けられている。但し、ここでは、サブフレーム反転駆動を採用しているため、第 2 サブフレーム期間 P s f 2 においては、駆動部 D R は、コモン電圧 $V c o m$ および補助電圧 $V a$ を +10 V から 0 V に切り替え、第 3 サブフレーム期間 P

s f 3 においては、駆動部 D R は、コモン電圧 V c o m および補助電圧 V a を 0 V から + 1 0 V に切り替えている。

[0152] 次に、図 1 7 を参照して、本変形例に係る駆動方法により、n 行 m 列に位置する画素電極 P E (n , m) に画像信号 V s i g を書き込む例について説明する。

[0153] 図 1 7 は、所定のサブフレーム期間 P s f に設けられる水平走査期間 H n と、所定のサブフレーム期間 P s f に続くサブフレーム期間 P s f に設けられる水平走査期間 H 1 における、画像信号 V s i g 、第 1 制御信号 C a n 、第 2 制御信号 C b n 、補助電圧 V a 、コモン電圧 V c o m 、画素電極 P E (n , m) の電位 P p (n , m) 、および第 2 透明電極 T E 2 (n , m) の電位 P n (n , m) の変化を示すタイミングチャートであり、上記した画素電極 P E (n , m) に正極性の画像信号 V s i g を書き込む例を説明するための図である。

[0154] 水平走査期間 H n を含む所定のサブフレーム期間 P s f において、駆動部 D R はコモン電圧 V c o m および補助電圧 V a として、0 V の電圧を与える。水平走査期間 H n において、駆動部 D R は + 1 0 V の画像信号 V s i g 等を出力する。

[0155] 図 1 7 に示すように、水平走査期間 H n の第 1 駆動期間 P d 1 に含まれる垂直ブランク期間 H i - Z n において、駆動部 D R は第 1 制御信号 C a n の電圧と第 2 制御信号 C b n の電圧とを共に H レベルにシフトする。すると、n 行目の全ての画素 P X の第 1 スイッチ S W 1 および第 2 スイッチ S W 2 はオンに切り替わる。駆動部 D R は、コモン電圧 V c o m を、複数の信号線 S と、複数の第 1 スイッチ S W 1 および第 2 スイッチ S W 2 とを介して、n 行目の全ての画素 P X の画素電極 P E および第 2 透明電極 T E 2 に与える。

[0156] 画素 P X (n , m) に注目すると、駆動部 D R によって出力されたコモン電圧 V c o m は、信号線 S m と、画素 P X (n , m) の第 1 スイッチ S W 1 および第 2 スイッチ S W 2 とを介して、画素電極 P E (n , m) および第 2 透明電極 T E 2 (n , m) に与えられ、画素電極 P E (n , m) の電位 P p

(n, m) は -1.9 V から 0 V に変化し、第2透明電極 $TE2(n, m)$ の電位 $P_n(n, m)$ は -1.0 V から 0 V に変化する。なお、変化前の画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ が -1.9 V であり、第2透明電極 $TE2(n, m)$ の電位 $P_n(n, m)$ が -1.0 V であることについては、図18の説明と共に後述する。

[0157] その後、駆動部DRは第1制御信号 Can の電圧はHレベルのまま、第2制御信号 Cbn の電圧のみをHレベルからLレベルにシフトする。すると、 n 行目の全ての画素PXの第1スイッチSW1はオンのままになり、第2スイッチSW2はオフになる。駆動部DRは、画像信号 $Vsig$ を複数の信号線Sおよび複数の第1スイッチSW1を介して n 行目の全ての画素PXの画素電極PEに与える。

[0158] 画素PX(n, m)に注目すると、駆動部DRによって出力された画像信号 $Vsig$ は、信号線 S_m および画素PX(n, m)の第1スイッチSW1を介して画素電極PE(n, m)に与えられ、画素電極PE(n, m)の電位 $P_p(n, m)$ は 0 V から $+1.0$ V に変化する。また、画素電極PE(n, m)の電位 $P_p(n, m)$ が $+1.0$ V になると、第2透明電極 $TE2(n, m)$ の電位 $P_n(n, m)$ はコンデンサ Cst とコンデンサ Cmd との容量に基づく容量分圧により 0 V から $+0.9$ V に変化する。

[0159] その後、駆動部DRは第1制御信号 Can の電圧をLレベルにシフトする。これにより、 n 行目の全ての画素PXの第1スイッチSW1および第2スイッチSW2はオフとなる。

[0160] 水平走査期間 H_n の第2駆動期間 $Pd2$ に移行すると、駆動部DRは第2制御信号 Cbn の電圧をHレベルにシフトする。すると、 n 行目の全ての画素PXの第1スイッチSW1はオフのままになり、 n 行目の全ての画素PXの第2スイッチSW2はオンに切り替わる。駆動部DRは、画像信号 $Vsig$ を複数の信号線Sおよび複数の第2スイッチSW2を介して全ての画素PXの第2透明電極TE2に与える。

[0161] 画素PX(n, m)に注目すると、駆動部DRによって出力された画像信

号 V_{sig} は信号線 S_m および画素 $PX(n, m)$ の第2スイッチ SW_2 を介して第2透明電極 $TE_2(n, m)$ に与えられ、第2透明電極 $TE_2(n, m)$ の電位 $P_n(n, m)$ は $+0.9V$ から $+10V$ に変化する。すると、画素電極 $PE(n, m)$ と第2透明電極 $TE_2(n, m)$ との間のカップリング作用により、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ は $+10V$ から $+19.1V$ に変化する。

[0162] その後、駆動部 DR は第2制御信号 Cbn の電圧を L レベルにシフトする。すると、 n 行目の全ての画素 PX の第1スイッチ SW_1 および第2スイッチ SW_2 はオフになる。

[0163] 次いで、所定のサブフレーム期間 Psf に続くサブフレーム期間 Psf の水平走査期間 H_1 の第1駆動期間 Pd_1 に含まれる垂直ブランク期間 H_{iZ_1} において、駆動部 DR は、第1スイッチ SW_1 および第2スイッチ SW_2 をオフにしたまま、液晶層 30 に印加する電圧の極性を反転させる反転駆動を行う。つまり、所定のサブフレーム期間 Psf に続くサブフレーム期間 Psf においては、駆動部 DR は、コモン電圧 V_{com} および補助電圧 V_a として、 $+10V$ の電圧を与える。

[0164] 画素 $PX(n, m)$ に注目すると、駆動部 DR によって反転駆動が行われることで、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ は $+19.1V$ から $+29.1V$ に変化する。第2透明電極 $TE_2(n, m)$ の電位 $P_n(n, m)$ は $+10V$ から $+20V$ に変化する。

[0165] 以降、所定のサブフレーム期間 Psf に続くサブフレーム期間 Psf の水平走査期間 H_n まで、画素 $PX(n, m)$ の画素電極 $PE(n, m)$ および第2透明電極 $TE_2(n, m)$ はフローティング状態となるため、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ は $+29.1V$ のままとなり、第2透明電極 $TE_2(n, m)$ の電位 $P_n(n, m)$ は $+20V$ のままとなる。

[0166] 上記したように、所定のサブフレーム期間 Psf における水平走査期間 H_n の第2駆動期間 Pd_2 において、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ は $+19.1V$ であり、共通電極 CE には $0V$ のコモン電圧が与えら

れるため、画素電極PEと共通電極CEとの間には+19.1Vの電圧が印加されることになる。つまり、液晶層30には、+19.1Vの電圧が印加される。これによれば、図17に示した駆動方法においても、図11および図13～図15に示した駆動方法と同様な効果を得ることができる。

[0167] 続いて、図18を参照して、本変形例に係る駆動方法により、画素電極PE(n, m)に負極性の画像信号Vsigを書き込む例について説明する。

[0168] 図18は、所定のサブフレーム期間Psfに設けられる水平走査期間Hnと、所定のサブフレーム期間Psfに続くサブフレーム期間Psfに設けられる水平走査期間H1における、画像信号Vsig、第1制御信号Can、第2制御信号Cbn、補助電圧Va、コモン電圧Vcom、画素電極PE(n, m)の電位Pp(n, m)、および第2透明電極TE2(n, m)の電位Pn(n, m)の変化を示すタイミングチャートであり、上記した画素電極PE(n, m)に負極性の画像信号Vsigを書き込む例を説明するための図である。

[0169] 水平走査期間Hnを含む所定のサブフレーム期間Psfにおいて、駆動部DRはコモン電圧Vcomおよび補助電圧Vaとして、+10Vの電圧を与える。水平走査期間Hnにおいて、駆動部DRは0Vの画像信号Vsig等を出力する。

[0170] 図18に示すように、水平走査期間Hnの第1駆動期間Pd1に含まれる垂直ブランク期間Hi-Znにおいて、駆動部DRによって出力されたコモン電圧Vcomは画素電極PE(n, m)および第2透明電極TE2(n, m)に与えられ、画素電極PE(n, m)の電位Pp(n, m)は+29.1Vから+10Vに変化し、第2透明電極TE2(n, m)の電位Pn(n, m)は+20Vから+10Vに変化する。

[0171] その後、水平走査期間Hnの第1駆動期間Pd1に含まれる垂直ブランク期間Hi-Znが終了すると、駆動部DRによって出力された画像信号Vsigが画素電極PE(n, m)に与えられ、画素電極PE(n, m)の電位Pp(n, m)は+10Vから0Vに変化する。また、画素電極PE(n,

m) の電位 $P_p(n, m)$ が 0 V になると、第 2 透明電極 TE 2 の電位 $P_n(n, m)$ はコンデンサ C_{st} とコンデンサ C_{md} との容量に基づく容量分圧により +10 V から +9.1 V に変化する。

[0172] 水平走査期間 H_n の第 2 駆動期間 P_d2 において、駆動部 DR によって出力された画像信号 V_{sig} は第 2 透明電極 TE 2 (n, m) に与えられ、第 2 透明電極 TE 2 (n, m) の電位 $P_n(n, m)$ は +9.1 V から 0 V に変化する。すると、画素電極 PE (n, m) と第 2 透明電極 TE 2 (n, m) との間のカップリング作用により、画素電極 PE (n, m) の電位 $P_p(n, m)$ は 0 V から -9.1 V に変化する。

[0173] 次いで、所定のサブフレーム期間 P_{sf} に続くサブフレーム期間 P_{sf} の水平走査期間 H_1 の第 1 駆動期間 P_d1 に含まれる垂直ブランク期間 H_{iZ1} において、駆動部 DR は、液晶層 30 に印加する電圧の極性を反転させる反転駆動を行う。つまり、所定のサブフレーム期間 P_{sf} に続くサブフレーム期間 P_{sf} においては、駆動部 DR は、コモン電圧 V_{com} および補助電圧 V_a として、0 V の電圧を与える。これによれば、画素電極 PE (n, m) の電位 $P_p(n, m)$ は -9.1 V から -19.1 V に変化する、第 2 透明電極 TE 2 (n, m) の電位 $P_n(n, m)$ は 0 V から -10 V に変化する。

[0174] 以降、所定のサブフレーム期間 P_{sf} に続くサブフレーム期間 P_{sf} の水平走査期間 H_n まで、画素 PX (n, m) の画素電極 PE (n, m) および第 2 透明電極 TE 2 (n, m) はフローティング状態となるため、画素電極 PE (n, m) の電位 $P_p(n, m)$ は -19.1 V のままとなり、第 2 透明電極 TE 2 (n, m) の電位 $P_n(n, m)$ は -10 V のままとなる。

[0175] 上記したように、所定のサブフレーム期間 P_{sf} における水平走査期間 H_n の第 2 駆動期間 P_d2 において、画素電極 PE (n, m) の電位 $P_p(n, m)$ は -9.1 V であり、共通電極 CE には 10 V のコモン電圧が与えられるため、画素電極 PE と共通電極 CE との間には -19.1 V の電圧が印加されることになる。つまり、液晶層 30 には、-19.1 V の電圧が印加

される。これによれば、図18に示した駆動方法においても、図11、図13～図15、図17に示した駆動方法と同様な効果を得ることができる。

[0176] 次に、図19を参照して、本変形例に係る駆動方法により、画素電極PE (n, m) に正極性の画像信号Vsigを書き込む例であって、サブフレーム期間Psf間で反転駆動を行わない例について説明する。

[0177] 図19は、所定のサブフレーム期間Psfに設けられる水平走査期間Hnにおける、画像信号Vsig、第1制御信号Can、第2制御信号Cbn、補助電圧Va、コモン電圧Vcom、画素電極PE (n, m) の電位Pp (n, m)、および第2透明電極TE2 (n, m) の電位Pn (n, m) の変化を示すタイミングチャートであり、上記した画素電極PE (n, m) に正極性の画像信号Vsigを書き込む例であって、サブフレーム期間Psf間で反転駆動を行わない例を説明するための図である。

[0178] 水平走査期間Hnを含む所定のサブフレーム期間Psfにおいて、駆動部DRはコモン電圧Vcomおよび補助電圧Vaとして、0Vの電圧を与える。水平走査期間Hnにおいて、駆動部DRは+10Vの画像信号Vsig等

を出力する。

[0179] 図19に示すように、水平走査期間Hnの第1駆動期間Pd1に含まれる垂直ブランク期間Hi-Znにおいて、駆動部DRによって出力されたコモン電圧Vcomは画素電極PE (n, m) および第2透明電極TE2 (n, m) に与えられ、画素電極PE (n, m) の電位Pp (n, m) は+19.1Vから0Vに変化し、第2透明電極TE2 (n, m) の電位Pn (n, m) は+10Vから0Vに変化する。

[0180] その後、水平走査期間Hnの第1駆動期間Pd1に含まれる垂直ブランク期間Hi-Znが終了すると、駆動部DRによって出力された画像信号Vsigが画素電極PE (n, m) に与えられ、画素電極PE (n, m) の電位Pp (n, m) は0Vから+10Vに変化する。また、画素電極PE (n, m) の電位Pp (n, m) が+10Vになると、第2透明電極TE2の電位Pn (n, m) はコンデンサCstとコンデンサCmdとの容量に基づく容

量分圧により 0 V から +0.9 V に変化する。

[0181] 次いで、水平走査期間 H_n の第 2 駆動期間 P_{d2} において、駆動部 DR によって出力された画像信号 V_{sig} は第 2 透明電極 $TE_2(n, m)$ に与えられ、第 2 透明電極 $TE_2(n, m)$ の電位 $P_n(n, m)$ は +0.9 V から +1.0 V に変化する。すると、画素電極 $PE(n, m)$ と第 2 透明電極 $TE_2(n, m)$ との間のカップリング作用により、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ は +1.0 V から +1.9.1 V に変化する。

[0182] 以降、所定のサブフレーム期間 P_{sf} に続くサブフレーム期間 P_{sf} の水平走査期間 H_n まで、画素 $PX(n, m)$ の画素電極 $PE(n, m)$ および第 2 透明電極 $TE_2(n, m)$ はフローティング状態となるため、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ は +1.9.1 V のままとなり、第 2 透明電極 $TE_2(n, m)$ の電位 $P_n(n, m)$ は +1.0 V のままとなる。

[0183] 上記したように、所定のサブフレーム期間 P_{sf} における水平走査期間 H_n の第 2 駆動期間 P_{d2} において、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ は +1.9.1 V であり、共通電極 CE には 0 V のコモン電圧が与えられるため、画素電極 PE と共通電極 CE との間には +1.9.1 V の電圧が印加されることになる。つまり、液晶層 30 には、+1.9.1 V の電圧が印加される。これによれば、図 19 に示した駆動方法においても、図 11、図 13～図 15、図 17 および図 18 に示した駆動方法と同様な効果を得ることができる。

[0184] さらに、図 20 を参照して、本変形例に係る駆動方法により、画素電極 $PE(n, m)$ に負極性の画像信号 V_{sig} を書き込む例であって、サブフレーム期間 P_{sf} 間で反転駆動を行わない例について説明する。

[0185] 図 20 は、所定のサブフレーム期間 P_{sf} に設けられる水平走査期間 H_n における、画像信号 V_{sig} 、第 1 制御信号 Ca_n 、第 2 制御信号 Cb_n 、補助電圧 V_a 、コモン電圧 V_{com} 、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ 、および第 2 透明電極 $TE_2(n, m)$ の電位 $P_n(n, m)$ の変化を示すタイミングチャートであり、上記した画素電極 $PE(n, m)$ に負

極性の画像信号 V_{sig} を書き込む例であって、サブフレーム期間 P_{sf} 間で反転駆動を行わない例を説明するための図である。

[0186] 水平走査期間 H_n を含む所定のサブフレーム期間 P_{sf} において、駆動部 DR はコモン電圧 V_{com} および補助電圧 V_a として、 $+10V$ の電圧を与える。水平走査期間 H_n において、駆動部 DR は $0V$ の画像信号 V_{sig} 等を出力する。

[0187] 図20に示すように、水平走査期間 H_n の第1駆動期間 P_{d1} に含まれる垂直ブランク期間 H_{i-Z_n} において、駆動部 DR によって出力されたコモン電圧 V_{com} は画素電極 $PE(n, m)$ および第2透明電極 $TE_2(n, m)$ に与えられ、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ は $-9.1V$ から $+10V$ に変化し、第2透明電極 $TE_2(n, m)$ の電位 $P_n(n, m)$ は $0V$ から $+10V$ に変化する。

[0188] その後、水平走査期間 H_n の第1駆動期間 P_{d1} に含まれる垂直ブランク期間 H_{i-Z_n} が終了すると、駆動部 DR によって出力された画像信号 V_{sig} が画素電極 $PE(n, m)$ に与えられ、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ は $+10V$ から $0V$ に変化する。また、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ が $0V$ になると、第2透明電極 TE_2 の電位 $P_n(n, m)$ はコンデンサ C_{st} とコンデンサ C_{md} との容量に基づく容量分圧により $+10V$ から $+9.1V$ に変化する。

[0189] 次いで、水平走査期間 H_n の第2駆動期間 P_{d2} において、駆動部 DR によって出力された画像信号 V_{sig} は第2透明電極 $TE_2(n, m)$ に与えられ、第2透明電極 $TE_2(n, m)$ の電位 $P_n(n, m)$ は $+9.1V$ から $0V$ に変化する。すると、画素電極 $PE(n, m)$ と第2透明電極 $TE_2(n, m)$ との間のカップリング作用により、画素電極 $PE(n, m)$ の電位 $P_p(n, m)$ は $0V$ から $-9.1V$ に変化する。

[0190] 以降、所定のサブフレーム期間 P_{sf} に続くサブフレーム期間 P_{sf} の水平走査期間 H_n まで、画素 $PX(n, m)$ の画素電極 $PE(n, m)$ および第2透明電極 $TE_2(n, m)$ はフローティング状態となるため、画素電極

$P E(n, m)$ の電位 $P p(n, m)$ は $-9.1 V$ のままとなり、第2透明電極 $T E 2(n, m)$ の電位 $P n(n, m)$ は $0 V$ のままとなる。

[0191] 上記したように、所定のサブフレーム期間 $P s f$ における水平走査期間 $H n$ の第2駆動期間 $P d 2$ において、画素電極 $P E(n, m)$ の電位 $P p(n, m)$ は $-9.1 V$ であり、共通電極 $C E$ には $10 V$ のコモン電圧が与えられるため、画素電極 $P E$ と共通電極 $C E$ との間には $-19.1 V$ の電圧が印加されることになる。つまり、液晶層 30 には、 $-19.1 V$ の電圧が印加される。これによれば、図20に示した駆動方法においても、図11、図13～図15、図17～図19に示した駆動方法と同様な効果を得ることができる。

[0192] 以上説明した一実施形態によれば、低消費電力化を図ることが可能な表示装置および表示装置の駆動方法を提供することができる。

[0193] 以上、本発明の実施形態として説明した表示装置を基にして、当業者が適宜設計変更して実施し得る全ての表示装置も、本発明の要旨を包含する限り、本発明の範囲に属する。

[0194] 本発明の思想の範疇において、当業者であれば、各種の変形例に想到し得るものであり、それら変形例についても本発明の範囲に属するものと解される。例えば、上述の各実施形態に対して、当業者が適宜、構成要素の追加、削除、若しくは設計変更を行ったもの、または、工程の追加、省略若しくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

[0195] また、上述の各実施形態において述べた態様によりもたらされる他の作用効果について、本明細書の記載から明らかなもの、または当業者において適宜想到し得るものについては、当然に本発明によりもたらされるものと解される。

符号の説明

[0196] $D S P$ …表示装置、 $P N L$ …表示パネル、 $P X$ …画素、 $P E$ …画素電極、 $C E$ …共通電極、 $G a$ …第1走査線、 $G b$ …第2走査線、 S …信号線、 $C s$

…容量配線、SW1…第1スイッチ、E1…第1電極、E2…第2電極、G
E1…第1ゲート電極、SW2…第2スイッチ、E3…第3電極、E4…第
4電極、TE1…第1透明電極、TE2…第2透明電極、Cst, Cmd…
コンデンサ、Vcom…コモン電圧、Va…補助電圧、30…液晶層。

請求の範囲

[請求項1]

第1走査線と、
第2走査線と、
信号線と、
容量配線と、

画素電極、前記容量配線に接続される第1透明電極、前記画素電極と静電容量結合している第2透明電極、第1スイッチ、および第2スイッチを有する画素と、

を具備し、

前記第1透明電極は前記第2透明電極と静電容量結合し、

前記第1スイッチは前記信号線と前記画素電極と前記第1走査線に電氣的に接続され、

前記第2スイッチは前記信号線と前記第2透明電極と前記第2走査線に電氣的に接続される、

表示装置。

[請求項2]

前記第1スイッチおよび前記第2スイッチのそれぞれのオンオフを切り替えるために前記第1走査線に第1制御信号を与え、前記第2スイッチのオンオフを切り替えるために前記第2走査線に第2制御信号を与え、前記信号線に画像信号を与え、前記容量配線に補助電圧を与える駆動部と、

をさらに具備し、

前記駆動部は、

第1駆動期間に、前記第1スイッチをオンし、前記第2スイッチをオフし、前記画像信号を前記信号線および前記第1スイッチを介して前記画素電極に与え、

前記第1駆動期間に続く第2駆動期間に、前記第1スイッチをオフし、前記第2スイッチをオンし、前記画像信号を前記信号線および前記第2スイッチを介して前記第2透明電極に与える、

請求項 1 に記載の表示装置。

[請求項3]

前記画素の一部を構成する共通電極と、

前記画素電極と前記共通電極との間に印加される電圧がかかる表示機能層と、

をさらに具備し、

前記駆動部は、

前記第 1 駆動期間および前記第 2 駆動期間とは別の所定期間に、前記第 1 スイッチおよび前記第 2 スイッチをオンし、前記共通電極に与えるコモン電圧を、前記信号線、前記第 1 スイッチおよび前記第 2 スイッチを介して前記画素電極および前記第 2 透明電極に与える、

請求項 2 に記載の表示装置。

[請求項4]

前記画素の一部を構成する共通電極と、

前記画素電極と前記共通電極との間に印加される電圧がかかる表示機能層と、

をさらに具備し、

前記駆動部は、

前記第 1 駆動期間に含まれる所定期間に、前記第 1 スイッチおよび前記第 2 スイッチをオンし、前記共通電極に与えるコモン電圧を、前記信号線、前記第 1 スイッチおよび前記第 2 スイッチを介して前記画素電極および前記第 2 透明電極に与え、

前記所定期間に続く残りの第 1 駆動期間においては、前記第 2 スイッチをオフする、

請求項 2 に記載の表示装置。

[請求項5]

前記第 1 走査線、前記第 2 走査線、前記信号線、前記容量配線、前記画素電極、前記第 1 透明電極、前記第 2 透明電極、前記第 1 スイッチ、および前記第 2 スイッチを有する第 1 基板と、

前記共通電極を有する第 2 基板と

をさらに具備し、

前記表示機能層は、リバーズ型高分子分散液晶を利用した液晶層である、

請求項 3 に記載の表示装置。

[請求項6]

1 フレーム期間は連続する複数のサブフレーム期間を有し、

前記駆動部は、1 サブフレーム期間毎に、前記画素電極に正極性の前記画像信号と負極性の前記画像信号とを交互に与え、前記コモン電圧の極性を前記画像信号の極性と異なる極性に設定する、

請求項 5 に記載の表示装置。

[請求項7]

前記補助電圧の値は、前記コモン電圧の値と同一である、

請求項 3 に記載の表示装置。

[請求項8]

第 1 走査線と、第 2 走査線と、信号線と、容量配線と、画素電極、前記容量配線に接続される第 1 透明電極、前記画素電極と静電容量結合している第 2 透明電極、第 1 スイッチ、および第 2 スイッチを有する画素と、を有し、前記第 1 透明電極は前記第 2 透明電極と静電容量結合し、前記第 1 スイッチは前記信号線と前記画素電極と前記第 1 走査線に電氣的に接続され、前記第 2 スイッチは前記信号線と前記第 2 透明電極と前記第 2 走査線に電氣的に接続される、表示装置の駆動方法であって、

前記第 1 スイッチおよび前記第 2 スイッチのそれぞれのオンオフを切り替えるために前記第 1 走査線に第 1 制御信号を与えることと、

前記第 2 スイッチのオンオフを切り替えるために前記第 2 走査線に第 2 制御信号を与えることと、

前記信号線に画像信号を与えることと、

前記容量配線に補助電圧を与えることと、

第 1 駆動期間に、前記第 1 スイッチをオンし、前記第 2 スイッチをオフし、前記画像信号を前記信号線および前記第 1 スイッチを介して前記画素電極に与えることと、

前記第 1 駆動期間に続く第 2 駆動期間に、前記第 1 スイッチをオフ

し、前記第 2 スイッチをオンし、前記画像信号を前記信号線および前記第 2 スイッチを介して前記第 2 透明電極に与えることと、

を具備する、表示装置の駆動方法。

[請求項9]

前記画素の一部を構成する共通電極と、前記画素電極と前記共通電極との間に印加される電圧がかかる表示機能層と、をさらに有する前記表示装置の駆動方法であって、

前記第 1 駆動期間および前記第 2 駆動期間とは別の所定期間に、前記第 1 スイッチおよび前記第 2 スイッチをオンし、前記共通電極に与えるコモン電圧を、前記信号線、前記第 1 スイッチおよび前記第 2 スイッチを介して前記画素電極および前記第 2 透明電極に与えること、をさらに具備する、請求項 8 に記載の表示装置の駆動方法。

[請求項10]

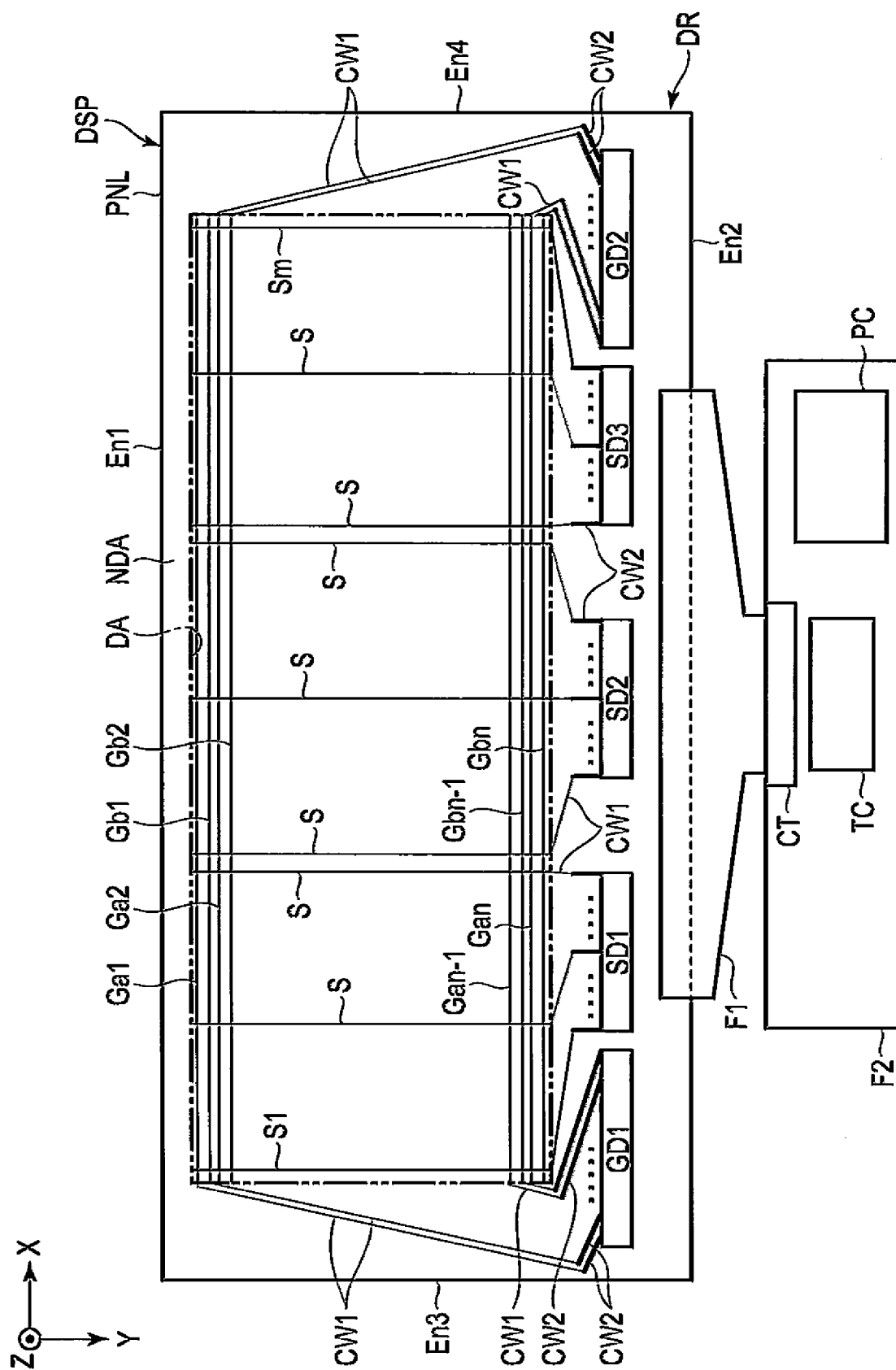
前記画素の一部を構成する共通電極と、前記画素電極と前記共通電極との間に印加される電圧がかかる表示機能層と、をさらに有する前記表示装置の駆動方法であって、

前記第 1 駆動期間に含まれる所定期間に、前記第 1 スイッチおよび前記第 2 スイッチをオンし、前記共通電極に与えるコモン電圧を、前記信号線、前記第 1 スイッチおよび前記第 2 スイッチを介して前記画素電極および前記第 2 透明電極に与えることと、

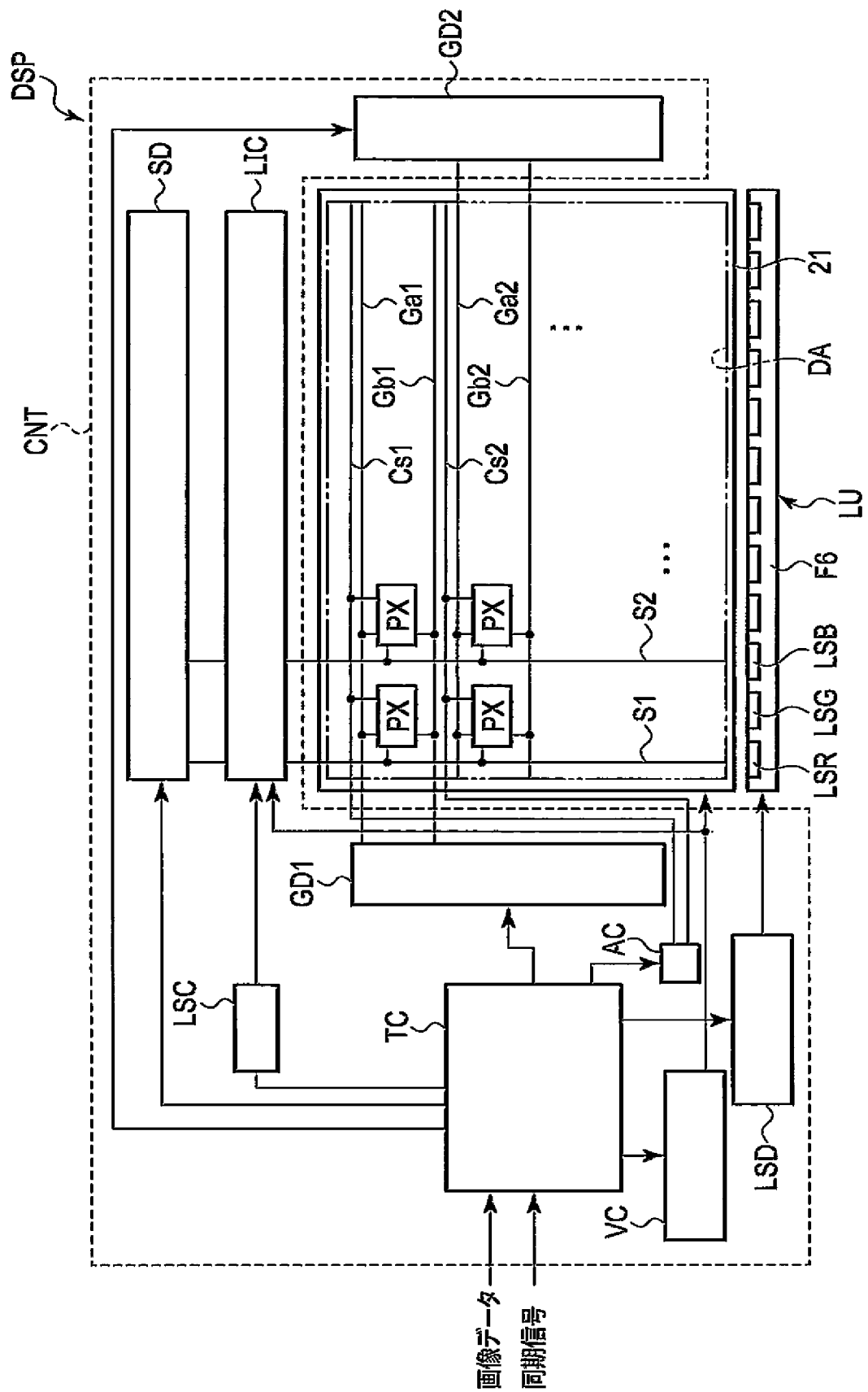
前記所定期間に続く残りの第 1 駆動期間においては、前記第 2 スイッチをオフすることと、

をさらに具備する、請求項 8 に記載の表示装置の駆動方法。

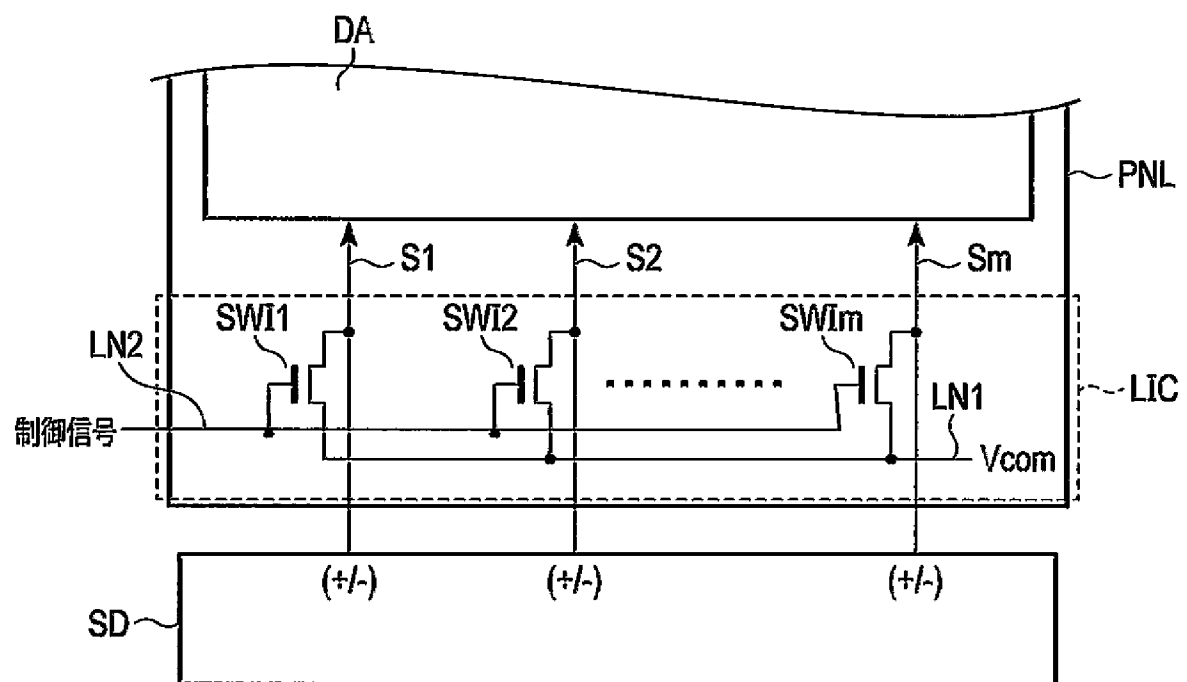
[図1]



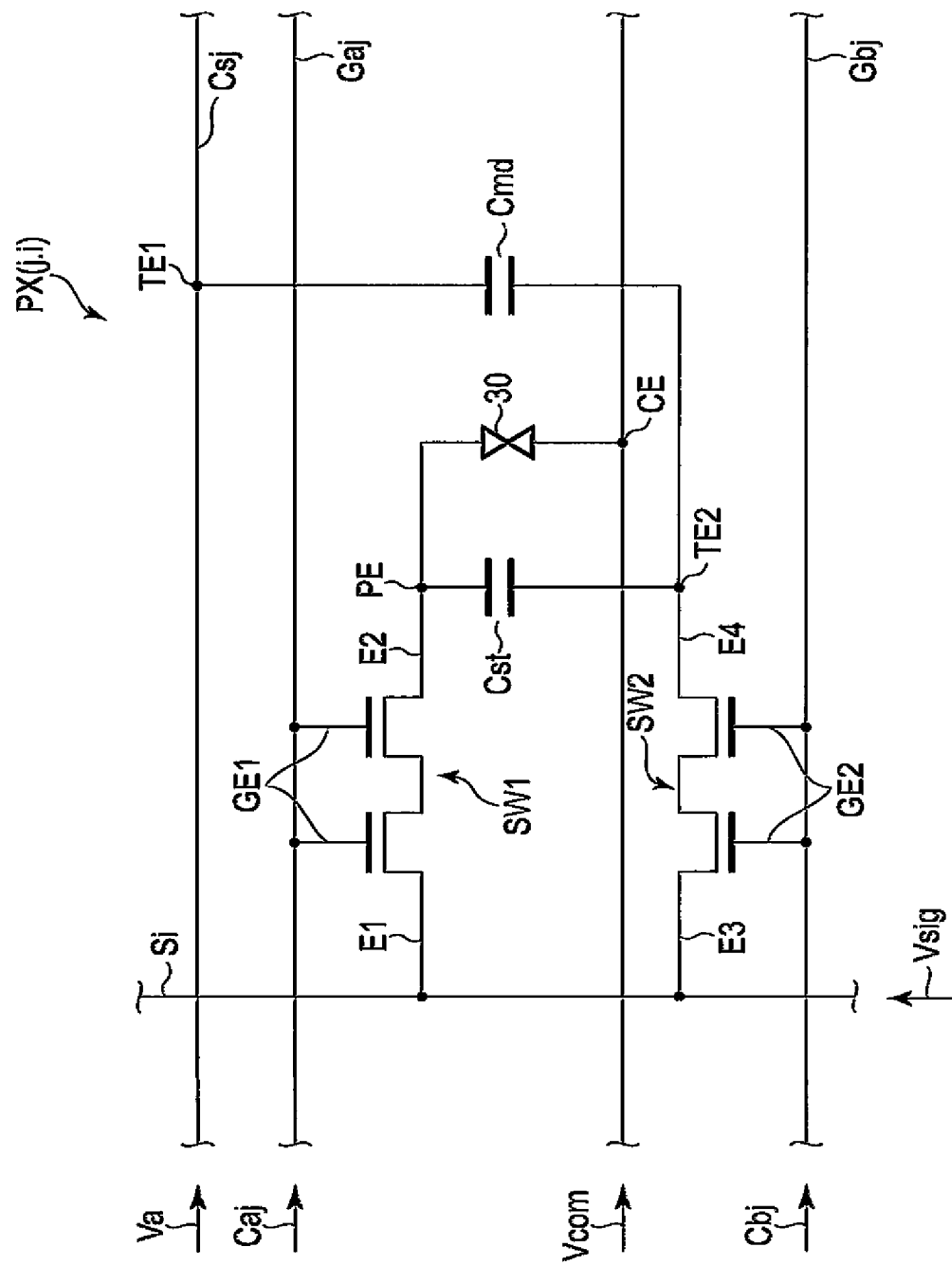
[図3]



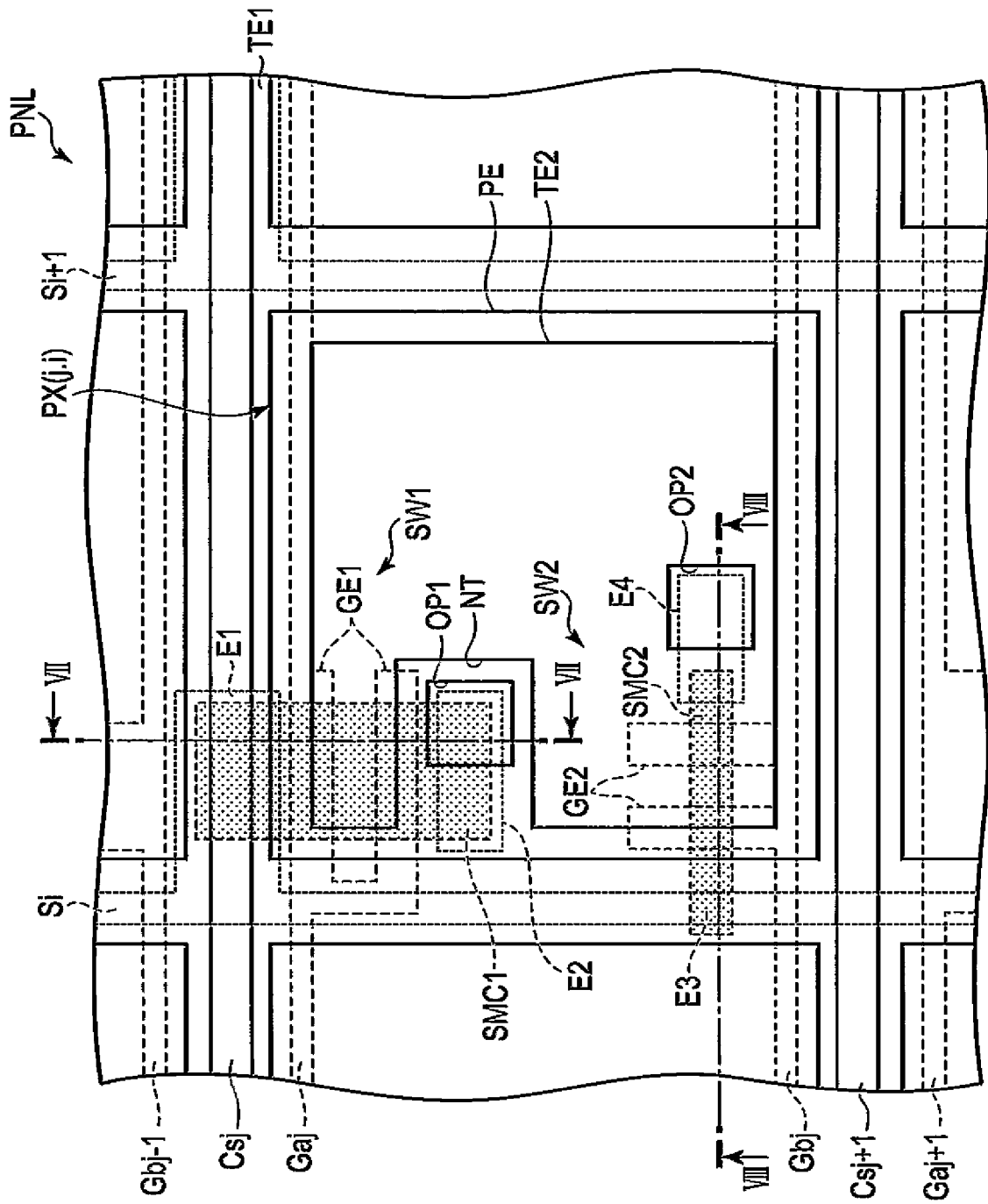
[図4]



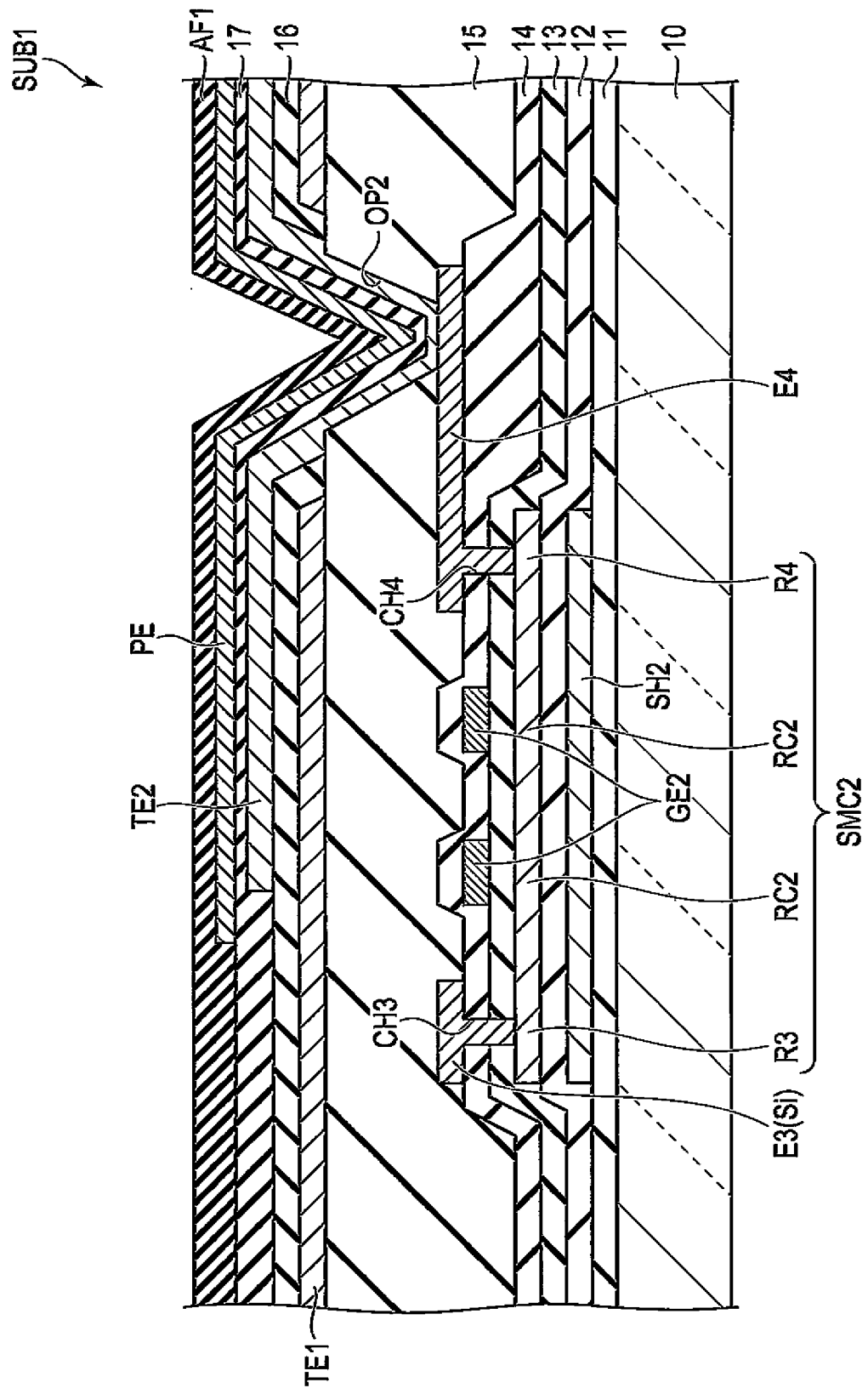
[図5]



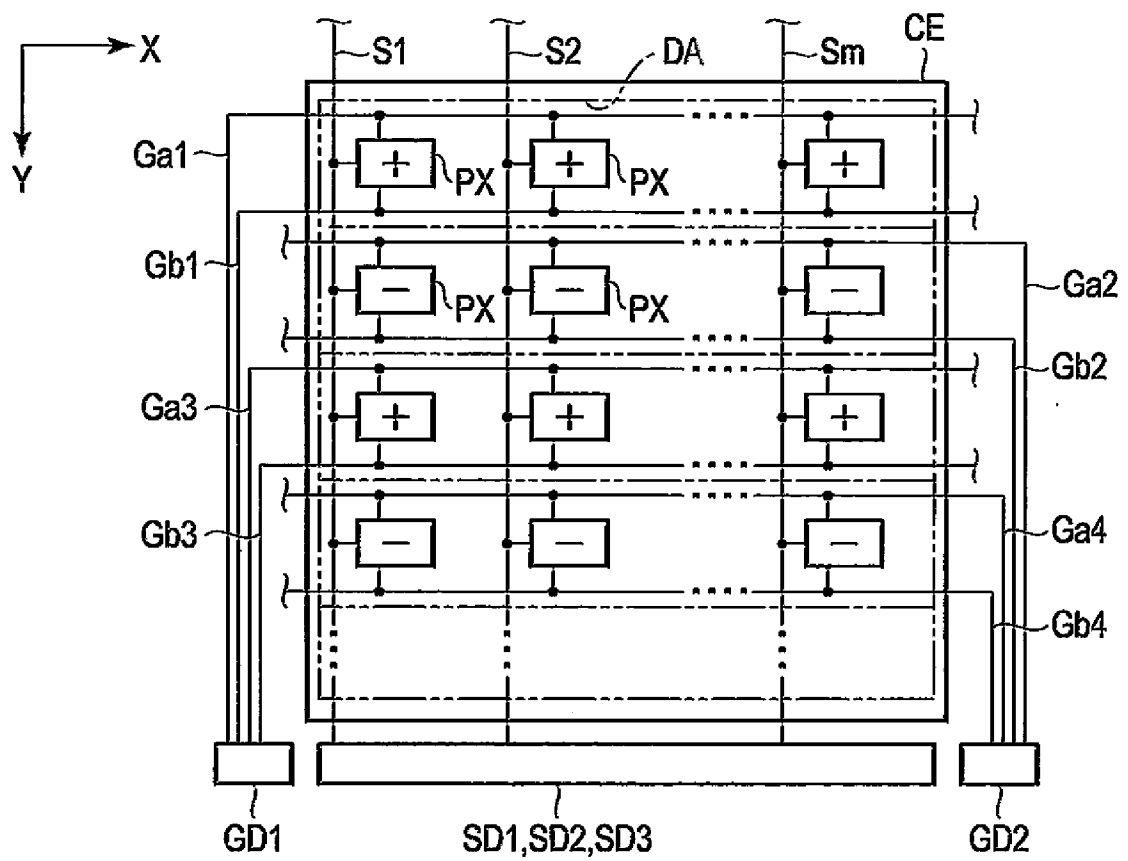
[図6]



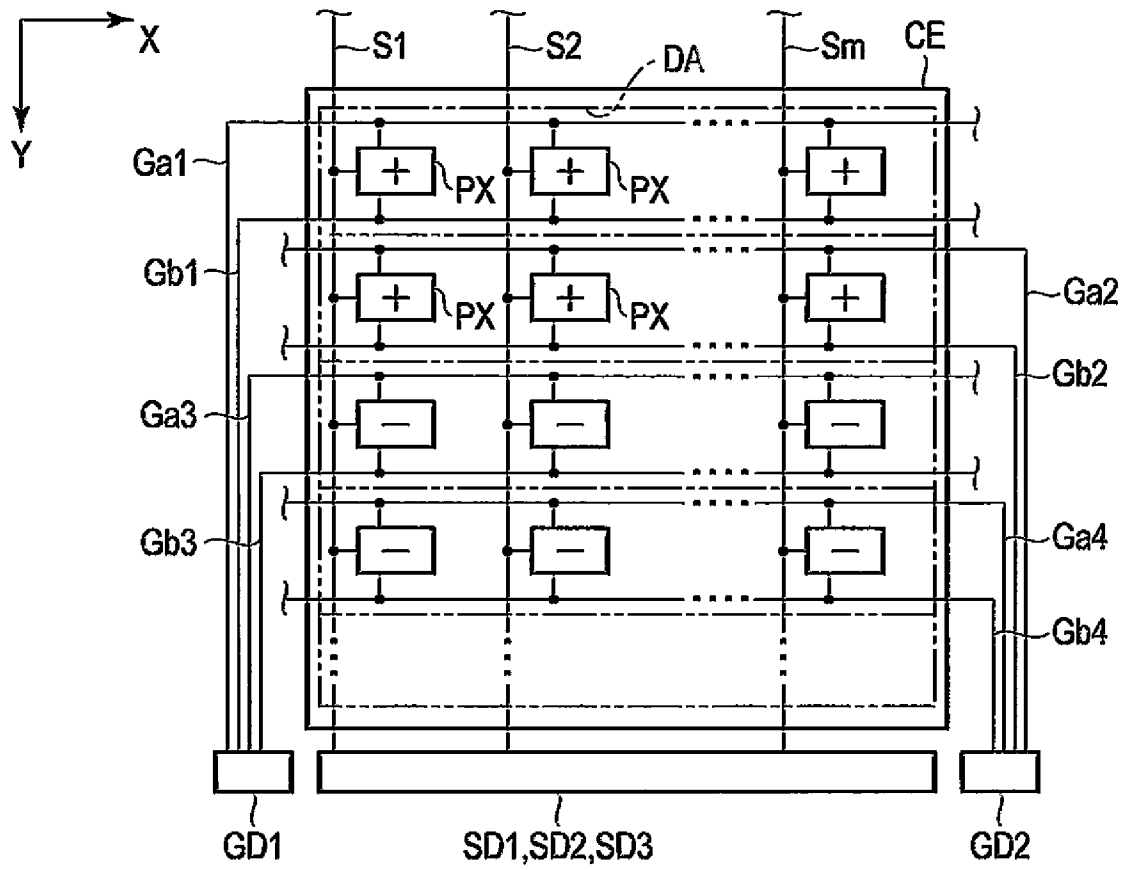
[図8]



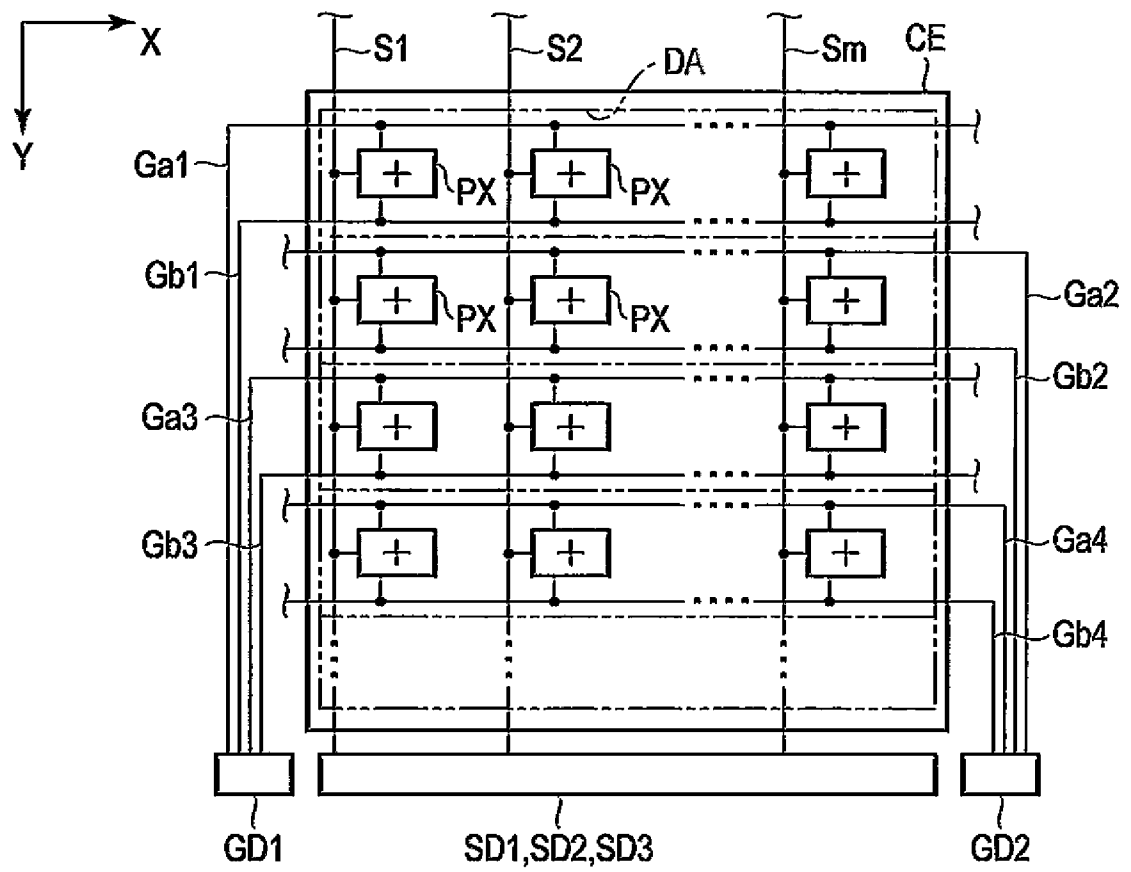
[図9A]



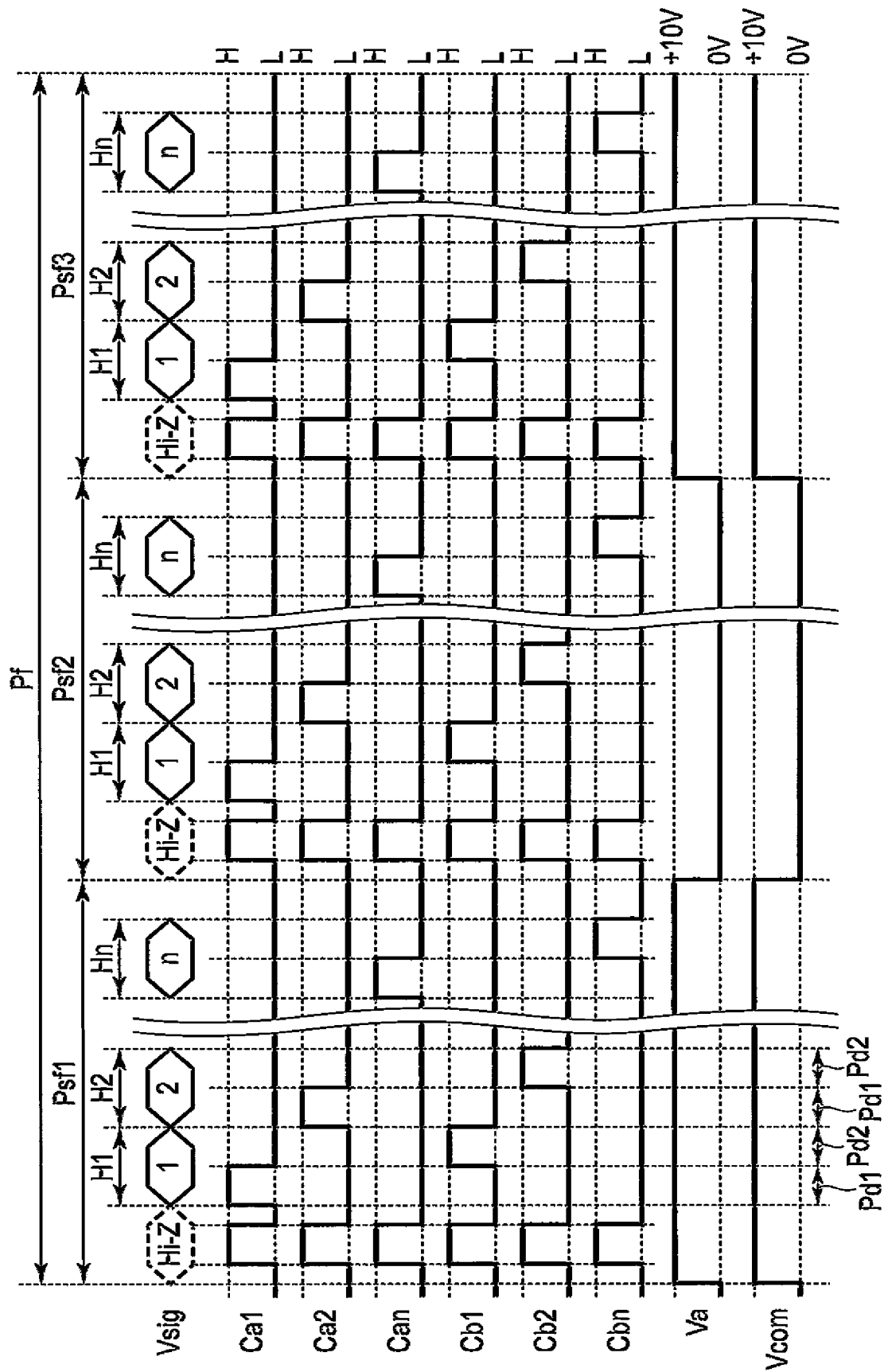
[図9B]



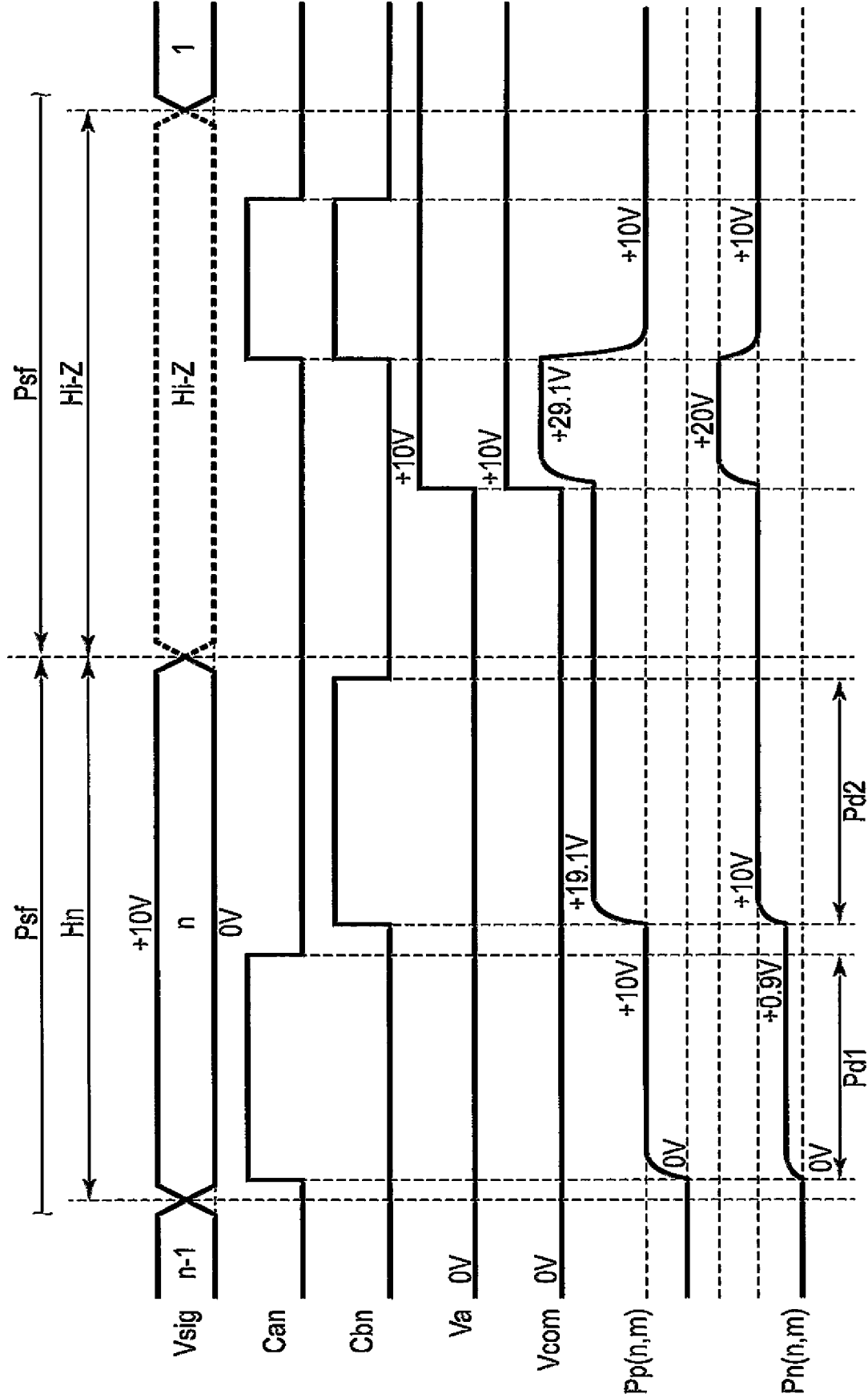
[図9C]



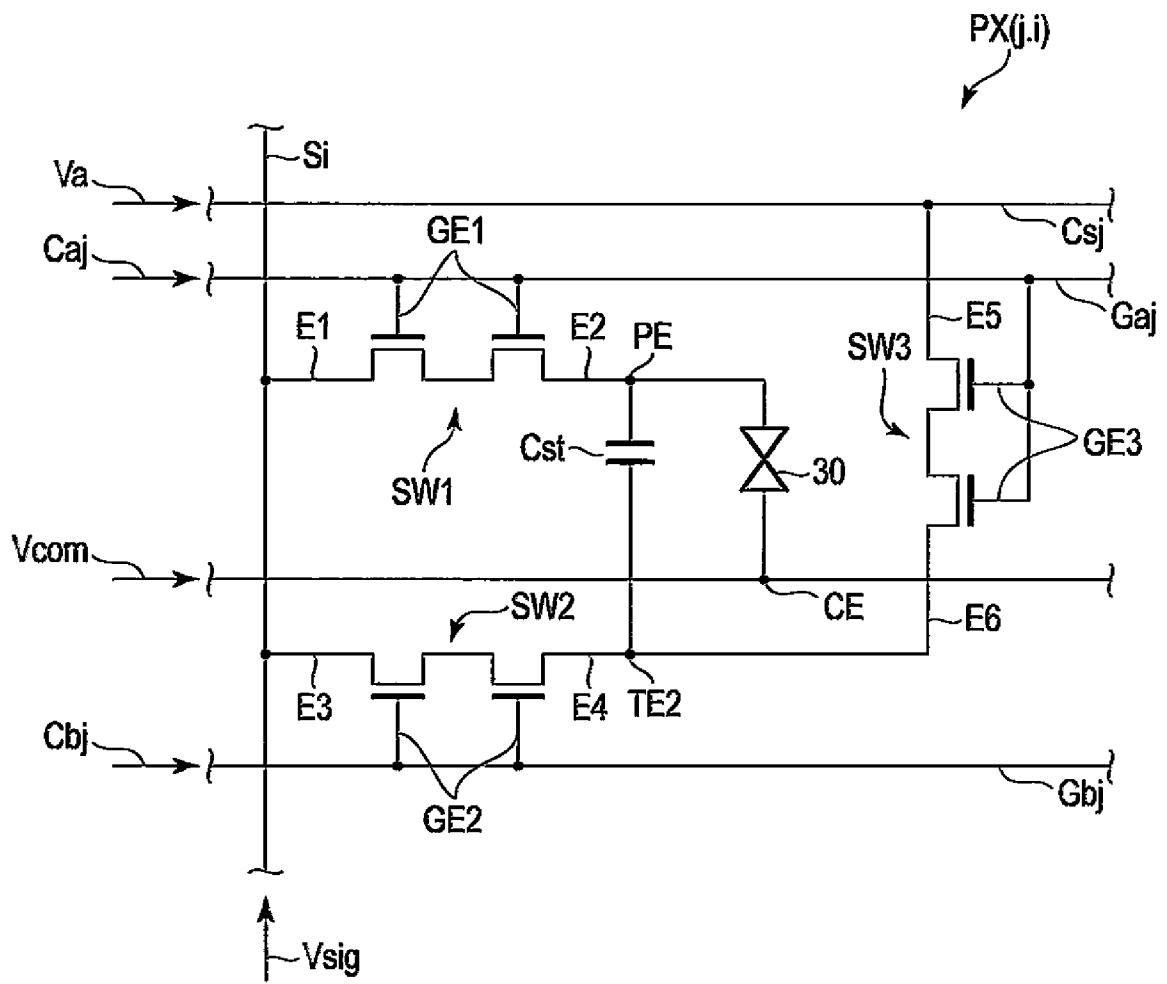
[図10]



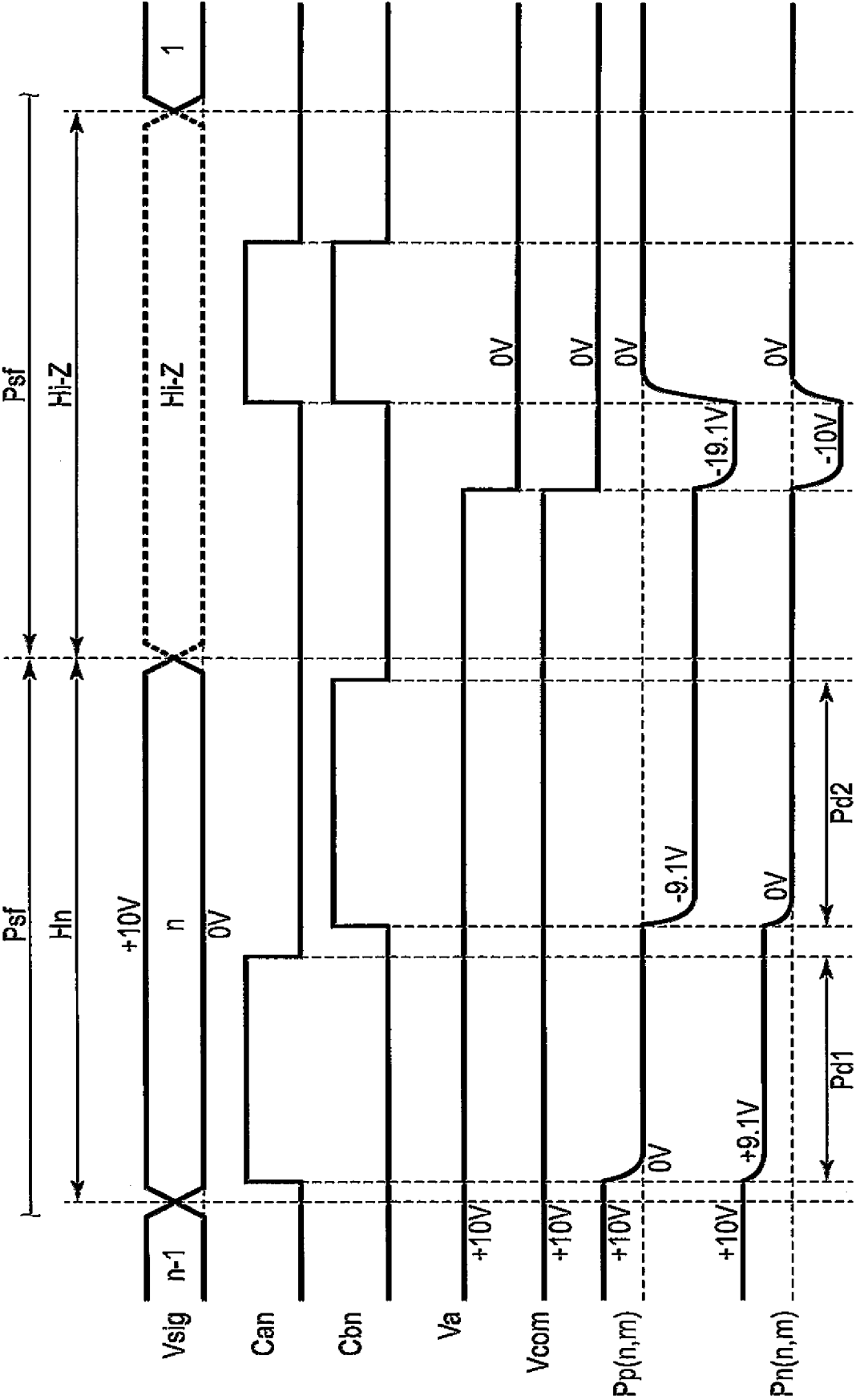
[図11]



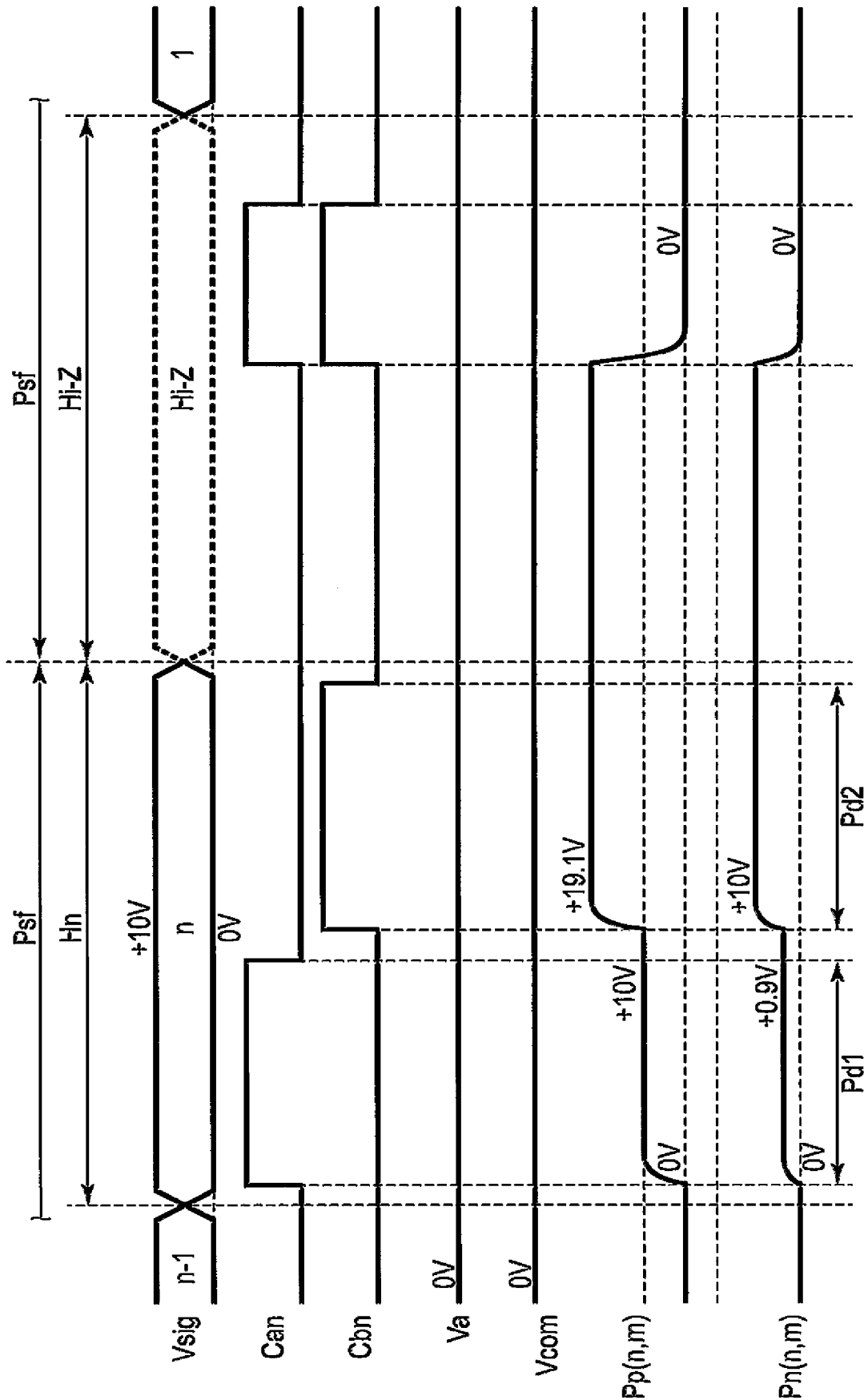
[図12]



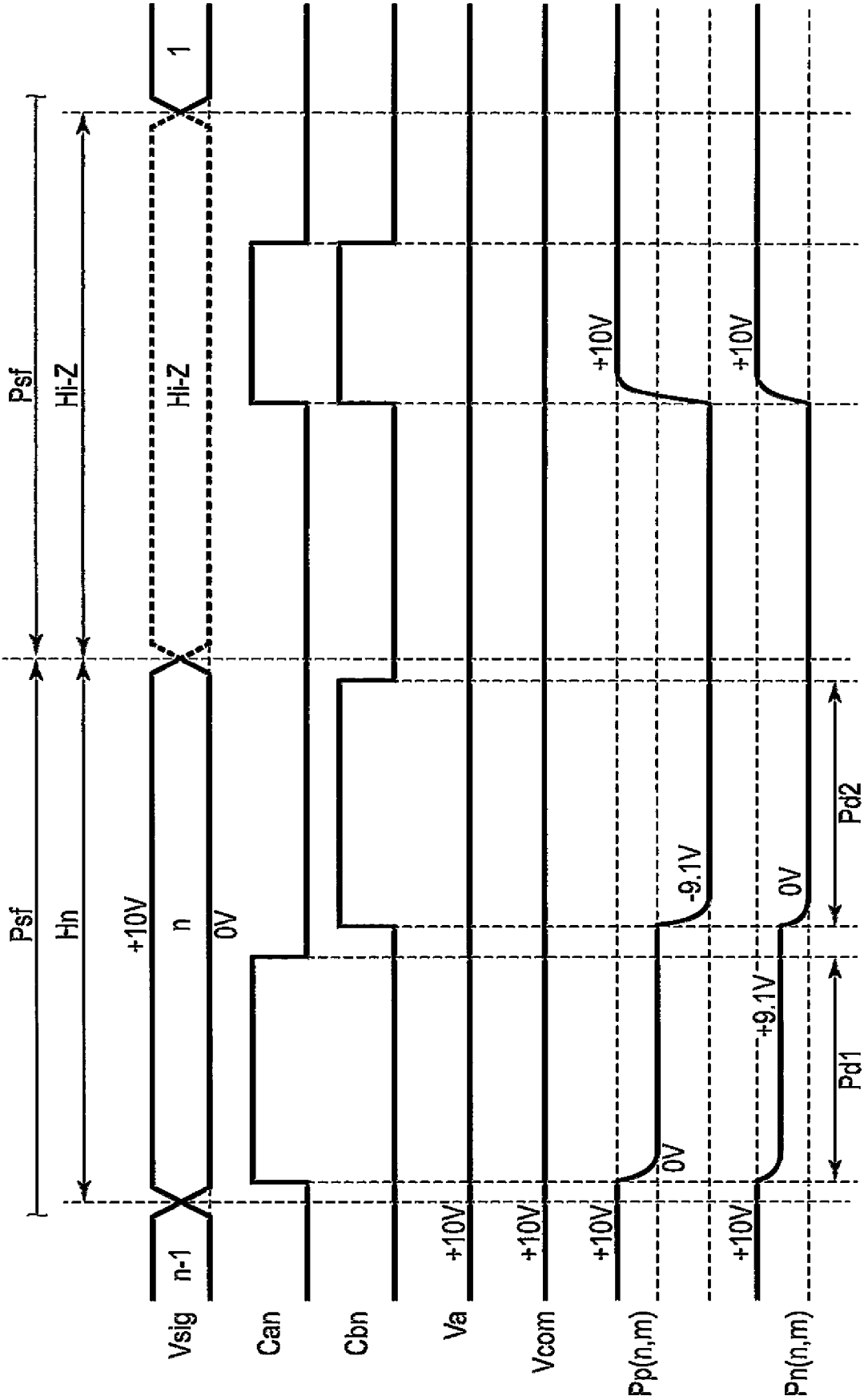
[図13]



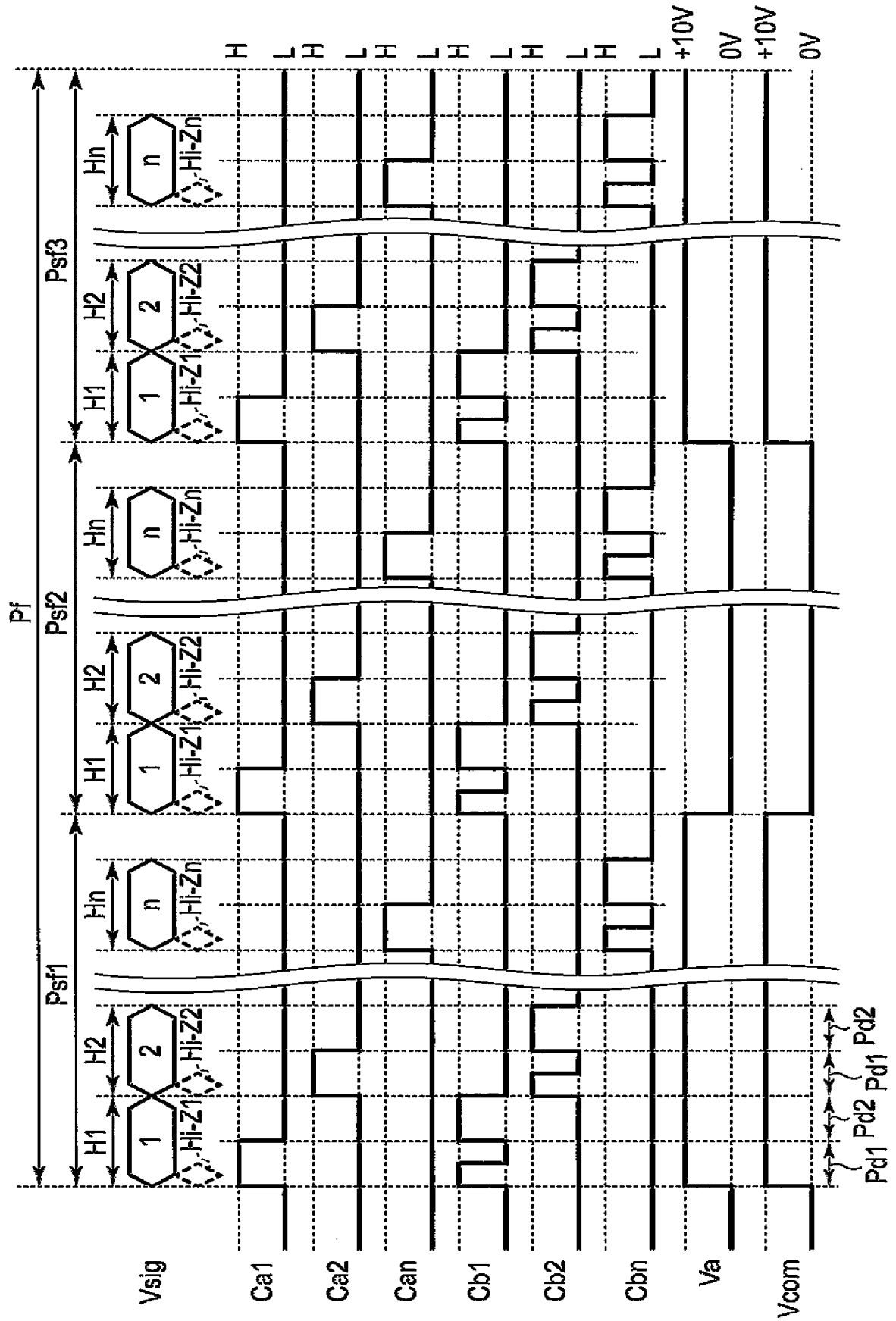
[図14]



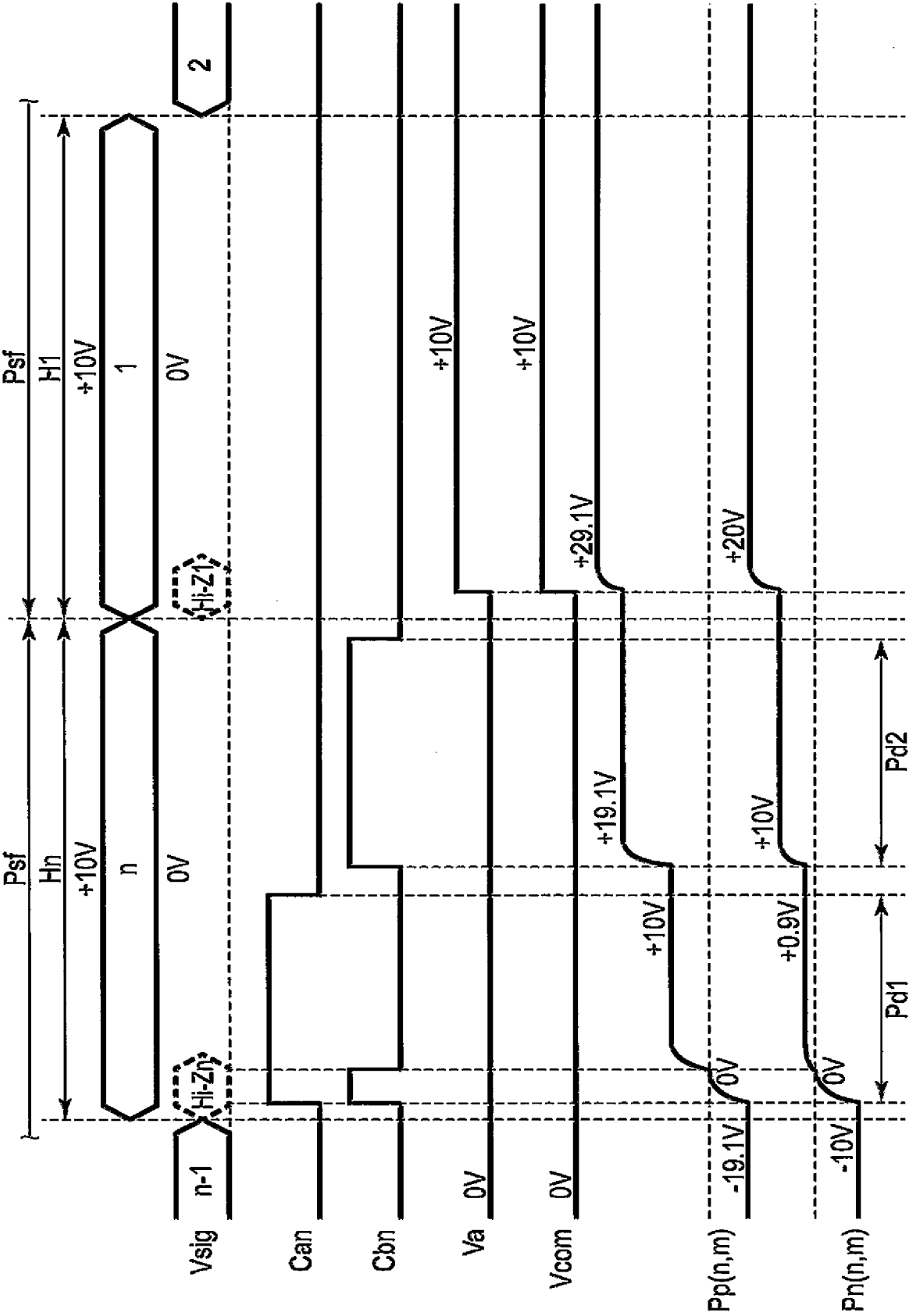
[図15]



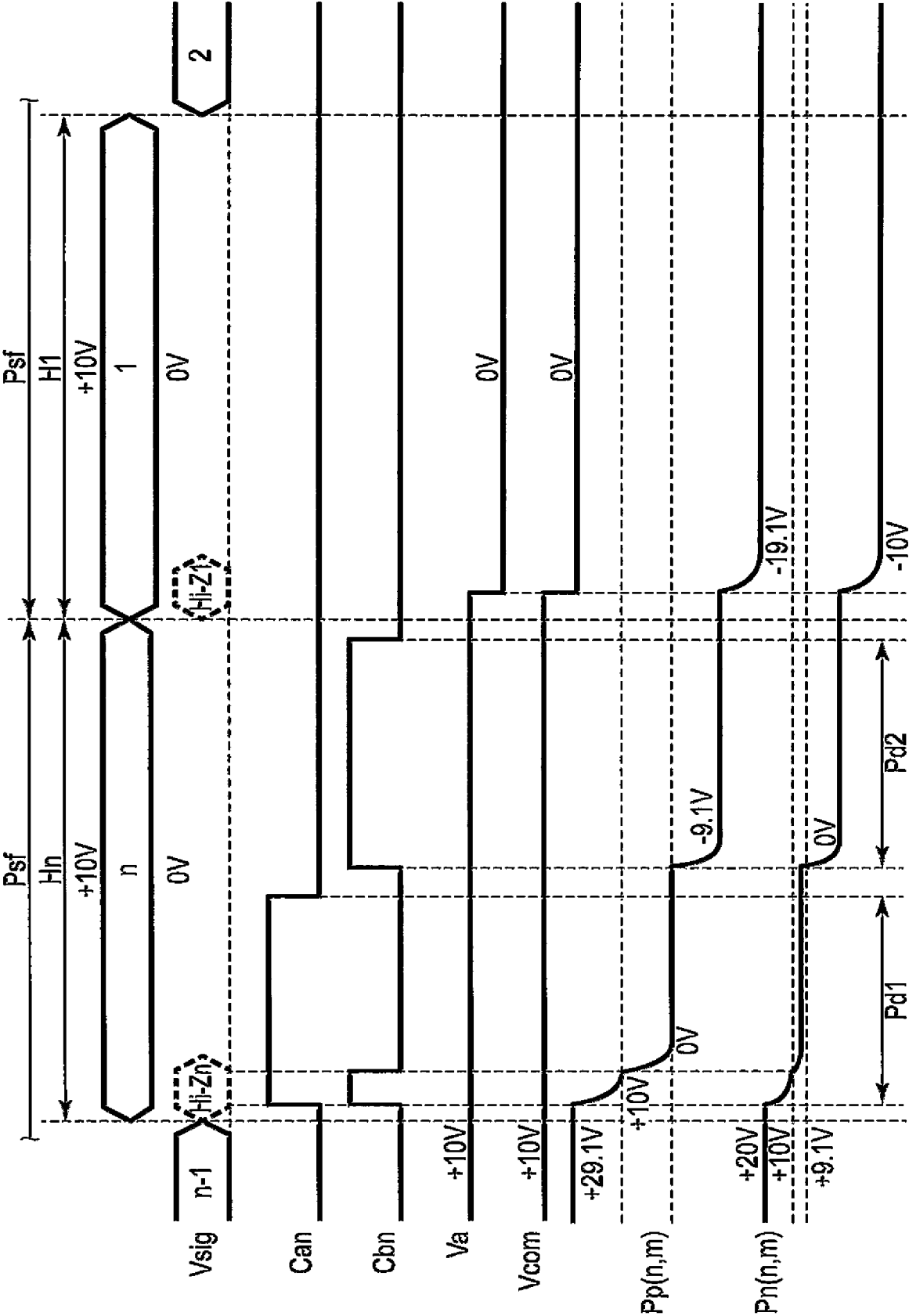
[図16]



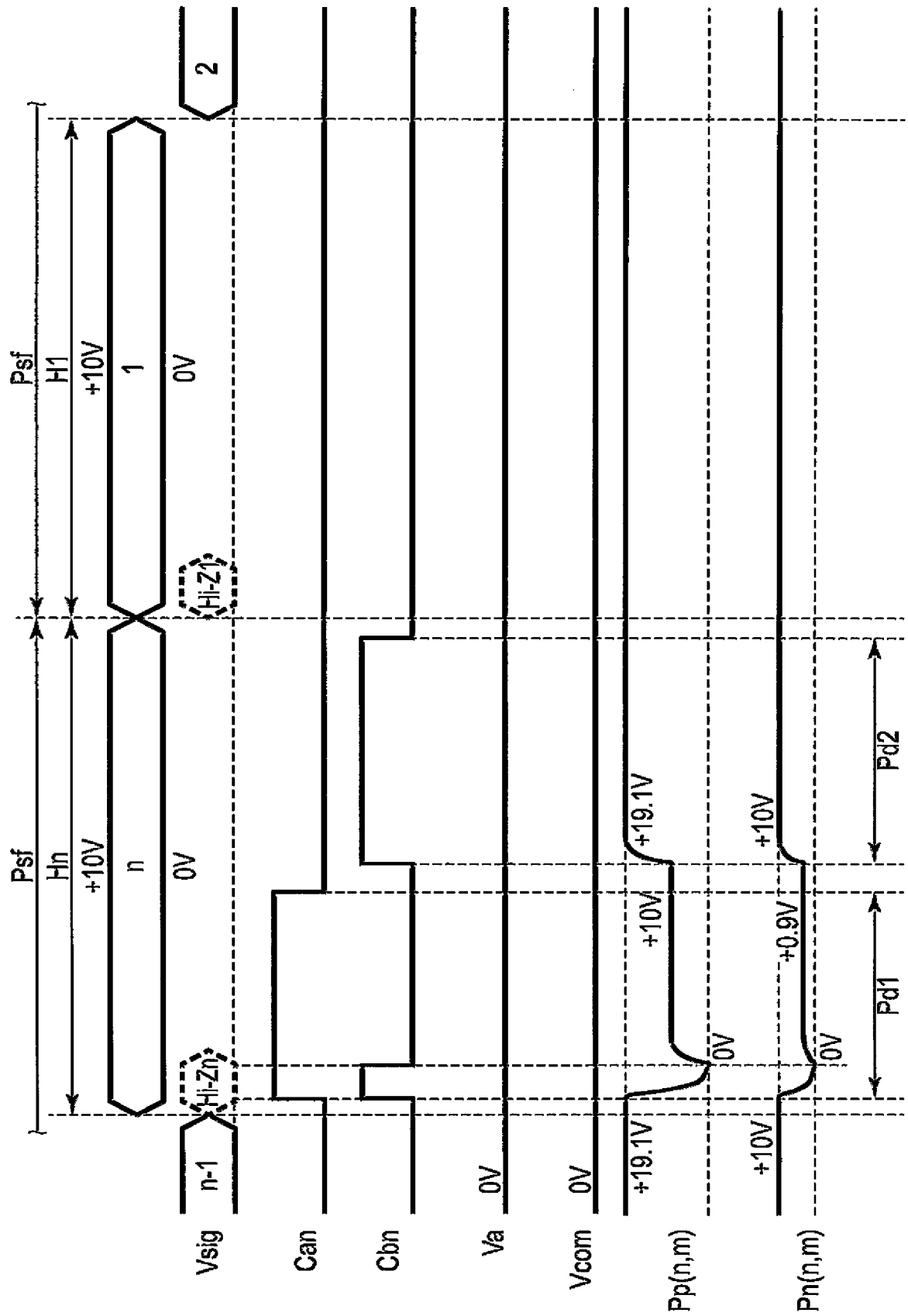
[図17]



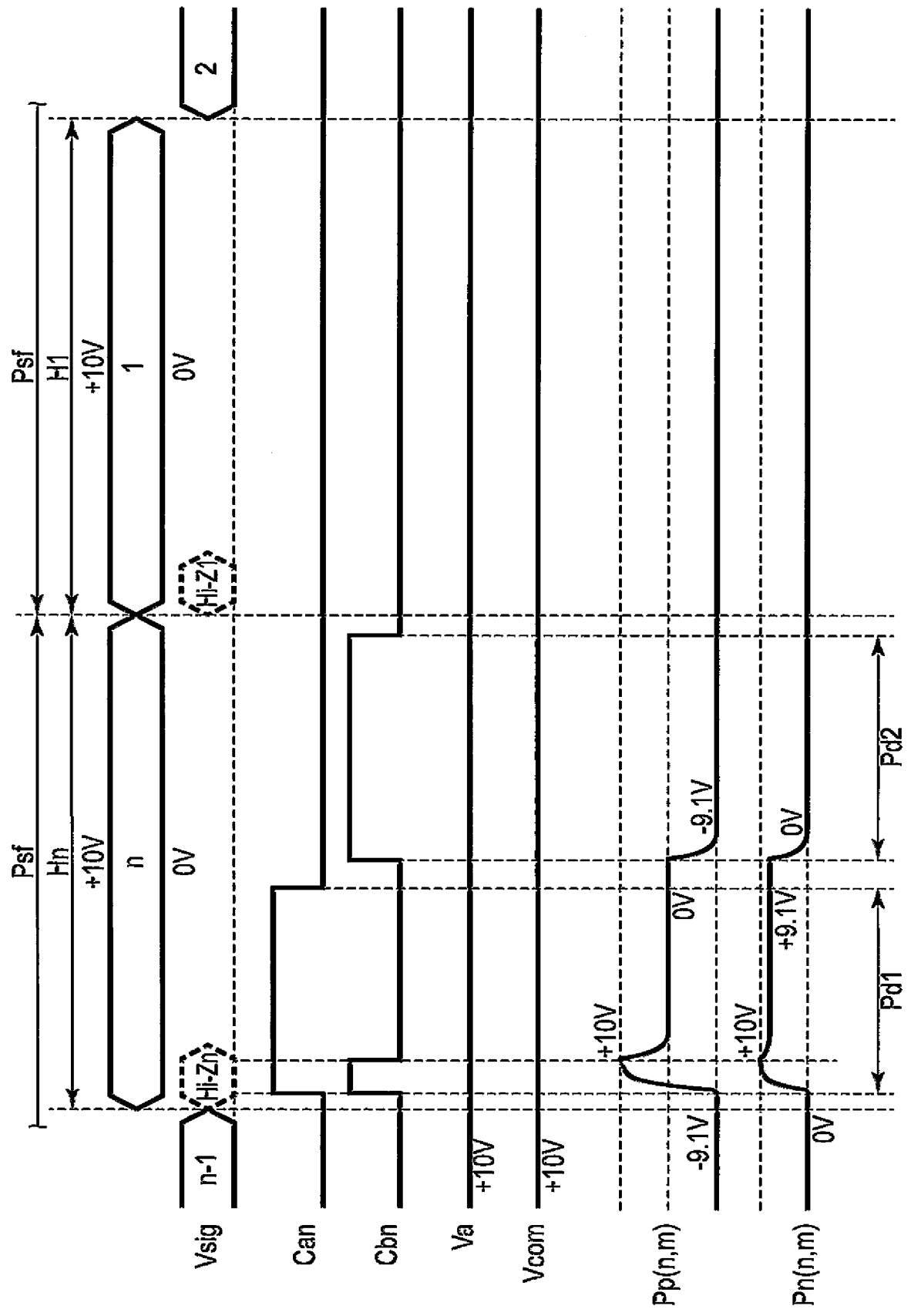
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/009366

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i; G02F 1/133(2006.01)i; G02F 1/1368(2006.01)i; G09G 3/20(2006.01)i

FI: G09G3/36; G02F1/133 550; G02F1/1368; G09G3/20 611A; G09G3/20 612T; G09G3/20 621B; G09G3/20 624B; G09G3/20 624D; G09G3/20 641E

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36; G02F1/133; G02F1/1368; G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2012/0249509 A1 (SAMSUNG ELECTRONICS CO., LTD.) 04.10.2012 (2012-10-04) paragraphs [0045]-[0104], fig. 1-8	1-2, 8
A	paragraphs [0045]-[0104], fig. 1-8	3-7, 9-10
X	US 2016/0055817 A1 (AU OPTRONICS CORP.) 25.02.2016 (2016-02-25) paragraphs [0024]-[0047], fig. 1-7	1-2, 8
A	paragraphs [0024]-[0047], fig. 1-7	3-7, 9-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 May 2020 (14.05.2020)

Date of mailing of the international search report
26 May 2020 (26.05.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2020/009366

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2012/0249509 A1	04 Oct. 2012	EP 2506247 A1 KR 10-2012-0110387 A CN 102737586 A	
US 2016/0055817 A1	25 Feb. 2016	TW 201608555 A CN 104575418 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G09G 3/36(2006.01)i; G02F 1/133(2006.01)i; G02F 1/1368(2006.01)i; G09G 3/20(2006.01)i FI: G09G3/36; G02F1/133 550; G02F1/1368; G09G3/20 611A; G09G3/20 612T; G09G3/20 621B; G09G3/20 624B; G09G3/20 624D; G09G3/20 641E		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G09G3/36; G02F1/133; G02F1/1368; G09G3/20		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2012/0249509 A1 (SAMSUNG ELECTRONICS CO., LTD.) 04.10.2012 (2012-10-04) 段落0045-0104, 図1-8	1-2, 8
A	段落0045-0104, 図1-8	3-7, 9-10
X	US 2016/0055817 A1 (AU OPTRONICS CORP.) 25.02.2016 (2016-02-25) 段落0024-0047, 図1-7	1-2, 8
A	段落0024-0047, 図1-7	3-7, 9-10
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 14.05.2020		国際調査報告の発送日 26.05.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 武田 悟 21 9307 電話番号 03-3581-1101 内線 3273

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/009366

引用文献			公表日	パテントファミリー文献			公表日
US	2012/0249509	A1	04.10.2012	EP	2506247	A1	
				KR	10-2012-0110387	A	
				CN	102737586	A	
US	2016/0055817	A1	25.02.2016	TW	201608555	A	
				CN	104575418	A	