

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3961651号

(P3961651)

(45) 発行日 平成19年8月22日(2007.8.22)

(24) 登録日 平成19年5月25日(2007.5.25)

(51) Int. Cl.		F I		
H O 1 L	21/8246	(2006.01)	H O 1 L	27/10 4 4 4 B
H O 1 L	27/105	(2006.01)	G 1 1 C	11/22 5 O 1 A
G 1 1 C	11/22	(2006.01)		

請求項の数 29 (全 54 頁)

(21) 出願番号	特願平9-346404	(73) 特許権者	000003078
(22) 出願日	平成9年12月16日(1997.12.16)		株式会社東芝
(65) 公開番号	特開平11-177036		東京都港区芝浦一丁目1番1号
(43) 公開日	平成11年7月2日(1999.7.2)	(74) 代理人	100058479
審査請求日	平成15年7月4日(2003.7.4)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100070437
			弁理士 河井 将次

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

ワード線をゲート電極とするセルトランジスタと、前記セルトランジスタのソース・ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成し、前記メモリセルブロックの一端はビット線に接続され、他端がプレート線に接続され、このメモリセルブロックを複数配置してセルアレイを構成する半導体記憶装置であって、

前記ビット線は2本で対を成して同一のセンスアンプ回路に接続され、前記対を成す2本のビット線の各々に接続され同一のワード線群に接続される2個のメモリセルブロックは、各々異なる信号の第1のプレート線、第2のプレート線に接続されることを特徴とする半導体記憶装置。

10

【請求項2】

ワード線をゲート電極とするセルトランジスタと、前記セルトランジスタのソース・ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成し、前記メモリセルブロックの一端はビット線に接続され、他端がプレート線に接続され、このメモリセルブロックを複数配置してセルアレイを構成する半導体記憶装置であって、

第1のプレート線と第2のプレート線が1個毎に交互に、ワード線方向に複数配置され

20

た前記メモリセルブロックの各々に接続されることを特徴とする半導体記憶装置。

【請求項 3】

ワード線をゲート電極とするセルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成し、前記メモリセルブロックの一端はビット線に接続され、他端がプレート線に接続され、このメモリセルブロックを複数配置してセルアレイを構成する半導体記憶装置であって、

第 1 のプレート線と第 2 のプレート線が 2 個毎に交互に、ワード線方向に複数配置された前記メモリセルブロックの各々に接続されることを特徴とする半導体記憶装置。

10

【請求項 4】

請求項 1 ～ 3 の何れかに記載の半導体記憶装置において、前記第 1、第 2 のプレート線は各々、ビット線方向に隣接する 2 個の前記メモリセルブロックで共有していることを特徴とする半導体記憶装置。

【請求項 5】

請求項 1 ～ 3 の何れかに記載の半導体記憶装置において、電源投入後の待機時では、前記第 1、第 2 のプレート線は 0 V 電位になっていることを特徴とする半導体記憶装置。

【請求項 6】

請求項 1 ～ 3 の何れかに記載の半導体記憶装置において、電源投入後の待機時では、前記第 1、第 2 のプレート線は 0 V より高い第 1 の電位になっていることを特徴とする半導体記憶装置。

20

【請求項 7】

請求項 1 ～ 3 の何れかに記載の半導体記憶装置において、電源投入後の待機時では、前記ビット線は 0 V 電位になっていることを特徴とする半導体記憶装置。

【請求項 8】

請求項 1 ～ 3 の何れかに記載の半導体記憶装置において、電源投入後の待機時では、前記ビット線は 0 V より高い第 1 の電位になっていることを特徴とする半導体記憶装置。

【請求項 9】

請求項 1 ～ 3 の何れかに記載の半導体記憶装置において、1 サイクル動作中では、選択した前記メモリセルブロックに接続される前記第 1 のプレート線と第 2 のプレート線のいずれか一方は、0 V 電位から 0 V 電位より高い第 1 の電位の範囲で振幅動作し、他方は 0 V 電位のままであることを特徴とする半導体記憶装置。

30

【請求項 10】

請求項 1 ～ 3 の何れかに記載の半導体記憶装置において、1 サイクル動作中では、選択した前記メモリセルブロックに接続される前記第 1 のプレート線と第 2 のプレート線のいずれか一方は、待機時と異なる電位が印加され、他方は待機時と同じ電位が印加されていることを特徴とする半導体記憶装置。

【請求項 11】

請求項 1 ～ 3 の何れかに記載の半導体記憶装置において、1 サイクル動作中では、選択した前記メモリセルブロックに接続される前記第 1 のプレート線と第 2 のプレート線のいずれか一方は、0 V 電位から 0 V より高い第 1 の電位に駆動された後、前記第 1 の電位から 0 V に駆動され、他方は 0 V 電位のままであることを特徴とする半導体記憶装置。

40

【請求項 12】

請求項 1 ～ 3 の何れかに記載の半導体記憶装置において、1 サイクル動作中では、選択した前記メモリセルブロックに接続される前記第 1 のプレート線と第 2 のプレート線のいずれか一方は、0 V 電位より高い第 1 の電位から 0 V 電位に駆動された後、0 V 電位から前記第 1 の電位に駆動され、他方は前記第 1 の電位のままであることを特徴とする半導体記憶装置。

【請求項 13】

セルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続され

50

た強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続してメモリセルブロックを構成し、前記メモリセルブロックを複数配置したセルアレイと、前記メモリセルに外部からデータの書き込みを行う書き込みバッファを備えた半導体記憶装置であって、

前記書き込みバッファは、第1の書き込みトランジスタと、第1の書き込みトランジスタより駆動力の大きい第2の書き込みトランジスタを備え、書き込み時は、第1の書き込みトランジスタを駆動し始める時間に比べ第2の書き込みトランジスタの駆動し始める時間が遅れることを特徴とする半導体記憶装置。

【請求項14】

ワード線をゲート電極とするセルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成し、前記メモリセルブロックの一端はビット線に接続され、他端がプレート線に接続されている半導体記憶装置であって、

10

前記セルトランジスタと前記強誘電体キャパシタを接続する金属配線層と同一の金属配線層で、前記プレート線を形成することを特徴とする半導体記憶装置。

【請求項15】

請求項14記載の半導体記憶装置において、前記金属配線層は、前記強誘電体キャパシタ形成後に上層に形成され、前記強誘電体キャパシタの上部電極或いは下部電極とはコンタクトを介して接続されることを特徴とする半導体記憶装置。

20

【請求項16】

ワード線をゲート電極とするセルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成し、前記メモリセルブロックの一端はビット線に接続され、他端がプレート線に接続されている半導体記憶装置であって、

前記ワード線のゲート配線層よりも上層に形成され、第1の間隔おきに前記ゲート配線層とコンタクトを取るワード線スナップ用の第1の金属配線層と同一の金属配線層で、前記プレート線の配線層と第2の間隔おきにコンタクトを取ることを特徴とする半導体記憶装置。

30

【請求項17】

請求項16記載の半導体記憶装置において、前記第1の金属配線層と前記プレート線の配線層とのコンタクト間隔は、1ビット線毎、2ビット線毎、4ビット線毎、或いはワード線スナップ間隔毎であることを特徴とする半導体記憶装置。

【請求項18】

ワード線をゲート電極とするセルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成し、前記メモリセルブロックの一端はビット線に接続され、他端がプレート線に接続され、このメモリセルブロック複数配置しセルアレイを構成する半導体記憶装置であって、

40

前記ビット線方向に、前記プレート線を駆動する駆動回路が、前記メモリセルブロックの1個毎或いは2個毎に配置されていることを特徴とする半導体記憶装置。

【請求項19】

nMOSトランジスタとpMOSトランジスタと強誘電体キャパシタとからメモリセルを構成し、前記nMOSトランジスタのソースと前記pMOSトランジスタのソースと前記強誘電体キャパシタの一端は接続され、前記nMOSトランジスタのドレインと前記pMOSトランジスタのドレインと前記強誘電体キャパシタの他端は接続されていることを

50

特徴とする半導体記憶装置。

【請求項 2 0】

請求項 1 9 記載の半導体記憶装置において、前記メモリセルを複数個直列接続してメモリセルブロックを構成することを特徴とする半導体記憶装置。

【請求項 2 1】

請求項 2 0 記載の半導体記憶装置において、前記メモリセルブロックの一端は、少なくとも 1 個のメモリセルブロック選択トランジスタを介してビット線に接続され、他端はプレート線に接続されることを特徴とする半導体記憶装置。

【請求項 2 2】

請求項 2 1 記載の半導体記憶装置において、前記メモリセルの前記 n M O S トランジスタと p M O S トランジスタは、異なる信号のワード線に接続されることを特徴とする半導体記憶装置。

10

【請求項 2 3】

ワード線をゲート電極とするセルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成し、前記メモリセルブロックを複数配置してセルアレイを構成し、前記メモリセルブロックの一端はビット線に接続され、他端がプレート線に接続され、更に前記ワード線に接続されるサブローデコーダと、前記サブローデコーダに接続されるメインワード線を備える半導体記憶

20

装置であって、
前記プレート線の金属配線層と同一の配線層で、前記メインワード線を形成することを特徴とする半導体記憶装置。

【請求項 2 4】

請求項 2 3 記載の半導体記憶装置において、前記メインワード線は、前記メモリセルブロック毎に 1 本配設されることを特徴とする半導体記憶装置。

【請求項 2 5】

請求項 1 ~ 3 の何れかに記載の半導体記憶装置において、強誘電体キャパシタ膜は、前記セルトランジスタが形成されるウエハの表面と垂直方向に形成されていることを特徴とする半導体記憶装置。

30

【請求項 2 6】

セルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成する半導体記憶装置であって、

前記強誘電体キャパシタの下部電極と前記ソース端子を接続する第 1 のコンタクトと、前記強誘電体キャパシタの上部電極から第 2 コンタクトを介して接続される第 1 の金属配線層と前記ドレイン端子を接続する第 3 のコンタクトとを備え、少なくとも前記第 1 のコンタクトと前記第 3 のコンタクトの一部は同一のプロセスで形成されることを特徴とする半導体記憶装置。

40

【請求項 2 7】

セルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成する半導体記憶装置であって、

前記強誘電体キャパシタの下部電極と前記ソース端子を接続する第 1 のコンタクトと、前記強誘電体キャパシタの上部電極から第 2 コンタクトを介して接続される第 1 の金属配線層と前記ドレイン端子を接続する第 3 のコンタクトとを備え、前記第 1 のコンタクトと前記第 3 のコンタクトは異なる材料で構成されることを特徴とする半導体記憶装置。

【請求項 2 8】

50

セルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成する半導体記憶装置であって、

前記強誘電体キャパシタの下部電極と前記ソース端子を接続する第1のコンタクトと、前記強誘電体キャパシタの上部電極から第2コンタクトを介して接続される第1の金属配線層と前記ドレイン端子を接続する第3のコンタクトとを備え、前記第1のコンタクトと前記第3のコンタクトは少なくとも2種類以上の材料の異なる物質が積層されて形成されることを特徴とする半導体記憶装置。

【請求項29】

10

セルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成する半導体記憶装置であって、

前記強誘電体キャパシタの下部電極と前記ソース或いはドレイン端子とを接続するコンタクト層は、少なくとも2種類以上の異なる材料層が積層されて形成されることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

20

本発明は、半導体記憶装置に係わり、特に強誘電体キャパシタを用いた不揮発性の半導体記憶装置に関する。

【0002】

【従来の技術】

近年、半導体メモリの一つとして強誘電体キャパシタ (Ferroelectric Capacitor) を用いた不揮発性メモリ (FRAM: Ferroelectric RAM) が注目されている。このFRAMは、不揮発性で、しかも書き換え回数が10の12乗、読み出し、書き込み時間がDRAM程度、3V~5Vの低電圧動作等の長所があるため、全メモリ市場を置き換える可能性がある。現状の学会レベルでは、1MビットFRAMの発表が行われている (H.Koike et al., 1996 IEEE International Solid-State Circuit Conference Digest of Technical Paper, pp.368-369, Feb, 1996)。

30

【0003】

FRAMのセルは、開発当初のSRAM + Shadow Memory 構成から、2トランジスタ + 2キャパシタ構成と、DRAMの開発と同じく時代と共にセル構成の簡略化、微細化により、セルサイズが縮小されてきた。図74(a)に従来のDRAMの1トランジスタ + 1キャパシタ構成のメモリセルを、(b)に従来FRAMの1トランジスタ + 1キャパシタ構成のメモリセルを示す。明らかに、従来FRAMの1トランジスタ + 1キャパシタ構成のメモリセルにおいては、もはやDRAMのトランジスタとキャパシタを直列接続する1トランジスタ + 1キャパシタ構成と同様である。

【0004】

40

異なる点は、DRAMでは、図75(a)の電圧 - 蓄積電荷の関係に示すように、キャパシタとして通常のものを用いるが、FRAMでは、図75(b)の電圧 - 分極量の関係に示すように、ヒステリシス特性を持つ強誘電体性のもを用いる点である。よって、セルアレイ構成もDRAMと同等で、図74(c)に示すような、フォールデッドBL構成を取り、最小セルサイズは、 $2F \times 4F = 8F^2$ となり、これ以上小さくしにくい。ここで、Fは最小加工寸法を示す。

【0005】

無理に $4F^2$ サイズを実現した例として、縦型トランジスタや縦型TFET (Thin Film Transistor) を用いた例 (K.Sunouchi et al, 1998 IEEE IEDM Digest of Technical Paper, pp.23-26, Dec, 1989) 等が存在するが、製造が極めて困難である。また、セルトランジス

50

タを直列接続し、その間と P L 間にキャパシタを接続して、ほぼ $4 F^2$ サイズを実現する (NAND 型セル) も提案されている (T.Hasegawa et al, 1993 IEEE International Solid-State Circuit Conference Digest of Technical Paper, pp.46-47, Feb, 1993) が、ランダムアクセスができず汎用性に乏しい。

【0006】

このように、従来 F R A M セルにおいては、(1) 小さい $4 F^2$ サイズのメモリセル、(2) 製造が容易な平面トランジスタ、(3) 汎用性のあるランダムアクセス機能、の3点を両立できないという第1の問題点が存在した。

【0007】

また、動作方法で言えば、D R A M では、キャパシタの一端のプレート電極を $(1/2)V_{dd}$ に固定するが、F R A M では、 $0V \sim V_{dd}$ 間で、変動させる点のみ異なる。この点に関しても、図76(a)に示すような、プレート電極を変動する方式 (T.Sumii et al, 1994 IEEE International Solid-State Circuit Conference Digest of Technical Paper, pp.268-269, Feb, 1994 等) から、図76(b)(c)に示すような、プレート電極を $(1/2)V_{dd}$ に固定する方式 (H.Koike et al., 1996 IEEE International Solid-State Circuit Conference Digest of Technical Paper, pp.368-369, Feb, 1996、又は K.Takeuchi et al., IEICE Trans, Electron., Vol.E79-C, No.2, Feb, 1996) に切り替わりつつある。

【0008】

プレート電極を $0V \sim V_{dd}$ 間を駆動する方式は、プレート電極には多くのメモリセルが接続され、負荷容量が大きく、駆動時間が非常に長いため、従来 D R A M と比べて、アクセスタイムとサイクルタイムの両方共動作が遅くなるのが現状である。プレートを $(1/2)V_{dd}$ に固定する方式は、負荷容量の重いプレートを駆動する必要が無いため、D R A M と同等のアクセスタイムとサイクルタイムが実現できる。

【0009】

しかしながら、従来 F R A M のメモリセルは、図74(b)に示すように、D R A M と同じくトランジスタと強誘電体キャパシタを直列接続した構成を取っており、ストレージノード (S N) は電源投入後のスタンバイ時にフローティングになる。よって、S N に“1”データ保持時、S N がセルトランジスタの p n 接合部のジャンクションリークにより V_{ss} に降下するため、プレート電極が $(1/2)V_{dd}$ 固定の場合、セル情報が破壊される。よって、 $(1/2)V_{dd}$ セルプレート方式においては、D R A M と同様にリフレッシュ動作が必要になり、パワーの増加の問題や、セルリークスペックが厳しく製造が困難になる。

【0010】

このように、従来 F R A M においては、高速動作 (P L 電位固定) とリフレッシュ不要の両立は困難であるという第2の問題点が存在した。

【0011】

また、従来の F R A M においては、次のような問題点も存在していた。図77(a)は従来 F R A M のスタンバイ状態を示し、図77(b)は P L 駆動方式の動作を示し、図77(d)は読み出し時のヒステリシス曲線上の軌跡を示す。従来の読み出し方式においては、飽和分極量を P_s 、残留分極量を P_r とすると、図77(d)に示すように、“1”データは $P_s + P_r$ 、“0”データは $P_s - P_r$ となり、その差が信号量となる ($1T/1C$ ではその半分)。しかしながら強誘電体キャパシタは、製造ばらつき等により常誘電体成分に大きなばらつきを持ち、これが読み出しマージンを大きく劣化させる。例えば、“1”データでは、 $P_s + P_r$ の内の $P_s - P_r$ 分が常誘電体成分で、“0”データでは、信号全体が常誘電体成分となる。特に P Z T 等の強誘電体材料では、誘電率自身の値が大きいため、ばらつきの絶対値も大きき問題となる。

【0012】

図77(c)はこの問題を解決する従来方式を示す。読み出し時、P L を V_{ss} から V_{dd} に上げ、さらに V_{dd} から V_{ss} に下げた後、センスアンプを動作させ信号を増幅する方式である。これの読み出し時のヒステリシス曲線上の軌跡を図77(e)に示す。“1”

10

20

30

40

50

データ（（２）の点）は、一度分極反転して（１）の点の位置に来るがＰＬを下げることに
により（３）の位置に来る。よって“１”データは、行き帰りで常誘電体成分がカットさ
れ、残留分極成分：２Ｐｒだけビット線に信号として読み出される。“０”データは、（
３）の点から（１）の点に行き、（３）の点に単に戻るだけであるため、信号は読み出さ
れない。結局信号としては、ばらつきの多い常誘電体成分の無い分極成分２Ｐｒだけとな
り、ノイズがなくなる。

【００１３】

しかしながらこの方法は、図７７（ｃ）に示すように、データの再書き込みを行うため
に、再度ＰＬを上げ、ＰＬを下げるため、結局２度ＰＬを上げ下げする必要があるため、
図７７（ｂ）に比べ非常にアクセスタイム及びサイクルタイムが長くなる問題があった。

10

【００１４】

【発明が解決しようとする課題】

このように従来のＦＲＡＭにおいては、小さい４Ｆ^２サイズのメモリセル、製造が容易な
平面トランジスタ、汎用性のあるランダムアクセス機能、の３点を両立できないという第
１の問題点があり、さらに高速動作（ＰＬ電位固定）とリフレッシュ不要の両立は困難で
あるという第２の問題点があった。また、強誘電体キャパシタの常誘電体成分のばらつきを
抑制しようとすると、動作が遅くなる問題があった。

【００１５】

本発明は、上記の事情を考慮してなされたもので、その目的とするところは、縦型ラン
ジスタ等を用いることなく４Ｆ^２サイズのメモリセルを実現することができ、かつランダ
ムアクセス機能も保つことのできる不揮発性の半導体記憶装置を提供することにある。

20

【００１６】

また、本発明の他の目的は、プレート電位の固定による高速動作とリフレッシュ不要の両
立をはかり得る半導体記憶装置を提供することにある。

【００１７】

また、本発明の他の目的は、動作速度の低下を招くことなく、強誘電体キャパシタの常
誘電体成分のばらつきを抑制することのできる半導体記憶装置を提供することにある。

【００１８】

【課題を解決するための手段】

（構成）

30

上記課題を解決するために本発明は、次のような構成を採用している。

【００１９】

（１）ワード線をゲート電極とするセルトランジスタと、前記セルトランジスタのソース
・ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前
記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも
一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成し、前
記メモリセルブロックの一端はビット線に接続され、他端がプレート線に接続され、この
メモリセルブロックを複数配置してセルアレイを構成する半導体記憶装置であって、前記
ビット線は２本で対を成して同一のセンスアンプ回路に接続され、前記対を成す２本のビ
ット線の各々に接続され同一のワード線群に接続される２個のメモリセルブロックは、各
々異なる信号の第１のプレート線、第２のプレート線に接続されることを特徴とする。

40

【００２０】

（２）ワード線をゲート電極とするセルトランジスタと、前記セルトランジスタのソース・
ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記
メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも
一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成し、前記
メモリセルブロックの一端はビット線に接続され、他端がプレート線に接続され、このメ
モリセルブロックを複数配置してセルアレイを構成する半導体記憶装置であって、第１の
プレート線と第２のプレート線が１個毎に交互に、ワード線方向に複数配置された前記メ
モリセルブロックの各々に接続されることを特徴とする。

50

【 0 0 2 1 】

(3) ワード線をゲート電極とするセルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成し、前記メモリセルブロックの一端はビット線に接続され、他端がプレート線に接続され、このメモリセルブロックを複数配置してセルアレイを構成する半導体記憶装置であって、第1のプレート線と第2のプレート線が2個毎に交互に、ワード線方向に複数配置された前記メモリセルブロックの各々に接続されることを特徴とする。

【 0 0 2 2 】

(4) セルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続してメモリセルブロックを構成し、前記メモリセルブロックを複数配置したセルアレイと、前記メモリセルに外部からデータの書き込みを行う書き込みバッファを備えた半導体記憶装置であって、前記書き込みバッファは、第1の書き込みトランジスタと、第1の書き込みトランジスタより駆動力の大きい第2の書き込みトランジスタを備え、書き込み時は、第1の書き込みトランジスタを駆動し始める時間に比べ第2の書き込みトランジスタの駆動し始める時間が遅れることを特徴とする。

【 0 0 2 3 】

(5) ワード線をゲート電極とするセルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成し、前記メモリセルブロックの一端はビット線に接続され、他端がプレート線に接続されている半導体記憶装置であって、前記セルトランジスタと前記強誘電体キャパシタを接続する金属配線層と同一の金属配線層で、前記プレート線を形成することを特徴とする。

【 0 0 2 4 】

(6) ワード線をゲート電極とするセルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成し、前記メモリセルブロックの一端はビット線に接続され、他端がプレート線に接続されている半導体記憶装置であって、前記ワード線のゲート配線層よりも上層に形成され、第1の間隔おきに前記ゲート配線層とコンタクトを取るワード線スナップ用の第1の金属配線層と同一の金属配線層で、前記プレート線の配線層と第2の間隔おきにコンタクトを取ることを特徴とする。

【 0 0 2 5 】

(7) ワード線をゲート電極とするセルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成し、前記メモリセルブロックの一端はビット線に接続され、他端がプレート線に接続され、このメモリセルブロック複数配置しセルアレイを構成する半導体記憶装置であって、前記ビット線方向に、前記プレート線を駆動する駆動回路が、前記メモリセルブロックの1個毎或いは2個毎に配置されていることを特徴とする。

【 0 0 2 6 】

(8) n M O S トランジスタと p M O S トランジスタと強誘電体キャパシタとからメモリセルを構成した半導体記憶装置であって、前記 n M O S トランジスタのソースと前記 p M O S トランジスタのソースと前記強誘電体キャパシタの一端は接続され、前記 n M O S トランジスタのドレインと前記 p M O S トランジスタのドレインと前記強誘電体キャパシタの

10

20

30

40

50

他端は接続されていることを特徴とする。

【0027】

(9)ワード線をゲート電極とするセルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成し、前記メモリセルブロックを複数配置してセルアレイを構成し、前記メモリセルブロックの一端はビット線に接続され、他端がプレート線に接続され、更に前記ワード線に接続されるサブローデコーダと、前記サブローデコーダに接続されるメインワード線を備える半導体記憶装置であって、前記プレート線の金属配線層と同一の配線層で、前記メインワード線を形成することを特徴とする。

10

【0028】

(10)セルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成する半導体記憶装置であって、前記強誘電体キャパシタの下部電極と前記ソース端子を接続する第1のコンタクトと、前記強誘電体キャパシタの上部電極から第2コンタクトを介して接続される第1の金属配線層と前記ドレイン端子を接続する第3のコンタクトとを備え、少なくとも前記第1のコンタクトと前記第3のコンタクトの一部は同一のプロセスで形成されることを特徴とする。

20

【0029】

(11)セルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成する半導体記憶装置であって、前記強誘電体キャパシタの下部電極と前記ソース端子を接続する第1のコンタクトと、前記強誘電体キャパシタの上部電極から第2コンタクトを介して接続される第1の金属配線層と前記ドレイン端子を接続する第3のコンタクトとを備え、前記第1のコンタクトと前記第3のコンタクトは異なる材料で構成されることを特徴とする。

30

【0030】

(12)セルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成する半導体記憶装置であって、前記強誘電体キャパシタの下部電極と前記ソース端子を接続する第1のコンタクトと、前記強誘電体キャパシタの上部電極から第2コンタクトを介して接続される第1の金属配線層と前記ドレイン端子を接続する第3のコンタクトとを備え、前記第1のコンタクトと前記第3のコンタクトは少なくとも2種類以上の材料の異なる物質が積層されて形成されることを特徴とする。

40

【0031】

(13)セルトランジスタと、前記セルトランジスタのソース、ドレイン端子間に並列接続された強誘電体キャパシタと、からメモリセルを構成し、前記メモリセルを複数個直列接続するとともに、前記複数個直列接続したものの少なくとも一端にメモリセルブロック選択トランジスタを接続してメモリセルブロックを構成する半導体記憶装置であって、前記強誘電体キャパシタの下部電極と前記ソース或いはドレイン端子とを接続するコンタクト層は、少なくとも2種類以上の異なる材料層が積層されて形成されることを特徴とする。

【0036】

(作用)

前記(1)~(3)によれば、PL線を分けることにより、1T/1C構成で、PL駆動方式を採用しても、選択したワード線に接続されながら、ブロック選択トランジスタがONさ

50

れずに、セルデータが読み出されないセルブロックに接続される P L 線は駆動されないため、セルデータが読み出されないセルブロック内のフローティングノードの電位は変化せず分極データの低減は起こらない。

【 0 0 3 8 】

前記(4)によれば、書き込みスピードが遅いため、強誘電体メモリ特有のデータの書き込み時のノイズを低減できる。

【 0 0 3 9 】

前記(5)によれば、セルトランジスタと強誘電体キャパシタを接続する金属配線を用いて、P L 配線を構成できるため、P L 配線の抵抗を低減でき、P L 駆動方式における、P L 配線の R C 遅延が短縮できる。

10

【 0 0 4 0 】

前記(6)によれば、ワード線スナップ用の金属配線を用いて、P L 配線を構成できるため、P L 配線の抵抗を低減でき、P L 駆動方式における、P L 配線の R C 遅延が短縮できる。

【 0 0 4 1 】

前記(7)によれば、プレート線駆動回路のプレート線駆動トランジスタのサイズを大きくでき、このトランジスタの O N 抵抗が低減でき、P L 駆動方式における、P L 配線の R C 遅延が短縮できる。

【 0 0 4 2 】

前記(8)によれば、メモリセルトランジスタ及び、ブロック選択トランジスタをフル C M O S 化でき、しきい値電圧落ちがなくなり、ワード線、ブロック選択線を V d d 以上に昇圧しなくても、データの読み出し書き込みができ、昇圧回路が不要になり、信頼性の向上及び混載等の容易化が可能となる。

20

【 0 0 4 3 】

【発明の実施の形態】

まず、本発明者らが既に提案している先願の内容について説明する。

【 0 0 4 4 】

前述した第 1 , 第 2 の大きな問題点に対して本発明者は、不揮発性の強誘電体メモリで、(1) 小さい $4 F^2$ サイズのメモリセル、(2) 製造が容易な平面トランジスタ、(3) 汎用性のあるランダムアクセス機能、の 3 点が両立でき、しかも P L 電位固定で、高速化を保ちつつ、スタンバイ中でも、データ保持が可能でリフレッシュ動作を不要とする半導体記憶装置を提案した(特願平 9 - 1 5 3 1 3 7 号)。

30

【 0 0 4 5 】

先願の概要を簡単に述べる。図 7 8、図 7 9、図 8 0 に、先願発明のメモリセルの構成回路と動作例を示す。先願においては、1 個のメモリセルは、セルトランジスタと強誘電体キャパシタの並列接続で構成され、1 つのメモリセルブロックは、この並列接続のメモリセルを複数直列接続して、一端はブロック選択トランジスタを介してビット線に接続され、他端はプレートに接続される。この構成により、平面トランジスタを用いながら、 $4 F^2$ サイズのメモリセルが実現している。

【 0 0 4 6 】

40

図 7 8 (a) に示すように、スタンバイ時には、全てのセルトランジスタを O N にしておき、ブロック選択トランジスタを O F F にしておく。こうすることにより、強誘電体キャパシタの両端は、O N しているセルトランジスタにより電氣的に短絡されるため、両端の電位差は発生しない。よって、“ 1 ” の分極データは、図 7 8 (a) のヒステリシス曲線の“ 1 ” の点、“ 0 ” の分極データは、ヒステリシス曲線の“ 0 ” の点に安定に保持される。これにより、スタンバイ時、p n 接合リーク等の各種リーク電流があろうと、プレートの駆動方式が、0 V ~ V d d 駆動方式であろうと、(1 / 2) V d d 固定方式であろうと、セルデータは安全に保持される。

【 0 0 4 7 】

図 7 8 (b) に示すように、アクティブ時は、読み出したい強誘電体キャパシタに並列に

50

接続されるセルトランジスタのみOFFにして、ブロック選択トランジスタをONにする。この時、PLとBL間の電位差が、OFFしたセルトランジスタに並列接続した強誘電体キャパシタの両端にのみ印加され、強誘電体キャパシタの分極情報がビット線に読み出される。よって、メモリセルを直列接続しても、任意のワード線を選択することにより、任意の強誘電体キャパシタのセル情報が読み出され、完全なランダムアクセスが実現できるわけである。これにより、図78に示すセルブロックにより、先願で述べてあるように、オープンBL方式が実現できる。

【0048】

さらに、図78に示すセルブロックを2個対にして、各々をビット線対(/BL, BL)のどちらかに接続して、2個のセルブロックで同じワード線に接続される2個のメモセルを組みにして、2トランジスタ/2強誘電体キャパシタ(=2T/2C)で1ビットを記憶すれば、先願で述べてあるように、フォールデッドBL方式が実現できる。

10

【0049】

また、図79(a)に示すように、ブロック選択トランジスタを2個直列接続して、一方をD(Depletion)タイプのトランジスタにし、ブロック選択トランジスタ(BS0, BS1)のどちらか一方を“H”にすると、2つのセルブロックの一方のデータしかビット線に読み出されず、ビット線対の他方を参照ビット線にすれば、これもフォールデッドBL方式が実現できる。

【0050】

図79(b)(c)はフォールデッドBL方式の動作例に示す。先願で述べてあるように、(1/2)V_{dd}固定プレート電極方式(図79(b))、駆動プレート電極方式(図79(c))が適用できる。

20

【0051】

しかしながら先願においても、図80に示すように、一部の動作モードで不都合が存在していた。図80は従来FRAMと先願の比較表を示している。従来FRAMでは、2T/2Cセル、1T/1Cセルの両方において、動作の遅いPL駆動方式しか適用できず、(1/2)V_{dd}固定PL方式ではリフレッシュ動作を必要としていた。これに対して先願のセル方式では、2T/2Cセル、1T/1Cセルの両方において、高速の(1/2)V_{dd}固定PL方式も、PL駆動方式も適用できる。しかしながら、1T/1Cセルで、PL駆動方式においては、動作上大きなノイズが発生する問題が生じる。

30

【0052】

この問題を図79を用いて説明する。例えば、WL2を選択して、MC1を読み書きしたい場合、WL2をHighからLowにして、セルトランジスタをONし、BS0をLowからHighにして、ブロック選択トランジスタQ1をONする。その後、PLをLowからHighする。

【0053】

PL電位は、MC1の強誘電体キャパシタの一端に印加され、ビット線(/BL)電位は、MC1の強誘電体キャパシタの他端に印加されるため、/BLをV_{ss}にプリチャージしてあった場合、PLをV_{ss}からV_{dd}にすることにより、強誘電体キャパシタの両端にV_{dd}-V_{ss}の電位差が印加され、分極データが読み出されるわけである。この時、BS1はLowレベルであり、ブロック選択トランジスタQ2はOFFされたままのため、ビット線BLにはMC2のセル情報が読み出されない。よって、BL側を参照ビット線として、フォールデッドBL方式が取れるわけである。

40

【0054】

しかし、MC2の強誘電体キャパシタの一端がPLに接続されているために、MC2の強誘電体キャパシタの一端もV_{ss}からV_{dd}に上がる。この時、MC2の他端(n1)及びONしている非選択のセルトランジスタに接続されるn2~n3のノードは、WL2に接続されるセルトランジスタがOFFしているためフローティングになる。よって、n1~n3には必ず寄生容量(総計をC_{tot}とすると)が存在するため、これらのノードは、PLがV_{ss}からV_{dd}に変化すると、強誘電体キャパシタの両端には、0Vではなく、

50

$C_{tot} / (C_{MC2} + C_{tot}) \times V_{dd}$ の電位差が発生する。即ち寄生容量により、 $n_1 \sim n_3$ の電位が V_{ss} から V_{dd} に変化せず、僅かに電位が下がり、ノイズとなり一部分極データが破壊される問題点があった。

【0055】

先願で述べたように、 $(1/2)V_{dd}$ 固定方式でも同様に $n_1 \sim n_3$ はフローティングになるが、PL電位が不動のため、アクティブ時間だけ、リーク等により $n_1 \sim n_3$ が電位が変動しなければ問題ない。アクティブ時間は通常 $t_{RCmax} = 10 \mu s$ であるため、この時間は短く問題がない。

【0056】

このように、先願の強誘電体メモリにおいては、製造の容易化、ランダムアクセラ機能を保ちつつ、高集積化を実現し、さらにビット線容量の低減、低ノイズ化をも可能にし、また高速化を保ちつつリフレッシュ動作を不要とすることができるが、1トランジスタ+1キャパシタ構成で、プレート駆動方式を適用する場合、フローティング起因のノイズが存在していた。本発明では、このような問題をも解決している。

【0057】

以下、本発明の実施形態を図面を参照として説明する。

【0058】

(第1の実施形態)

図1は本発明の第1の実施形態に係わるFRAMを示す回路構成図、図2は同実施形態の具体的な動作例を示す信号波形図である。本実施形態は、先願と同様に、1個のメモリセルは、セルトランジスタと強誘電体キャパシタの並列接続で構成され、1つのメモリセルブロックは、この並列接続のメモリセルを複数直列接続して構成され、一端はブロック選択トランジスタを介してビット線に接続され、他端はプレートに接続される。この構成により、平面トランジスタを用いて、 $4F^2$ サイズのメモリセルが実現できる。

【0059】

図1に示すように、ブロック選択トランジスタを2個直列接続して、一方をDタイプのトランジスタにし、ブロック選択トランジスタ(BS0, BS1)のどちらか一方をHighにすると、2つのセルブロックの一方のデータしか、ビット線に読み出されず、ビット線対の他方を参照ビット線とするフォールデッドBL方式が実現でき、1個のセルトランジスタと1個の強誘電体キャパシタで1ビットのデータを記憶する1T/1Cセルが構成

【0060】

本実施形態が先願と異なる点は、従来1種類であったプレート線が、本実施形態においては、2種類のプレート線(PLBBL、PLBL)に分離されている点である。ビット線対のBBLi(BBL0、BBL1)側に接続されるセルブロックには、プレート線PLBBLが接続され、ビット線対のBLi(BL0、BL1)側に接続されるセルブロックには、プレート線PLBLが接続される構成となる。

【0061】

このようにプレート線を分離することにより、図2(b)に示すように、動作時、BBLi側のセルブロック内のセルを選択する場合、PLBBLのみ $0V \sim V_{dd} \sim 0V$ と駆動してセルデータを読み書きし、参照ビット線となるBLi側に接続されるセルブロックに接続されるプレート線PLBLは $0V$ のままであるため、フローティングになるセルノードは、 $0V$ のままで、従来分極データが一部破壊される問題を、本実施形態では回避できる。

【0062】

セルノードがフローティングであっても、プレート線が $0V$ であれば、セルノードは、セルノードと $0V$ にバイアスされた基板(又はウエル)とのpn接合のリークにより常に $0V$ になるため、強誘電体キャパシタ両端の電位差は $0V$ のままで、分極データは保存される。本実施形態により、高密度の1T/1C構成で、低電圧動作が可能となるPL駆動方式で、しかもフローティングによる分極データ破壊の問題を回避しつつ実現可能となる。

10

20

30

40

50

【 0 0 6 3 】

本発明の構成においても、1 T / 1 C 構成ばかりでなく、2 T / 2 C 構成が実現できる。この場合、図 2 (a) に示すように、ブロック選択信号 B S 0 と B S 1 を動作時両方 H i g h レベルにし、ビット線対 B B L i , B L i につながるセルブロック両方とも選択して、プレート線も P L B B L , P L B L 両方動作させれば実現できる。

【 0 0 6 4 】

また、図 2 (a) (b) の方式を同じチップ内で実現するようにしておくこともできる。こうすることにより、例えば 2 T / 2 C 構成の製品を販売する場合でも、試験では 1 T / 1 C 構成で動作させ、強誘電体キャパシタ 1 個毎に評価試験ができるメリットがある。1 個のセルブロック毎に、2 つのプレート線を接続するとその分だけチップ面積が増加するが、図に示すように、ビット線方向に隣接した 2 個のセルブロックでプレート線を共有すれば、実質的に 1 個のセルブロック毎に 1 本のプレート線接続となり、面積増を抑えられる。

10

【 0 0 6 5 】

(第 2 の実施形態)

図 3 は、本発明の第 2 の実施形態に係わる F R A M を示す回路構成図である。図 1 に示した第 1 の実施形態と異なる点は、セルブロックにつながるセル数を 4 個から 8 個に増やした点にある。この場合でも、第 1 の実施形態と同様の効果がある。このように、セル数は 4 個、8 個、16 個、32 個、64 個と任意に設計できる。セルブロック内のセル数を増やせば増やすほどプレート分離によるチップ面積増の影響は低減できる。

20

【 0 0 6 6 】

図 4 は、図 3 の変形例であり、D タイプのトランジスタを用いるのではなく、このトランジスタを無くし、ソース側とドレイン側を直接接続した場合を示している。この場合でも動作は図 2 と同じで、図 1、図 3 と同じ効果がある。さらに、非選択セルブロックの D タイプのトランジスタ部分の容量がビット線容量として見えないメリットがある分、ビット線容量が低減できる。

【 0 0 6 7 】

(第 3 の実施形態)

図 5 ~ 図 1 3 は本発明の第 3 ~ 第 7 の実施形態を示し、図 1 の構成にダーミセル部分を加えた場合の実施形態である。これらの実施形態も当然図 1 と同様に、フローティングによる分極データ破壊の問題は回避できる。勿論、図 3、図 4 のの形態も適用できるし、セルブロック内のセル数も任意に設計できる。

30

【 0 0 6 8 】

図 5 は、本発明の第 3 の実施形態に係わる F R A M を示す回路構成図であり、強誘電体メモリセルブロック及びタミーセル構成を示している。ダミーセルにおいてもメモリセルと同様に、強誘電体キャパシタとセルトランジスタの並列接続で構成され、これをメモリセルと同様に複数個並列接続してダミーセルブロックを構成する。本実施形態では、ビット線対 (B B L i , B L i) で 1 個のダミーセルブロックを共有している。例えば、B B L i にセルデータを読み出す場合、D B S 0 を H i g h レベルにすれば、ダミーセルが参照ビット線側の B L i に接続され、B L i にセルデータを読み出す場合、D B S 1 を H i g h レベルにすれば、ダミーセルが参照ビット線側の B B L i に接続される。

40

【 0 0 6 9 】

図 6 は、図 5 の構成の動作例を示す。図 6 (a) は 1 T / 1 C 構成で、プレート駆動方式の場合を示す。W L 2 及び D W L 2 を L o w レベル、B S 0 及び D B S 0 を H i g h レベルにして、メモリセル及びダミーセルをビット線に接続後、メモリセルブロック用プレート線 (P L B B L , P L B L) の内の 1 本と、ダミーセルブロック用のプレート線 (D P L) を駆動することにより、セルデータとダミーセルデータがビット線に読み出される。データの読み書き後、B S 0 を下げ、W L 2 を上げ、ビット線を V s s にプリチャージした後も、D W L を L o w、D B S 0 を H i g h に保つことにより、ダミーセルに “ 0 ” データが再書き込みされる。その後、D B S 0 を下げ D W L 2 を上げるにより、アクテ

50

ィブ動作が終了する。

【0070】

ダミーセルの強誘電体キャパシタの面積をメモリセルの強誘電体キャパシタ面積より大きく設計しておくこと、ダミーセルの“0”データがメモリセルの“0”データと“1”データ間に来ることができ、基準となり得る。

【0071】

図6(b)は、 $(1/2)V_{dd}$ 固定プレート方式動作の場合を示し、図6(a)に比べ、プレートを固定させた点を除き動作は同様である。

【0072】

(第4の実施形態)

図7は、本発明の第4の実施形態に係わるFRAMを示す回路構成図であり、強誘電体メモリセルブロック及びダミーセル構成を示している。図5と異なる点は、ダミーセルブロック内にリセットトランジスタ(Q3, Q4)とリセット信号(RST)を追加した点である。本実施形態の効果としては、図5と比較してサイクルタイムが短くなるメリットがある。その動作例を図8に示す。

【0073】

図8(b)は1T/1C構成で、プレート駆動方式の場合を示す。WL2及びDWL2をLowレベル、BS0及びDBS0をHighレベルにして、メモリセル及びダミーセルをビット線に接続後、メモリセルブロック用プレート線(PLBBL, PLBL)の内1本と、ダミーセルブロック用のプレート線(DPL)を駆動することによりセルデータとダミーセルデータがビット線に読み出される。

【0074】

その後、センスアンプ動作前、或いは動作後、DBS0を下げ、ダミーセルブロックとビット線を分離して、複数の直列接続されたダミーセルブロックの一端のプレート線をHighに保ったまま、RST線を上げ、他端をVss1に落とし、選択されたダミーセルの強誘電体キャパシタの両端にVddの電位差を印加してダミーセルに“0”データを再書き込みする。なお、ダミーセルの強誘電体キャパシタの面積ばかりでなく、ダミープレート電位、リセット電位(Vss1)を自由に設計することでリファレンス電位を設定できる。

【0075】

その後、RST線を下げ、プレート線(DPL)を下げ、DWL2を上げることにより、アクティブ動作は終了する。メモリセルの(再)書き込み動作及び、WL2, BS0のリセット動作はダミーセル動作と並列で実行でき、図6のように、WL2, BS0のリセット後、ダミーセルの再書き込み動作をする必要がなく、サイクルタイムの短縮が図れる。

【0076】

図8(a)は、 $(1/2)V_{dd}$ 固定プレート方式動作の場合を示し、図8(b)に比べ、プレートを固定させた点を除き動作は同様である。

【0077】

(第5の実施形態)

図9は、本発明の第5の実施形態に係わるFRAMを示す回路構成図であり、強誘電体メモリセルブロック及びダミーセル構成を示している。本実施形態では、ダミーセルに常誘電体キャパシタを用いている。

【0078】

本実施形態のように常誘電体キャパシタを用いた場合、ダミーセルキャパシタ面積が大きくなるデメリットがある反面、疲労、relaxation(depolarization)、Imprint等の膜の劣化が小さく(無く)、リファレンス電位が安定化するメリットがある。図9のダミーセルは、常誘電体キャパシタと、これをショートさせるトランジスタ(Q5, Q6)とこれを制御する信号線(RST)と、ビット線対の内的一方に接続する選択トランジスタ(Q7, Q8)と、その制御線(DWL0, DWL1)と、プレート線(DPL)から構成されている。

10

20

30

40

50

【 0 0 7 9 】

(第 6 の実施形態)

図 1 0 は、本発明の第 6 の実施形態に係わる F R A M を示す回路構成図であり、強誘電体メモリセルブロック及びダミーセル構成を示している。本実施形態では、図 9 と同様に常誘電体キャパシタを用いたダミーセルを用いている。

【 0 0 8 0 】

本実施形態が図 9 のダミーセルと異なる点は、R S T 信号を用いて、常誘電体キャパシタをショートさせるのではなく、常誘電体キャパシタの一端をプレートに接続して、他端を R S T 信号を H i g h レベルにすることにより、任意の電位 V s s 1 に接続して、常誘電体キャパシタを D P L - V s s 1 の電位差にリセットすることにある。まず、図 9、図 1 0 は次の図 1 1 に示すように、同じ動作が可能である。

10

【 0 0 8 1 】

図 1 1 (a) は、1 T / 1 C 構成で、プレート駆動方式の場合を示す。W L 2 を L o w レベル、B S 0 を H i g h レベルにして、メモリセルをビット線に接続し、D W L 0 を H i g h レベルにしてダミーセルをリファレンスビット線に接続する。その後、セルブロック用プレート線 (P L B B L , P L B L) の内の 1 本を駆動して、セルデータをビット線に読み出し、ダミーセルは、ダミーセルプレート線 (D O P L) を駆動することによりキャパシタカップリングにより、リファレンスビット線を所望の電位にする。その後、D W L 0 を下げ、D P L 線を V s s にし、R S T 線を H i g h レベルにすることにより、ダミーセルの常誘電体キャパシタの電位差を 0 V にリセットできし、アクティブ動作が終了する。

20

【 0 0 8 2 】

図 1 1 (b) は、(1 / 2) V d d 固定プレート方式動作の場合を示し、図 1 1 (a) に比べ、プレートを固定させた点を除き動作は同様である。但し、ダミーセルのプレートはキャパシタカップリングを用いるため、駆動する。なお、ダミーセルプレート線を (1 / 2) V d d (或いは任意の電位) に固定することも可能で、例えば、図 9 において、スタンバイ時、D P L を (1 / 2) V d d にしておいて、R S T を下げると、常誘電体キャパシタの両端は (1 / 2) V d d になっているため、D W L 0 を上げると自動的にキャパシタカップリングでリファレンスビット線電位が上がるため動作が可能となる。

【 0 0 8 3 】

なお、図 1 0 の例では、スタンバイ時、常誘電体キャパシタの両端を (1 / 2) V d d にしておくためには、D P L ばかりでなく、V s s 1 も (1 / 2) V d d に設定しておく必要がある。

30

【 0 0 8 4 】

(第 7 の実施形態)

図 1 2 は、本発明の第 7 の実施形態に係わる F R A M を示す回路構成図であり、強誘電体メモリセルブロック及びダミーセル構成を示している。本実施形態においては、図 9、図 1 0 と同様に、常誘電体キャパシタを用いたダミーセルを用いているが、プレート線 (D P L) と常誘電体キャパシタと選択トランジスタでダミーセルを構成し、リセットトランジスタを省略している。図 1 2 のメリットは、リセットトランジスタ、リセット信号が要らず、最も素子数が少なく済む点である。この動作例を図 1 3 に示す。

40

【 0 0 8 5 】

図 1 3 (a) は 1 T / 1 C 構成で、プレート駆動方式の場合を示す。W L 2 を L o w レベル、B S 0 を H i g h レベルにして、メモリセルをビット線に接続する。同時に、スタンバイ時に両方 H i g h レベルであった、ダミーセル用選択線 D W L 0 , D W L 1 の内、セルデータが読み出されるビット側の選択線のみを H i g h レベルから L o w レベルに下げ、常誘電体キャパシタをリファレンスビット線にのみ接続する。

【 0 0 8 6 】

その後、セルブロック用プレート線 (P L B B L , P L B L) の内の 1 本を駆動して、セルデータをビット線に読み出し、ダミーセルは、ダミーセルプレート線 (D P L) を駆動

50

することによりキャパシタカップリングにより、リファレンスビット線を所望の電位にする。センス動作後、DPLを下げ、その後、ダミーセル用選択線DWL0, DWL1を両方Highに戻す。セルデータ書き込み後、ビット線がVssにプリチャージされると、DWL1, DWL0がHighのため、自動的に、常誘電体キャパシタの両端は0Vになりリセットされる。

【0087】

図13(b)は、(1/2)Vdd固定プレート方式動作の場合を示し、図13(a)に比べ、プレートを固定させた点を除き動作は同様である。但し、ダミーセルのプレート線は駆動する必要が生じる。

【0088】

(第8の実施形態)

図14は、本発明の第8の実施形態に係わるFRAMの動作方式を示す信号波形図である。

【0089】

本実施形態は先願と同様に、1個のメモリセルは、セルトランジスタと強誘電体キャパシタの並列接続で構成され、1つのメモリセルブロックは、この並列接続のメモリセルを複数直列接続して、一端はブロック選択トランジスタを介してビット線に接続され、他端はプレートに接続されるメモリセルに適用でき、先願の方式と比べ、強誘電体キャパシタの常誘電体成分のばらつきを制御しつつ、高速動作が可能となる。

【0090】

前記図77で示したように、シングルプレート方式(図77(b))においては、プレート電極を動作時、Vss Vdd Vssと1回動作させればよかったが、図77(d)に示したように、飽和分極量をPs、残留分極量をPrとすると、“1”データはPs + Pr、“0”データはPs - Prとなり、その差が信号量となる(1T/1Cではその半分)。しかしながら強誘電体キャパシタは、製造ばらつき等により常誘電体成分に大きなばらつきを持ち、これが読み出しマージンを大きく劣化させる問題点があった、さらに、この問題を解決する従来方式のダブルプレート方式(図77(c))は、プレート電圧を動作時、Vss Vdd Vss Vdd Vssと2度動作させ、図77(e)に示したように、行き帰りで常誘電体成分をキャンセルでき、ばらつきの問題点をキャンセルできるメリットがある反面、2度PLを上げ下げする必要が生じるため、非常にアクセスタイム及びサイクルタイムが長くなる問題点があった。

【0091】

これに対して図14においては、1度のプレート駆動で、2度プレート駆動したのと同様に、常誘電体成分をキャンセルできる。2種類の動作が可能であり、図14(a)は、プリチャージ時、プレート(PL)を0V、ビット線(BLs)をVddに逆にプリチャージする。これにより、WL2を下げ、BS0を下げるだけで、プレートを駆動すること無く、選択した強誘電体キャパシタの両端にVddの電位が印加される。

【0092】

従来方式のメモリセルにおいては、セルトランジスタと強誘電体キャパシタが直列接続されており、スタンバイ時、セルノードがフローティングであるため、プレートを0Vにしておかなければ、ジャンクションリークによりセル分極データが破壊されるし、ビット線電位も0Vにしておかなければ、トランジスタリークによりセル分極データが破壊される問題点があったが、先願のメモリセル構成においては、スタンバイ時、セルトランジスタがONして、強誘電体キャパシタが常にショートされているため、プレート電位、ビット線電位に制限が無いメリットがあった。本実施形態のスタンバイ時のプレート電位とビット線電位の逆プリチャージは、このメリットを生かしている。

【0093】

このような読み出し方式により、“1”データは図77(e)の(2)の点から(1)の点に、“0”データは(3)の点から(1)の転移に遷移して、分極データがビット線に読み出される(図77(e)において、x軸の極性は従来方式の説明と逆である)。その

10

20

30

40

50

後、P Lを初めて、V d dに上げると、“ 1 ”データは図77 (e)の(1)の点から(3)の点に、“ 0 ”データも(1)の点から(3)の転移に遷移する。これにより、“ 1 ”データは、行き帰りで常誘電体成分がカットされ、残留分極成分：2 P r だけビット線に信号として読み出される。“ 0 ”データは、(3)の点から、(1)の点に行き、(3)の点に単に戻るだけであるため、信号は読み出されない。結局、信号としては、ばらつきの多い常誘電体成分の無い、分極成分2 P r だけとなり、ノイズがなくなる。

【0094】

この後、ビット線対の電位差をセンスアンプ回路で増幅する。プレートがV d dのままにしておくと、0 Vに下げられた“ 0 ”データの再書き込みが行われ、その後、プレートをV s sに下げると、V d dに上げられた“ 1 ”データの再書き込みが行われ、再書き込みが終了する。その後、B S 0を下げ、W L 2を上げ、ビット線をV d dにプリチャージしてアクティブ動作が終了する。つまり、本実施形態により、プレートは1回の上げ下げ動作だけで済み、高速化とばらつきキャンセルの両立が実現できる。

10

【0095】

図14 (b)は、図14 (a)に対しプレートとビット線の電位を完全に逆動作させた場合を示す。この方法においても、1度のプレート駆動で、2度プレート駆動したと同様に、常誘電体成分をキャンセルできる。プリチャージ時、プレート (P L)をV d d、ビット線 (B L s)をV s sに逆にプリチャージする。これにより、W L 2を下げ、B S 0を下げるだけで、プレートを駆動すること無く、選択した強誘電体キャパシタの両端にV d dの電位が印加される。

20

【0096】

このような読み出し方式により、“ 1 ”データは図77 (e)の(2)の点から(1)の点に、“ 0 ”データは(3)の点から(1)の転移に遷移して、分極データがビット線に読み出される。その後、P Lを初めて、V s sに下げると、“ 1 ”データは図77 (e)の(1)の点から(3)の点に、“ 0 ”データも(1)の点から(3)の転移に遷移する。

【0097】

これにより、“ 1 ”データは、行き帰りで常誘電体成分がカットされ、残留分極成分：2 P r だけビット線に信号として読み出される。“ 0 ”データは、(3)の点から、(1)の点に行き、(3)の点に戻るだけであるため、信号は読み出されない。結局信号としては、ばらつきの多い常誘電体成分の無い、分極成分2 P r だけとなり、ノイズがなくなる。

30

【0098】

この後、ビット線対の電位差をセンスアンプ回路で増幅する。プレートがV s sのままにしておくと、V d dに上げられた“ 1 ”データの再書き込みが行われ、その後、プレートをV d dに上げると、V s sに下げられた“ 0 ”データの再書き込みが行われ、再書き込みが終了する。その後、B S 0を下げ、W L 2を上げ、ビット線をV s sにプリチャージしてアクティブ動作が終了する。結局本発明により、プレートは一回の下げ上げ動作だけで済み、高速化とばらつきキャンセルの両立が実現できる。

【0099】

図14 (a) (b)の方式は、先願の2 T / 2 C方式 (図15 (a))にも適用できるし、プレート電極を分離した、本発明の方式 (図15 (b))にも適用できる。この場合、1 T / 1 C , 2 T / 2 Cの両方が実現できる。

40

【0100】

(第8の実施形態)

図16は、本発明の第9の実施形態に係わるF R A Mの動作を示す信号波形図である。図14、図15のプレート、ビット線逆プリチャージ方式適用時の、電源O N、電源O F F時の動作シーケンスを示す。図16 (a)は、図14 (a)の場合を示し、図16 (b)は図14 (b)の場合を示す。

【0101】

図16 (a)において、電源O N時は、電源が完全に立ち上がって、プレート電位をV s

50

sに保ちつつ、内部ノードが安定してから、ビット線電位（ビット線プリチャージ電源：VBL）をVddにすれば、セルデータが破壊されなく、電源OFF時は、VddがVccminに下がる前にビット線電位（ビット線プリチャージ電源：VBL）をVssに下げれば、セルデータが破壊されない。

【0102】

図16(b)において、電源ON時は、電源が完全に立ち上がって、ビット線電位（ビット線プリチャージ電源：VBL）をVssに保ちつつ、内部ノードが安定してから、プレート電位をVddにすれば、セルデータが破壊されなく、電源OFF時は、VddがVccminに下がる前にプレート電位をVssに下げれば、セルデータが破壊されない。

【0103】

10

（第10の実施形態）

図17は、本発明の第10の実施形態に係わるFRAMのセンスアンプ部構成を示す図である。図14(a)のプリチャージ時、プレートをVssに、ビット線をVddにする方式に適用できるセンスアンプ回路を示す。

【0104】

センスアンプ回路とは別に、ビット線をプリチャージするためのトランジスタが設けられており、プリチャージ時にEQL信号をLowレベルにすることにより、ビット線対をVddにプリチャージできる。

【0105】

（第11の実施形態）

20

図18は、本発明の第11の実施形態に係わるFRAMのセンスアンプ部構成を示す図である。図14(b)のプリチャージ時、プレートをVddに、ビット線をVssにする方式に適用できるセンスアンプ回路を示す。この例では、プリチャージ時EQL信号をHighレベルにすることにより、ビット線対をVssにプリチャージできる。

【0106】

（第12の実施形態）

ところで、プレート電位、ビット線電位プリチャージ方式は、先願に示したように、1個のメモリセルは、セルトランジスタと複数の抗電圧の異なる強誘電体キャパシタの並列接続で構成し、1つのメモリセルブロックは、このメモリセルを複数直接接続して、一端はブロック選択トランジスタを介してビット線に接続され、他端はプレートに接続されるメモリセルの構成して1個のメモリセルに2ビット以上の多ビットの情報を記憶させる方式に適用した場合、大幅に読み出し信頼性の向上と高速動作の両立が可能となる。これは、先願の多ビットセル方式においては、先願の1ビット方式よりも増して、強誘電体キャパシタの常誘電体成分のばらつきが大きく見え、これを抑制することが重要であるためである。

30

【0107】

図19は先願における多ビット/セル方式のセルブロック等価回路を示す。強誘電体キャパシタCaとCbでは、Caの抗電圧をVca、Cbの抗電圧をVcbとするとVca < Vcbの関係が成り立つ。図20は先願における図19のセル構造の断面図の一例を示している。CaとCbでは、Caの強誘電体キャパシタの膜厚をCbに比べ薄くすることにより実現できる。図21は、図19の多ビット/セル方式の動作を示す、理論上のヒステリシス曲線を示し、図22は実際のヒステリシス曲線を示す。

40

【0108】

図21を用いて簡単に動作を説明する。図21(a)は強誘電体キャパシタCaのヒステリシス曲線を示し、図21(b)は強誘電体キャパシタCbのヒステリシス曲線を示す。図21(c)は、CaとCbを並列接続した場合のヒステリシス曲線を示す。CaとCb各々に1ビットの情報を記憶する。

【0109】

図21(c)において、E'点はCa、Cb各々1データと1データ(=11)を記憶している点を示し同様に、F'点は10、C'点は01、A'点は00の結果として4つ状

50

態を持ち、2ビットデータを記憶する。

【0110】

読み書き動作としては、C bの抗電圧以下の電圧を並列強誘電体キャパシタに印加して、C aのデータを読み出し、その後、C bの抗電圧以上の電圧を並列強誘電体キャパシタに印加して、C bのデータを読み出し、再書き込みして、その後、C bの抗電圧以下の電圧を並列強誘電体キャパシタに印加して、C aの再書き込みを行うわけである。

【0111】

しかしながら先願の多ビット/セル方式においては、 $V_{ca} < V_{cb}$ を実現する場合、実際のC a, C bのヒステリシス曲線は、図22(a)(b)示すように、C aとC bでは、抗電界が等しい強誘電体キャパシタ材料の膜厚を変えて構成した場合、厚みが異なる分だけ誘電率が異なり、C aの常誘電体キャパシタ成分が大きくなってしまふ。結果として、C aとC bを並列接続したヒステリシス曲線(図22(c))は、2種類の常誘電体キャパシタ成分が交じり、読み出しマージンを劣化させてしまふ。特に、C bの読み出し時、C aの大きな常誘電体キャパシタ成分が混じり、常誘電体キャパシタ成分がばらつくと大きな問題点となる。

【0112】

上記したような多ビット/セル構成で、プレート駆動方式を採用する場合も、フォールデッドBL構成で、ダミーセルを利用する場合は、前記図1で示したように、プレート線を2種類に分けることにより、フローティングになるセルノードによるノイズをなくすることができる。図23は、本発明の第12の実施形態に係わるFRAMの強誘電体メモリセルブロックの断面図であり、2ビット/セルでプレートを2種類(PLBBL, PLBL)に分離した場合を示している。

【0113】

この実施形態では、膜厚が異なり、抗電圧が異なる強誘電体キャパシタを縦方向に形成した場合を示している。勿論、先願に示したように、膜厚が異なり抗電圧が異なる強誘電体キャパシタを横方向に積層した場合も、プレートを容易に分離できる。

【0114】

(第13の実施形態)

図24は、先願で説明したプレート駆動方式を適用した場合の多ビット/セルの動作の具体的な動作タイミングの例を示す。1回目のWL02がLowレベルになるとき、プレート(PL)及び、ビット線(/BL, BL)を小振幅動作させ、C aのデータのみ読み出しアレイ外で一時記憶する。その後、C aの“1”データと“0”データの両方場合での差をなくすため、強誘電体キャパシタに一定電圧を印加して、C aに“0”データを書き込む。

【0115】

2回目のWL02がLowレベルになるとき、プレート(PL)及び、ビット線(/BL, BL)を大振幅動作させ、C bのデータの読み書きを行い、最後に、3回目のWL02がLowレベルになるとき、一時記憶しておいたC aデータをC aに再び書き込む。この場合、当然図22で説明した、常誘電体キャパシタ成分のノイズは大きなままである。なお、図中、(1)に示す1回~3回目間で一々WL02とBS0をリセットせずに、WL02をLowのまま、BS0をHighの間でも動作可能である。

【0116】

図25は、本発明の第13の実施形態における駆動方式を示す動作タイミング図である。本実施形態では、1~3回目でWL02をLowのまま、BS0をHighの間まで、しかも1回目のC aのデータ読み出し後、EQLをHighにしてビット線対(/BL, BL)をVssに落とし、C aのデータをリセットした後もプレート(PL)を小振幅のHighのままにしておき、EQLをLowにして、ビット線のイコライズを解除した後、PLを大振幅のHigh電位にしてC bのデータを読み出している。これにより、図24に比べ余分なプレート動作をなくし、高速動作を実現できる。

【0117】

10

20

30

40

50

(第14の実施形態)

図26は、本発明の第14の実施形態を説明するためのもので、図25の動作及びその他の多ビット/セルの動作例の動作を実現するコア部回路構成を示している。

【0118】

図26(a)に示すように、2つの電源 V_a 、 V_b を用いて、 a 、 b を切り換えることにより、図25に示すような小振幅と大振幅のプレート動作を実現できる。同様に、図26(b)に示すように、pMOSセンスアンプ回路の電源線(V_{SAH})を s_a 、 s_b を切り換えることにより、2つの電源 V_a 、 V_b に接続でき、図25に示すような、小振幅と大振幅のビット線動作を実現できる。信号 R_{ON} に接続されるトランジスタと強誘電体キャパシタを用いて、1回目の C_a のデータを蓄えるテンポラリイ・レジスタが容易に実現できる。

10

【0119】

図25に示すように、1回目の C_a データの読み出し動作時でビット線の増幅後、 R_{ON} を H_{igh} にして、レジスタ内のキャパシタに C_a のデータを書き込み、 R_{ON} を L_{ow} にして保持する。例えば、 R_{PL} 線を V_a にしておけば、“0”データ側のビット線に接続される強誘電体キャパシタは分極反転、“1”側は非分極反転となり、データが保持できるわけである。3回目の C_a データ書き込み動作時としては、2回目の C_b データの読み書き終了後、 E_{QL} を H_{igh} にして、ビット線対を V_{ss} に落としてから、 E_{QL} を L_{ow} にして、ビット線対を V_{ss} にプリチャージした後、 R_{ON} を H_{igh} にしてレジスタデータをビット線に読み出す。このとき、例えば R_{PL} 線を V_a 電位に設定しておけば、2個の強誘電体キャパシタの1個が分極反転読み出し、他方が非分極反転読み出しとなる。

20

【0120】

この後、ビット線を増幅して、 C_a データをメモリセルに再書き込みする。データの再書き込みにおける PL 動作としては、図25の(2)に示すように、ビット線の増幅後、 PL を上げ下げしてもよいし、図25の(1)に示すように、2回目の読み書き後の E_{QL} を H_{igh} にした状態で、 PL を前もって上げておいて、ビット線増幅後 PL を下げてよい。また、1回目の C_a の読み出しときは、図25の(3)のように、図26(b)の t_i を上げたまま増幅してもよいし、図25の(4)のように、 t_i を一旦下げて、センスアンプ内だけビット線を増幅してもよい。これは、セルアレイ内のビット線を増幅する必要をなくし、高速動作を可能にする。

30

【0121】

図25にカラム選択線(C_{SL})の動作例を示す。本多ビット/セル方式によりセンスアンプ部のビット線は小振幅、大振幅となるが、図25に示すように、 $/DQ$ 、 DQ 線が大振幅のままの場合、 C_{SL} を H_{igh} にした場合、1回目に外部データから書き込みがあった場合、小振幅より大きな電位がセンスアンプのビット線に書き込まれる。これは、図26(a)の回路を用いて図25の(5)に示すように C_{SL} 電位も小振幅、大振幅の2種類用意すれば回避できる。また、図25の(6)に示すような C_{SL} を大振幅のままにして、図26(a)のような回路で $/BDQ$ 、 DQ 線の書き込み時の振幅を2種類用意しても回避できる。

40

【0122】

ダミーセルとしては、強誘電体キャパシタを用いてもよいし、図27(c)(d)のような常誘電体キャパシタを用いてもよい。図27(c)の例では、ダミープレート線(DPL)の振幅電位を1回目と2回目の読み出しで、 $V_{a'}$ 、 $V_{b'}$ と変えることにより、 C_a 、 C_b の各々のセルに合わせてダミーセル電位をチューニングできる。図27(d)の例では、 DPL 電位は、1回目と2回目で変化させずとも、ダミーセル電位を変える例を示す。

【0123】

例えば、異なる容量の常誘電体キャパシタ $DC0$ 、 $DC1$ を用意して、1回目の読み出し時に $RST1$ を H_{igh} 、 $RST0$ を L_{ow} にして、 DPL を H_{igh} にすると、常誘電

50

体キャパシタC D 0がビット線に読み出され、3回目の読み出し時にR S T 0をH i g h、R S T 1をL o wにして、D P LをH i g hにすると、常誘電体キャパシタD C 1がビット線に読み出され、R E F R E N C E側のビット線電位を変えることができる。変形例として、R S T 1とR S T 0をH i g hにして、並列容量を用いることもできる。

【0124】

(第15の実施形態)

図28は、本発明の第15の実施形態に係わるF R A Mの動作を説明するための動作タイミング図である。図24と異なる点は、プレート電極を1回目と2回目で、2度上げ下げしている点である。一度プレートを上げ下げしたあと読み出したデータをセンスアンプで増幅してやれば、常誘電体キャパシタ成分をキャンセルでき、特に多ビット/セル方式での2種類の常誘電体キャパシタ成分によるノイズをキャンセルでき、読み出しの信頼性が大幅に向上できる。なお、図24と同様に図28において、(1)に示す1回～3回目間で一々W L 0 2とB S 0をリセットせずに、W L 0 2をL o wのまま、B S 0をH i g hのままでも動作可能である。3回目にW L 0 2を下げる時は、C aの再書き込みのみ行うため、プレートは一度だけ、上げ下げするだけで良い。

【0125】

このように、先願とダブルプレート方式を組み合わせると、先願1ビット当たり $2F^2$ サイズ以下のメモリセルを実現しつつ、これの問題点である2種類の常誘電体キャパシタ成分によるノイズ、及び常誘電体キャパシタ成分のばらつき成分のノイズをキャンセルでき、高い信頼性を得ることが可能となる。

【0126】

(第16の実施形態)

図29及び図30は、本発明の第16の実施形態に係わるF R A Mの動作を説明するための動作タイミング図であり、先願の多ビット/セル方式で、プレートの駆動回数を減らし高速動作を実現しつつ、2種類の常誘電体キャパシタ成分によるノイズ、及び常誘電体キャパシタ成分のばらつき成分のノイズをキャンセルでき、高い信頼性を得ることが可能とする動作を示す。原理的には、図14のプレートとビット線を逆にプリチャージする方式でこれを実現している。

【0127】

図29の例では、スタンバイ時、ビット線を小振幅のH i g hレベルにプリチャージして、プレートをV s sにプリチャージしておく。W L 0 2, B S 0選択後は、プレート駆動せずに、強誘電体キャパシタC aに電圧が印加され、C aのデータが読み出される。その後、プレートを小振幅のH i g hレベルにすると、常誘電体キャパシタ成分がキャンセルできる。

【0128】

その後、P LをL o w、B LをH i g hにして、C aに一定電圧を印加して“0”, “1”データの差を無くし、B S 0をL o wレベルにして、セルブロックとビット線を分離する。この間に、ビット線を大振幅のH i g hレベルにプリチャージして2回目もB S 0をH i g hレベルにするだけで、C bの強誘電体キャパシタの分極データがビット線に読み出され、P LをH i g hレベルにして、常誘電体キャパシタ成分を無くし、その後センス動作させ、データの再書き込みをするため、P LをL o wレベルにする。3回目は、C aの再書き込みのみ行うため、当然P Lを1回上げ下げするだけで済む。なお、図中(1)線に示すように1回目～3回目でW L 0 2を上げ直すのを省略できる。

【0129】

図30は図29と同様に、図14のプレートとビット線を逆にプリチャージする方式でこれを実現している。図30の例では、図29とプレートとビット線の電位が逆なだけでありとは同じである。スタンバイ時、ビット線をL o wレベルにプリチャージして、プレートを小振幅のH i g hレベルにプリチャージしておく。W L 0 2, B S 0選択後は、プレート駆動せずに、強誘電体キャパシタC aに電圧が印加され、C aのデータが読み出される。その後、プレートをV s sレベルにすると、常誘電体キャパシタ成分がキャンセルで

10

20

30

40

50

きる。

【0130】

その後、PLをHigh、BLをLowにして、Caに一定電圧を印加して“0”，“1”データの差を無くし、BS0をLowレベルにして、セルブロックとビット線を分離する。この間に、プレート線を大振幅のHighレベルにプリチャージして2回目もBS0をHighレベルにするだけで、Cbの強誘電体キャパシタの分極データがビット線に読み出され、PLをLowレベルにして、常誘電体キャパシタ成分を無くし、その後センス動作させ、データの再書き込みをするため、PLをHighレベルにする。3回目は、Caの再書き込みのみ行うため、当然PLを1回下げ上げするだけで済む。なお、図中(1)線に示すように1回目～3回目でWL02を上げ直すのを省略できる。

10

【0131】

(第17の実施形態)

図31及び図32は、本発明の第17の実施形態に係わるFRAMの動作を説明するためのもの動作タイミング図であり、図29及び図30の効果を実現しつつ、さらにPL駆動回数を減らし高速化を実現している。

【0132】

図31の例では、スタンバイ時、ビット線を小振幅のHighレベルにプリチャージして、プレートをVssにプリチャージしておく。WL02，BS0選択後は、プレート駆動せずに、強誘電体キャパシタCaに電圧が印加され、Caのデータが読み出される。その後、プレートを小振幅のHighレベルにすると、常誘電体キャパシタ成分がキャンセルできる。

20

【0133】

その後、PLをHighのまま、BL対をLowにして、Caに一定電圧を印加して“0”，“1”データの差を無くし、BS0をLowレベルにして、セルブロックとビット線を分離する。この間に、プレート線を大振幅のHighレベルにして2回目もBS0をHighレベルにするだけで、Cbの強誘電体キャパシタの分極データがビット線に読み出され、PLをLowレベルにして、常誘電体キャパシタ成分を無くし、その後センス動作させ、データの再書き込みをするため、PLをHighレベルにする。そして、BS0をLowにして、ビット線をVssにプリチャージし、プレートを小振幅のHighレベルにする。BS0をHighにして3回目を行う。PLを小振幅のHighからVssにするだけでCaの再書き込みができる。なお、図中(1)線に示すように1回目～3回目でWL02を上げ直すのを省略できる。

30

【0134】

図32の例では、スタンバイ時、プレート線を小振幅のHighレベルにして、ビット線をVssにプリチャージしておく。WL02，BS0選択後は、プレート駆動せずに、強誘電体キャパシタCaに電圧が印加され、Caのデータが読み出される。その後、プレートをVssレベルにすると、常誘電体キャパシタ成分がキャンセルできる。

【0135】

その後、PLをLowのまま、BL対を小振幅のHighレベルにして、Caに一定電圧を印加して“0”，“1”データの差を無くし、BS0をLowレベルにして、セルブロックとビット線を分離する。この間に、ビット線対を大振幅のHighレベルにして2回目もBS0をHighレベルにするだけで、Cbの強誘電体キャパシタの分極データがビット線に読み出され、PLを大振幅のHighレベルにして、常誘電体キャパシタ成分を無くし、その後センス動作させ、データの再書き込みをするため、PLをVssレベルにする。そして、BS0をLowにして、ビット線を小振幅のHighレベルにプリチャージする。BS0をHighにして3回目を行う。PLをVssレベルから小振幅のHighレベルにするだけでCaの再書き込みができる。なお、図中(1)線に示すように1回目～3回目でWL02を上げ直すのを省略できる。

40

【0136】

(第18の実施形態)

50

図 3 3 は、本発明の第 1 8 の実施形態に係わる F R A M の動作を説明するための動作タイミング図である。これは、ビット線とプレート線の逆プリチャージ方式とダブルプレート方式の組み合わせた場合を示す。

【 0 1 3 7 】

図 3 3 では、C a の読み出しは、ビット線を小振幅の H i g h レベルにプリチャージし、プレート線を V s s に逆にプリチャージする方式を適用し、C b の読み書きでは、ビット線とプレート線を V s s にプリチャージした後に行い、ダブルプレート方式を適用している。C a の再書き込みでは、プレートの上げ下げで再書き込みを行う。本実施形態の特徴は、1 回目 ~ 3 回目間で、B S 0 と W L 0 2 の上げ下げを省略できる点である。

【 0 1 3 8 】

(第 1 9 の実施形態)

図 3 4 は、本発明の第 1 9 の実施形態に係わる F R A M の動作を説明するための動作タイミング図である。これは、ビット線とプレート線の逆プリチャージ方式とダブルプレート方式の組み合わせた場合を示す。

【 0 1 3 9 】

図 3 4 では、C a の読み出しは、プレート線を小振幅の H i g h レベルにプリチャージし、ビット線を V s s に逆にプリチャージする方式を適用し、C b の読み書きでは、ビット線とプレート線を V s s にプリチャージした後に行い、ダブルプレート方式を適用している。C a の再書き込みでは、プレートの上げだけで再書き込みを行う。本実施形態の特徴は、1 回目 ~ 3 回目間で、B S 0 と W L 0 2 の上げ下げを省略できる点である。

【 0 1 4 0 】

(第 2 0 の実施形態)

図 3 5 は、先願におけるその他の問題点を示す図である。先願の 1 個のメモリセルは、セルトランジスタと強誘電体キャパシタの並列接続で構成され、1 つのメモリセルブロックは、この並列接続のメモリセルを複数直列接続する構成において、読み出したデータと逆データを書き込む場合、選択したセルブロック内の非選択メモリセルにおいて、原理的には、非選択の O N しているセルトランジスタによって、非選択の強誘電体キャパシタはショートとされ、安定な状態を保つはずではある。しかし実際には、非選択の O N しているセルトランジスタの O N 抵抗の存在によって、僅かではあるが短時間の間、非選択の強誘電体キャパシタの両端に電圧が印加されてしまう。

【 0 1 4 1 】

先願においては、セルブロック内のメモリセル数を増やすとこのノイズが低減されると述べているが、これだけでは、不十分である。図 3 5 は、先願の逆データ書き込み時の、ビット線の立ち上がり立ち下がり遷移時間と、このノイズ関係を示している。このように、非選択のメモリセルデータを安全に保持するには、常にある程度書き込み時間を長くする必要がある。

【 0 1 4 2 】

図 3 6 は、上記の問題を解決した本発明の第 2 0 の実施形態を説明するためのもので、書き込み時間緩和方式を示す。ここでは 2 つの方法が含まれている。

【 0 1 4 3 】

第 1 の方法は、メモリセルアレイ内のビット線 (B B L , B L) とセンスアンプ部のビット線 (B B L S A , B L S A) の間にトランジスタ (Q 9 , Q 10) を挿入する方法である。メインアンプ (Main Amp) のライトバッファ (Write Buffer) から逆データを書き込む場合、B D Q , D Q 線を通して、センスアンプ (Sense Amp) 部のフリップフロップを反転して、反転データが B B L , B L に書き込まれる。この場合、トランジスタ (Q 9 , Q 10) の O N 抵抗と、大きな容量のあるセルアレイ側のビット線 (B B L , B L) の容量との R C 時定数により、B B L , B L の書き込みの遷移時間が緩和される。これにより、ノイズが低減できる。

【 0 1 4 4 】

第 2 の方法は、メインアンプ (Main Amp) のライトバッファ (Write Buffer) から逆デー

10

20

30

40

50

タを書き込む場合、ライトバッファに駆動能力の異なる、2種類以上のドライバを持たせ、さらに2種類以上のドライバ各々を駆動させる時間をずらす方法である。この実施形態の例では、駆動能力の小さいドライバでまず最初弱い力でBDQ、DQ線を駆動して、ある程度ビット線(BBLSA、BLSA、BBL、BL)のHighレベルを下げ、Lowレベルを上げる。次に、時間をずらして、大きなドライバを駆動させて、ビット線を反転させ、緩やかにビット線を反転させてデータ書き込みを行い、前述の書き込みノイズを低減する。

【0145】

その他、3種類以上のバッファを用いたり、同じサイズのバッファを時間をずらして用いても効果がある。さらに、1種類のバッファを用いて、バッファの駆動トランジスタのゲート電圧を緩やかに、或いは段階的に上げてよいし、さらに、逆データを書き込む前に、一度BDQ、DQ或いはビット線をショートしてから、逆データを書き込んでもよいし、上記各手法を組み合わせてもよい。

【0146】

(第21の実施形態)

図37は、本発明の第21の実施形態を説明するための図である。これは、図36のライトバッファのより具体的な構成例を示す。図37(a)はトランジスタサイズの異なる2種類のクロックインバータを示し、図37(b)はこれを時間を遅らせて駆動する信号線の遅延回路例を示す。また、図37(c)はこれらのタイミングチャートを示す。

【0147】

(第22の実施形態)

図38は、本発明の第22の実施形態に係わるFRAMを説明するためのもので、図3の実施形態の等価回路を実現するメモリセルブロックの具体的なレイアウト図を示す。図38では、ビット線(M2層)、ワード線(GC層)、拡散層(AA層)、セル配線層(MI層)、強誘電体キャパシタの下部電極(BE層)、上部電極(TE層)、Dタイプトランジスタ用イオン注入用レイヤー層(Dimp層)、M1-M2間コンタクト、TE-M1間コンタクト、BE-M1間コンタクトを示している。

【0148】

図39、図40は、図38におけるレイアウトを分りやすいように分けて表示してある。図41は、図38のレイアウトのA-A間、B-B間、C-C間、D-D間の断面例を示す。TE、BEは、その上に形成したM1層からTE-M1間コンタクト、BE-M1間コンタクトを介して接続されている。M1層はAA-M1間コンタクトを介してAA層と接続される。

【0149】

図38に示すように、M2-M1間は、AA-M1間コンタクト、M1-M2間コンタクトとM1層を介して接続されている。図38～図41において、セル内部ノード接続用配線M1は、強誘電体キャパシタ形成工程後に形成しているため、低抵抗の金属配線が適用でき、このM1配線はプレート配線にも適用できている。プレート駆動方式においては、負荷容量の大きいプレート線を駆動するため、プレート配線の金属化が必須であるが、このセル構造では、容易にプレート配線の低抵抗化が可能でプレート駆動時間の短縮が図れる。

【0150】

特に、図38～図41の構成では、M1のAl配線或いはCu配線が可能で、大幅なアクセスタイム、サイクルタイムの短縮がはかれる。その大きな理由は、従来のセルトランジスタと強誘電体キャパシタを直列接続するメモリセルにおいては、セル毎にプレート配線が必要で、セル内で、セル内部ノード接続用の配線層とプレート配線層を共有することは面積的に損であったし、共有せずにBE層などでプレート線を構成すると抵抗が高いためにプレート駆動時間が非常に長くなっていた。プレート専用の金属配線を設けると、プロセスコストが増加する問題点があった。

【0151】

10

20

30

40

50

先願のメモリセルでは、プレート配線はセルブロック毎に0.5本(隣と共有)、1本或いは2本で済む。図38~図41のプレート配線部のように、2本のプレート線PLBBL, PLBLのM1層は1ビット線毎に、下部電極(BE)とBE-M1コンタクトを取れば、容易に図3の等価回路が実現できる。図41の断面図に示すように、BE層をビット線方向に隣接したセルブロックと接続してやれば、プレート線の隣接セルブロック間での共有が容易に実現できる。

【0152】

(第23の実施形態)

図42は、本発明の第23の実施形態に係わるFRAMを説明するためのもので、図38のレイヤー構成、デバイス構造で、プレート分離を行わない場合、即ち先願の図79の等価回路を実現するメモリセルブロックの具体的なレイアウト図を示している。プレート線及び、その接続部周辺を除いて、図38と同じであり、効果も同様である。

10

【0153】

図42は、ビット線(M2層)、ワード線(GC層)、拡散層(AA層)、セル配線層(M1層)、強誘電体キャパシタの下部電極(BE層)、上部電極(TE層)、Dタイプランジスタ用イオン注入レイヤー層(Dimp層)、M1-M2間コンタクト、TE-M1間コンタクト、BE-M1間コンタクトを示している。

【0154】

図43、図44は、図42におけるレイアウトを分りやすいように分けて表示してある。図45は、図42のレイアウトのA-A間、B-B間の断面例を示す。TE、BEは、その上に形成したM1層からTE-M1間コンタクト、BE-M1間コンタクトを介して接続されている。M1層はAA-M1間コンタクトを介してAA層と接続される。

20

【0155】

図38に示すように、M2-M1間は、AA-M1間コンタクト、M1-M2間コンタクトとM1層を介して接続されている。図42~図45において、セル内部ノード接続用配線M1は、強誘電体キャパシタ形成工程後に形成しているため、低抵抗の金属配線が適用でき、このM1配線は、プレート配線にも適用できている。プレート駆動方式においては、負荷容量の大きなプレート線を駆動するため、プレート配線の金属化が必須であるがこのセル構造では、容易にプレート配線の低抵抗化が可能でプレート駆動時間の短縮が図れる。

30

【0156】

特に、図43~図45の構成では、M1のAl配線或いはCu配線が可能で、大幅なアクセスタイム、サイクルタイムの短縮がはかれる。大きな理由は、従来のセルトランジスタと強誘電体キャパシタを直列接続するメモリセルにおいては、セル毎にプレート線が必要で、セル内で、セル内部ノード接続用の配線層とプレート配線層を共有することは面積的に損であったし、共有せずにBE層などでプレート線を構成すると抵抗が高いためにプレート駆動時間が非常に長くなっていた。プレート専用の金属配線を設けると、プロセスコストが増加する問題点があった。

【0157】

先願のメモリセルでは、プレート配線はセルブロック毎に0.5本(隣と共有)或いは1本で済む。図43~図45のプレート配線部のように、1本のプレート線PLのM1層は下部電極(BE)とBE-M1コンタクトを取れば、容易に図79の等価回路が実現できる。図45の断面図に示すように、BE層をビット線方向に隣接したセルブロックと接続してやれば、プレート線の隣接セルブロック間での共有が容易に実現できる。

40

【0158】

(第24の実施形態)

図46は、本発明の第24の実施形態に係わるFRAMを説明するためのもので、図38のレイヤー構成、デバイス構造で、図42と同様にプレート分離を行わない場合、即ち先願の図79の等価回路を実現するメモリセルブロックの具体的なレイアウト図を示している。効果も図42と同様である。図46は、ビット線(M2層)、ワード線(GC層)、

50

拡散層（ＡＡ層）、セル配線層（Ｍ１層）、強誘電体キャパシタの下部電極（ＢＥ層）、上部電極（ＴＥ層）、Ｄタイプトランジスタ用イオン注入用レイヤー層（Ｄｉｍｐ層）、Ｍ１－Ｍ２間コンタクト、ＴＥ－Ｍ１間コンタクト、ＢＥ－Ｍ１間コンタクトを示している。

【０１５９】

図４７、図４８は、図４６におけるレイアウトを分りやすいように分けて表示してある。図４２と異なる点は、図４６に示すように、ビット線ＢＢＬに接続されるセルブロックは図４２と同じで、ビット線ＢＬに接続されるセルブロックにおいては、上部電極（ＴＥ）と下部電極（ＢＥ）の位置が１セル分ビット線方向にずれている点である。図４２に比べ、隣接したセルブロック間で下部電極や、上部電極や、それらのコンタクト間の距離が図４６の方が遠くなるため、これらのルールでセルサイズが律則される場合、図４６の方がセルサイズが縮小できることになる。

10

【０１６０】

（第２５の実施形態）

図４９は、本発明の第２５の実施形態に係わるＦＲＡＭを説明するためのもので、図５の実施形態のダミーセルブロックの等価回路を実現する具体的なレイアウト図を示している。レイヤー構成、セル構造は、図３８と同一である。図４９は、ビット線（Ｍ２層）、ワード線（ＧＣ層）、拡散層（ＡＡ層）、セル配線層（Ｍ１層）、強誘電体キャパシタの下部電極（ＢＥ層）、上部電極（ＴＥ層）、Ｄタイプトランジスタ用イオン注入用レイヤー層（Ｄｉｍｐ層）、Ｍ１－Ｍ２間コンタクト、ＴＥ－Ｍ１間コンタクト、ＢＥ－Ｍ１間コンタクトを示してしる。

20

【０１６１】

図５０、図５１は、図４９におけるレイアウトを分りやすいように分けて表示してある。図４９～図５１において、セル内部ノード接続用配線Ｍ１は、強誘電体キャパシタ形成工程後形成しているため、低抵抗の金属配線が適用でき、このＭ１配線は、ダミーセルブロック用のプレート配線にも適用できているためダミーセルのプレートも高速に駆動できる。

【０１６２】

（第２６の実施形態）

図５２は、本発明の第２６の実施形態に係わるＦＲＡＭを説明するためのもので、図４の実施形態の等価回路を実現するメモリセルブロックの具体的なレイアウト図を示している。図５２は、ビット線（Ｍ２層）、ワード線（ＧＣ層）、拡散層（ＡＡ層）、セル配線層（Ｍ１層）、強誘電体キャパシタの下部電極（ＢＥ層）、上部電極（ＴＥ層）、Ｄタイプトランジスタ用イオン注入用レイヤー層（Ｄｉｍｐ層）、Ｍ１－Ｍ２間コンタクト、ＴＥ－Ｍ１間コンタクト、ＢＥ－Ｍ１間コンタクトを示している。

30

【０１６３】

図５３、図５４は、図５２におけるレイアウトを分りやすいように分けて表示してある。

【０１６４】

図５５は、図５２のレイアウトのＡ－Ａ間、Ｂ－Ｂ間、Ｃ－Ｃ間、Ｄ－Ｄ間の断面例を示す。ＴＥ、ＢＥは、その上に形成したＭ１層からＴＥ－Ｍ１間コンタクト、ＢＥ－Ｍ１間コンタクトを介して接続されている。Ｍ１層はＡＡ－Ｍ１間コンタクトを介してＡＡ層と接続される。図５２に示すように、Ｍ２－Ｍ１間は、ＡＡ－Ｍ１間コンタクト、Ｍ１－Ｍ２間コンタクトとＭ１層を介して接続されている。

40

【０１６５】

図５２～図５５において、セル内部ノード接続用配線Ｍ１は、強誘電体キャパシタ形成工程後形成しているため、低抵抗の金属配線が適用でき、プレート駆動を高速化できる。図５２～図５５においては、Ｄタイプ用イオン注入マスクは不要となる。これは図５５に示すように、Ｍ１配線を用いて、通過のブロック選択トランジスタのソースとドレインを接続しているからである。Ｄタイプトランジスタの反転層容量が無い分、非選択セルブロック部のビット線容量が減る効果がある。更に図５５に示すように、通過のブロック選択ト

50

ランジスタをフィールドトランジスタ化すればさらに容量が低減できる。

【0166】

(第27の実施形態)

図56は、本発明の第27の実施形態に係わるFRAMのメモリセルブロックの構成を示す断面図である。等価回路的には、図3と同じである。ワード線上に、同じピッチで、Al, Cu等の金属配線(図中Metal1)を配設し、ワード線と一定間隔おきにシャント(スナップとも言う)をとり、抵抗の高いワード線材料によるワード線遅延を減らすことができる。このワード線シャント用のメタル配線はそのまま、プレート配線として用いることができる。さらに、上部電極を隣接セルブロックでつなげることにより、PLBBLとPLBLを隣接セルブロックで共有化している。

10

【0167】

図56では、プレートをPLBBL、PLBLの2種類に分けた図3の方式の例である。図中上の図(a)と下の図(b)は1ビット線毎に交代、或いは2ビット線毎に交代となる。これは、プロセスコストを増加させずに、プレート駆動遅延を低減できる。プレートを $(1/2)V_{dd}$ に固定する方式に適用しても、プレート電極の電位の安定に寄与できる。

【0168】

(第28の実施形態)

図57は、本発明の第28の実施形態に係わるFRAMのメモリセルブロックの構成を示す断面図である。等価回路的には、図3と同じである。図56と異なる点は、ビット線用金属配線(Metal2)と金属配線(Metal1)の形成工程が逆になった点である。

20

【0169】

(第29の実施形態)

図58は、本発明の第29の実施形態に係わるFRAMのメモリセルブロックの構成を示す断面図である。等価回路的には、図3と同じである。図56と異なる点は、ビット線層を形成後に強誘電体キャパシタを形成した点、更にその後にワード線シャント用、プレート配線用兼用のメタル配線層を形成した点である。

【0170】

(第30の実施形態)

図59は、本発明の第30の実施形態に係わるFRAMのメモリセルブロックの構成を示す断面図である。等価回路的には、図3と同じである。図58と異なる点は、ワード線シャント方式を用いるのではなく、メイン・ロウ・デコーダとサブ・ロウ・デコーダを用いて、階層ワード線方式を採用した場合を示している。これにより、金属配線(Metal1)はメインワード線として用い、Metal1のピッチをワード線ピッチの2倍~8倍と緩和できる。(図の例では4倍)。当然にこの例でも、メインワード線とプレート配線は同じMetal1を兼用できている。

30

【0171】

(第31の実施形態)

図60は、本発明の第31の実施形態に係わるFRAMのメモリセルブロックの構成を示す断面図である。これは、図79の等価回路で、ワード線シャント用メタル配線(Metal1)を採用した例である。この場合でもプレート配線もMetal1を利用できている。

40

【0172】

図60の下2つの図は、上の図の2箇所(ワード線部、プレート部)で切った場合のワード線方向の断面図(A-A, B-B)を示す。ワード線は、シャント部で、ワード線層とMetal1層をコンタクトし、プレート部では、1ビット線毎にMetal1とプレート電極とコンタクトを取っている。

【0173】

(第32の実施形態)

図61は、本発明の第32の実施形態に係わるFRAMのメモリセルブロックの構成を示

50

す断面図である。これは、図 7 9 の等価回路で、ワード線シャント用メタル配線 (Metal 1) を採用した例である。図 6 0 との違いは、Metal 1 と強誘電体キャパシタの間にビット線層を形成した点である。この場合でもプレート配線も Metal 1 を利用できている。

【0174】

図 6 1 の下の 2 個の図は、上の図の 2 箇所 (ワード線部、プレート部) で切った場合のワード線方向の断面図 (A - A , B - B) を示す。ワード線は、シャント部で、ワード線層と Metal 1 をコンタクトし、プレート部もシャント部で Metal 1 とプレート電極とコンタクトを取っている。

【0175】

10

(第 3 3 の実施形態)

図 6 2 及び図 6 3 は、本発明の第 3 3 の実施形態に係わる FRAM のメモリセルブロックの構成を示す断面図である。

【0176】

図 6 2 は、図 7 9 の等価回路で、階層ワード線及び、更にカラム選択線用のメタル配線層 (CSL) を追加した場合を示す。勿論、図 3 のプレートの分離方式も実現できる。図 6 3 は、図 7 9 の等価回路で、ワード線シャント方式及び、更にカラム選択線用のメタル配線層 (CSL) を追加した場合を示す。勿論、図 3 のプレート分離方式も実現できる。

【0177】

(第 3 4 の実施形態)

20

図 6 4 は、本発明の第 3 4 の実施形態に係わる FRAM のセル構成を示す断面図である。図 5 6 から図 6 3 の例では、強誘電体キャパシタ部の構造や配線接続の概念図示しか示していないが、本実施形態の図 6 4 (a) ~ (f) は図 5 6 から図 6 3 の例や、先願例に適用できる、強誘電体キャパシタ部の詳細配線構成を示す。

【0178】

(a) は、強誘電体膜 6 1 に上部電極 6 2 を形成して、その後にセルトランジスタと上部電極を接続する配線 6 3 を形成した例を示す。(b) は、(a) に加えて、トランジスタ形成後、Si プラグ、W プラグ等のプラグ 6 4 を形成し、その上に下部電極 6 5 を形成した例を示す。(c) は、(b) に加えて、プラグと下部電極 6 5 の間に、強誘電体材料の拡散等を防ぐバリア層 6 6 を形成した例を示す。

30

【0179】

(a) ~ (c) の例では、上部電極 6 2 を形成後、絶縁膜を被せ、上部電極 6 2 と配線 6 3 との接続は、セルトランジスタとのコンタクト開口後、又は開口前、エッチバックや CMP 等で、この絶縁膜を削り上部電極を露出させ、配線 6 3 を形成し、配線 6 3 と上部電極 6 2 を接続して形成している。これに対し (d) の例では、絶縁膜形成後、コンタクトホールを上部電極上と、セルトランジスタの拡散層上に開け、配線 6 3 で接続している。

【0180】

(e) の例では、(c) のプラグ形成後、配線 6 3 とセルトランジスタの拡散層との接続部でもプラグ 6 7 を形成して、コンタクトホールのアスペクト比を小さくしている。(f) の例では、(e) の例に加え、強誘電体キャパシタ膜を隣接セルで接続した例を示す。強誘電体膜厚 / 上部電極間距離の比が小さい場合や、分極量の異方性が大きい場合に適用できる。(a) ~ (f) の例では、各種変形を順に加えた場合を示したが、これに限らず、自由に各種変形を組み合わせることができる。

40

【0181】

(第 3 5 の実施形態)

図 6 5 ~ 図 6 8 は、本発明の第 3 5 の実施形態に係わる FRAM のメモリセルブロックの構成を示す断面図である。

【0182】

図 6 5 は、図 4 の等価回路で、隣接したセルノードを同時に形成し、その間に強誘電体キャパシタを形成した場合で、更にワード線シャント用とプレート配線兼用のメタル配線を

50

形成した場合を示す。図 6 6 は、図 7 9 の等価回路で、隣接したセルノードを同時に形成し、その間に強誘電体キャパシタを形成した場合で、更にワード線シャント用とプレート配線兼用のメタル配線を形成した場合を示す。

【 0 1 8 3 】

図 6 7 は、図 4 の等価回路で、隣接したセルノードを同時に形成し、その間に強誘電体キャパシタを形成した場合で、更に階層ワード線のメインワード線とプレート配線兼用のメタル配線を形成した場合を示す。図 6 8 は、図 7 9 の等価回路で、隣接したセルノードを同時に形成し、その間に強誘電体キャパシタを形成した場合で、更に階層ワード線のメインワード線とプレート配線兼用のメタル配線を形成した場合を示す。

【 0 1 8 4 】

(第 3 6 の実施形態)

図 6 9 は、本発明の第 3 6 の実施形態に係わる F R A M を説明するためのもので、メモリセルアレイとプレート駆動回路ブロックを示している。これは、図 3 の方式に適用できる。プレート駆動回路は、1つのセルブロックに2個必要で、隣接セルブロックでプレート線を共有しているため、結局1個のセルブロックに対して1個のみ必要となる。従来の分割プレート方式の様に、1本のワード線に対して、1個のプレート駆動線が必要なものと比べて大幅にプレート駆動回路数を低減し、チップサイズの減少を可能にする。

【 0 1 8 5 】

さらに、図 3 8 ~ 図 6 8 で示したプレート配線抵抗の大幅低減によるプレート遅延低減効果にも増して本実施形態においてはさらにプレート駆動遅延を低減できる。プレート遅延は、負荷容量と抵抗の R C 遅延で決まり、負荷容量は、セル内の寄生容量より、容量の大きい強誘電体キャパシタの容量で決まる。即ち、従来セルでも、セルを複数直列接続する先願、本発明のセルでも負荷容量はさして変わらない。これは、先願、本発明セルでは、非選択セルは、ショートされており容量が見えないためである。これに比べて、抵抗成分は、プレート線の配線抵抗とプレート駆動回路のプレート線駆動の最終段のドライバトランジスタの O N 抵抗で決まる。

【 0 1 8 6 】

本実施形態においては、プレート線配線の低抵抗化の効果と、プレート駆動回路の大幅な低減による、プレート駆動回路のドライバトランジスタサイズの大型化を可能にし、O N 抵抗の大幅な低減を可能にする。結局、R C 遅延の C はほぼ変わらず、R の大幅な低減を可能にするわけである。

【 0 1 8 7 】

(第 3 7 の実施形態)

図 7 0 は、本発明の第 3 7 の実施形態に係わる F R A M を説明するためのもので、メモリアレイとロウ・デコーダとプレート駆動回路を示している。この実施形態は、プレートを分離しない 2 T / 2 C 方式で、プレート駆動する場合に適用できる。この場合は、図 6 9 と比べ更に、プレート駆動回路数を半減して、2セルブロックに1個の割合で配置でき、プレート駆動回路のドライバトランジスタサイズを大きくでき、更なる高速化が実現できる。

【 0 1 8 8 】

(第 3 8 の実施形態)

図 7 1 は、本発明の第 3 8 の実施形態に係わる F R A M の回路構成を示す図である。これは、メモリセルトランジスタとブロック選択トランジスタを従来の n M O S で構成するのではなく、n M O S と p M O S を並列接続で構成する場合を示す。

【 0 1 8 9 】

このような構成であれば、ワード線、ブロック選択線を V d d 以上に昇圧することなく動作でき、低電圧動作や、ロジックやその他との混載メモリとして利用する場合に有効となる。この例では、2個の強誘電体キャパシタで1ビットのデータ記憶させる方式を示しており、ブロック選択線は1種類である。なお、/ W L i と W L i 、/ B S と B S は逆電圧の相補信号である。

10

20

30

40

50

【 0 1 9 0 】

(第 3 9 の実施形態)

図 7 2 は、本発明の第 3 9 の実施形態に係わる F R A M の回路構成を示す図である。これは、メモリセルトランジスタとブロック選択トランジスタを従来の n M O S で構成するのではなく、n M O S と p M O S を並列接続で構成する場合を示す。

【 0 1 9 1 】

このような構成であれば、ワード線、ブロック選択線を V d d 以上に昇圧することなく動作でき、低電圧動作や、ロジックやその他との混載メモリとして利用する場合に有効となる。この例では、1 個の強誘電体キャパシタで 1 ビットのデータ記憶させる方式をしめしており、ブロック選択線は 2 種類である。なお、/ W L i と W L i、/ B S と B S は逆電圧の相補信号である。プレート線は、図 7 9 のような 1 種類の場合 ((1 / 2) V d d 固定プレート方式) と、図 4 のような分離した場合の 2 種類の場合 (プレート駆動方式) が適用できる。

10

【 0 1 9 2 】

(第 4 0 の実施形態)

図 7 3 は、本発明の第 4 0 の実施形態に係わる F R A M の回路構成を示す図である。これは、セルブロックはワード線方向に 1 配列しか無い小さいメモリの場合を示している。この場合、ブロック選択トランジスタは省略できる。

【 0 1 9 3 】

なお、本発明は上述した各実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

20

【 0 1 9 4 】

【発明の効果】

以上詳述してきたように本発明によれば、不揮発性で、平面トランジスタで容易化に製造でき、しかも、ランダムアクセセル機能を保ちつつ、4 F² サイズの高集積化を実現できつつ、(1) 1 T / 1 C 型で、プレート駆動方式が適用でき、高密度で低電圧動作が可能となる。さらに、(2) 強誘電体キャパシタの常誘電体成分のばらつきを抑制しつつ、高速動作が可能となる。さらに、(3) 書き込み時のノイズを低減できる。さらに、(4) プレート駆動方式でも、プロセスコスト、チップサイズ小さく抑えつつ、高速動作が可能となる。(5) さらに、セルを C M O S 化することにより、ワード線、ブロック選択線の昇

30

【図面の簡単な説明】

【図 1】第 1 の実施形態に係わる F R A M を示す回路構成図。

【図 2】第 1 の実施形態の具体的な動作例を示すタイミング図。

【図 3】第 2 の実施形態に係わる F R A M を示す回路構成図。

【図 4】図 3 の変形例を示す回路構成図。

【図 5】第 3 の実施形態に係わる F R A M を示す回路構成図。

【図 6】図 5 の構成の動作例を示すタイミング図。

【図 7】第 4 の実施形態に係わる F R A M を示す回路構成図。

【図 8】図 7 の構成の動作例を示すタイミング図。

40

【図 9】第 5 の実施形態に係わる F R A M を示す回路構成図。

【図 1 0】第 6 の実施形態に係わる F R A M を示す回路構成図。

【図 1 1】図 9、図 1 0 の構成の動作例を示すタイミング図。

【図 1 2】第 7 の実施形態に係わる F R A M を示す回路構成図。

【図 1 3】図 1 2 の構成の動作例を示すタイミング図。

【図 1 4】第 8 の実施形態に係わる F R A M の動作方式を示すタイミング図。

【図 1 5】先願の 2 T / 2 C 方式の構成を示す回路構成図。

【図 1 6】第 9 の実施形態の動作を示すタイミング図。

【図 1 7】第 1 0 の実施形態に係わる F R A M のセンスアンプ部構成を示す図。

【図 1 8】第 1 1 の実施形態に係わる F R A M のセンスアンプ部構成を示す図。

50

- 【図 19】先願における多ビット／セル方式のセルブロック等価回路図。
- 【図 20】図 19 のセル構造の断面の一例を示す図。
- 【図 21】図 19 の多ビット／セル方式の動作におけるヒステリシス曲線を示す図。
- 【図 22】実際のヒステリシス曲線を示す図。
- 【図 23】第 12 の実施形態に係わる F R A M のメモリセルブロック構成を示す断面図。
- 【図 24】先願で説明したプレート駆動方式を適用した場合の多ビット／セルの動作の具体的な動作例を示すタイミング図。
- 【図 25】第 13 の実施形態の動作を示すタイミング図。
- 【図 26】第 14 の実施形態を説明するためのコア部回路構成を示す図。
- 【図 27】第 14 の実施形態を説明するためのコア部回路構成を示す図。 10
- 【図 28】第 15 の実施形態の動作を示すタイミング図。
- 【図 29】第 16 の実施形態の動作を示すタイミング図。
- 【図 30】第 16 の実施形態の動作を示すタイミング図。
- 【図 31】第 17 の実施形態の動作を示すタイミング図。
- 【図 32】第 17 の実施形態の動作を示すタイミング図。
- 【図 33】第 18 の実施形態の動作を示すタイミング図。
- 【図 34】第 19 の実施形態の動作を示すタイミング図。
- 【図 35】先願におけるその他の問題点を示す図。
- 【図 36】第 20 の実施形態における書き込み時間緩和方式を示す図。
- 【図 37】第 21 の実施形態におけるライトバッファのより具体的な構成例を示す図。 20
- 【図 38】第 22 の実施形態を説明するためのもので、図 3 の実施形態の等価回路を実現するメモリセルブロックの具体的なレイアウト図。
- 【図 39】図 38 におけるレイアウトを分かりやすいように分けて表示した図。
- 【図 40】図 38 におけるレイアウトを分かりやすいように分けて表示した図。
- 【図 41】図 38 のレイアウトの A - A 間、B - B 間、C - C 間、D - D 間の断面例を示す図。
- 【図 42】第 23 の実施形態に係わる F R A M のメモリセルブロックの具体的なレイアウト図。
- 【図 43】図 42 におけるレイアウトを分かりやすいように分けて表示した図。
- 【図 44】図 42 におけるレイアウトを分かりやすいように分けて表示した図。 30
- 【図 45】図 42 のレイアウトの A - A 間、B - B 間の断面例を示す図。
- 【図 46】第 24 の実施形態に係わる F R A M のメモリセルブロックの具体的なレイアウト図。
- 【図 47】図 46 におけるレイアウトを分かりやすいように分けて表示した図。
- 【図 48】図 46 におけるレイアウトを分かりやすいように分けて表示した図。
- 【図 49】第 25 の実施形態に係わる F R A M を説明するためのもので、図 5 のダミーセルブロックの等価回路を実現する具体的なレイアウト図。
- 【図 50】図 49 におけるレイアウトを分かりやすいように分けて表示した図。
- 【図 51】図 49 におけるレイアウトを分かりやすいように分けて表示した図。
- 【図 52】第 26 の実施形態に係わる F R A M を説明するためのもので、図 4 の等価回路 40
を実現するメモリセルブロックの具体的なレイアウト図。
- 【図 53】図 52 におけるレイアウトを分かりやすいように分けて表示した図。
- 【図 54】図 52 におけるレイアウトを分かりやすいように分けて表示した図。
- 【図 55】図 52 のレイアウトの A - A 間、B - B 間、C - C 間、D - D 間の断面例を示す図。
- 【図 56】第 27 の実施形態に係わる F R A M のメモリセルブロックの構成例を示す断面図。。
- 【図 57】第 28 の実施形態に係わる F R A M のメモリセルブロックの構成例を示す断面図。
- 【図 58】第 29 の実施形態に係わる F R A M のメモリセルブロックの構成例を示す断面 50

図。

【図 5 9】第 3 0 の実施形態に係わる F R A M のメモリセルブロックの構成例を示す断面図。

【図 6 0】第 3 1 の実施形態に係わる F R A M のメモリセルブロックの構成例を示す断面図。

【図 6 1】第 3 2 の実施形態に係わる F R A M のメモリセルブロックの構成例を示す断面図。

【図 6 2】第 3 3 の実施形態に係わる F R A M のメモリセルブロックの構成例を示す断面図。

【図 6 3】第 3 3 の実施形態に係わる F R A M のメモリセルブロックの構成例を示す断面図。

10

【図 6 4】第 3 4 の実施形態に係わる F R A M のセル構成を示す断面図。

【図 6 5】第 3 5 の実施形態に係わる F R A M のメモリセルブロックの構成例を示す断面図。

【図 6 6】第 3 5 の実施形態に係わる F R A M のメモリセルブロックの構成例を示す断面図。

【図 6 7】第 3 5 の実施形態に係わる F R A M のメモリセルブロックの構成例を示す断面図。

【図 6 8】第 3 5 の実施形態に係わる F R A M のメモリセルブロックの構成例を示す断面図。

20

【図 6 9】第 3 6 の実施形態に係わる F R A M のメモリセルアレイとプレート駆動回路の構成を示す図。

【図 7 0】第 3 7 の実施形態に係わる F R A M のメモリアレイとロウ・デコーダ及びプレート駆動回路の構成を示す図。

【図 7 1】第 3 8 の実施形態に係わる F R A M を示す回路構成図。

【図 7 2】第 3 9 の実施形態に係わる F R A M を示す回路構成図。

【図 7 3】第 4 0 の実施形態に係わる F R A M を示す回路構成図。

【図 7 4】従来の D R A M のメモリセル、従来 F R A M のメモリセル、フォールデッド B L 構成を示す図。

【図 7 5】電圧 - 蓄積電荷の関係と電圧 - 分極量の関係を示す図。

30

【図 7 6】従来の F R A M における動作例を示すタイミング図。

【図 7 7】従来 F R A M の動作を説明するための図。

【図 7 8】先願発明のメモリセルの構成回路と動作例を示す図。

【図 7 9】先願発明のメモリセルの構成回路と動作例を示す図。

【図 8 0】先願発明のメモリセルの構成回路と動作例を示す図。

【符号の説明】

B S i , B S i j , / B S i ... ブロック選択線

P w e l l ... p 型ウェル

n⁺ ... n 型拡散層

S A ... センスアンプ

40

t i ... セルアレイ - センスアンプ分離信号

E Q L ... ビット線イコライズ信号

C S L ... カラム選択線

D W L i ... ダミーワード線

S E N ... n M O S センスアンプ制御線

/ S E P ... p M O S センスアンプ制御線

C i ... カップリング容量

V B L ... ビット線プリチャージ信号

D B S i ... ダミーセル用ブロック選択線

F ... 最小加工寸法

50

P s ... 飽和分極 (Saturation Polarization)

P r ... 残留分極 (Remnat Polarization)

V c ... 抗電圧 (Coercive Voltage)

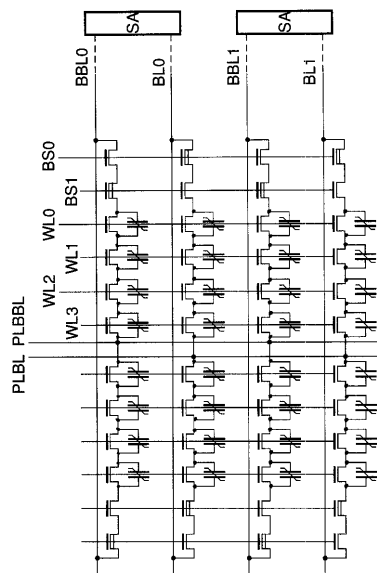
R S T ... リセット線

W Q n i , W Q m i ... トランジスタのチャネル幅

B D Q , D Q ... データ線

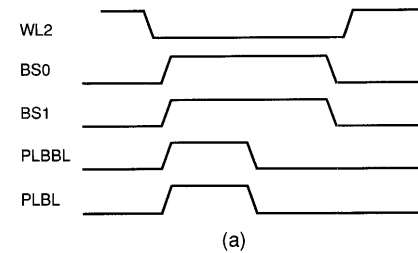
W E N B , / W E N B , / W E N B D , W E N B D ... データ書き込み制御信号

【 図 1 】

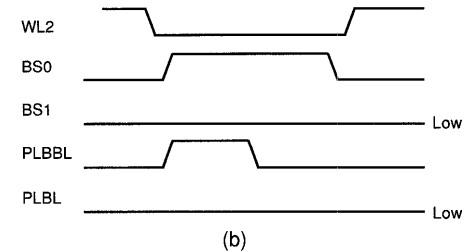


【 図 2 】

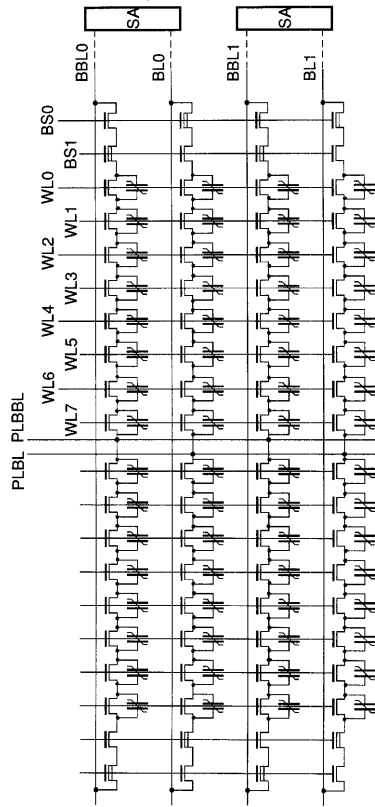
2T/2C方式



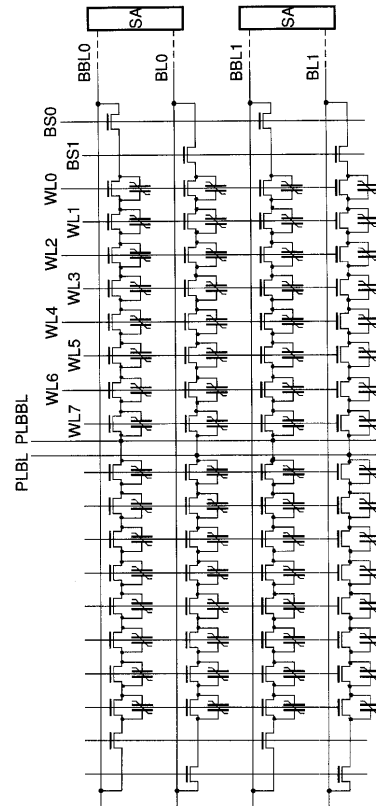
1T/1C方式



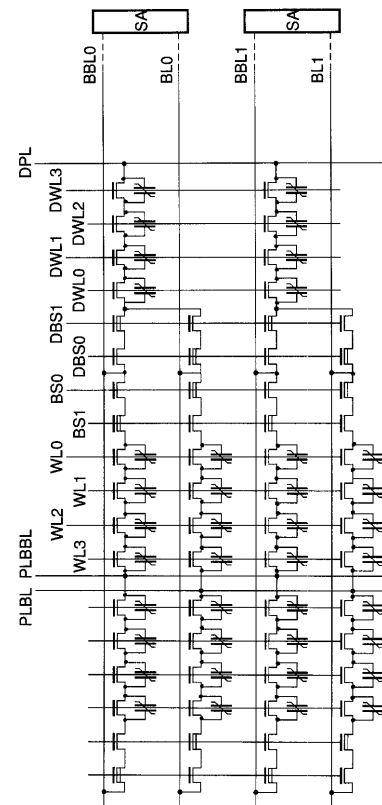
【図 3】



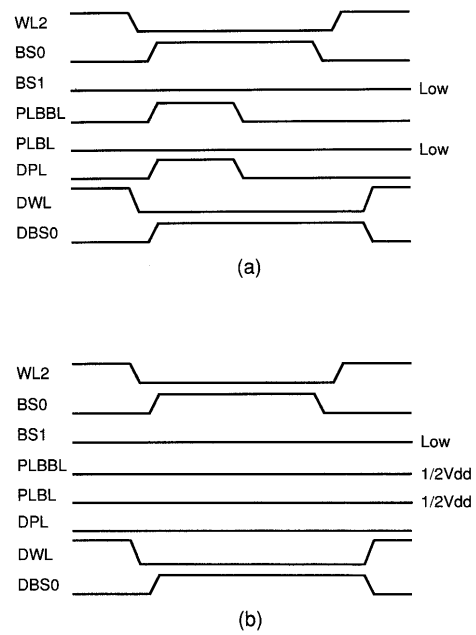
【図 4】



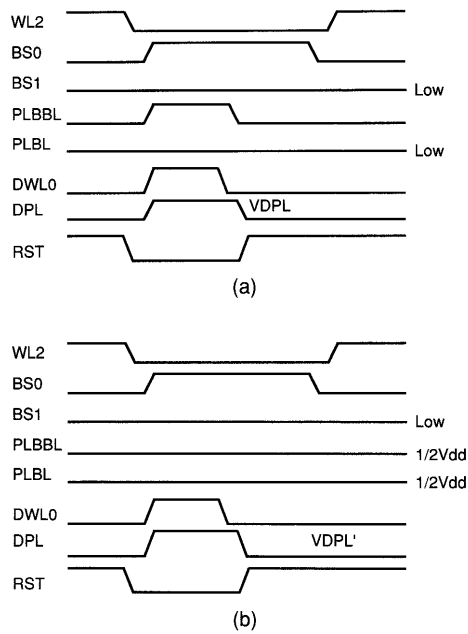
【図 5】



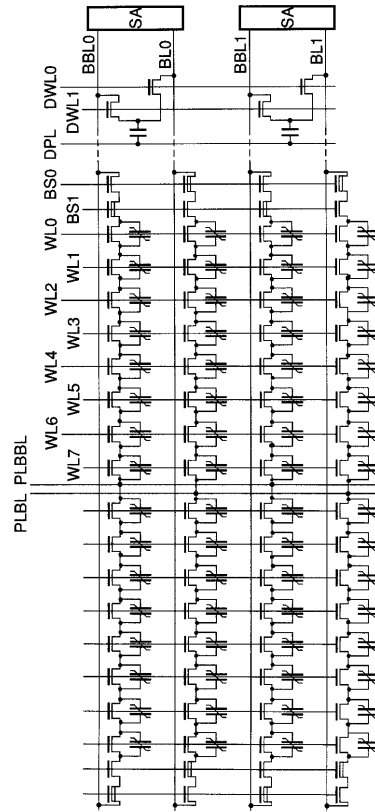
【図 6】



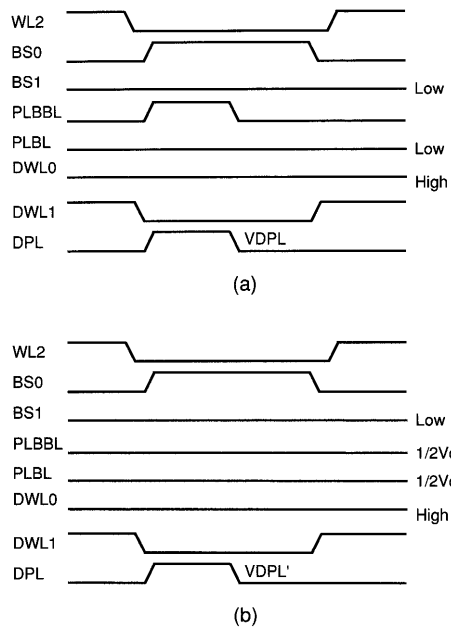
【図 1 1】



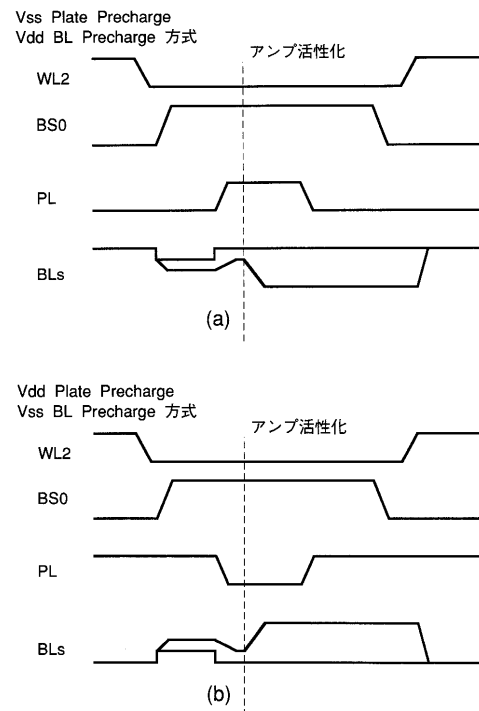
【図 1 2】



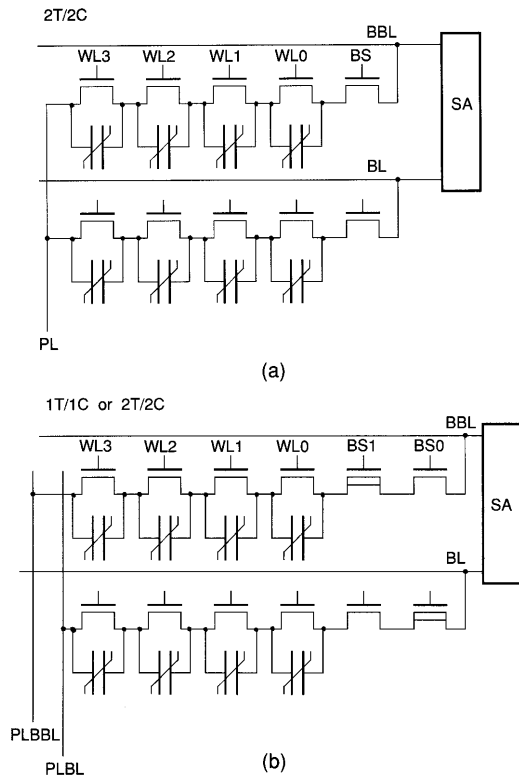
【図 1 3】



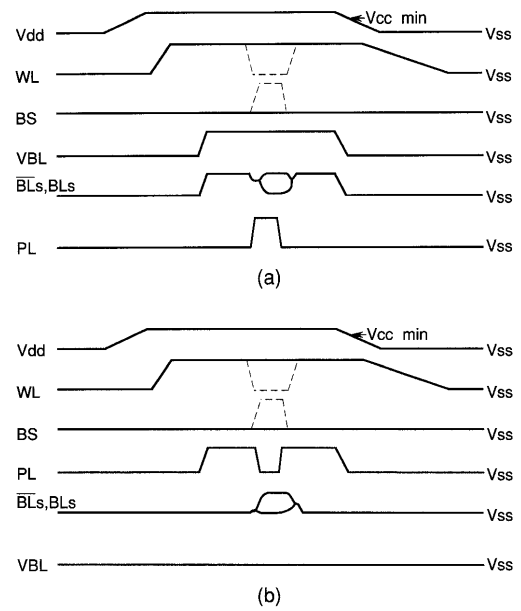
【図 1 4】



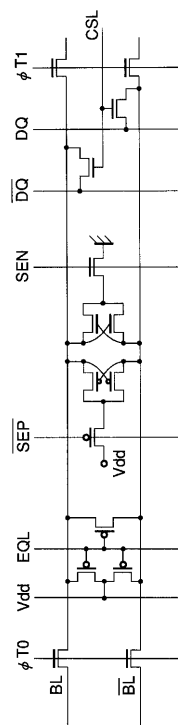
【図 15】



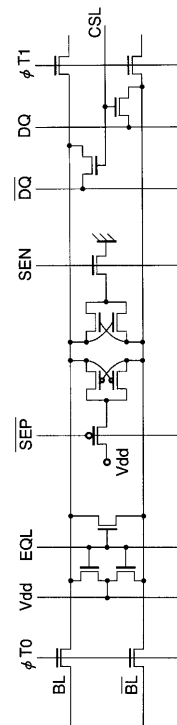
【図 16】



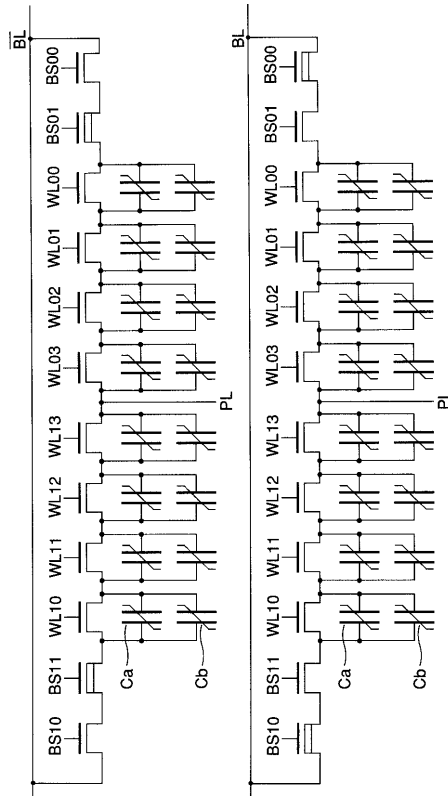
【図 17】



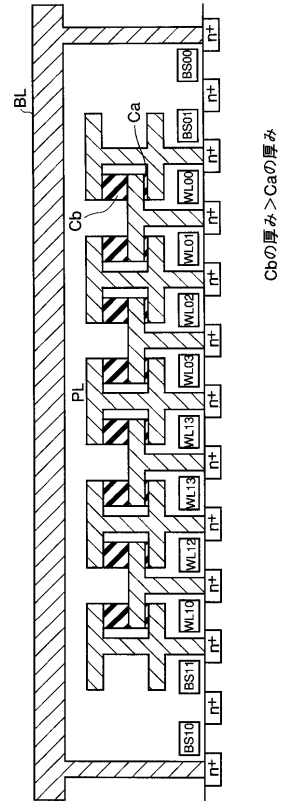
【図 18】



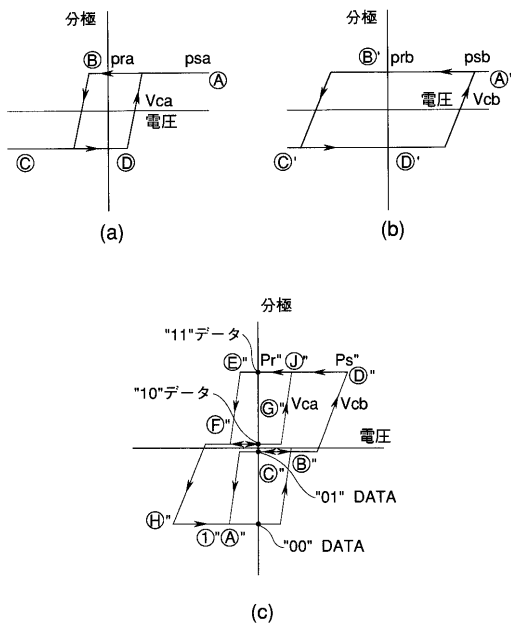
【図 19】



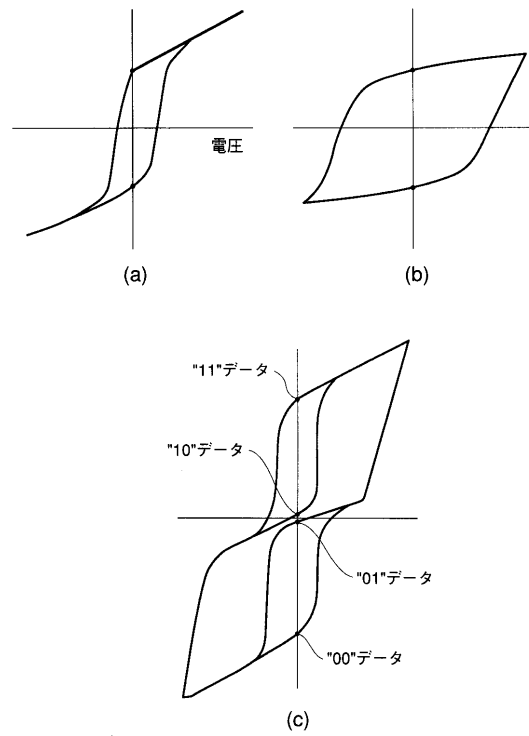
【図 20】



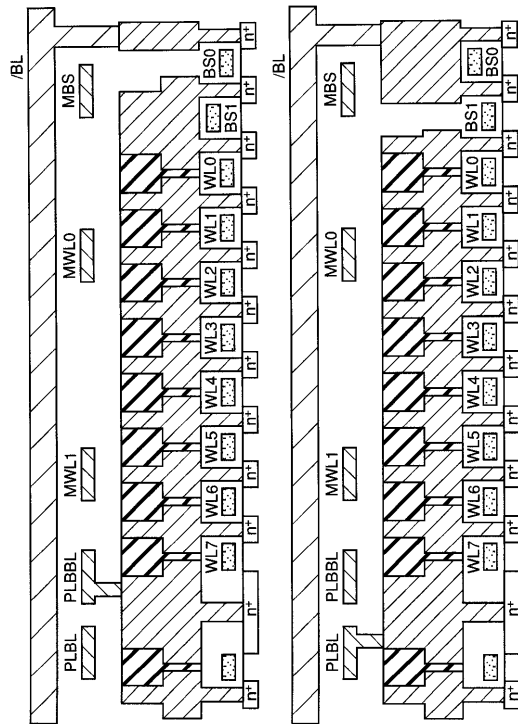
【図 21】



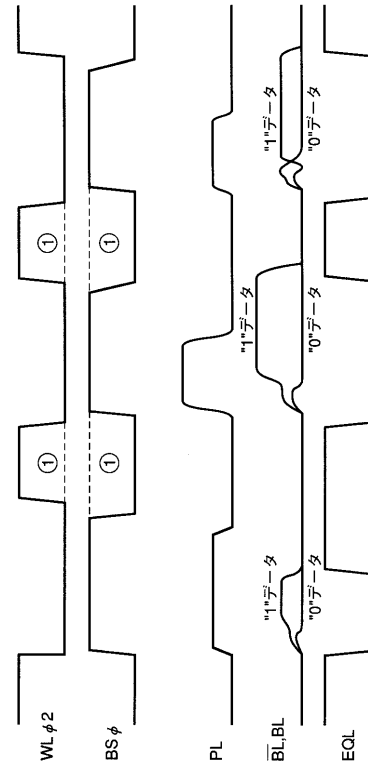
【図 22】



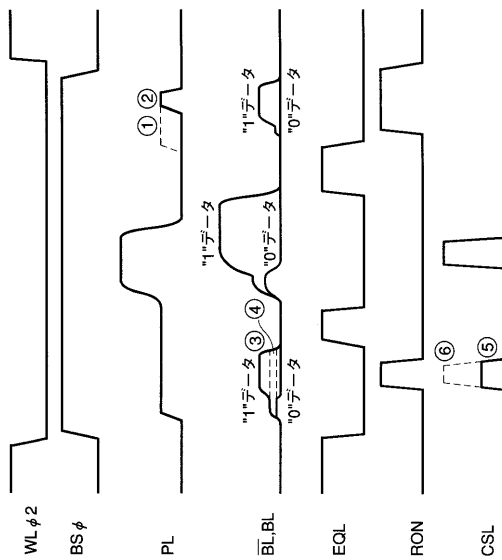
【図 2 3】



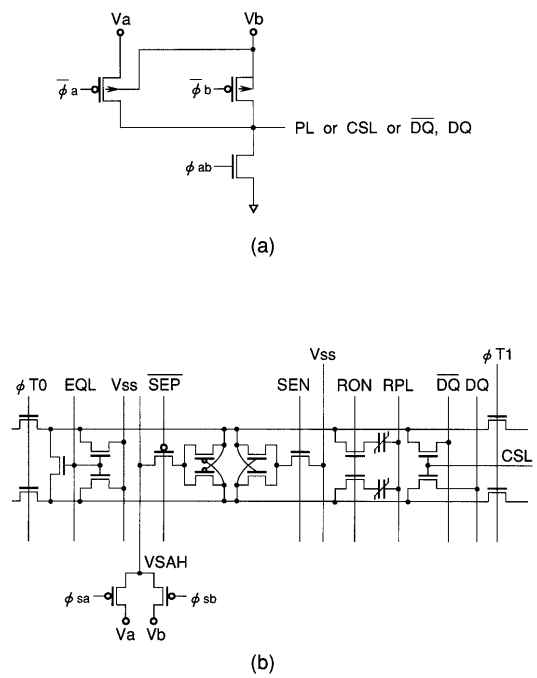
【図 2 4】



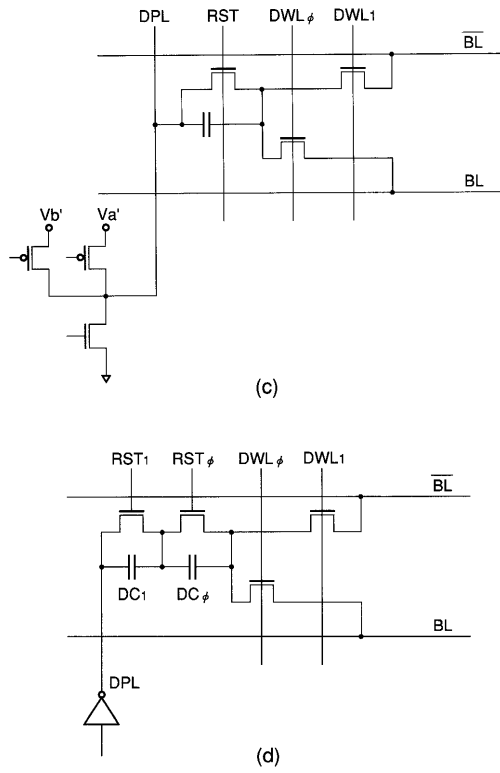
【図 2 5】



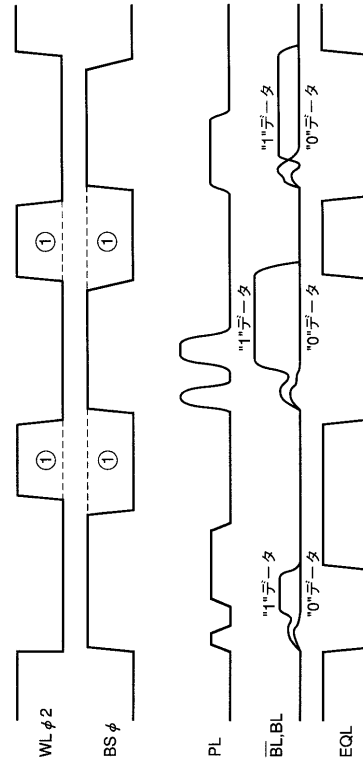
【図 2 6】



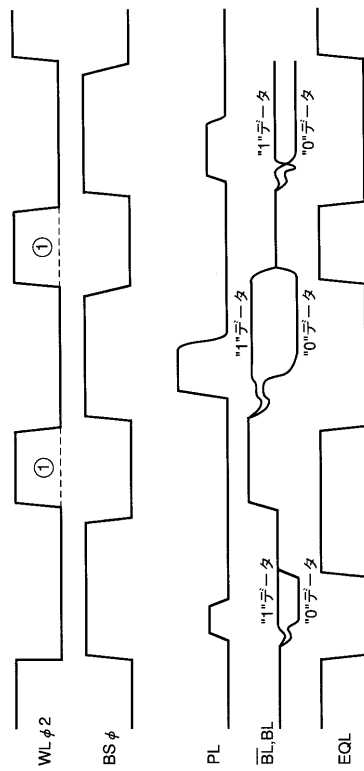
【図 27】



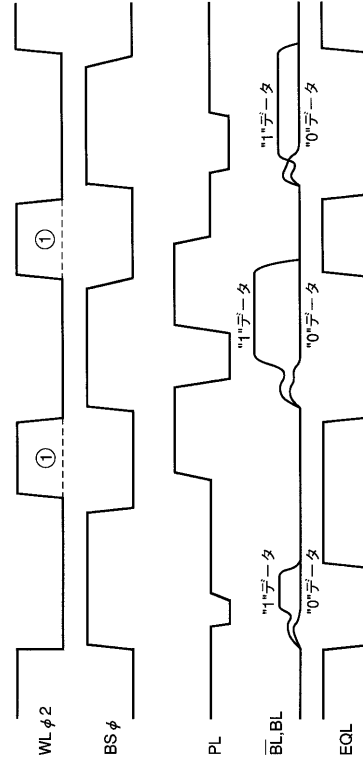
【図 28】



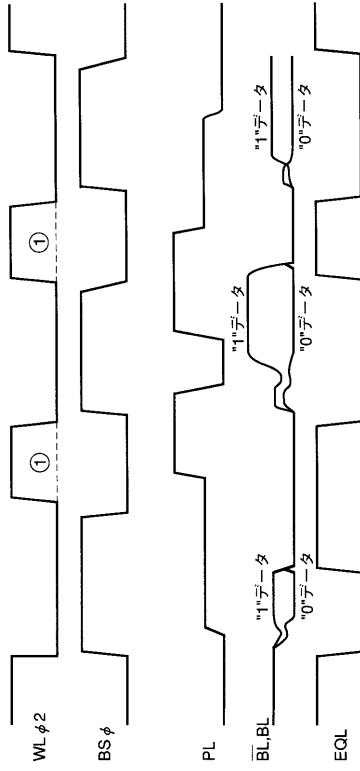
【図 29】



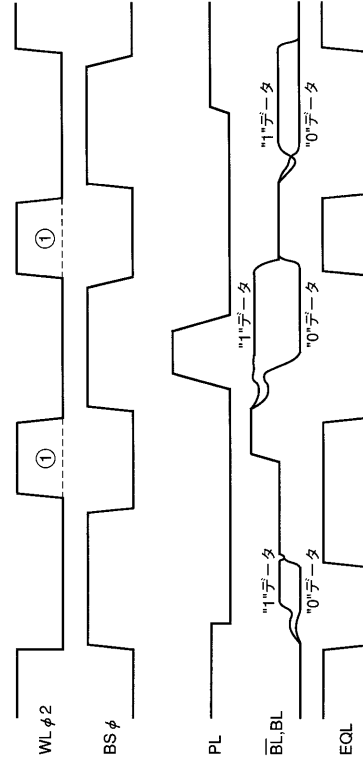
【図 30】



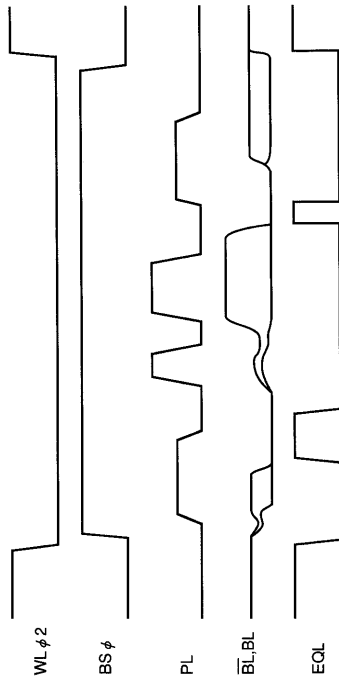
【図 3 1】



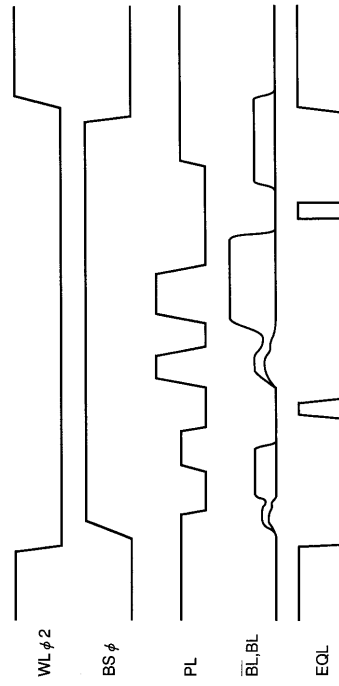
【図 3 2】



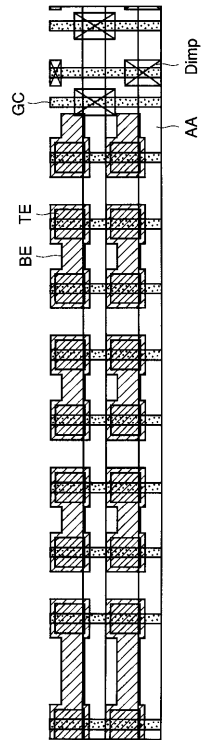
【図 3 3】



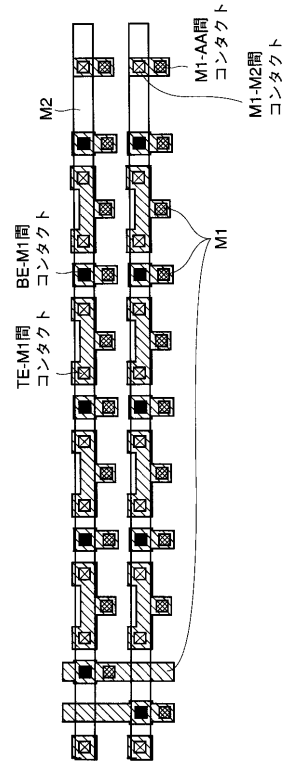
【図 3 4】



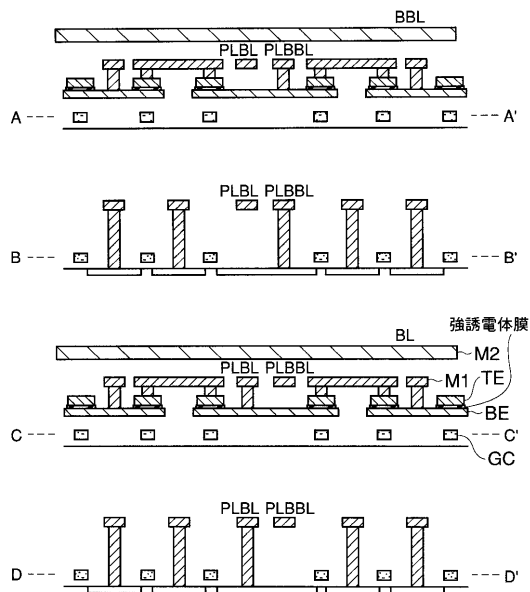
【図 39】



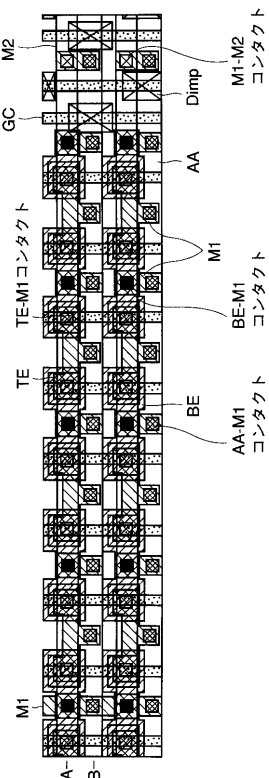
【図 40】



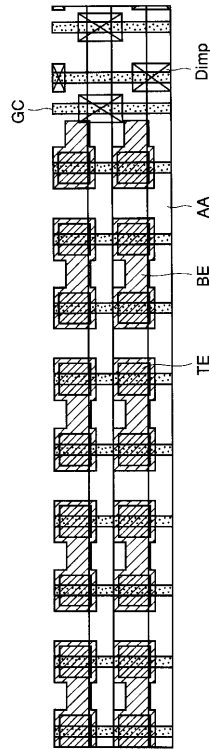
【図 41】



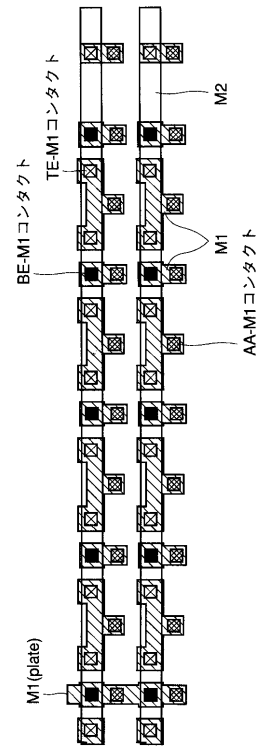
【図 42】



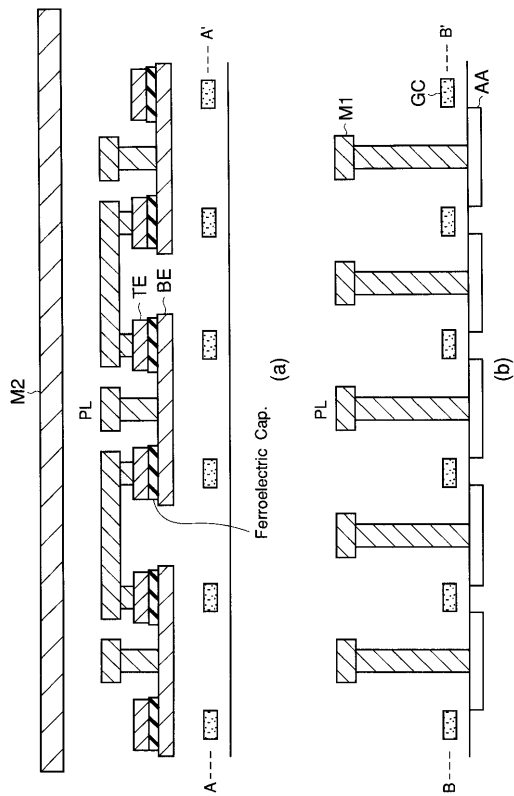
【図 4 3】



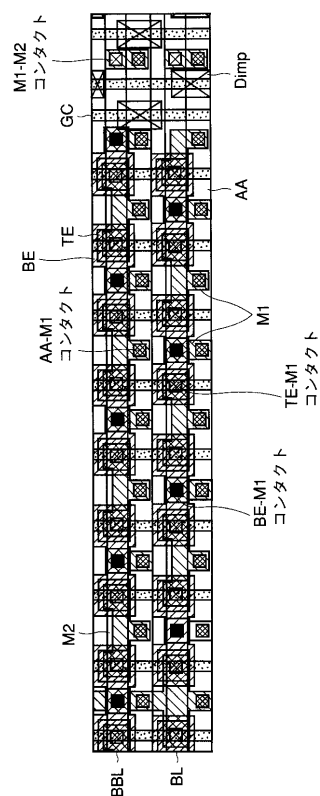
【図 4 4】



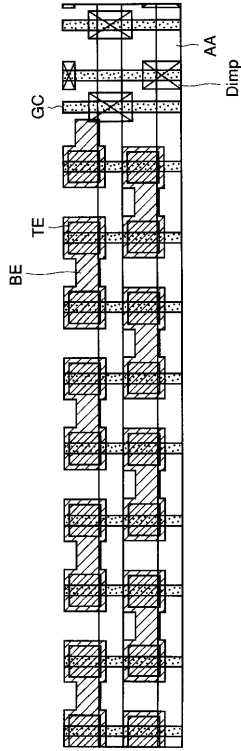
【図 4 5】



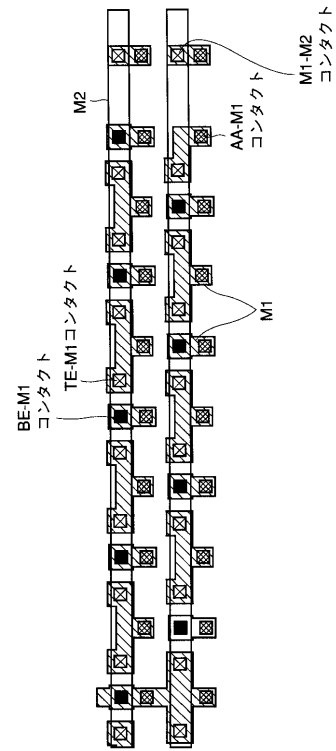
【図 4 6】



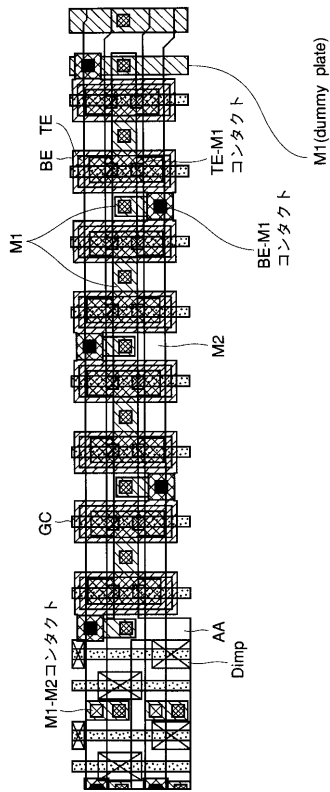
【図 47】



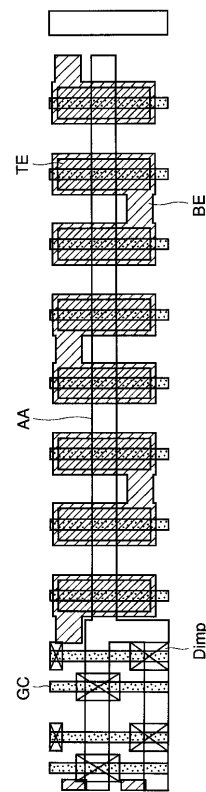
【図 48】



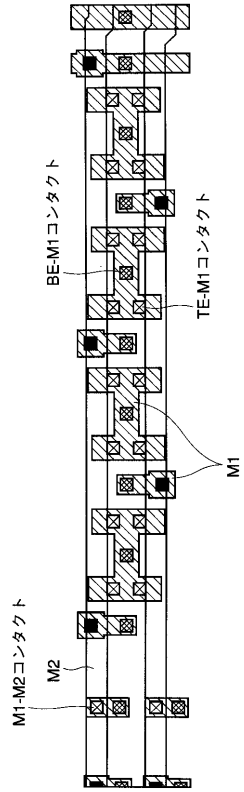
【図 49】



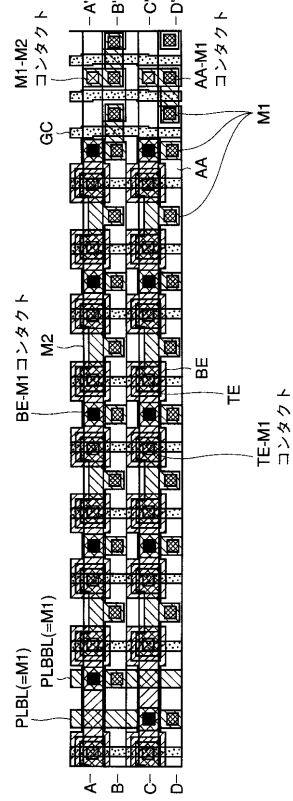
【図 50】



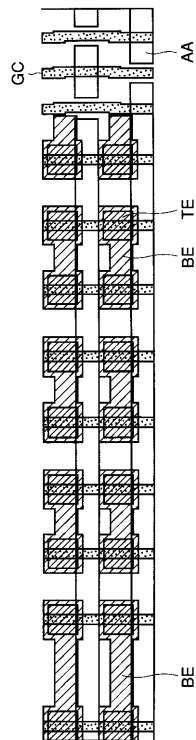
【図 5 1】



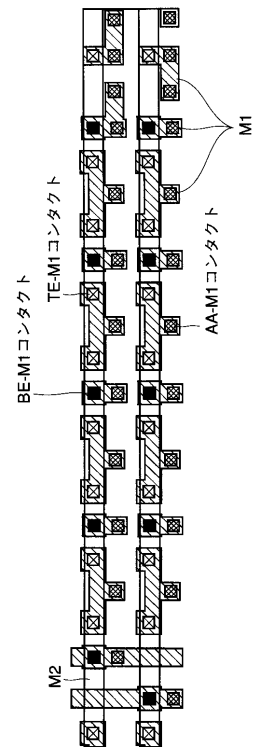
【図 5 2】



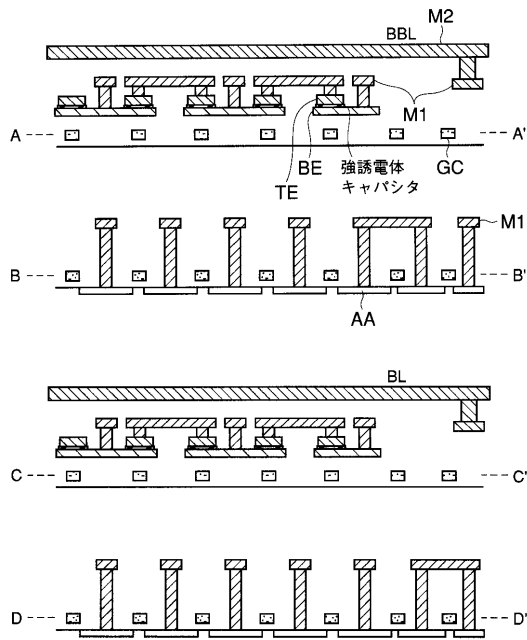
【図 5 3】



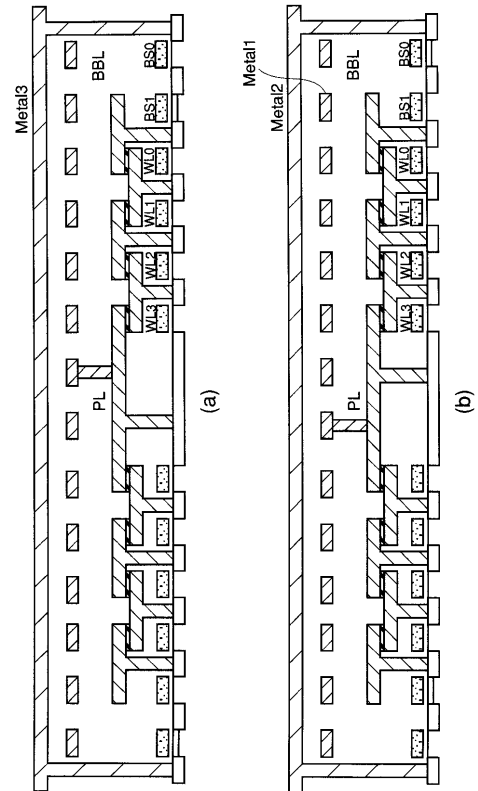
【図 5 4】



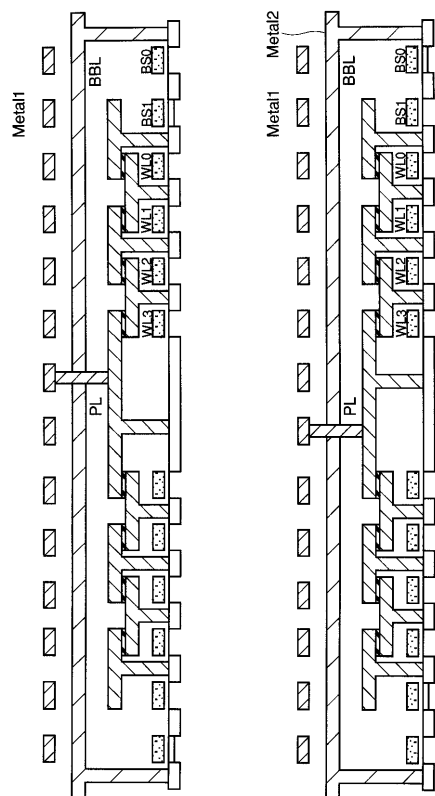
【図 5 5】



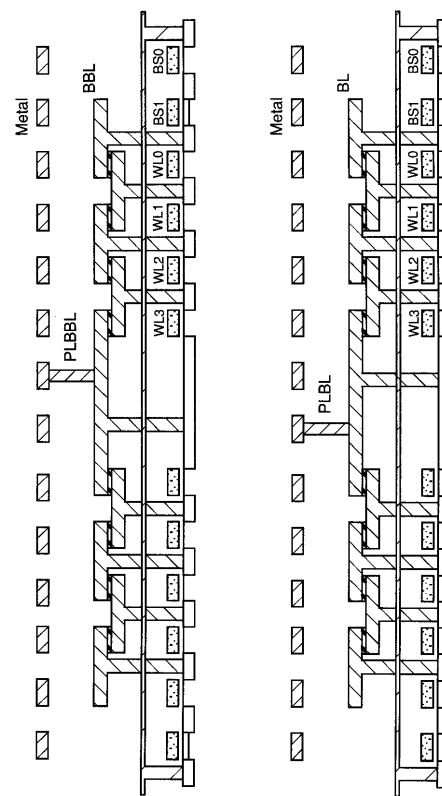
【図 5 6】



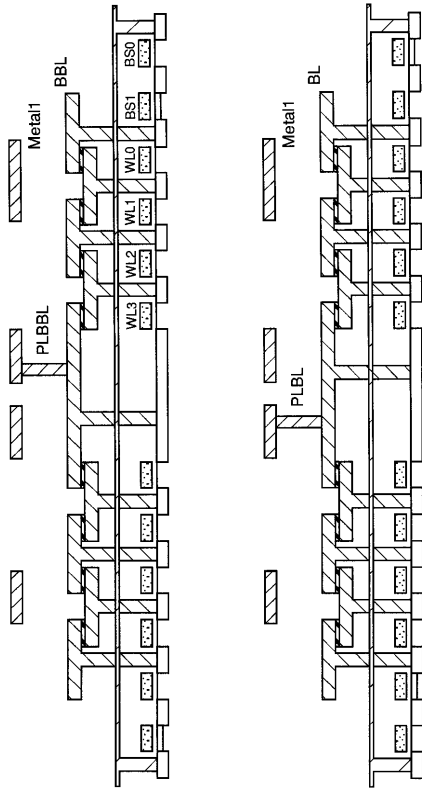
【図 5 7】



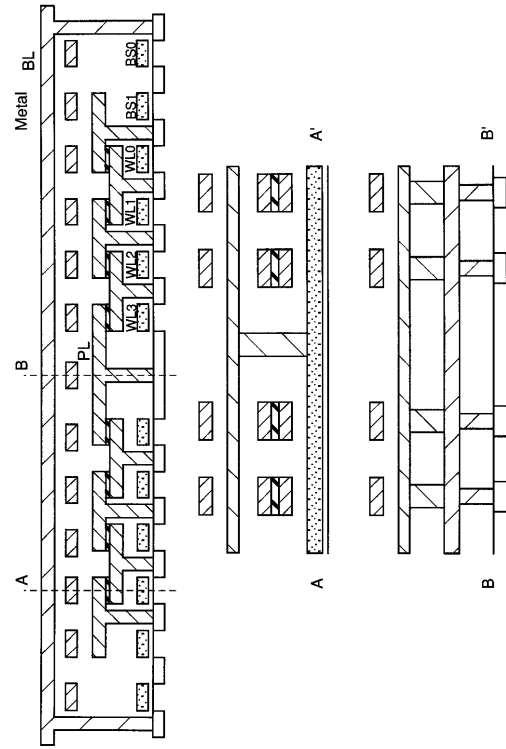
【図 5 8】



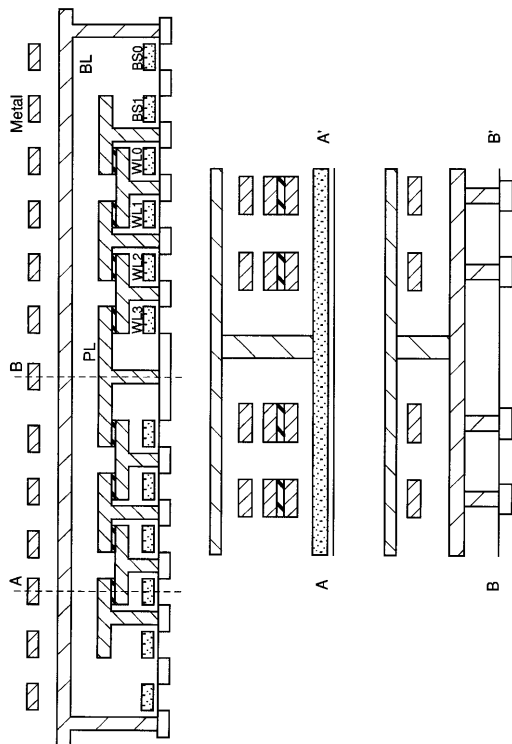
【 図 5 9 】



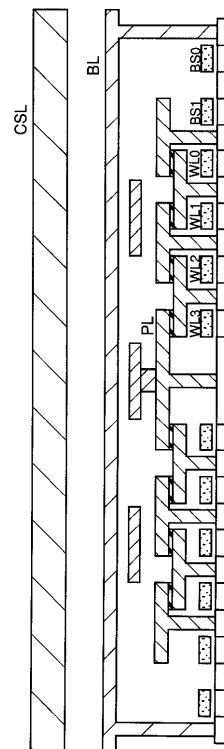
【 図 6 0 】



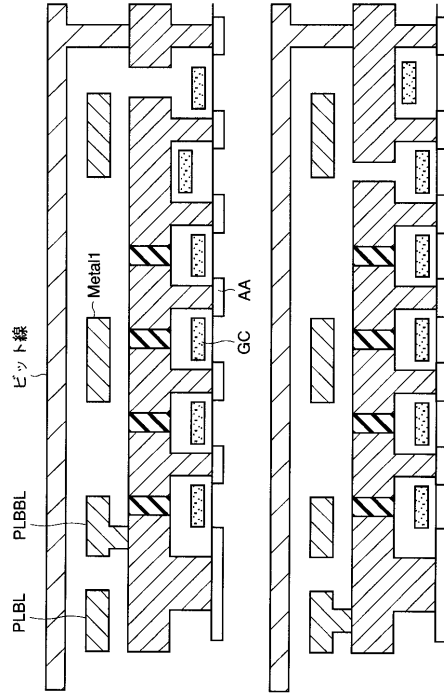
【 図 6 1 】



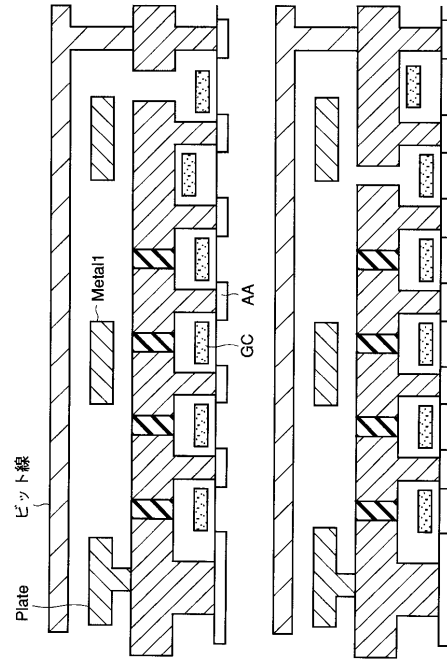
【 図 6 2 】



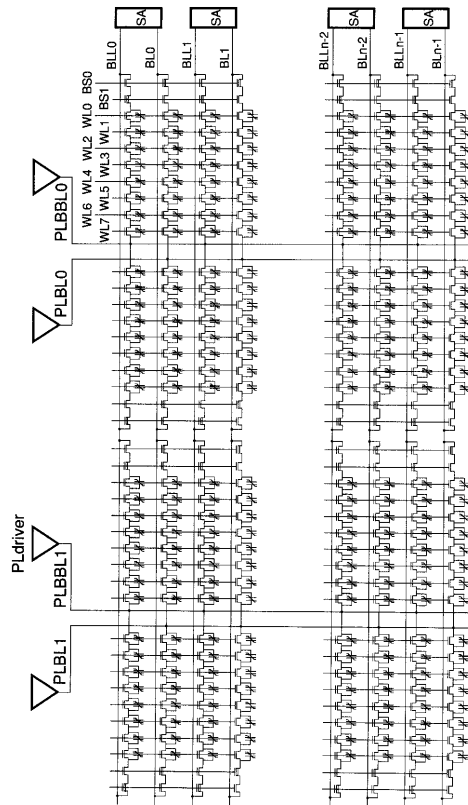
【図 67】



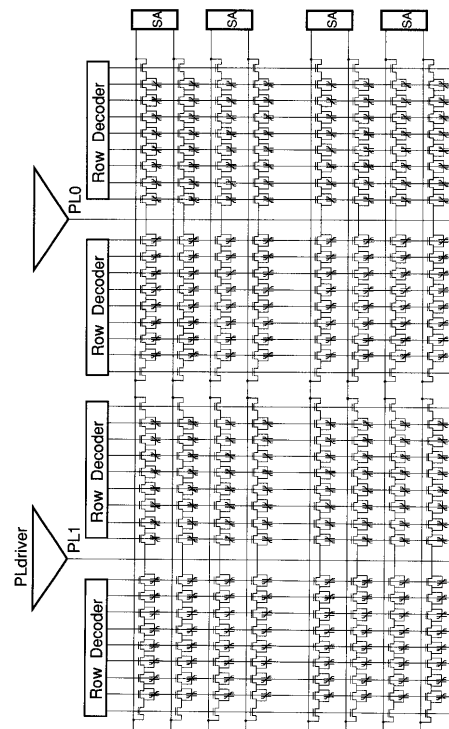
【図 68】



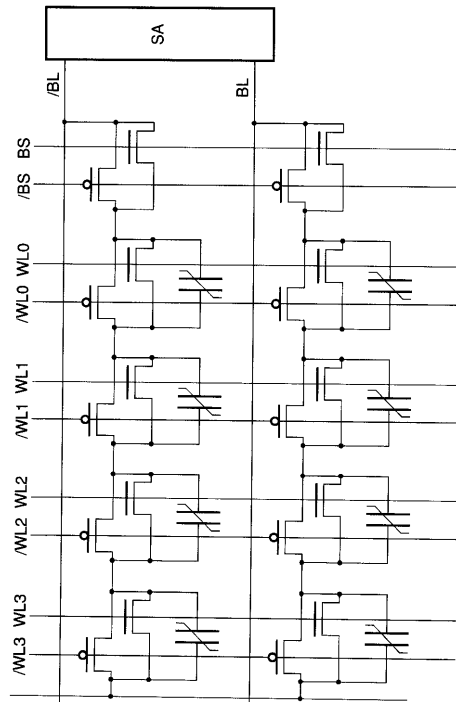
【図 69】



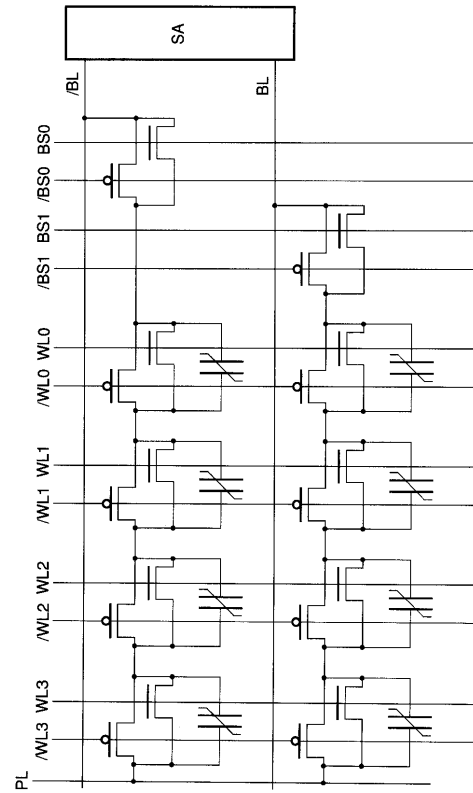
【図 70】



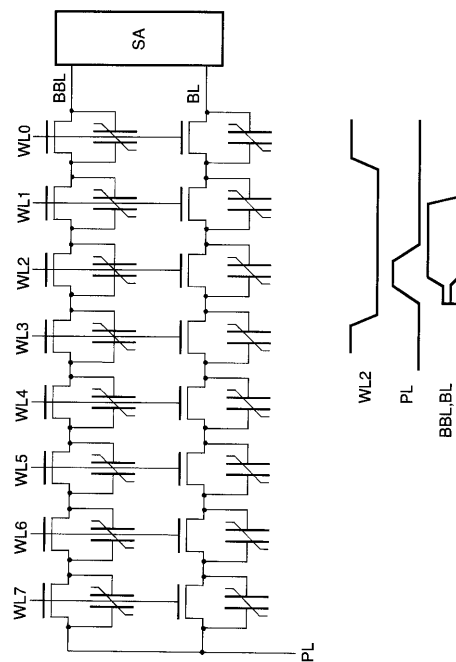
【図 7 1】



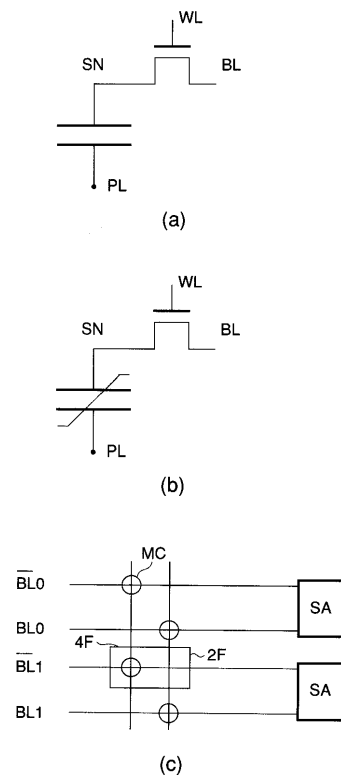
【図 7 2】



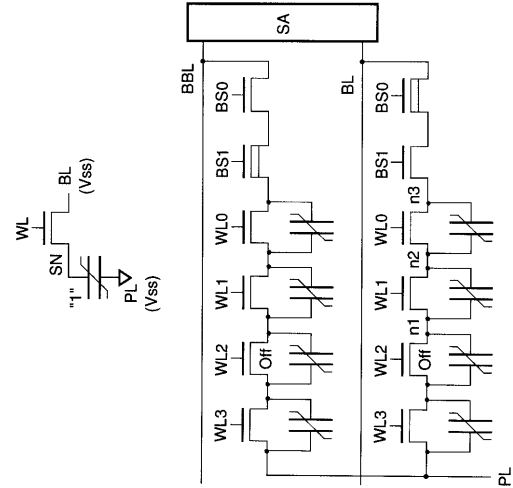
【図 7 3】



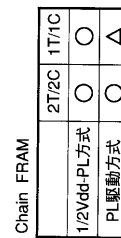
【図 7 4】



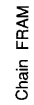
【 図 8 0 】



	2T/2C	1T/1C
1/2Vdd-PL方式	×	×
PL駆動方式	○	○



Chain FRAM



(c)

フロントページの続き

(72)発明者 高島 大三郎

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

審査官 栗野 正明

- (56)参考文献 特開平01-235278(JP,A)
特開平04-071269(JP,A)
特開平06-209113(JP,A)
特開平08-273374(JP,A)
特開平09-180466(JP,A)
特開平03-293775(JP,A)
特開平09-321237(JP,A)
特開平09-097883(JP,A)
特開平09-148537(JP,A)
特開平10-255483(JP,A)
特開平03-040298(JP,A)
特開平01-133291(JP,A)
特開平04-212780(JP,A)
特開平05-136377(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8246

G11C 11/22

H01L 27/105