(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 102692599 A
(43)申请公布日 2012.09.26

(21)申请号 201110415674.4

(22)申请日 2011.12.13

(30)优先权数据
61/467,411 2011.03.25 US
13/216,336 2011.08.24 US

(71)申请人 LSI 公司
地址 美国加利福尼亚

(72)发明人 R·C·泰库玛拉 P·库玛
P·克里施纳莫斯 P·迈德哈尼

(74)专利代理机构 中国国际贸易促进委员会专利商标事务所 11038
代理人 陈华成

(51)Int.Cl.
G01R 31/3185(2006.01)

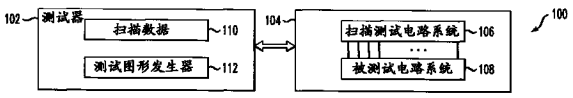
权利要求书 2 页 说明书 7 页 附图 4 页

(54)发明名称

用于集成电路测试的低功率且面积优化的扫描单元

(57)摘要

本发明涉及用于集成电路测试的低功率且面积优化的扫描单元。一种集成电路包括扫描测试电路系统以及使用该扫描测试电路系统来进行测试的附加电路系统。扫描测试电路系统包括具有多个扫描单元的至少一条扫描链，该扫描链被配置成在扫描移位操作模式中作为串行移位寄存器来操作，以及在功能操作模式中捕获来自附加电路系统的至少一部分的功能数据。至少扫描链的扫描单元中的给定的扫描单元包括配置成在扫描移位操作模式中禁用扫描单元的功能数据输出以及在功能操作模式中禁用扫描单元的扫描输出的输出控制电路系统。



CN 102692599 A

1. 一种集成电路，包括：

扫描测试电路系统；以及

利用所述扫描测试电路系统进行测试的附加电路系统；

所述扫描测试电路系统包括具有多个扫描单元的至少一条扫描链，所述扫描链被配置成在扫描移位操作模式中作为串行移位寄存器来操作，以及在功能操作模式中捕获来自至少所述附加电路系统的一部分的功能数据；

其中至少所述扫描链中的给定的扫描单元包括配置成在所述扫描移位操作模式中禁用所述扫描单元的功能数据输出以及在所述功能操作模式中禁用所述扫描单元的扫描输出的输出控制电路系统。

2. 根据权利要求 1 所述的集成电路，其中所述给定的扫描单元还包括：

功能数据输入；

扫描输入；

扫描使能输入；

复用器，具有与所述功能数据输入耦接的第一输入，与所述扫描输入耦接的第二输入，以及与所述扫描使能输入耦接的选择线；以及

触发器，具有与所述复用器的输出耦接的输入；

所述输出控制电路系统耦接于所述触发器的输出与所述扫描单元的所述功能数据输出和扫描输出之间。

3. 根据权利要求 1 所述的集成电路，其中所述输出控制电路系统可操作用于响应于扫描使能信号处于第一二值逻辑电平而禁用所述扫描单元的所述功能数据输出并启用所述扫描单元的所述扫描输出，以及响应于所述扫描使能信号处于第二二值逻辑电平而禁用所述扫描单元的所述扫描输出并启用所述扫描单元的所述功能数据输出。

4. 根据权利要求 2 所述的集成电路，其中所述输出控制电路系统包括：

第一三态缓冲器，耦接于所述触发器的输出与所述扫描单元的所述功能数据输出之间；以及

第二三态缓冲器，耦接于所述触发器的输出与所述扫描单元的所述扫描输出之间；

其中扫描使能信号被施加于所述第一三态缓冲器和所述第二三态缓冲器中的一个的控制输入，并且所述扫描使能信号的互补版本被施加于所述第一三态缓冲器和所述第二三态缓冲器中的另一个的控制输入。

5. 根据权利要求 2 所述的集成电路，其中所述输出控制电路系统包括：

第一 PMOS 晶体管，其栅极耦接至所述扫描使能输入，其源极耦接至所述触发器的输出，以及其漏极耦接至所述扫描单元的所述功能数据输出；

第一 NMOS 晶体管，其栅极耦接至所述扫描使能输入，其漏极耦接至高电源电位，以及其源极耦接至所述扫描单元的所述功能数据输出；

第二 PMOS 晶体管，其栅极耦接至所述扫描使能输入，其源极耦接至所述扫描单元的所述扫描输出，以及其漏极耦接至低电源电位；以及

第二 NMOS 晶体管，其栅极耦接至所述扫描使能输入，其源极耦接至所述扫描单元的所述扫描输出，以及其漏极耦接至所述触发器的输出。

6. 根据权利要求 5 所述的集成电路，其中响应于施加于所述扫描单元的所述扫描使

能输入的扫描使能信号处于逻辑高电平，所述第一和第二 PMOS 晶体管被关断并且所述第一和第二 NMOS 晶体管被导通，使得所述扫描单元的所述功能数据输出通过经由所述第一 PMOS 晶体管与所述触发器的输出断开连接而禁用，以及所述扫描单元的所述扫描输出通过经由所述第二 NMOS 晶体管与所述触发器的输出连接而启用。

7. 根据权利要求 5 所述的集成电路，其中响应于施加于所述扫描单元的所述扫描使能输入的扫描使能信号处于逻辑低电平，所述第一和第二 PMOS 晶体管被导通并且所述第一和第二 NMOS 晶体管被关断，使得所述扫描单元的所述功能数据输出通过经由所述第一 PMOS 晶体管与所述触发器的输出连接而启用，以及所述扫描单元的所述扫描输出通过经由所述第二 NMOS 晶体管与所述触发器的输出断开连接而禁用。

8. 根据权利要求 2 所述的集成电路，其中所述输出控制电路系统包括逻辑门，所述逻辑门具有与所述触发器的输出耦接的第一输入，与所述扫描单元的所述扫描使能输入耦接的第二输入，与所述扫描单元的所述功能数据输出耦接的第一输出以及与所述扫描单元的所述扫描输出耦接的第二输出。

9. 一种扫描测试集成电路的方法，包括：

提供包括具有多个扫描单元的至少一条扫描链的扫描测试电路系统，所述扫描链被配置成在扫描移位操作模式中作为串行移位寄存器来操作，以及在功能操作模式中捕获来自至少所述集成电路的附加电路系统的一部分的功能数据；

在所述扫描移位操作模式中禁用至少所述扫描单元中的给定的扫描单元的功能数据输出；以及

在所述功能操作模式中禁用所述给定的扫描单元的扫描输出。

10. 一种处理系统，包括：

处理器；以及

存储器，与所述处理器耦接并且被配置成存储表征集成电路设计的信息；

其中所述处理系统被配置成在所述集成电路设计中提供包括具有多个扫描单元的至少一条扫描链的扫描测试电路系统，所述扫描链被配置成在扫描移位操作模式中作为串行移位寄存器来操作，以及在功能操作模式中捕获来自至少所述集成电路的附加电路系统的一部分的功能数据；

其中至少所述扫描链中的给定的扫描单元包括配置成在所述扫描移位操作模式中禁用所述扫描单元的功能数据输出以及在所述功能操作模式中禁用所述扫描单元的扫描输出的输出控制电路系统。

用于集成电路测试的低功率且面积优化的扫描单元

[0001] 优先权声明

[0002] 本申请要求在 2011 年 3 月 25 日提交的、题目为“Low Power Flip-Flop Design”的美国临时专利申请系列号 No.61/467,411 的优先权，其内容通过引用包含于此。

技术领域

[0003] 本发明总体上涉及集成电路测试，并且更具体地，涉及使用扫描测试电路系统的集成电路测试。

背景技术

[0004] 集成电路通常被设计为包含便于对各种内部故障状态进行测试的扫描测试电路系统。该扫描测试电路系统典型地包括扫描链，该扫描链是用来形成串行移位寄存器的触发器链，所述串行移位寄存器用于将在输入处的测试图形施加于集成电路的组合逻辑以及用于读出对应的结果。扫描链的触发器中的给定触发器可以被看作在此更一般地称为“扫描单元”的电路的实例。

[0005] 在一种示例性的布置中，具有扫描测试电路系统的集成电路可以具有扫描移位操作模式以及功能操作模式。可以使用标记来指示集成电路是处于扫描移位模式还是处于功能模式。在扫描移位模式中，扫描链的触发器被配置为串行移位寄存器。测试图形然后被移位到由扫描链的触发器形成的串行移位寄存器中。一旦所期望的测试图形被移入，扫描移位模式就被禁用，并且集成电路被置于其功能模式中。在该功能操作模式期间出现的内部的组合逻辑结果然后由扫描触发器链来捕获。集成电路然后被再次置于其扫描移位操作模式中，以便随着新的测试图形被扫描进来，允许所捕获的组合逻辑结果被移出由扫描触发器所形成的串行移位寄存器。该过程被重复，直到所有期望的测试图形都已经被施加于该集成电路。

[0006] 随着集成电路变得越来越复杂，已经研发出减少在测试给定集成电路时需要施加的测试图形的数量并且因此还减少了所需的测试时间的扫描压缩技术。关于压缩扫描测试的更多细节被公开于题目为“Testing a Circuit with Compressed Scan Subsets”的美国专利 No.7,831,876 中，该专利与本申请共同受让，并通过引用包含于此。

[0007] 毋庸置疑，仍需要进一步改进扫描测试电路系统。例如，与扫描链的实现相关的功率以及面积要求的显著降低将是非常希望的。

发明内容

[0008] 本发明的示例性实施例提供了用于集成电路的扫描测试的改进的电路系统和技术。例如，在一种或多种此类实施例中，集成电路的扫描测试电路系统被配置为包括含有低功率且面积优化的扫描单元的至少一条扫描链。通过消除否则会在扫描移位和功能操作模式中发生于集成电路中由扫描单元的对应的扫描和功能数据输出所驱动的部分中的不必要的逻辑转换，将扫描单元有利地配置成为集成电路在扫描移位和功能操作模式中提供降

低的功率消耗。这可以在扫描单元自身的功率消耗或面积要求没有任何实质性增加的情况下在一种或多种示例性的实施例中实现，从而提供集成电路的功率消耗和面积要求的总体减少。

[0009] 在一个方面，集成电路包括扫描测试电路系统以及利用该扫描测试电路系统进行测试的附加电路系统。扫描测试电路系统包括至少一条具有多个扫描单元的扫描链，该扫描链被配置成在扫描移位操作模式中作为串行移位寄存器来操作，以及在功能操作模式中捕获来自至少附加电路系统的一部分的功能数据。至少扫描链中的给定的扫描单元包括配置成在扫描移位操作模式中禁用扫描单元的功能数据输出、并且在功能操作模式中禁用扫描单元的扫描输出的输出控制电路系统。

[0010] 在另一方面，扫描单元可配置成使得多个其他的扫描单元进入具有扫描移位操作模式和功能操作模式的扫描链。扫描单元包括配置成在扫描移位操作模式中禁用扫描单元的功能数据输出以及在功能操作模式中禁用扫描单元的扫描输出的输出控制电路系统。

[0011] 在一种或多种示例性的实施例中所给出的扫描单元，除了其功能数据输出以及其扫描输出之外，还可以包括功能数据输入、扫描输入、扫描使能输入、复用器和触发器。复用器具有与功能数据输入耦接的第一输入、与扫描输入耦接的第二输入以及与扫描使能输入耦接的选择线，并且触发器具有与复用器的输出耦接的输入。输出控制电路系统耦接于触发器的输出与扫描单元的功能数据及扫描输出之间。

[0012] 这样的扫描单元配置消除了否则会发生于集成电路中在功能操作模式下由扫描单元的扫描输出或者在扫描移位操作模式下由扫描单元的功能数据输出所驱动的那些部分中的不必要的逻辑转换。如上文所提及的，该优点是在没有显著增加扫描单元自身的功率或面积要求的情况下实现的。例如，扫描单元不需要附加的触发器或信号端口，也没有显示出显著的附加的时序依赖性。

附图说明

[0013] 图 1 是示出在一种示例性的实施例中的包括测试器和被测试的集成电路的集成电路测试系统的框图。

[0014] 图 2 示出了扫描链可以布置于图 1 的集成电路中的组合逻辑之间的方式的一个实例。

[0015] 图 3 是示出图 2 的扫描单元中的一个给定扫描单元的一种可能的实现方式的示意图。

[0016] 图 4 是示出图 2 的扫描单元中的一个给定扫描单元的另一种可能的实现方式的示意图。

[0017] 图 5 示出了使用与非门的图 4 的扫描单元的基本上等效的电路。

[0018] 图 6 示出了图 1 的测试系统的一种可能的实现方式。

[0019] 图 7 是用于生成包括一条或多条各自具有一个或多个图 3-5 所示类型的扫描单元的扫描链的集成电路设计的处理系统的框图。

具体实施方式

[0020] 本发明在此将结合示例性的测试系统以及对应的集成电路来说明，所述集成电路

包括用于支持这些集成电路的其他内部电路系统的扫描测试的扫描测试电路系统。但是，应当理解，本发明更一般地可应用于任何测试系统或者其中希望在针对扫描测试的降低的功率消耗和面积要求方面提供改进的性能的相关的集成电路。

[0021] 图 1 示出了包括测试器 102 和被测试的集成电路 104 的测试系统 100。集成电路 104 包括与附加的内部电路系统 108 耦接的扫描测试电路系统 106，该内部电路系统 108 使用扫描测试电路系统 106 进行测试。测试器 102 存储与集成电路的扫描测试关联的扫描数据 110。该扫描数据可以对应于由测试图形发生器 112 所提供的测试图形。在其他实施例中，测试器 102 的至少一部分，例如测试图形发生器 112，可以并入集成电路 104 中。

[0022] 如图 1 所示的测试系统 100 的特定配置只是示例性的，并且在其他实施例中的测试系统 100 可以包括除特别示出的那些元件之外的或者代替那些元件的其他元件，包括类型通常可在此类系统的常规实现方式见到的一个或多个元件。例如，举例来说但非限定性地，系统 100 的各种元件可以使用微处理器、中央处理单元 (CPU)、数字信号处理器 (DSP)、专用集成电路 (ASIC)、现场可编程门阵列 (FPGA) 或其他类型的数据处理器件，以及这些器件或其他器件的某些部分或组合来实现。

[0023] 本发明的实施例可以配置成使用压缩或非压缩的扫描测试，并且本发明对此不作限定。但是，诸如图 2 所示的实施例之类的某些实施例将主要在压缩扫描测试的情况下进行描述。

[0024] 现在参照图 2，图中更详细地示出了集成电路 104 的一种可能的配置的一些部分。在该压缩扫描测试布置中，扫描测试电路系统 106 包括解压器 (decompressor)200、压缩器 202 以及多条扫描链 204-k，其中 k = 1，2，...K。每条扫描链 204 包括多个扫描单元 206，并且可配置成在集成电路 104 的扫描移位操作模式中作为串行移位寄存器来操作以及在集成电路 104 的功能操作模式中捕获来自被测试的电路系统 207 的功能数据。第一扫描链 204-1 的长度为 n_1，因此包括 n_1 个扫描单元，标记为 206-1 到 206-n_1。更一般地，扫描链 204-k 的长度为 n_k，因此包括总共 n_k 个扫描单元。在该实施例中的被测试电路系统 207 包括多个组合逻辑块，在这些组合逻辑块中示出了示例块 208、210 和 212。组合逻辑块被说明性地布置于主输入 214 与主输出 216 之间，并且通过扫描链 204 使其彼此分离。

[0025] 组合逻辑块 (例如，208、210 和 212) 可以被看作在此更一般地称为“附加电路系统”的电路的实例，该“附加电路系统”使用本发明的实施例中的扫描测试电路系统进行测试。举例来说，此类块可以代表不同的集成电路内核 (integrated circuit core) 的某些部分，例如，在硬盘驱动器 (HDD) 控制器应用中的片上系统 (SOC) 集成电路的各个读通道和附加的内核。

[0026] 解压器 200 接收来自测试器 102 的压缩扫描数据并且解压缩该扫描数据，以在扫描链 204 被配置为扫描移位操作模式中的相应串行移位寄存器时生成被移入扫描链 204 中的扫描测试输入数据。压缩器 202 同样在扫描链 204 被配置为扫描移位操作模式中的相应串行移位寄存器时接收被移出扫描链 204 的扫描测试输出数据，并且压缩该扫描测试输出数据以将其传递回到测试器 102。关于扫描压缩元件 (例如，解压器 200 和压缩器 202) 的操作的更多细节可以参见以上所引用的美国专利 No.7,831,876。再者，在其他实施例中可以去除扫描压缩元件 (例如，解压器 200 和压缩器 202)。

[0027] 在图 2 的说明性实施例中的扫描单元 206 被有利地配置为低功率且面积优化的扫

描单元，该扫描单元能够在扫描移位操作模式中可控地禁用它们的功能数据输出，以及在功能操作模式中可控地禁用它们的扫描输出。通过消除否则会在这些模式中发生在集成电路 104 中由扫描单元的对应的扫描和功能数据输出所驱动的部分中的不必要的逻辑转换，该布置为集成电路 104 在扫描移位模式和功能操作模式中提供了降低的功率消耗。显然，这种所希望的功能是在没有显著增加扫描单元自身的功率或面积要求的情况下实现的。例如，扫描单元 206 不需要附加的触发器或信号端口来实现可控制的输出禁用功能，它们也没有由于该功能而显示出显著的附加的时序依赖性。

[0028] 图 3 示出了在说明性的实施例中一个给定扫描单元 206-i。在该实施例中的扫描单元包括复用器 300、触发器 302、第一和第二三态缓冲器 304-1 和 304-2，以及反相器 305。扫描单元 206-i 具有功能数据输入 (D)、扫描输入 (SI)、扫描使能输入 (SE)、功能数据输出 (Q)、扫描输出 (SO)、复位输入 (RST) 和时钟输入 (CLK)。扫描单元的复位和时钟输入与触发器 302 的对应输入耦接。触发器 302 同样具有标记为 D 的数据输入以及标记为 Q 的数据输出，但它们应当与扫描单元自身的对应的功能数据输入 D 和功能数据输出 Q 相区分。

[0029] 复用器 300 具有与扫描单元的功能数据输入 D 耦接的第一输入 310、与扫描单元的扫描输入 SI 耦接的第二输入 312，以及与扫描单元的扫描使能输入 SE 耦接的选择线 314。作为说明，触发器 302 在本实施例中是可复位的 D 型触发器，但在其他实施例中可以使用其他类型的触发器。触发器 302 的数据输入 D 与复用器 300 的输出 315 耦接。触发器 302 的数据输出 Q 与相应的三态缓冲器 304-1 和 304-2 的输入耦接。

[0030] 第一和第二三态缓冲器 304-1 和 304-2 以及反相器 305 可以被共同看作在此更一般地称为扫描单元的“输出控制电路系统”的电路的实例。该输出控制电路系统通常被配置成在扫描移位操作模式中禁用扫描单元 206-i 的功能数据输出 Q，以及在功能操作模式中禁用扫描单元 206-i 的扫描输出 SO。术语“禁用”在本文中要作广泛的解释，并且将一般地覆盖其中在某些条件下代替性地防止否则会在对应的输出中出现的逻辑电平转换的布置。

[0031] 在该实施例中将假定，施加于扫描单元的扫描使能输入 SE 的扫描使能信号在集成电路 104 处于扫描移位操作模式中时处于逻辑“1”的电平，而在集成电路 104 处于功能操作模式中时处于逻辑“0”的电平。在其他实施例中可以使用其他类型的操作模式和扫描使能信号以及操作模式和扫描使能信号的组合。

[0032] 在该实施例中的输出控制电路系统耦接于触发器 302 的数据输出 Q 与扫描单元的功能数据及扫描输出 Q 和 SO 之间，并且操作性地响应于施加给扫描单元的扫描使能输入 SE 的扫描使能信号。更具体地，输出控制电路系统可操作用于响应于扫描使能信号处于第一二值逻辑电平（在该实施例中为逻辑“1”的电平）而禁用扫描单元的功能数据输出 Q 并启用扫描单元的扫描输出 SO，以及响应于扫描使能信号处于第二二值逻辑电平（在该实施例中为逻辑“0”的电平）而禁用扫描单元的扫描输出 SO 并启用扫描单元的功能数据输出 Q。

[0033] 为了实现该功能，将扫描使能信号施加于第二三态缓冲器 304-2 的控制输入，并且将由反相器 305 根据扫描使能信号生成的扫描使能信号的互补版本 (complemented version) 施加于第一三态缓冲器 304-1 的控制输入。结果，在功能模式中，扫描单元的扫描输出 SO 是三态的，由此防止功能转换传播到集成电路中由扫描输出 SO 所驱动的部分中。类似地，在扫描移位操作模式中，扫描单元的功能数据输出 Q 是三态的，由此防止扫描转换

传播到集成电路中由功能数据输出所驱动的部分中。

[0034] 虽然在图 3 中仅示出了单个扫描单元 206-i，但是可以假定，在图 2 的扫描测试电路系统中的扫描链 204 的其他扫描单元 206 各自以基本上相同的方式来配置。作为选择，不同类型的扫描单元可以用于不同的扫描链中，或者用于同一扫描链中。

[0035] 如上所指出，按图 3 所示的方式配置的扫描单元 206-i 的优点在于它消除了否则会在扫描移位操作模式和功能操作模式中在被测试电路系统 207 中由扫描单元的对应的扫描和功能数据输出所驱动的部分中发生不必要的逻辑转换。此类转换能够在扫描移位操作中发生在集成电路中由扫描单元的 Q 输出所驱动的部分中，以及在功能操作模式中发生在集成电路中由扫描单元的 SO 输出所驱动的部分中。因而，该扫描单元配置降低了集成电路 104 在扫描移位和功能操作模式中的功率消耗，且没有过度地增加为实现扫描单元所需的电路面积或者扫描测试电路系统的时序复杂性。

[0036] 图 3 所示的那种类型的扫描单元可以通过修改来自集成电路设计库中的标准扫描单元而生成，以结合采用围绕标准单元的覆盖物 (wrapper) 的形式的输出控制电路系统。这能够在不需要修改标准单元的任何内部信号或时序特征的情况下，并且在没有对标准单元增加端口、额外的触发器或其他内部电路系统的情况下实现。容纳输出控制电路系统所需的附加的电路面积是最小化的。

[0037] 应当指出，在其他的实施例中可以使用其他类型的扫描单元和输出控制电路系统。图 4 示出了根据本发明的另一种说明性实施例来配置的扫描单元 206-i 的实例。在该实施例中，扫描单元包括复用器 300 和触发器 302，并且具有与图 3 的实施例相同的输入和输出。但是，在该实施例中，输出控制电路系统包括第一对 MOS 门 400 和第二对 MOS 门 402。

[0038] 第一对 MOS 门 400 更具体地包括第一 PMOS 晶体管 P1 和第一 NMOS 晶体管 N1，该第一 PMOS 晶体管 P1 的栅极耦接至扫描单元的扫描使能输 SE，其源极耦接至触发器 302 的数据输出 Q，以及其漏极耦接至扫描单元的功能数据输出 Q，该第一 NMOS 晶体管 N1 的栅极耦接至扫描单元的扫描使能输入 SE，其漏极耦接至高电源电位 V_{DD}，以及其源极耦接至扫描单元的功能数据输出 Q。

[0039] 第二对 MOS 门 402 更具体地包括第 PMOS 晶体管 P2 和第二 NMOS 晶体管 N2，该第 PMOS 晶体管 P2 的栅极耦接至扫描单元的扫描使能输 SE，其源极耦接至扫描单元的扫描输出 SO，以及其漏极耦接至低电源电位（在该实施例中说明性地为地电位），该第 NMOS 晶体管 N2 的栅极耦接至扫描单元的扫描使能输入 SE，其源极耦接至扫描单元的扫描输出 SO，以及其漏极耦接至触发器的数据输出 Q。

[0040] 在该实施例中，当施加于扫描单元 206-i 的扫描使能输 SE 的扫描使能信号处于逻辑“1”的电平时，第一和第 PMOS 晶体管 P1 和 P2 被关断并且第一和第 NMOS 晶体管 N1 和 N2 被导通，使得扫描单元的功能数据输出 Q 通过经由第一 PMOS 晶体管 P1 与触发器输出 Q 断开连接而禁用，以及扫描单元的扫描输出 SO 通过经由第二 NMOS 晶体管 N2 与触发器输出 Q 连接而启用。当施加于扫描单元的扫描使能输入 SE 的扫描使能信号处于逻辑“0”的电平时，第一和第二 PMOS 晶体管 P1 和 P2 被导通并且第一和第二 NMOS 晶体管 N1 和 N2 被关断，使得扫描单元的功能数据输出 Q 通过经由第一 PMOS 晶体管 P1 与触发器输出 Q 连接而启用，以及扫描单元的扫描输出 SO 通过经由第二 NMOS 晶体管 N2 与触发器输出 Q 断开连接而禁用。

[0041] 还应当指出，图 4 的实施例所使用的 MOS 门的特定布置仅作为示例而给出，并且其他实施例可以使用不同的电路系统布置来实现所期望的功能。例如，可以配置类似的布置，在该布置中 NMOS 门被 PMOS 门代替，反之亦然，并适当调整信号极性。

[0042] 图 5 示出了与图 4 的实施例基本上等效的实现方式。在该实现方式中，输出控制电路系统包括逻辑门 500，该逻辑门 500 具有与触发器 202 的 Q 输出耦接的第一输入，与扫描单元的扫描使能输入 SE 耦接的第二输入，与扫描单元的功能数据输出 Q 耦接的第一输出以及与扫描单元的扫描输出 SO 耦接的第二输出。作为说明，逻辑门 500 在本实施例中为与非门，但在其他实施例中能够使用其他类型和布置的逻辑门。

[0043] 如上所提及的，低功率且面积优化的扫描单元（例如，图 3-5 所示出的那些扫描单元）能够在扫描移位操作模式和功能操作模式中显著地降低集成电路的功率消耗，而没有不利地影响扫描测试电路系统的信号发送和时序。现有的扫描触发器或其他类型的扫描单元能够容易地用低功率且面积优化的扫描单元来代替，而扫描测试功能没有任何改变。

[0044] 在图 1 的测试系统 100 中的测试器 102 不需要采用任何特定的形式。在图 6 中示出了一种可能的实例，在该实例中测试器 602 包括负载板 604，在该负载板 604 中将使用本文所公开的技术进行扫描测试的集成电路 605 被安装于负载板 604 的中心部分 606 中。测试器 602 还可以包括用于执行所存储的计算机代码的处理器和存储器元件，但此类元件没有明确示出于附图中。众多另选的测试器可以用来执行如在此所公开的集成电路的扫描测试。

[0045] 用于在集成电路设计的扫描测试电路系统中形成扫描链的扫描单元的插入可以在图 7 所示类型的处理系统 700 中执行。该处理系统被配置成用于设计诸如集成电路 104 那样的集成电路，以包括扫描测试电路系统 106。处理系统 700 包括与存储器 704 耦接的处理器 702。同样与处理器 702 耦接的是用于允许处理系统通过一种或多种网络与其他系统和装置通信的网络接口 706。因此，网络接口 706 可以包括一个或多个收发器。处理器 702 实现扫描模块 710，以便结合使用集成电路设计软件 716 按照在此所公开的方式以扫描单元 714 来补充内核设计 712。

[0046] 元件（例如，710、712、714 和 716）至少部分地以存储于存储器 704 中并由处理器 702 执行的软件的形式来实现。例如，存储器 704 可以存储由处理器 702 执行以实现在总的集成电路设计处理中模块 710 的特定的扫描单元插入功能的程序代码。存储器 704 是在此更一般地称为计算机可读介质或其他类型的计算机程序产品的实例，其内包含了计算机程序代码，并且可以包括以下的任意组合，例如，电子存储器（如 RAM 或 ROM）、磁存储器、光存储器或其他类型的存储器件。处理器 702 可以包括微处理器、CPU、ASIC、FPGA 或其他类型的处理器件，以及此类器件的某些部分或组合。

[0047] 如以上所指出的，本发明的实施例可以用集成电路的方式来实现。在给出的集成电路实现方式中，相同的管芯典型地以重复的方式形成于半导体晶片的表面之上。每个管芯包括在此所描述的扫描测试电路系统，并且可以包括其他的结构或电路。单个管芯被从晶片中切割或分割出 (dice)，然后被封装为集成电路。本领域技术人员应当知道如何分割晶片以及封装管芯以产生集成电路。这样制造的集成电路被认为是本发明的一部分。

[0048] 再者，应当强调的是，在此所描述的本发明的实施例希望仅为说明性的。例如，本发明能够使用众多其他类型的扫描测试电路系统来实现，与前面结合说明性的实施例来描

述的那些相比，该扫描测试电路系统具有不同类型和布置的扫描器件、门及其他电路元件。在所附权利要求的范围中的这些及众多的其他可另选实施例对本领域技术人员而言将是更显而易见的。

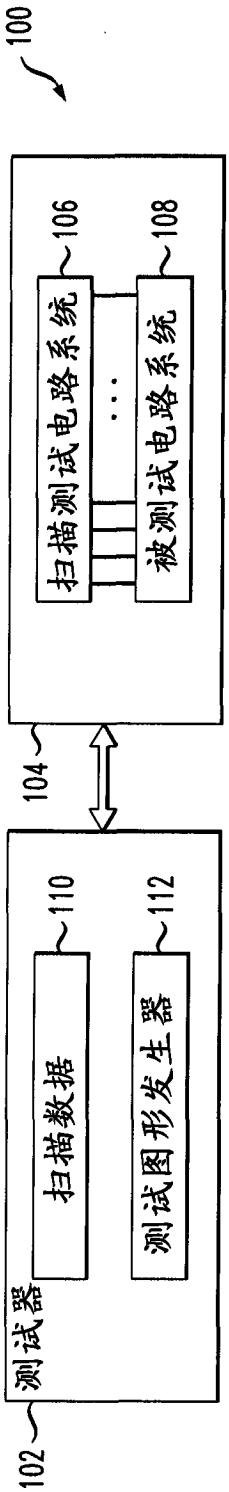

100
扫描测试电路系统
106
被测试电路系统
108
104
测试器
扫描数据
110
测试图形发生器
112
102

图 1

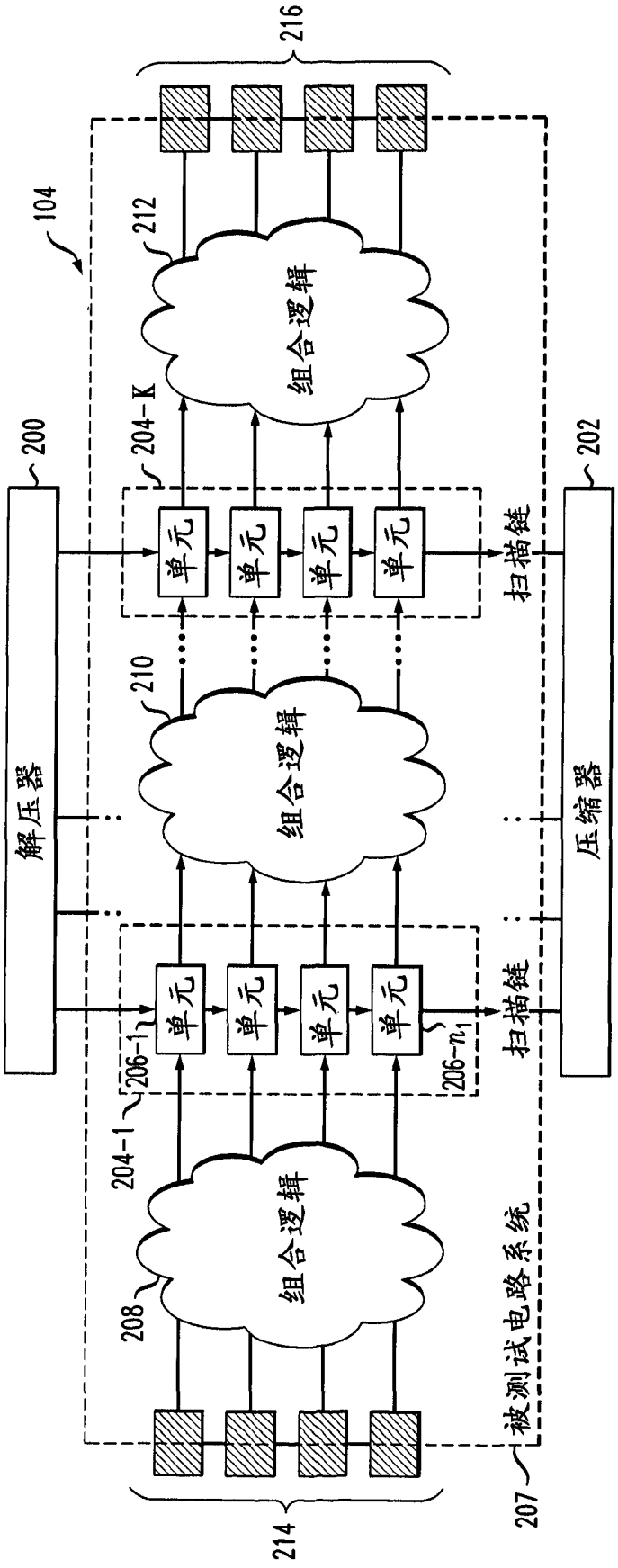

216
104
212
组合逻辑
204-K
200
202
单元
扫描链
解压器
210
组合逻辑
压缩器
206-1
206-n1
204-1
208
组合逻辑
被测试电路系统
207
214

图 2

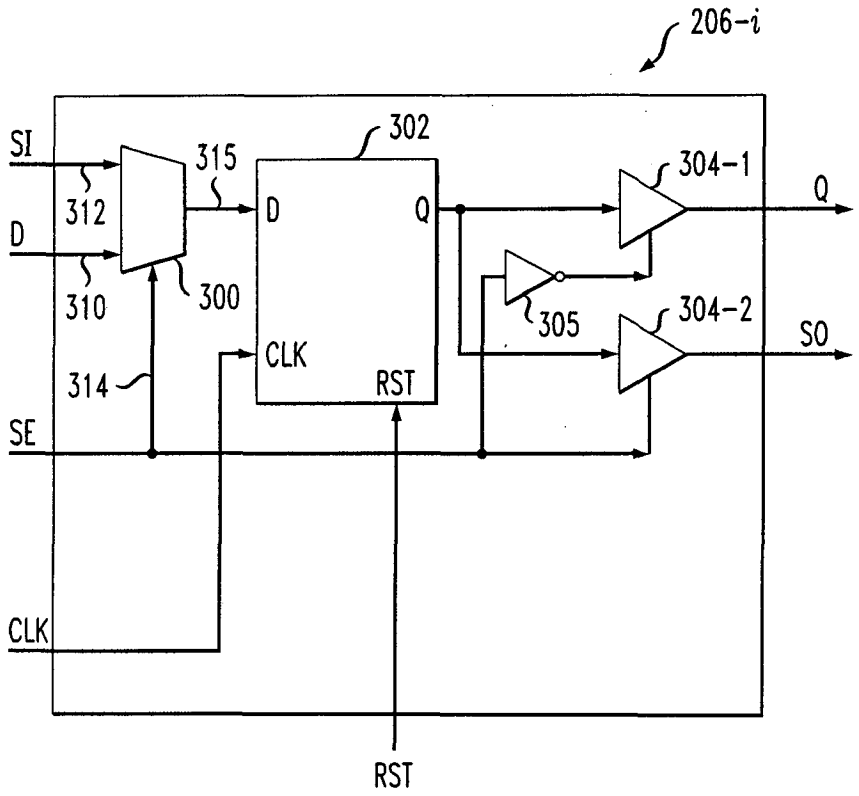

206-i
SI
D
312
310
315
300
302
D
Q
CLK
RST
304-1
304-2
305
Q
SO
314
SE
CLK
RST

图 3

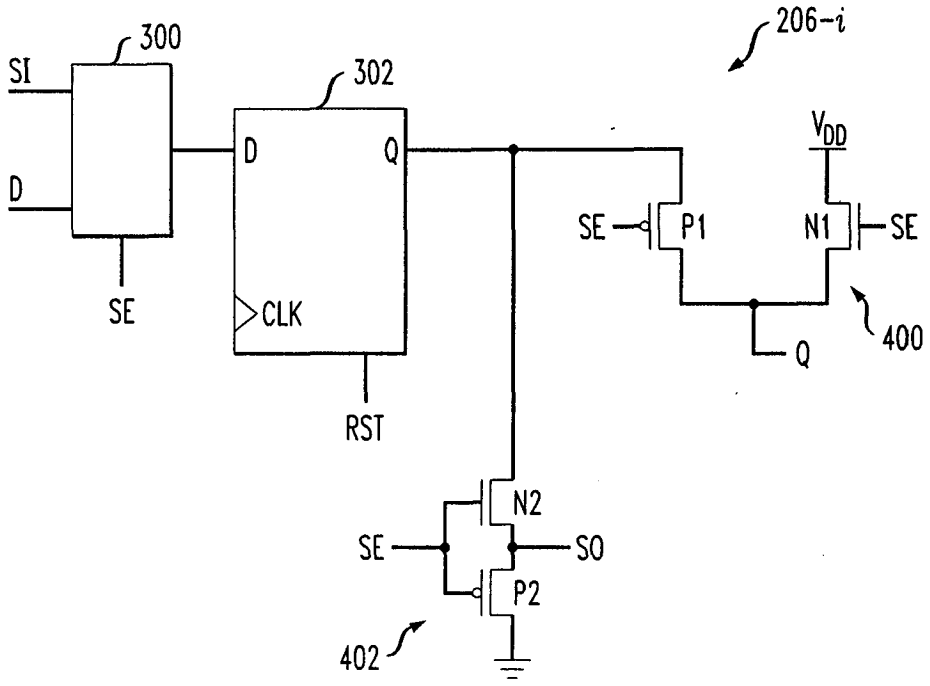

206-i
300
SI
D
SE
302
D
Q
CLK
RST
VDD
SE
P1
N1
SE
Q
400
N2
SE
SO
P2
402

图 4

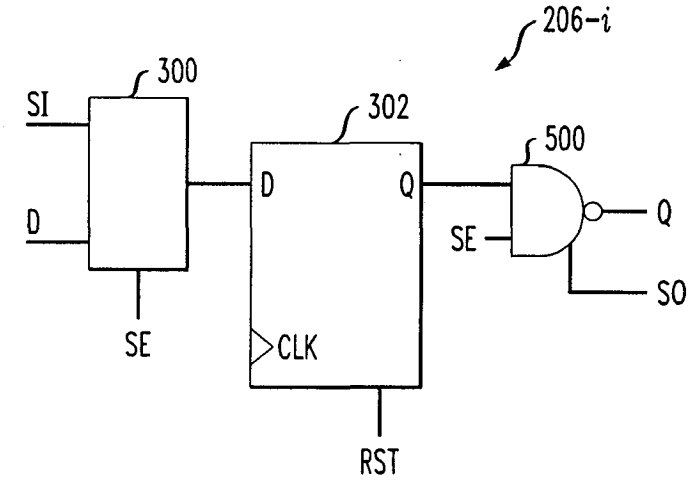

206-i
300
SI
D
SE
302
D
Q
CLK
RST
500
SE
Q
SO

图 5

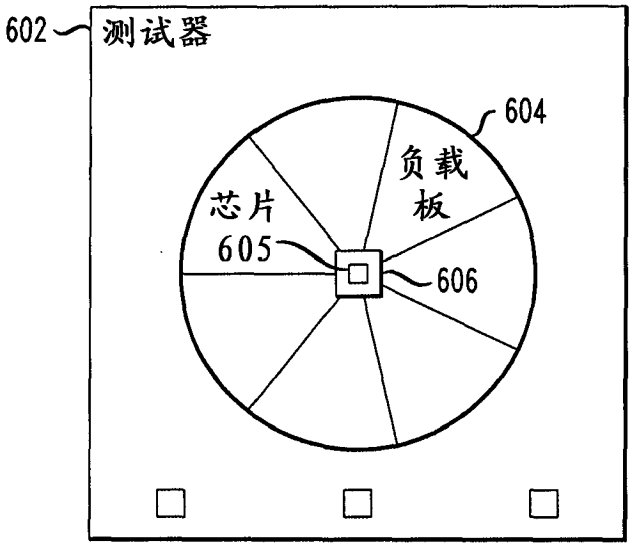

602
测试器
604
负载板
芯片
605
606

图 6

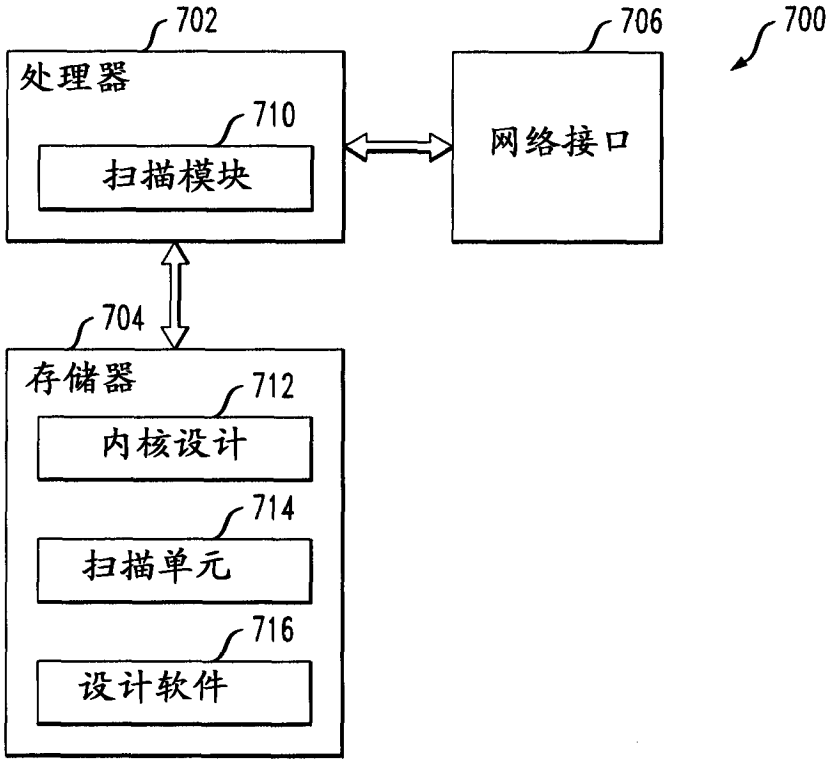

702
处理器
710
扫描模块
706
网络接口
700
704
存储器
712
内核设计
714
扫描单元
716
设计软件

图 7