(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 114258595 B
(45)授权公告日 2025.04.22

(21)申请号 202080056742.X
(22)申请日 2020.07.30
(65)同一申请的已公布的文献号
申请公布号 CN 114258595 A
(43)申请公布日 2022.03.29
(30)优先权数据
2019-158096 2019.08.30 JP
(85)PCT国际申请进入国家阶段日
2022.02.10
(86)PCT国际申请的申请数据
PCT/JP2020/029286 2020.07.30
(87)PCT国际申请的公布数据
WO2021/039268 JA 2021.03.04

(73)专利权人 株式会社日本显示器
地址 日本东京都
(72)发明人 花田明纮 海东拓生 津吹将志
(74)专利代理机构 北京市金杜律师事务所 11256
专利代理师 杨宏军

(51)Int.Cl.
H10D 30/67(2025.01)
H10D 30/01(2025.01)
H10D 62/10(2025.01)

(56)对比文件
CN 106415801 A,2017.02.15
WO 2019025917 A1,2019.02.07

审查员 杨福华

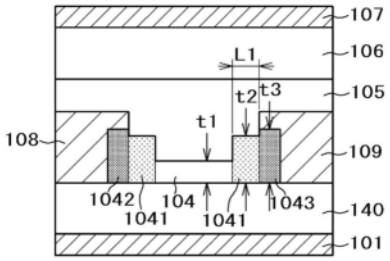
权利要求书1页 说明书9页 附图14页

(54)发明名称

半导体器件

(57)摘要

本发明的课题是在由氧化物半导体形成的薄膜晶体管(TFT)中抑制阈值电压的变动ΔVth。用于解决这样的课题的本发明的代表手段如下所述。半导体器件,其具有由氧化物半导体形成的TFT,其特征在于,上述氧化物半导体具有沟道区域104、源极区域1042、漏极区域1043,和处于上述沟道区域与上述源极区域及上述漏极区域之间的LDD(Lightly Doped Drain)区域1041,上述LDD区域1041的电阻率比上述沟道区域的电阻率小、比上述源极区域或上述漏极区域的电阻率大,源电极108与上述源极区域1042重叠地形成,漏电极109与上述漏极区域1043重叠地形成,上述氧化物半导体的上述LDD区域1041的厚度大于上述沟道区域104的厚度。



CN 114258595 B

1.半导体器件,其具有由氧化物半导体形成的TFT,其特征在于,

所述氧化物半导体具有沟道区域、源极区域、漏极区域,和处于所述沟道区域与所述源极区域之间的过渡区域、以及处于所述沟道区域与所述漏极区域之间的过渡区域,

所述过渡区域的电阻率比所述沟道区域的电阻率小、比所述源极区域或所述漏极区域的电阻率大,

源电极与所述源极区域重叠地形成,漏电极与所述漏极区域重叠地形成,

所述氧化物半导体的所述过渡区域的厚度大于所述沟道区域的厚度,

在所述氧化物半导体中,于所述沟道区域的中央进行测定时,所述沟道区域的厚度为60nm以下,于所述过渡区域的中央进行测定时的所述过渡区域的厚度为85nm以上,

覆盖所述氧化物半导体而形成有第1栅极绝缘膜,覆盖所述第1栅极绝缘膜而形成有第2栅极绝缘膜,

在所述第2栅极绝缘膜中,在与所述过渡区域对应的部分形成有通孔,

覆盖所述第2栅极绝缘膜和所述通孔而形成有栅极电极。

2.如权利要求1所述的半导体器件,其特征在于,所述氧化物半导体的所述源极区域的厚度或所述漏极区域的厚度大于所述过渡区域的厚度。

3.如权利要求2所述的半导体器件,其特征在于,所述氧化物半导体的所述源极区域的厚度或所述漏极区域的厚度与所述过渡区域的厚度之差为10nm以上。

4.如权利要求1至3中任一项所述的半导体器件,其特征在于,所述过渡区域在所述沟道区域的沟道长方向上的长度为2μm以上。

5.如权利要求1所述的半导体器件,其特征在于,所述TFT为底栅型。

6.如权利要求1所述的半导体器件,其特征在于,所述TFT为具有底栅和顶栅的双栅型。

7.如权利要求1所述的半导体器件,其特征在于,在所述过渡区域中,掺杂有提高导电率的离子。

8.半导体器件,其具有由氧化物半导体形成的TFT,其特征在于,

所述氧化物半导体具有沟道区域、源极区域、漏极区域,和处于所述沟道区域与所述源极区域之间的过渡区域、以及处于所述沟道区域与所述漏极区域之间的过渡区域,

所述过渡区域的电阻率比所述沟道区域的电阻率小、比所述源极区域或所述漏极区域的电阻率大,

源电极与所述源极区域重叠地形成,漏电极与所述漏极区域重叠地形成,

覆盖所述氧化物半导体而形成有第1栅极绝缘膜,覆盖所述第1栅极绝缘膜而形成有第2栅极绝缘膜,

在所述第2栅极绝缘膜中,在与所述过渡区域对应的部分形成有通孔,

覆盖所述第2栅极绝缘膜和所述通孔而形成有第1栅极电极。

9.如权利要求8所述的半导体器件,其特征在于,所述沟道区域的厚度为60nm以下。

10.如权利要求8所述的半导体器件,其特征在于,所述过渡区域在沟道长方向上的长度为2μm以上。

11.如权利要求8所述的半导体器件,其特征在于,在所述氧化物半导体之下,存在有第3栅极绝缘膜,在所述第3栅极绝缘膜之下,存在有第2栅极电极。

半导体器件

技术领域

[0001] 本发明涉及具有能够使阈值电压(Vth)的变动减小的TFT的半导体器件。

背景技术

[0002] 薄膜晶体管(TFT,Thin FilmTransistor)广泛用于液晶显示装置、有机EL显示装置等中,除此以外,也可以用于微LED显示装置、电子纸等。另外,也可以作为传感器等的开关元件使用。一部分的图像显示装置、含有传感器的半导体器件所使用的TFT大多在高于以往TFT的驱动电压下工作。

[0003] TFT中,在沟道区域与漏极区域之间产生高电场,在该部分中,产生热载流子。因热载流子的影响,发生TFT的阈值电压(Vth)变动的问题。该现象可以通过在沟道区域与漏极区域之间形成电阻过渡的LDD(轻掺杂漏极(Lightly Doped Drain))区域来减轻。

[0004] 专利文献1中记载了下述构成:在顶栅型TFT中,源极区域和漏极区域通过对氧化物半导体进行等离子体处理而形成,LDD区域通过接触SiN膜而形成。专利文献2中记载了下述构成:使顶栅型氧化物半导体TFT由构成沟道区域的第1氧化物半导体、和构成源极、漏极区域的第2氧化物半导体构成,在第2氧化物半导体中,与第1氧化物半导体的沟道接触的部分为较高电阻,其他部分为较低电阻。记载由此降低与栅极电极的寄生电容。另外记载,在第2氧化物半导体中,使电阻较大的部分作为LDD区域而工作。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献1:日本特开2017-76785号公报

[0008] 专利文献2:日本特开2017-135408号公报

发明内容

[0009] 发明要解决的课题

[0010] 在使用了多晶硅的TFT中,为了解决在沟道与漏极之间产生的热载流子的问题,形成LDD区域。与此相对,在使用了宽带隙的氧化物半导体的TFT中,不易发生碰撞电离和雪崩击穿,不易发生热载流子的问题。

[0011] 然而,若TFT的驱动电压上升,则在氧化物半导体中也发生热载流子的问题。例如,在一部分的半导体器件中,有时使TFT的栅极电压于38V左右进行工作。在这样的高电压工作中,由热载流子劣化导致的Vth的变动变得显著。

[0012] 本发明的课题在于,在使用了氧化物半导体的TFT中,实现抑制Vth的变动的构成。

[0013] 用于解决课题的手段

[0014] 本发明克服了上述问题,具体的手段如下所述。

[0015] (1)半导体器件,其具有由氧化物半导体形成的TFT,其特征在于,上述氧化物半导体具有沟道区域、源极区域、漏极区域,和处于上述沟道区域与上述源极区域之间的过渡区域、以及处于上述沟道区域与上述漏极区域之间的过渡区域,上述过渡区域的电阻率比上

述沟道区域的电阻率小、比上述源极区域或上述漏极区域的电阻率大,源电极与上述源极区域重叠地形成,漏电极与上述漏极区域重叠地形成,上述氧化物半导体的上述过渡区域的厚度大于上述沟道的厚度。

[0016] (2)半导体器件,其具有由氧化物半导体形成的TFT,其特征在于,上述氧化物半导体具有沟道区域、源极区域、漏极区域,和处于上述沟道区域与上述源极区域之间的过渡区域、以及处于上述沟道区域与上述漏极区域之间的过渡区域,上述过渡区域的电阻率比上述沟道区域的电阻率小、比上述源极区域或上述漏极区域的电阻率大,源电极与上述源极区域重叠地形成,漏电极与上述漏极区域重叠地形成,覆盖上述氧化物半导体而形成有第1栅极绝缘膜,覆盖上述第1栅极绝缘膜而形成有第2栅极绝缘膜,在上述第2栅极绝缘膜中,在与上述过渡区域对应的部分形成有通孔,覆盖上述第2栅极绝缘膜和上述通孔而形成有第1栅极电极。

[0017] (3)半导体器件,其具有由氧化物半导体形成的TFT,其特征在于,上述氧化物半导体具有沟道区域、源极区域、漏极区域,和处于上述沟道区域与上述源极区域之间的过渡区域、以及处于上述沟道区域与上述漏极区域之间的过渡区域,上述过渡区域的电阻率比上述沟道区域的电阻率小、比上述源极区域或上述漏极区域的电阻率大,源电极与上述源极区域重叠地形成,漏电极与上述漏极区域重叠地形成,上述沟道区域的中央部分的厚度为60nm以下,在上述过渡区域中,掺杂有用于提高导电率的离子。

附图说明

[0018] [图1]为由氧化物半导体形成的TFT的截面图。

[0019] [图2]为示出阈值电压的变动ΔVth的图表。

[0020] [图3]为示出使用了由氧化物半导体形成的TFT的半导体器件的一部分层构成的截面图。

[0021] [图4]为将由氧化物半导体形成的TFT作为开关元件的半导体器件的等效电路。

[0022] [图5]为使用了氧化物半导体的双栅极型的TFT的详细截面图。

[0023] [图6]为示出氧化物半导体(OS)的膜厚与阈值电压的变动ΔVth的关系的图表。

[0024] [图7]为示出LDD的长度与阈值电压的变动ΔVth的关系的图表。

[0025] [图8]为基于实施例1的氧化物半导体TFT的截面图。

[0026] [图9]为基于实施例1的另一例的氧化物半导体TFT的截面图。

[0027] [图10]为基于实施例1的又一例的氧化物半导体TFT的截面图。

[0028] [图11A]为示出第1制造方法中的第1工序的截面图。

[0029] [图11B]为示出第1制造方法中的第2工序的截面图。

[0030] [图11C]为示出第1制造方法中的第3工序的截面图。

[0031] [图11D]为示出第1制造方法中的第4工序的截面图。

[0032] [图11E]为示出第1制造方法中的第5工序的截面图。

[0033] [图11F]为示出第1制造方法中的第6工序的截面图。

[0034] [图11G]为示出第1制造方法中的第7工序的截面图。

[0035] [图11H]为示出第1制造方法中的第8工序的截面图。

[0036] [图12A]为示出第2制造方法中的第1工序的截面图。

[0037] [图12B]为示出第2制造方法中的第2工序的截面图。

[0038] [图12C]为示出第2制造方法中的第3工序的截面图。

[0039] [图12D]为示出第2制造方法中的第4工序的截面图。

[0040] [图12E]为示出第2制造方法中的第5工序的截面图。

[0041] [图12F]为示出第2制造方法中的第6工序的截面图。

[0042] [图12G]为示出第2制造方法中的第7工序的截面图。

[0043] [图12H]为示出第2制造方法中的第8工序的截面图。

[0044] [图13A]为示出第3制造方法中的第1工序的截面图。

[0045] [图13B]为示出第3制造方法中的第2工序的截面图。

[0046] [图13C]为示出第3制造方法中的第3工序的截面图。

[0047] [图13D]为示出第3制造方法中的第4工序的截面图。

[0048] [图13E]为示出第3制造方法中的第5工序的截面图。

[0049] [图13F]为示出第3制造方法中的第6工序的截面图。

[0050] [图14A]为示出实施例2的第1方式的第1工序的截面图。[图14B]为示出实施例2的第1方式的第2工序的截面图。[图15A]为示出实施例2的第2方式的第1工序的截面图。[图15B]为示出实施例2的第2方式的第2工序的截面图。[图16A]为示出实施例3的第1方式的第1工序的截面图。[图16B]为示出实施例3的第1方式的第2工序的截面图。[图17A]为示出实施例3的第2方式的第1工序的截面图。[图17B]为示出实施例3的第2方式的第2工序的截面图。

具体实施方式

[0051] 以下,利用实施例详细地说明本发明的内容。

[0052] 实施例1

[0053] 图1为通常的氧化物半导体的截面图。以下有时也将氧化物半导体称为OS((氧化物半导体)Oxide Semiconductor)。图1为顶栅型的TFT,但以下的说明在底栅型TFT的情况下也相同。图1中,在由玻璃形成的TFT基板100之上形成基底膜90,在基底膜90上形成氧化物半导体104。基底膜90使用能够供给氧的硅氧化膜(以下称为SiO膜)。

[0054] 氧化物半导体中,沟道区域104的两侧成为源极区域1042及漏极区域1043。源极区域1042及漏极区域1043例如通过对氧化物半导体进行等离子体处理或进行离子注入而形成。

[0055] 覆盖氧化物半导体104而形成有栅极绝缘膜120。栅极绝缘膜120由SiO膜形成。其原因在于能够向氧化物半导体104供给氧。在栅极绝缘膜120之上形成有栅极电极107。覆盖栅极电极107而形成有层间绝缘膜130。在栅极绝缘膜120及层间绝缘膜130中形成有通孔,能够实现氧化物半导体104的漏极区域1043与漏电极109的连接、或者源极区域1042与源电极108的连接。

[0056] 在使用n型沟道的TFT中,在沟道区域104与漏极区域1043的边界部附近的沟道区域104产生高电场的部分,在该部分中产生热载流子。在TFT的工作期间,热载流子蓄积于栅极绝缘膜120。这样,TFT的阈值电压Vth变动。

[0057] 图2为示出使用了氧化物半导体的TFT的阈值电压Vth的变动的图表。图2中,横轴

为栅极电压(Vg),纵轴为漏极电流(A)。纵轴为对数标度。漏极电流也随着漏极电压Vd而变化。图2中,记载了漏极电压Vd为0.1V的情况、15V的情况、30V的情况。图2中,虚线为阈值电压Vth的初始特性,实线为使TFT工作后的特性。

[0058] 就图2的虚线而言,初始表示阈值电压Vth为0V的情况。图2的实线表示在使栅极电压Vg为38V而工作的情况下,阈值电压Vth的变动在Vd为0.1V时为28V、在Vd为15V或30V时为22V。通常,与多晶硅TFT相比,氧化物半导体不易发生热载流子劣化,不易发生阈值电压Vth的变动,但若在高电压下工作,则如图2所示,会带来非常大的变动。

[0059] 本发明通过在沟道与漏极之间形成LDD来解决阈值电压Vth的变动问题,特别是,本发明的特征在于LDD的构成。图3为示出半导体器件中的、由氧化物半导体形成的TFT及其附近的层构成的截面图。需要说明的是,图3中形成的等效电路例如如图4所示这样。图4中,TFT作为用于将与信号对应的电荷蓄积于储存电容Cs中的开关元件而工作。储存电容Cs例如对应于影像装置中的像素电容。

[0060] 图3中,左侧的构成为TFT,右侧为储存电容Cs。TFT成为在氧化物半导体的下侧和上侧均存在有栅极电极的双栅型TFT。在图3的左侧,在玻璃基板100之上形成有栅极电极101,将其覆盖而由氮化硅(以下称为SiN)形成第1下栅极绝缘膜102,将第1下栅极绝缘膜102覆盖而由SiO形成第2下栅极绝缘膜103。在第2下栅极绝缘膜103之上形成有氧化物半导体104。

[0061] 在氧化物半导体104的一侧,层叠有金属的源电极108,在另一侧,层叠有金属的漏电极109。将氧化物半导体104、源电极108、漏电极109覆盖而由SiO形成第1上栅极绝缘膜105,将第1上栅极绝缘膜105覆盖而由SiN形成第2上栅极绝缘膜106。就与氧化物半导体104接触的层而言,上层和下层均由SiO形成。其原因在于,能够由SiO向氧化物半导体104供给氧。在第2上栅极绝缘膜106之上形成有上栅极电极107。

[0062] 将上栅极电极107、第2上栅极绝缘膜106覆盖而由例如有机膜形成平坦化膜111。在平坦化膜111之上,形成有构成储存电容的一个电极的电容电极112。为显示装置的情况下,其成为例如由ITO(氧化铟锡(IndiumTin Oxide))形成的像素电极。

[0063] 图3中,在第1上栅极绝缘膜105、第2上栅极绝缘膜106中形成有通孔,将中继电极110与漏电极109连接。此外,在平坦化膜111中形成有通孔,连接电容电极112与中继电极111。需要说明的是,电容电极112在平坦化膜111的上侧也延伸至图3的右侧,在与公共电极114之间形成储存电容Cs。

[0064] 在图3的右侧,公共布线113在基板100上延伸,介由形成于第1下栅极绝缘膜102及第2下栅极绝缘膜103中的通孔,与形成于第2下栅极绝缘膜103上的公共电极114连接。在公共电极114与电容电极112之间形成有储存电容Cs。图3中的储存电容Cs夹持厚的平坦化膜111而形成,因此不会成为大的电容,但在需要大的电容的情况下,夹持其他绝缘膜而形成储存电容Cs即可。

[0065] 图5为TFT附近的放大截面图。图5中,下栅极绝缘膜140简化而记载为1层SiO膜。图5中,氧化物半导体104成为在下侧存在下栅极电极101、在上侧存在上栅极电极107的双栅极构成。在氧化物半导体104的左侧层叠由金属形成的源电极108,在氧化物半导体104的右侧层叠由金属形成的漏电极109。

[0066] 在图5的氧化物半导体104中,中央部分的空白部分为沟道区域104,浅点部分为

LDD区域1401,深点部分为源极区域1042、或漏极区域1043。就层叠有金属的部分的氧化物半导体而言,氧被金属夺去,因此导通化,成为源极区域1042或漏极区域1043。此外,由于氧从源极区域1042或漏极区域1043的附近处的氧化物半导体扩散到漏极区域1043或源极区域1042中,因此氧比沟道部分少。因此,就该部分而言,氧化物半导体的电阻比沟道小、比源极区域1042或漏极区域1043大。即,该区域能够作为LDD1041发挥作用。但是,仅将漏电极109及源电极108层叠于氧化物半导体104的话,无法成为有充分的阈值电压的变动ΔVth的解决方案。

[0067] 图6为示出氧化物半导体的膜厚与阈值电压的变动ΔVth的关系的图表。图6的横轴为与图5对应的氧化物半导体(OS)的膜厚(nm),纵轴为阈值电压Vth的变动ΔVth(V)。如图6所示,氧化物半导体104的膜厚超过55nm时,阈值电压的变动ΔVth急剧地降低。此外,膜厚成为85nm以上时,基本观测不到阈值电压的变动ΔVth。

[0068] 在此,可以认为阈值电压的变动ΔVth因LDD区域1041中的热载流子蓄积于栅极绝缘膜105而产生。因此,图6中的氧化物半导体104的膜厚的效果可以认为是LDD区域1041的膜厚的效果。另一方面,若氧化物半导体的沟道区域104的膜厚变大,则OFF电流会变大。因此,沟道区域104的氧化物半导体的膜厚不能大。沟道区域104的厚度优选为60nm以下。

[0069] 如此,为了抑制阈值电压的变动ΔVth、并且抑制OFF电流的增大,可以通过使得氧化物半导体的膜厚在沟道区域104变薄、在LDD区域1041变厚来解决。具体而言,考虑到OFF电流而使氧化物半导体在沟道区域104的膜厚t1为60nm以下,考虑到阈值电压的变动ΔVth的变动而使氧化物半导体在LDD区域1041的膜厚t2为85nm以上。换言之,优选t2比t1大25nm以上。其中,沟道区域104的厚度在沟道区域的中央部分测定,LDD区域1041的厚度在LDD区域的中央部分测定。

[0070] 阈值电压的变动ΔVth也受到LDD区域1041的长度的影响。图7为示出LDD区域1041的长度与阈值电压的变动ΔVth的关系的图表。需要说明的是,该情况下,所谓LDD区域1041的长度,可以称为在沟道长方向上的长度。图7的横轴为LDD区域1041的长度(μm),纵轴为阈值电压的变动ΔVth(V)。图7中,LDD区域1041的长度从0至1μm时,阈值电压的变动ΔVth急剧地降低。此外,LDD区域1041的长度成为2μm以上时,阈值电压的变动ΔVth能够抑制在大致为0。

[0071] 就实施例1中的LDD区域1041的长度L1而言,例如,如图8所示,可定义为从漏电极109的端部至在沟道区域104与LDD区域1041之间产生膜厚变化的阶差部分为止的距离。即,通过使LDD区域1041的长度为2μm以上、并且使LDD区域1041的膜厚大于沟道区域的膜厚,能够有效地抑制阈值电压的变动ΔVth。

[0072] 图8为基于实施例1的氧化物半导体TFT的详细截面图。在图8的氧化物半导体中,中央部分的空白部分为沟道区域104,浅点部分为LDD区域1401,深点部分为源极区域1042、或漏极区域1043。图8与图5不同的方面在于构成TFT的氧化物半导体的膜厚在沟道区域104、LDD区域1041、漏极区域1043(源极区域1042也一样)处不同。即,图8中,为了抑制阈值电压的变动ΔVth、并且防止OFF电流的增加,使氧化物半导体的沟道区域104的厚度比LDD区域1041的厚度小。

[0073] 图8的另一特征为氧化物半导体的漏极区域1043(或源极区域1042)的厚度t3大于氧化物半导体的LDD区域1041的厚度t2。其差为10nm以上,优选为10nm至15nm。就LDD区域

1041的厚度t2大于漏极区域1043的厚度t3而言,是由对覆盖漏极区域1043的漏电极109进行蚀刻时,LDD区域1041也被轻微蚀刻所引起。即,其原因在于,将金属的漏电极109从LDD区域1041完全地除去。在图11中对实现该构成的具体工艺进行说明。

[0074] 图8是TFT为所谓的双栅极的情况。本发明不仅能够适用于双栅型的情况,也能够适用于顶栅型或底栅型的情况。图9是TFT为底栅型的情况,图10是TFT为顶栅型的情况。除栅极电极的构成外,图9和图10均与图8相同。

[0075] 图11A至图11H为示出用于实现图8、图9、图10中的氧化物半导体附近的构成的第1制造方法的截面图。各图中,氧化物半导体104形成于下栅极绝缘膜140上。第1制造方法的特征在于下述方面:为了形成在沟道区域104和LDD区域1041中膜厚不同的氧化物半导体,利用2次工艺形成氧化物半导体104。

[0076] 图11A为示出下述状态的截面图:在绝缘膜140上整面被覆有氧化物半导体104,在氧化物半导体104的与LDD区域1041、源极区域1042及漏极区域1043对应的部分形成抗蚀剂500。图11B为示出使用抗蚀剂500对氧化物半导体104进行了蚀刻后的状态的截面图。

[0077] 图11C为将图11B中的抗蚀剂500剥离、再次将氧化物半导体104被覆于整面的状态。图11C中,虚线所示的部分表示如图11B所示的最初的氧化物半导体104形成为岛状的范围。图11D为示出为了仅残留构成TFT的氧化物半导体104而形成抗蚀剂500的状态的截面图。图11E为示出下述状态的截面图:以图11D的状态将氧化物半导体104蚀刻,然后将抗蚀剂500除去,形成膜厚局部地不同的氧化物半导体膜104。

[0078] 图11F为示出下述状态的截面图:利用用于构成源电极1042或漏电极1043的金属膜150,将图11E中形成的氧化物半导体104覆盖,然后,为了形成源电极1042及漏电极1043,将抗蚀剂500图案化。图11G为示出使用图11F中形成的抗蚀剂500将金属膜150蚀刻,而形成源电极1042和漏电极1043的状态的截面图。

[0079] 在此,为了从沟道区域104及LDD区域1041将金属膜150可靠地除去,除了金属膜150的蚀刻外,还需要将沟道区域104及LDD区域1041略微蚀刻。由于能够利用将金属膜150蚀刻的条件来对氧化物半导体104也略微进行蚀刻,因此,能够与金属膜150的蚀刻连续地将氧化物半导体104蚀刻。该工艺带来氧化物半导体的漏极区域1043(源极区域1042)的厚度t3与LDD区域1041的膜厚t2之差(t3-t2)。

[0080] 图11H为示出从图11G除去了抗蚀剂500的状态的截面图。图11H中,在经过一段时间以及在之后的热工序时,氧被漏电极109及源电极108从氧化物半导体104的漏极区域1043及源极区域1042夺去,漏极区域1043及源极区域1042保持为导通。另一方面,氧从LDD区域1041扩散至漏极区域1043或源极区域1042,LDD区域1041的比电阻比漏极区域1043(源极区域1042)大,比沟道区域104小。

[0081] 图12A至图12H为示出为了实现图8、图9、图10所示的氧化物半导体附近的构成的第2制造方法的截面图。各图中,氧化物半导体104形成于下栅极绝缘膜140之上。第2制造方法的特征在于下述方面:为了形成在沟道区域104和LDD区域1041中膜厚不同的氧化物半导体,使用半蚀刻技术来形成具有膜厚差的氧化物半导体104。

[0082] 图12A为示出下述状态的截面图:将与漏极区域1043(源极区域1042)相同厚度的氧化物半导体104被覆于绝缘膜140的表面整体上,在与LDD区域1041、漏极区域1043及源极区域1042对应的部分形成抗蚀剂500。图12B为示出使用抗蚀剂500将氧化物半导体104蚀刻

至漏极区域1043(源极区域1042)与沟道区域104的膜厚差为止的状态的截面图。图12C为示出从图12B的状态除去了抗蚀剂500后的状态的截面图。

[0083] 图12D为示出为了仅残留构成TFT的氧化物半导体104而形成抗蚀剂500的状态的截面图。图12E为示出使用抗蚀剂500而仅残留构成TFT的氧化物半导体104、而将其他氧化物半导体104除去的状态的截面图。以这样的方式,形成具有膜厚差的氧化物半导体104。

[0084] 然后,如图12F、图12G、图12H所示,由金属形成漏电极109、源电极108,在氧化物半导体中形成沟道区域104、LDD区域1041、漏极区域1043及源极区域1042。由于图12F、图12G、图12H所示的工艺与图11F、图11G、图11H所示的工艺相同,因此省略说明。

[0085] 图13A至图13F为示出为了实现图8、图9、图10所示的氧化物半导体附近的构成的第3制造方法的截面图。各图中,氧化物半导体104形成于下栅极绝缘膜140上。第3制造方法的特征在于,为了形成在沟道区域104、LDD区域1041、源极区域1042及漏极区域中膜厚不同的氧化物半导体,使用使形成漏电极109及源电极108时的抗蚀剂500后退而对氧化物半导体进行蚀刻的技术。

[0086] 图13A为示出下述状态的截面图:在将氧化物半导体104图案化后,将其覆盖,并将用于形成源电极108及漏电极109的金属膜150被覆。该状态的氧化物半导体104的膜厚成为与最终的TFT中的源极区域1042及漏极区域1043相同的厚度。

[0087] 图13B为示出下述状态的截面图:与源电极108、漏电极109的图案化一起,进行用于将氧化物半导体104蚀刻而形成沟道区域104的抗蚀剂500的图案化。图13C为示出下述状态的截面图:使用该抗蚀剂500将金属150蚀刻而形成源电极108及漏电极109,同时地,氧化物半导体104的一部分也经蚀刻而在氧化物半导体104中形成沟道区域104。图13C中的氧化物半导体的沟道区域104的厚度t11较之作为最终厚度的t1厚。其原因在于,沟道区域104在之后的工序中再次被蚀刻。

[0088] 图13D为示出下述状态的截面图:针对图13C的状态的抗蚀剂500,使用氧等离子体等而使抗蚀剂500后退。在利用氧等离子体使抗蚀剂500后退之后,源电极108及漏电极109的一部分、和氧化物半导体的沟道区域104露出。

[0089] 图13E为示出使用后退了的抗蚀剂500对源电极1042、漏电极1043、及氧化物半导体104进行蚀刻的状态的截面图。该蚀刻中,氧化物半导体的沟道区域104被蚀刻至作为最终厚度的t1。另外,在源电极108及漏电极109被蚀刻后,为了在氧化物半导体中可靠地形成LDD区域1041,对于与LDD区域1041对应的氧化物半导体也略微进行蚀刻。因此,在氧化物半导体中,与LDD区域1041对应的膜厚t2小于与源极区域1042、漏极区域1043对应的膜厚t3。以这样的方式,氧化物半导体104、漏电极108及源电极109的最终形状被确定。

[0090] 图13F为将图13E中的抗蚀剂500剥离后的状态。在该状态下,就氧化物半导体的漏极区域1042及源极区域1043而言,氧被金属的源电极108及漏电极109夺去而导通化。另外,就LDD区域1041而言,由于氧扩散至源极区域1042或漏极区域1043,因此,电阻率小于沟道区域104。但是,LDD区域1041的电阻率大于源极区域1042及漏极区域1043的电阻率。

[0091] 如此,利用实施例1的构成,能够在使用了氧化物半导体的TFT中可靠地形成LDD区域1041,能够抑制阈值电压的变动ΔVth。另外,也能够抑制OFF电流的增大。

[0092] 实施例2

[0093] 图14A及图14B为示出实施例2的第1方式的截面图。图14A为TFT附近的放大截面

图。在图14A中,氧化物半导体的沟道区域104与漏极区域1043、源极区域1042均为相同的膜厚,除此以外,直至形成第1上栅极绝缘膜105为止,与实施例1的图8相同。图14A中,与氧化物半导体中形成有LDD区域1041的区域对应地,在第2上栅极绝缘膜106中形成通孔200。

[0094] 图14B为示出将第2上栅极绝缘膜106及通孔200覆盖而形成上栅极电极107的状态的截面图。图14B中,第2上栅极绝缘膜106中形成的通孔200中也存在有金属的栅极电极107。因此,通过通孔200内的栅极电极107,从氧化物半导体104夺取氧。这样,该部分的电阻率小于沟道区域104。但是,该部分的电阻率大于与金属接触的源极区域1042及漏极区域1043。即,能够作为LDD区域1041发挥作用。本实施例方式的特征在于,通过第2上栅极绝缘膜106中形成的通孔200,能够规定氧化物半导体的LDD区域1041的范围。

[0095] 图15A及图15B为示出实施例2的第2方式的截面图。该方式为组合有实施例2的实施方式1和实施例1的构成的方式。图15A与图14A不同的方面在于,氧化物半导体的厚度在沟道区域104、LDD区域1041、源极区域1042及漏极区域1043中不同。这样的氧化物半导体也可以通过实施例1中说明的第1工序至第3工序中的任意来形成。

[0096] 图15B为示出将第2上栅极绝缘膜106及通孔200覆盖而形成上栅极电极107的状态的截面图。如图15B所示,LDD区域1041为通过上栅极电极107将氧脱去的构成,此外,沟道区域104的膜厚小于LDD区域1041的膜厚,因此,能够更有效地进行阈值电压的变动ΔVth的抑制和漏电流的降低这两者。即,实施方式2能够同时具有实施例1的效果和实施例2的实施方式1的效果。

[0097] 实施例3

[0098] 实施例3为通过离子注入而形成LDD区域1041的构成。图16A及图16B为示出实施例3的第1方式的截面图。图16A中,在将氧化物半导体进行图案化后,在沟道区域104形成抗蚀剂,在与LDD区域1041、源极区域1042、漏极区域1043对应的区域,例如,通过离子注入来掺杂硼(B)。

[0099] 然后,形成源电极108、漏电极109、第1上栅极绝缘膜105、第2上栅极绝缘膜106、及栅极电极107。图16B为示出该状态的截面图。图16B为与图5同样的形状,但在LDD区域1041通过离子注入而形成的方面不同。即,在以能够抑制OFF电流的方式减小氧化物半导体104的膜厚的情况下,LDD区域的电阻率也能够通过离子注入的离子的注入量来进行控制,因此,能够抑制阈值电压的变动ΔVth的增加。

[0100] 图17A及图17B为示出实施例3的第2方式的截面图。图17A中,在将氧化物半导体图案化后,在沟道区域104形成抗蚀剂500,在与LDD区域1041、源极区域1042、漏极区域1043对应的区域,例如,通过离子注入来掺杂硼(B)。图17A的构成与图16A的构成相似,但氧化物半导体的厚度不同。图16A中的氧化物半导体104的厚度成为沟道区域104的厚度t1,图17A中的氧化物半导体104的厚度成为源极区域1042或漏极区域1043的厚度t3。

[0101] 然后,例如,通过实施例1的第3工艺中说明的这样的工序,形成漏电极109、源电极108、及具有膜厚差的氧化物半导体(104、1041、1042、1043)。然后,形成第1上栅极绝缘膜105、第2上栅极绝缘膜106、上栅极电极107。图17B为示出该状态的截面图。

[0102] 图17B为与图8同样的形状,但在通过离子注入而形成LDD区域1041的方面不同。另一方面,通过在沟道区域104、LDD区域1041、及漏极区域1043(源极区域1042)之间具有膜厚差,从而能够具有实施例1中说明的效果。因此,实施方式2能够同时具有实施例1的效果、和

实施例3的实施方式1中说明的效果。

[0103] 附图标记说明

[0104] 90…基底膜、100…基板、101…下栅极电极、102…第1下栅极绝缘膜、103…第2下栅极绝缘膜、104…氧化物半导体、沟道区域、105…第1上栅极绝缘膜、106…第2上栅极绝缘膜、107…上栅极电极、108…源电极、109…漏电极、110…中继电极、111…平坦化膜、112…电容电极、113…公共线、114…公共电极、115…像素电极、116…取向膜、120…上栅极绝缘膜、130…层间绝缘膜、140…下栅极绝缘膜、150…源电极或漏电极用金属膜、200…通孔、500…抗蚀剂、1041…LDD区域(过渡区域)、1042…源极区域、1043…漏极区域、

[0105] Cs…保持电容

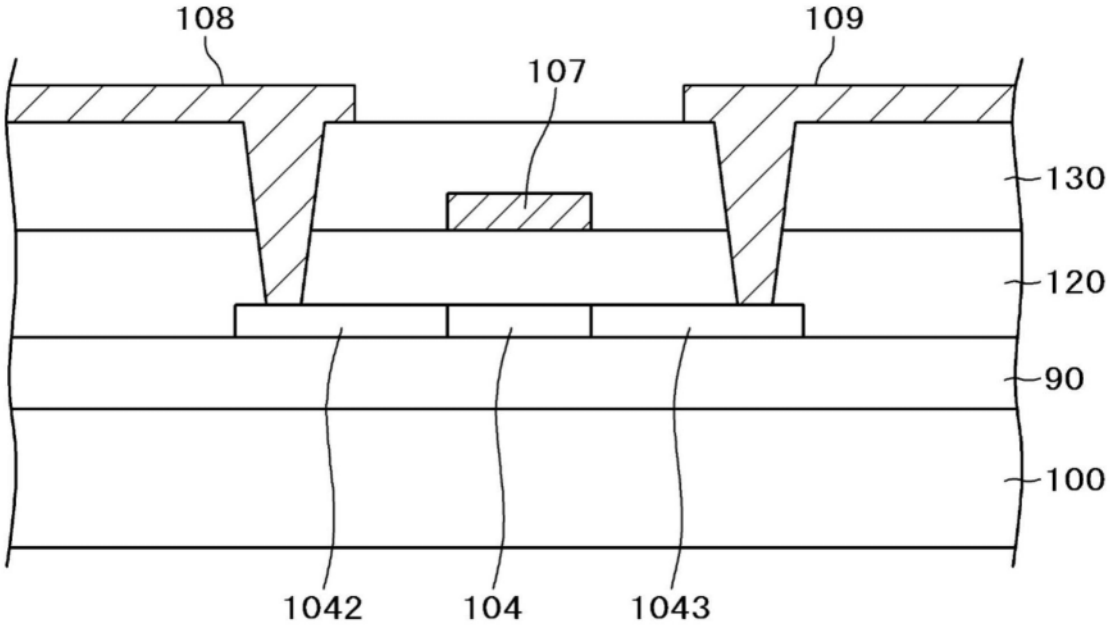

108
109
107
130
120
90
100
1042
104
1043

图1

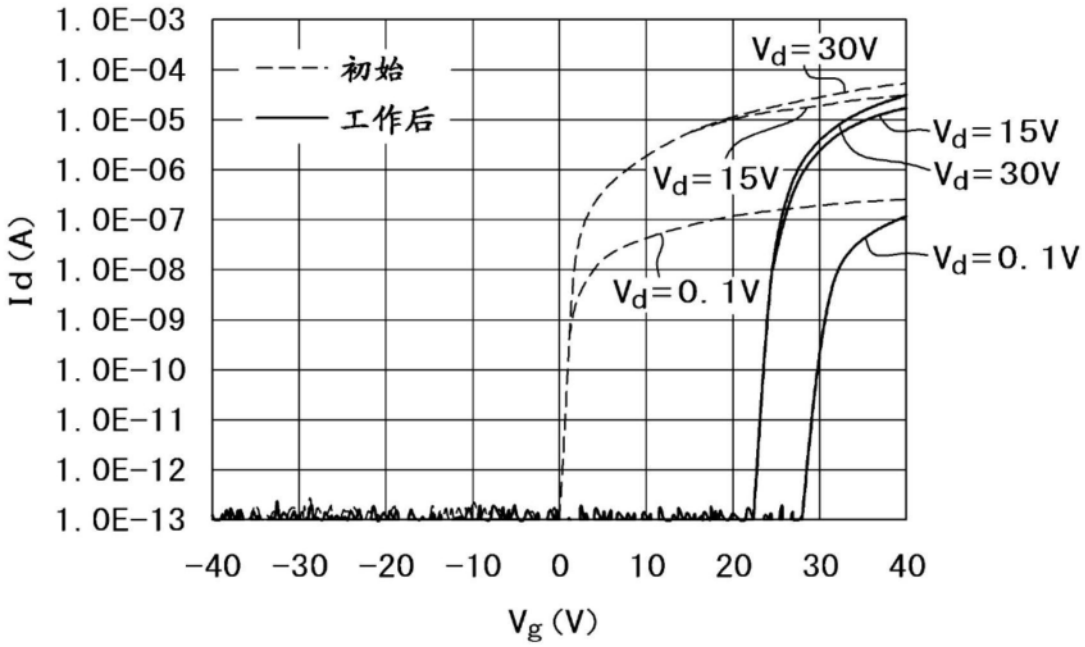

1.0E-03
1.0E-04
1.0E-05
1.0E-06
1.0E-07
1.0E-08
1.0E-09
1.0E-10
1.0E-11
1.0E-12
1.0E-13
Id(A)
初始
工作后
Vd=30V
Vd=15V
Vd=15V
Vd=30V
Vd=0.1V
Vd=0.1V
-40 -30 -20 -10 0 10 20 30 40
Vg(V)

图2

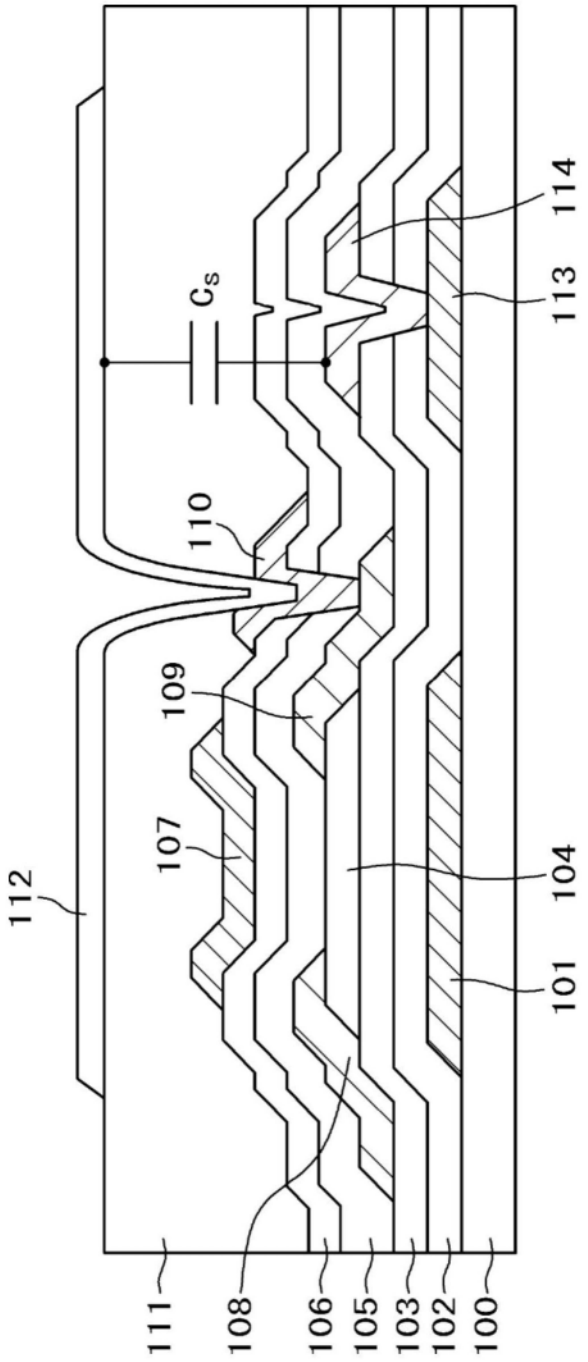


图3

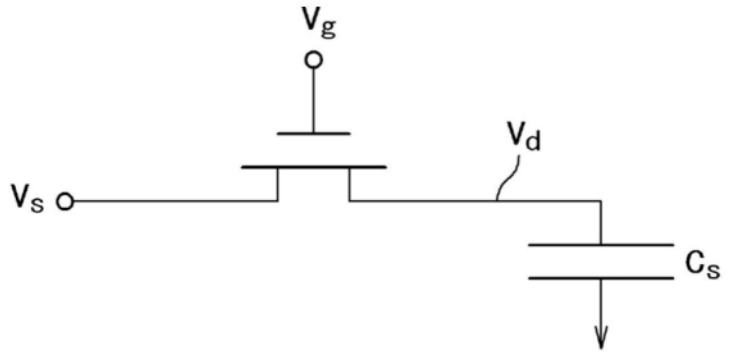

Vg
Vd
Vs
Cs

图4

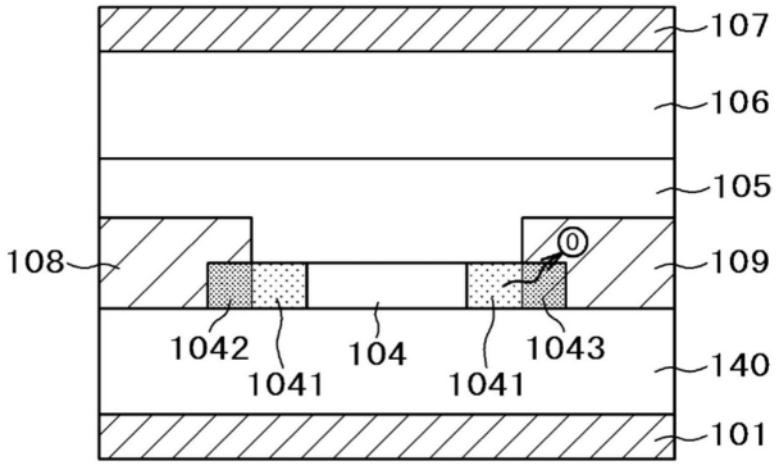

107
106
105
108
109
①
1042
1041
104
1041
1043
140
101

图5

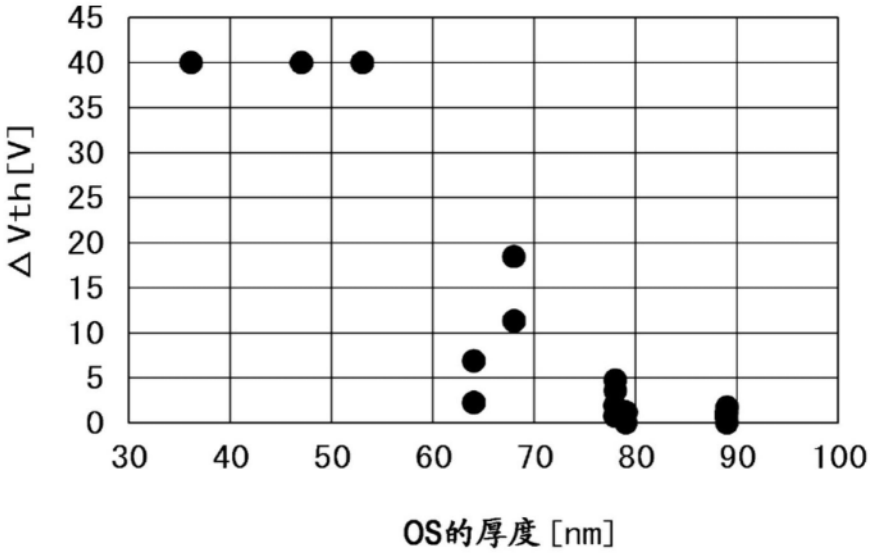

45
40
35
30
25
20
15
10
5
0
ΔVth[V]
30
40
50
60
70
80
90
100
OS的厚度[nm]

图6

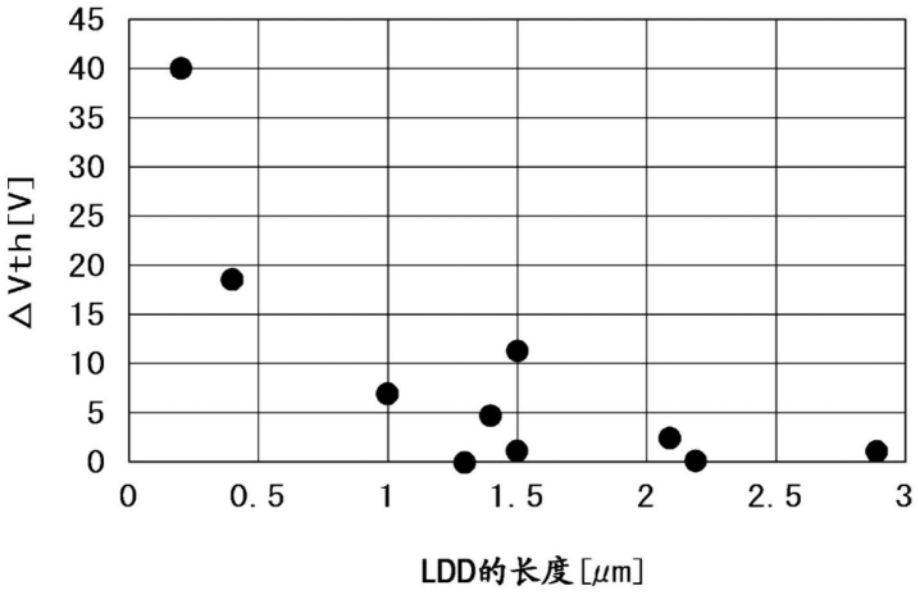

45
40
35
30
25
20
15
10
5
0
ΔVth[V]
0
0.5
1
1.5
2
2.5
3
LDD的长度[μm]

图7

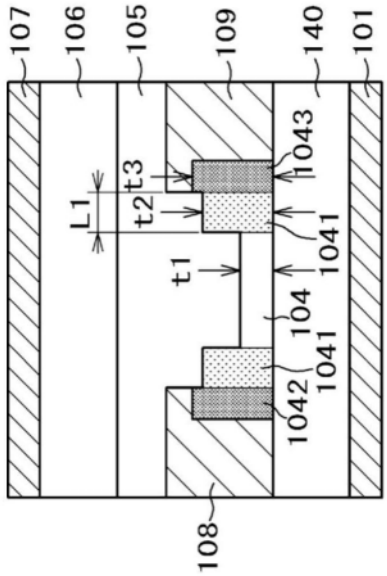

107
106
105
109
140
101
1043
t3
t2
L1
t1
1041
104
1041
1042
108

图8

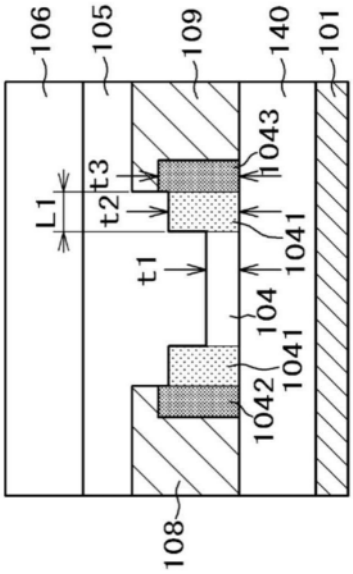

106
105
109
140
101
1043
t3
t2
L1
1041
t1
104
1041
1042
108

图9

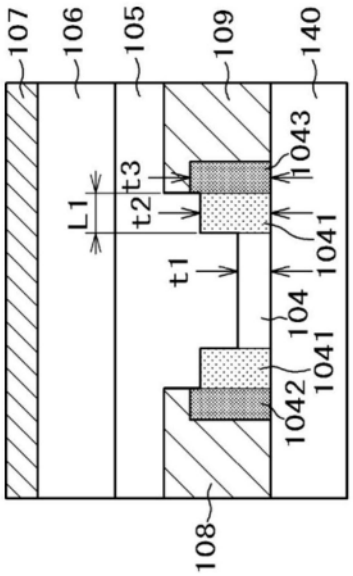

107
106
105
109
140
1043
t3
t2
L1
1041
t1
104
1041
1042
108

图10

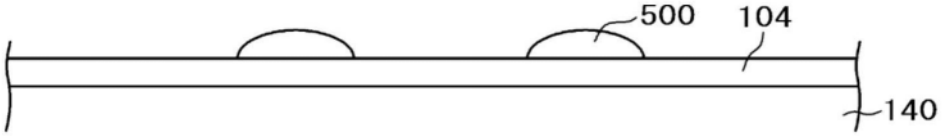

500
104
140

图11A



图11B

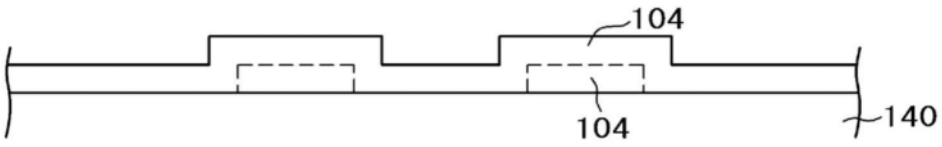


图11C

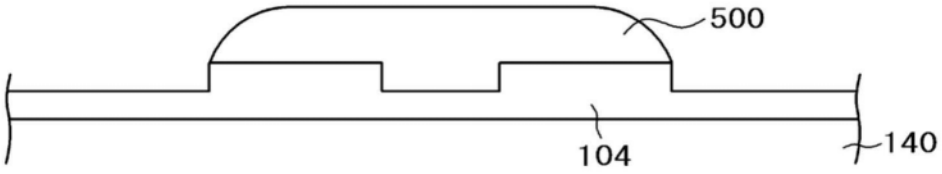


图11D

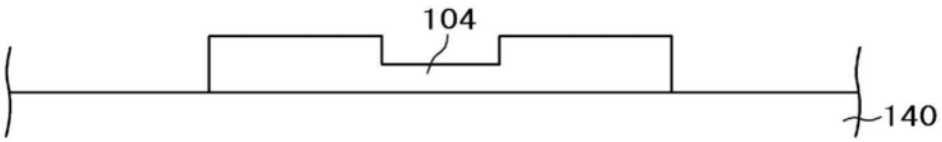


图11E

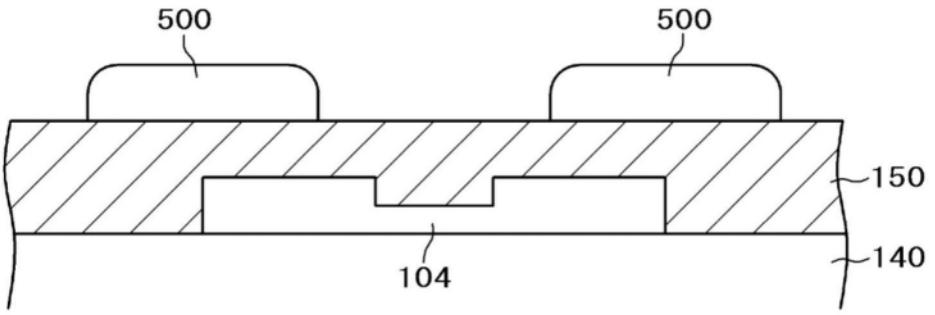


图11F

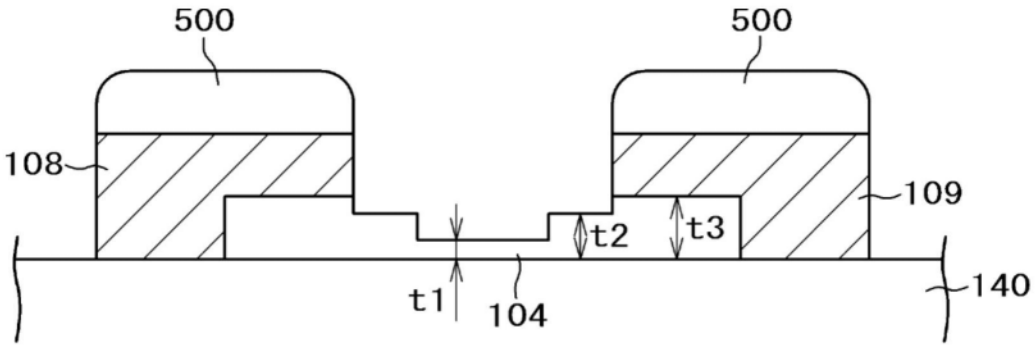


图11G

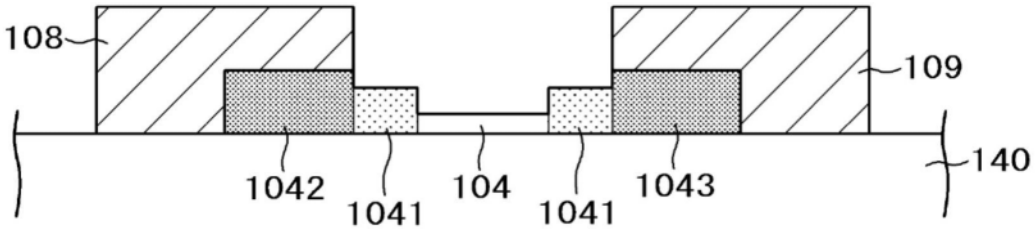


图11H

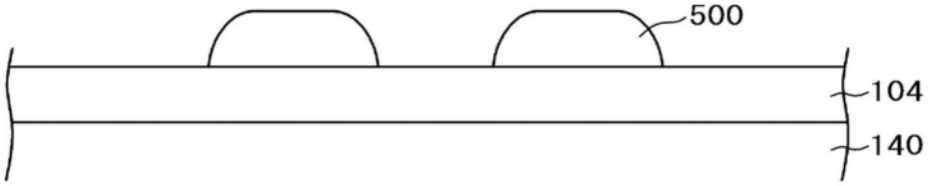


图12A

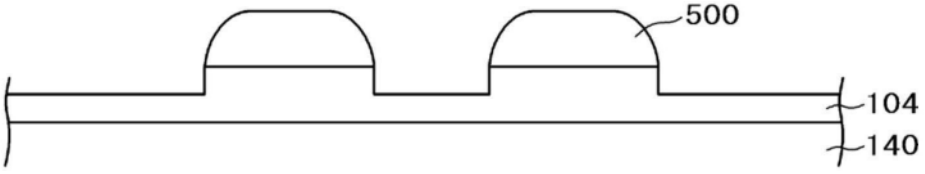


图12B

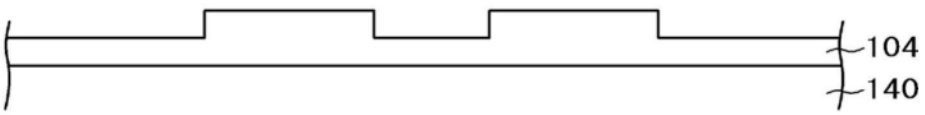


图12C

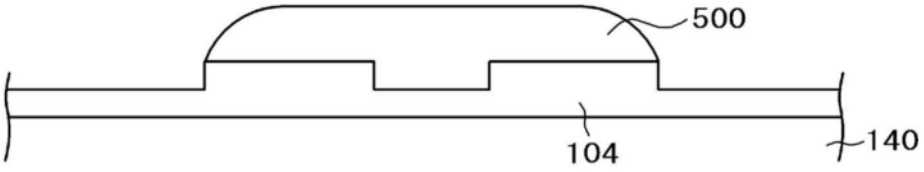


图12D

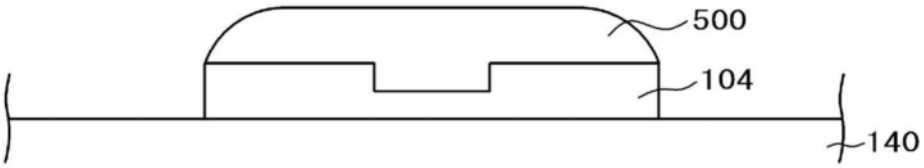


图12E

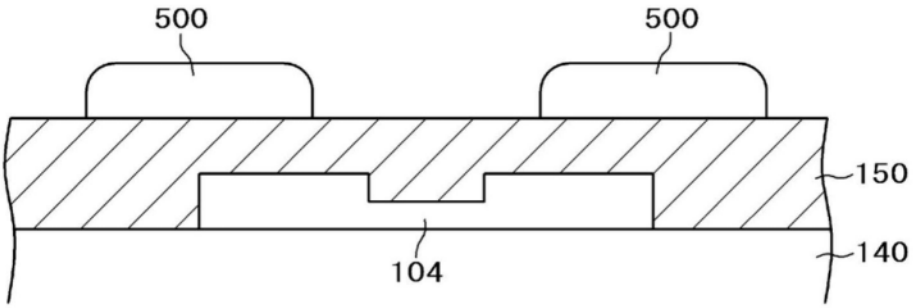


图12F

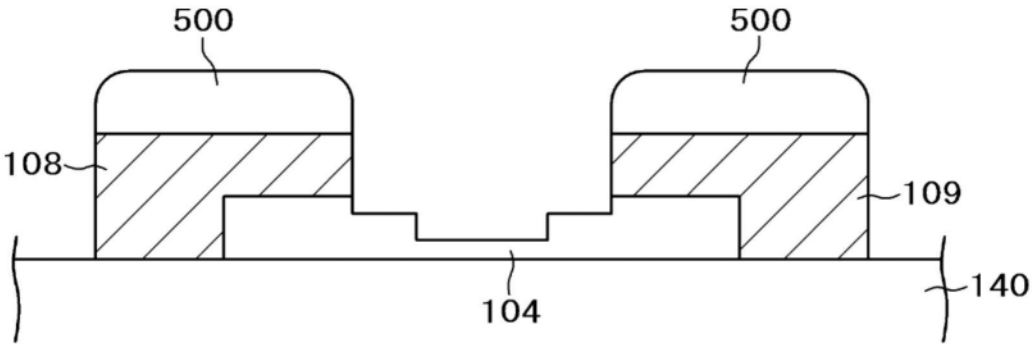


图12G

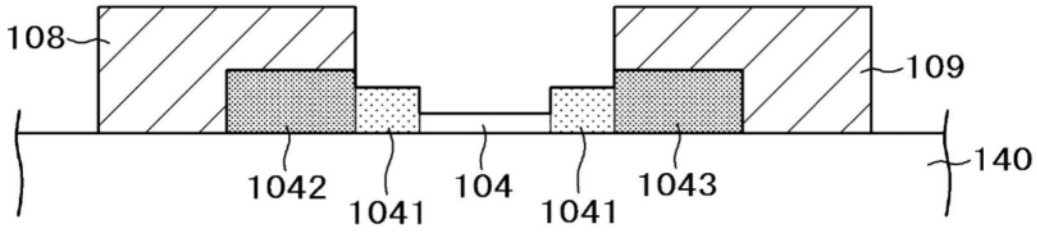


图12H

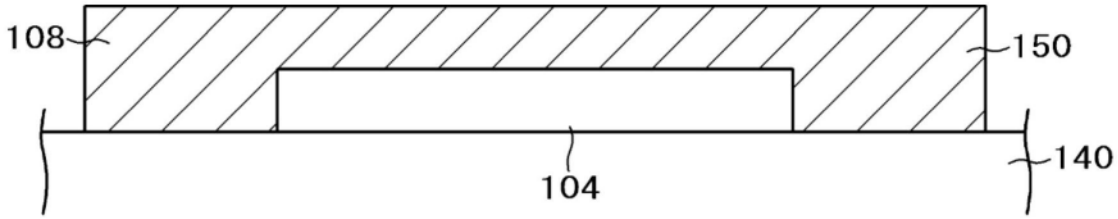


图13A

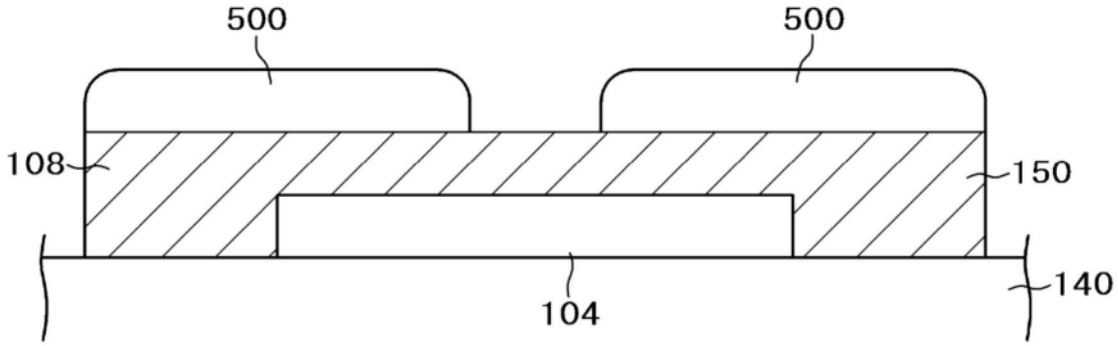


图13B

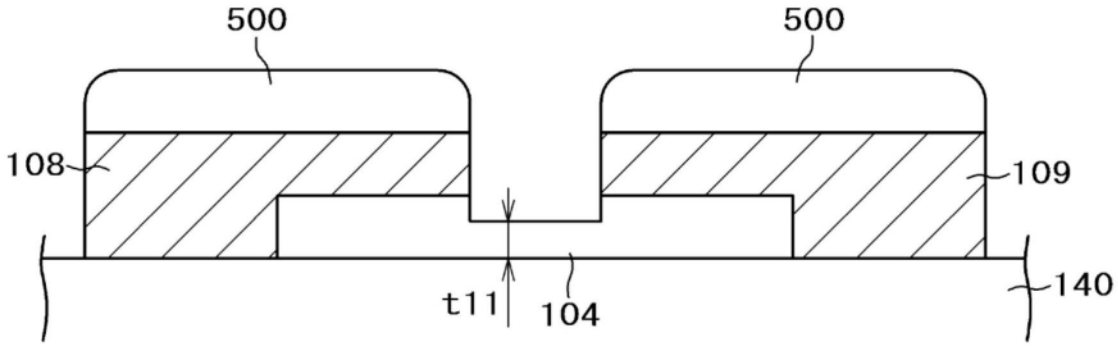


图13C

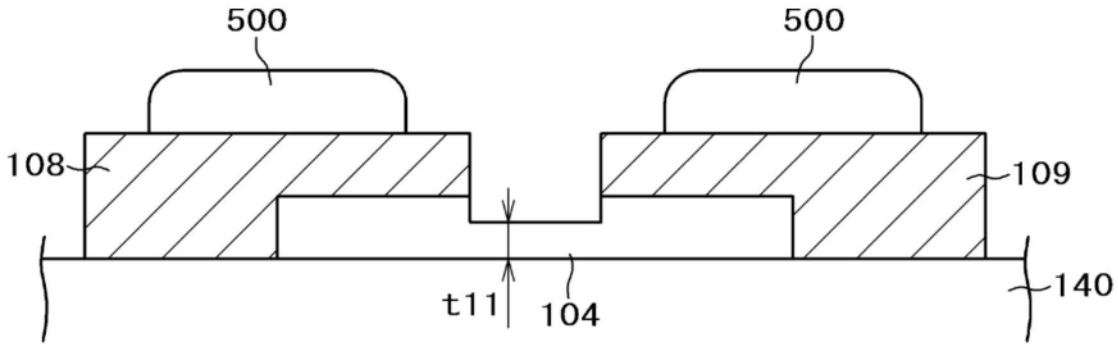


图13D

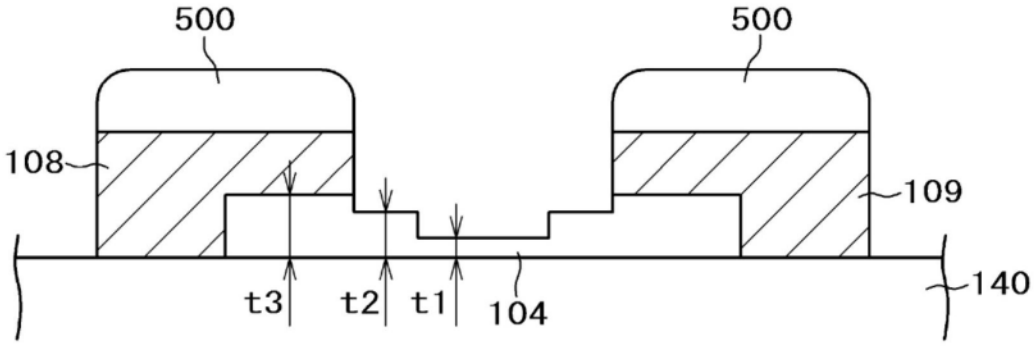


图13E

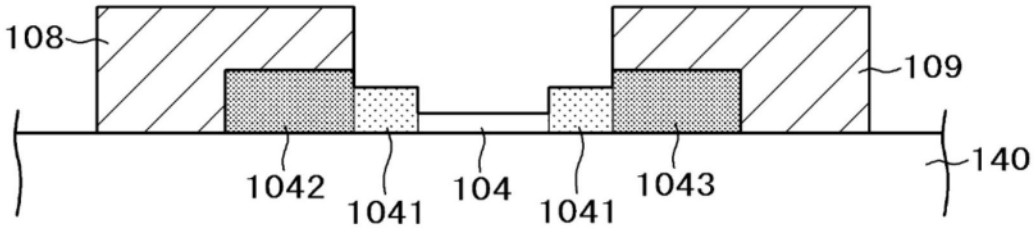


图13F

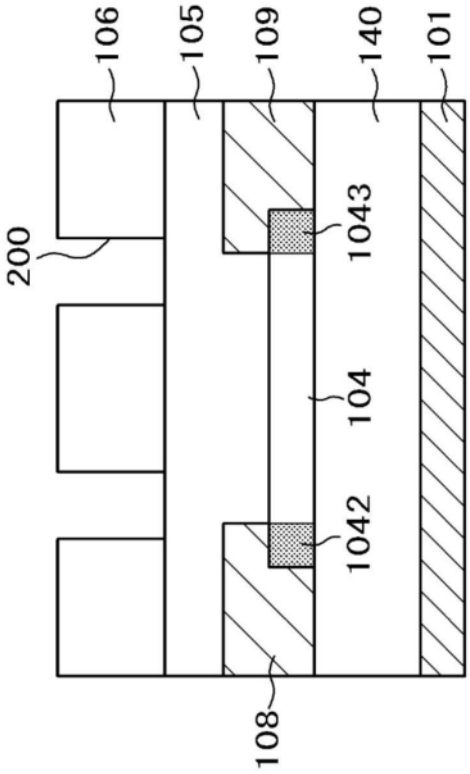

106
105
109
140
101
200
1043
104
1042
108

图14A

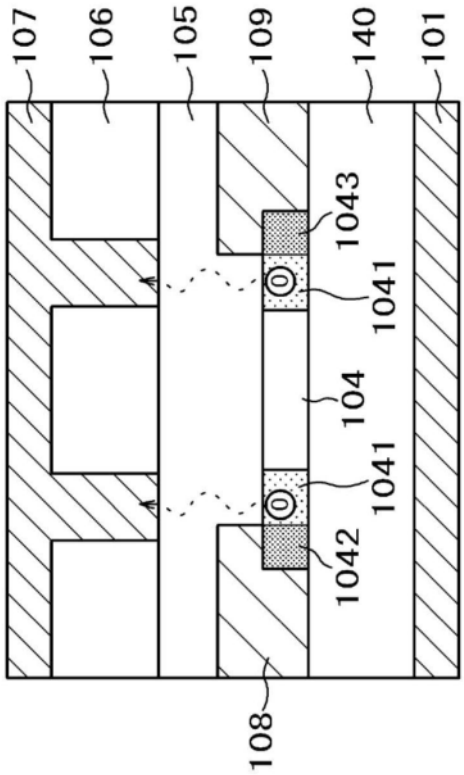

107
106
105
109
140
101
1043
1041
104
1041
1042
108

图14B

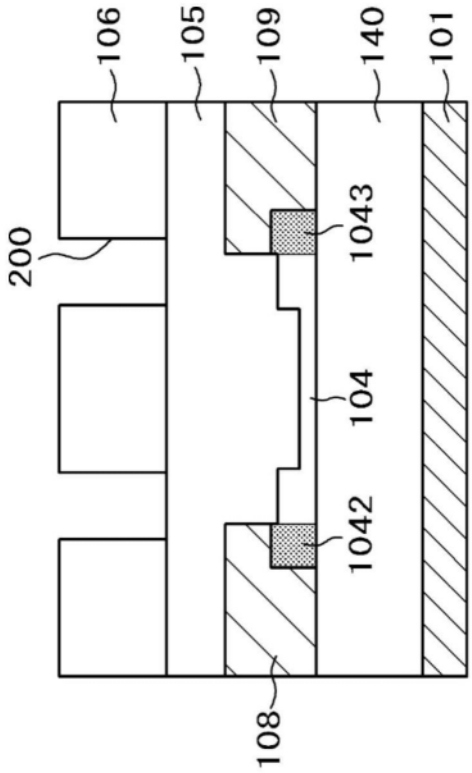

106
105
109
140
101
200
1043
104
1042
108

图15A

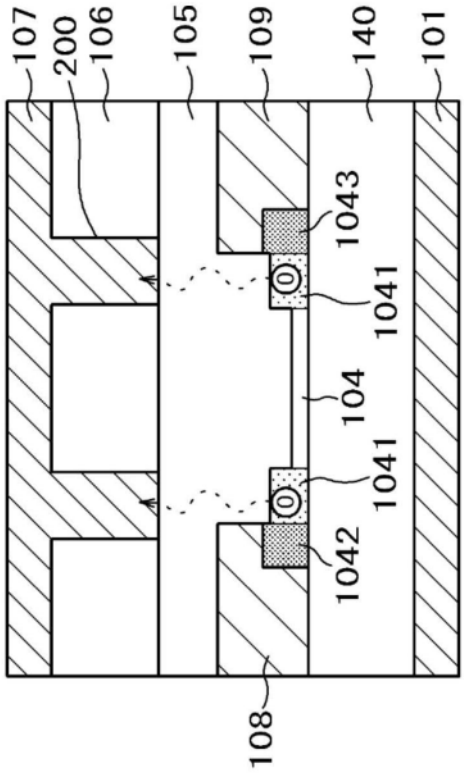

107
200
106
105
109
140
101
1043
1041
104
1041
1042
108

图15B

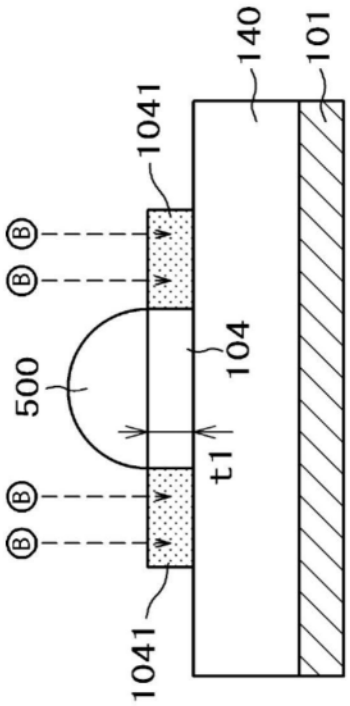

140
101
1041
B
B
104
500
t1
B
B
1041

图16A

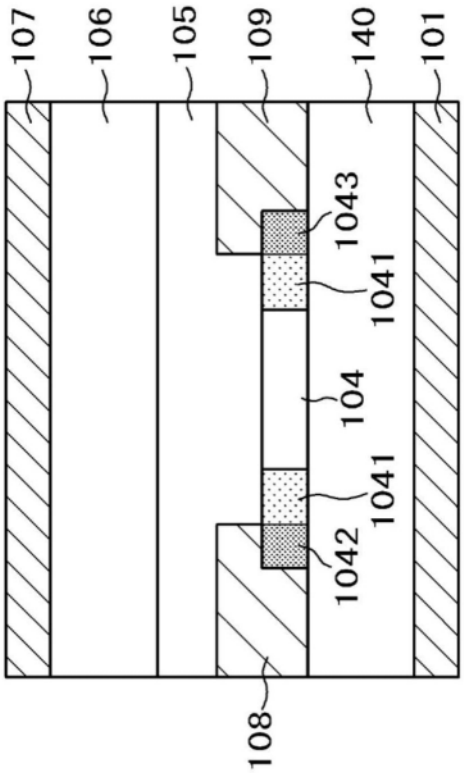

107
106
105
109
140
101
1043
1041
104
1041
1042
108

图16B

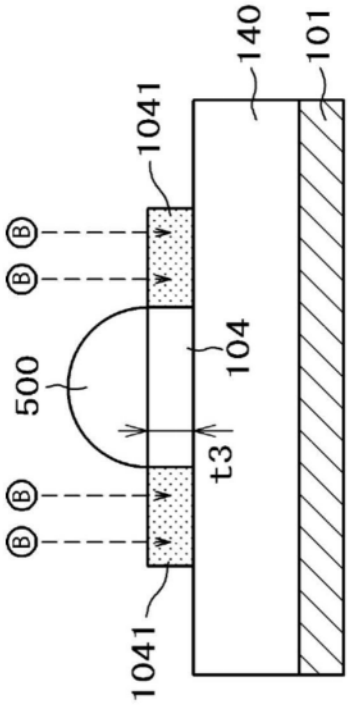

140
101
1041
B
B
104
500
t3
B
B
1041

图17A

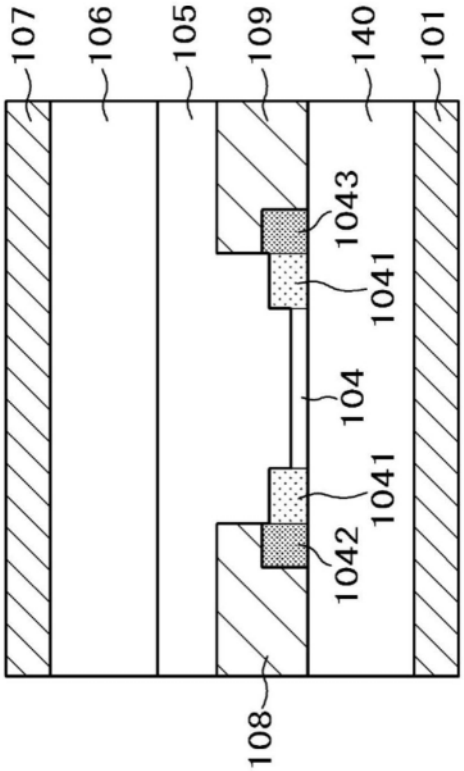

107
106
105
109
140
101
1043
1041
104
1041
1042
108

图17B