

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 10 月 11 日 (11.10.2012)



WIPO | PCT



(10) 国际公布号
WO 2012/136047 A1

(51) 国际专利分类号:
H04L 1/00 (2006.01)

(21) 国际申请号: PCT/CN2011/079451

(22) 国际申请日: 2011 年 9 月 8 日 (08.09.2011)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201110084573.3 2011 年 4 月 6 日 (06.04.2011) CN

(71) 申请人 (对除美国外的所有指定国): **烽火通信科技股份有限公司 (FIBERHOME TELECOMMUNICATION TECHNOLOGIES CO., LTD)** [CN/CN]; 中国湖北省武汉市东湖开发区关东科技园东信路 5 号, Hubei 430074 (CN)。

(72) 发明人: 及

(75) 发明人/申请人 (仅对美国): **董航 (DONG, Hang)** [CN/CN]; 中国湖北省武汉市东湖开发区关东科技园东信路 5 号, Hubei 430074 (CN)。 **朱齐雄 (ZHU, Qixiong)** [CN/CN]; 中国湖北省武汉市东湖开发区关东科技园东信路 5 号, Hubei 430074 (CN)。

(74) 代理人: 北京捷诚信通专利事务所 (普通合伙) (BEIJING PSCU PATENT OFFICE); 中国北京市西城区三里河一区 5-5, Beijing 100045 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: HARDWARE DECODING METHOD AND APPARATUS FOR SUPER FORWARD ERROR CORRECTION

(54) 发明名称: 超强前向纠错的硬件译码方法及装置

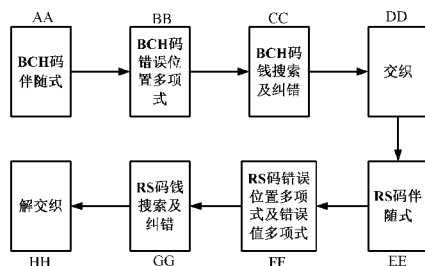


图 1 / Fig. 1

AA BCH CODE ADJOINT EXPRESSION
BB BCH CODE ERROR LOCATION POLYNOMIAL
CC BCH CODE CHIEN SEARCH AND ERROR CORRECTION
DD INTERLEAVING
EE RS CODE ADJOINT EXPRESSION
FF RS CODE ERROR LOCATION POLYNOMIAL AND ERROR VALUE POLYNOMIAL
GG RS CODE CHIEN SEARCH AND ERROR CORRECTION
HH DE-INTERLEAVING

(57) Abstract: Disclosed are a hardware decoding method and apparatus for super forward error correction (SFEC), the method comprising the steps of: calculating the adjoint expression for an output data of the receiving channel using BCH (2040, 1952) code, solving the error location polynomial thereof, performing Chien search, determining the code element error location in the BCH codeword and correcting the error, and completing the decoding processing of the code elements one-by-one in the BCH codeword; interleaving after decoding each internal code BCH code element, calculating the RS codeword adjoint expression of a decoding result, solving the error location polynomial and error value polynomial thereof, performing Chien search according to the error location polynomial, determining the code element error location in the RS codeword, calculating the error value according to the error value polynomial and correcting the errors, and completing the one-by-one decoding of the code elements in the RS codeword; and de-interleaving the output data and obtaining the SFEC decoding result. The present invention can correctly realize the entire algorithm using a smaller-scale hardware circuit, thus improving the speed of SFEC hardware implementation.

[见续页]



WO 2012/136047 A1

**本国际公布:**

— 包括国际检索报告(条约第 21 条(3))。

(57) 摘要:

本发明公开了一种超强前向纠错的硬件译码方法及装置,方法包括步骤:对接收信道输出数据采用 BCH (2040, 1952) 码计算伴随式,求解其错误位置多项式,进行钱搜索,确定 BCH 码字中码元错误位置并纠错,完成 BCH 码字中逐个码元的译码处理;每处理完一个内码 BCH 码元的译码后进行交织处理,计算译码结果的 RS 码字伴随式,求解其错误位置多项式和错误值多项式,根据错误位置多项式进行钱搜索,确定 RS 码字中的码元错误位置,根据错误值多项式计算差错值并纠错,完成 RS 码字中逐个码元的译码;对输出数据进行解交织,得到 SFEC 译码结果。本发明能用较小规模的硬件电路正确实现整个算法,提高 SFEC 的硬件实现时序速度。

说明书

超强前向纠错的硬件译码方法及装置

技术领域

本发明涉及光通信系统中的信道纠错编译码领域，特别是涉及一种超强前向纠错的硬件译码方法及装置。

背景技术

随着 Internet 的普及与迅速发展，通信业务量大增，因而需要采用 WDM (Wavelength Division Multiplexing, 波分复用) 或者 DWDM (Dense Wavelength Division Multiplexing, 密集波分复用) 技术，使线路速率提高到 10Gb/s、40Gb/s 甚至更高。

在长距离、超长距离或者大容量 DWDM 光纤通信系统中，由于光纤的色散和长距离传输会引起信号衰减、信道噪声，而信号衰减、信道噪声、以及一根光纤中多个波长之间的干扰，均会使系统的性能大大下降，因此，在光纤干线上，大约每隔 80 公里就必须进行一次光中继，大约每隔 400 公里就必须进行一次电信号的再生，从而使建网和运营的成本剧增。

由于入纤光功率每增加 3dB，可以将传输距离延长一倍，因此，为了使传输距离更长，同时又保持足够的 OSNR (Optical Signal Noise Ratio, 光信噪比)，可以增加入纤光功率，然而入纤光功率的一味提高，会引发较大的光纤非线性效应，反而不利于实现超长距离传输。

FEC (Forward Error Correction, 前向纠错) 技术是解决上述问题的关键技术之一。FEC 技术通过在传输码列中加入冗余纠错码，可以降低接收端的 OSNR 容限，减小所需的发射功率。采用 FEC 所获得

的译码增益，大大降低了误码率，有效地提高了通信的可靠性，从而达到了改善系统性能、降低系统成本的目的，因此随着未来光纤通信速率的越来越高，FEC 技术将是这一领域的核心技术之一，有较强的技术生命周期，而且，目前在无线通信、数据接入通信等领域中，例如 GPON (Gigabit-Capable PON, G 比特以太网无源光网络) / EPON (Ethernet Passive Optical Network, 以太网无源光网络)，FEC 技术也得到了广泛的应用。

SFEC (Super Forward Error Correction, 超强前向纠错) 是针对 G.709 和 G.975 所规定的标准 FEC 而言的，它对标准前向纠错的 Reed—Solomon (255, 239) 算法做了改进，采用了具有更加强大纠错能力的前向纠错编解码方式，所获得的编码增益更高，能够大幅度降低系统对 OSNR 的要求。

由于现在没有统一的标准，各个厂家采用超强前向纠错的算法各不相同。从现状看，实现超强前向纠错的方法可以大致分为以下两种：

一是完全突破了 G.709 所规定的帧结构，采用两级矩阵式编码，如 RS-RS、RS-BCH、BCH-BCH 编码等；

二是保留 G.709 所规定的帧结构，只是将帧结构中冗码部分的计算由 Reed—Solomon (255, 239) 算法换为其他算法。

前一种方法可以获得很高的净编码增益 (7~8dB)，但是付出的带宽代价也很高 (15%~25%)，现在已经开始实用。后一种方法保持 7% 的冗码比例不变，通过算法的优化来获得比标准前向纠错更优的编码增益。相对于前一种方法，后一种方法获得的编码增益略低。

由于超强前向纠错涉及到比较复杂的交织、解交织以及编解码算法，再加上目前超强前向纠错技术处在非标准化和非透明化的状态下，因此，如何用高效的硬件电路来正确实现整个算法，并获得较高

的硬件时序速度，是实现超强前向纠错的一个难点。

发明内容

本发明的目的是为了克服上述背景技术的不足，提供一种超强前向纠错的硬件译码方法及装置，能够用较小规模的硬件电路来正确实现整个算法，并提高超强前向纠错的硬件实现时序速度。

本发明提供的超强前向纠错的硬件译码方法，包括以下步骤：**A**、首先对接收信道输出的数据采用 **BCH** (2040, 1952) 码计算其伴随式，然后对计算所得 **BCH** 码伴随式结果进行错误位置多项式的求解，再根据求得的错误位置多项式进行钱搜索，确定 **BCH** 码字中的码元错误位置并进行纠错，完成 **BCH** 码字中逐个码元的译码处理；**B**、每处理完一个内码 **BCH** 码元的译码后，先进行交织处理，再对译码结果进行 **RS** 码字伴随式的计算，然后对计算所得 **RS** 码字伴随式结果进行错误位置多项式和错误值多项式的求解，根据求得的错误位置多项式进行钱搜索，确定 **RS** 码字中的码元错误位置，根据求得的错误值多项式计算差错值并进行纠错，完成 **RS** 码字中逐个码元的译码处理；最后将其输出数据进行解交织，得到超强前向纠错的译码结果。

在上述技术方案中，步骤 **A** 中每路 **BCH** 码的伴随式有 16 个。

在上述技术方案中，步骤 **A** 中所述对计算所得 **BCH** 码伴随式结果进行错误位置多项式的求解之前包括以下步骤：将计算所得 **BCH** 码伴随式结果发送到 **BCH** 码 **BM** 算法单元。

在上述技术方案中，步骤 **A** 中所述对计算所得 **BCH** 码伴随式结果进行错误位置多项式的求解之后包括以下步骤：将求解结果发送到 **BCH** 码钱搜索和纠错单元进行处理。

在上述技术方案中，步骤 **B** 中每路 **RS** 码的伴随式有 16 个。

在上述技术方案中，步骤 **B** 中所述对计算所得 **RS** 码字伴随式结

果进行错误位置多项式和错误值多项式的求解之前包括以下步骤：将计算所得 RS 码伴随式结果发送到 RS 码 BM 算法单元。

在上述技术方案中，步骤 B 中所述对计算所得 RS 码字伴随式结果进行错误位置多项式和错误值多项式的求解之后包括以下步骤：将求解结果发送到 RS 码钱搜索和纠错单元进行处理。

本发明提供的超强前向纠错的硬件译码装置，它包括：

BCH 码伴随式计算单元，用于完成 BCH 码的 16 个伴随式的计算，并将求得的 BCH 码伴随式结果保存待用；

BCH 码 BM 算法单元，用于根据已得到的 BCH 码伴随式结果，求解 BCH 码错误位置多项式的表达式，进而得到 BCH 码错误位置多项式所有系数的值，多个 BCH 码共用一个 BCH 码 BM 算法单元；

BCH 码钱搜索和纠错单元，用于求解所述 BCH 码 BM 算法单元发送来的错误位置多项式的根，定位出每个 BCH 码字中的错误码元位置，并完成 BCH 码字中的错误码元的纠错；

BCH 码复用存储单元，用于对多路 BCH 码进行存储、处理，以及对 BCH 码伴随式分量和错误位置多项式进行调度；

BCH 码总线变换单元，用于完成总线从 BCH 码型到 RS 码型的变换，以满足后续 RS 码在 GF 域上的要求；

RS 码伴随式计算单元，用于完成 RS 码的 16 个伴随式的计算，并将求得的 RS 码伴随式结果保存待用；

RS 码 BM 算法单元，用于根据已得到的 RS 码伴随式结果，计算 RS 码错误位置多项式和 RS 码错误值多项式的表达式，进而得到 RS 码错误位置多项式的所有系数及 RS 码错误值多项式的所有系数，多个 RS 码字共用一个 RS 码 BM 算法单元；

RS 码钱搜索和纠错单元，用于通过错误位置多项式和错误值多

项式分别确定 RS 码字中的错误位置和错误值，并完成 RS 码元纠错；

RS 码复用存储单元，用于对多路 RS 码字进行存储、处理，以及对 RS 码伴随式分量、错误位置多项式和错误值多项式进行调度；

RS 码总线变换单元，用于完成入口多路 RS 码字的并行译码输出到出口位宽的变换，并发送帧的起始位置指示信号。

在上述技术方案中，它还包括数据缓冲单元，所述数据缓冲单元用于缓存数据，并产生延迟一定拍数的帧起始脉冲信号。

在上述技术方案中，它还包括译码性能监控单元，所述译码性能监控单元用于监控 RS 码和 BCH 码的性能。

与现有技术相比，本发明的优点如下：

本发明中采用多个 BCH 码字共用一个 BCH 码 BM 算法单元，以及多个 RS 码字共用一个 RS 码 BM 算法单元，以尽可能减小硬件电路的设计规模，使得本发明的硬件电路实现规模相对较小，并能获得较高的硬件时序速度。

附图说明

图 1 为本发明实施例中的方法流程图；

图 2 为本发明实施例中的装置结构示意图；

图 3 为本发明实施例中 BCH 码 BM 算法的电路图；

图 4 为本发明实施例中 BCH 码钱搜索与纠错单元的结构示意图；

图 5 为本发明实施例中 RS 码 BM 算法的流程图；

图 6 为本发明实施例中 RS 码钱搜索与纠错单元的结构示意图。

具体实施方式

下面结合附图及实施例对本发明作进一步的详细描述。

参见图 1 所示，本发明实施例提供的超强前向纠错的硬件译码方

法，包括以下步骤：首先对接收信道输出的数据采用 BCH 码计算其伴随式，每路 BCH 码的伴随式有 16 个，然后将计算所得的 BCH 码伴随式结果发送到 BCH 码 BM 算法单元，进行错误位置多项式的求解，接着将求解结果送入 BCH 码钱搜索和纠错单元进行处理，根据求得的错误位置多项式进行钱搜索，确定 BCH 码字中具体的码元错误位置并进行纠错，从而完成 BCH 码字的逐个码元的译码处理；每处理完一个内码 BCH 码元的译码后，先通过交织处理，再将其译码结果再进行 RS 码字伴随式的计算，每路 RS 码的伴随式有 16 个，然后将计算所得到的 RS 码伴随式结果发送到 RS 码 BM 算法单元进行计算，求解该 RS 码字的错误位置多项式和错误值多项式，接着将求解结果送入 RS 码钱搜索和纠错单元进行处理，根据求得的错误位置多项式进行钱搜索，确定 RS 码字中具体的码元错误位置，根据错误值多项式计算差错值并进行纠错，从而完成 RS 码字的逐个码元的译码处理，最后将其输出数据进行解交织，即得到最终的超强前向纠错译码结果。

参见图 2 所示，本发明实施例提供的超强前向纠错的硬件译码装置，它包括：

数据缓冲单元，用于缓存数据，并产生延迟一定拍数的帧起始脉冲信号；

BCH 码伴随式计算单元，用于完成 BCH 码的 16 个伴随式的计算，并将求得的 BCH 码伴随式结果保存待用；

BCH 码 BM 算法单元，用于根据已得到的 BCH 码伴随式结果，求解 BCH 码错误位置多项式的表达式，进而得到 BCH 码错误位置多项式所有系数的值，多个 BCH 码共用一个 BCH 码 BM 算法单元；

BCH 码钱搜索和纠错单元，用于求解所述 BCH 码 BM 算法单元

发送来的错误位置多项式的根，定位出每个 BCH 码字中的错误码元位置，并完成 BCH 码字中的错误码元的纠错；

BCH 码复用存储单元，用于对多路 BCH 码进行存储、处理，以及对 BCH 码伴随式分量和错误位置多项式进行调度；

BCH 码总线变换单元，用于完成总线从 BCH 码型到 RS 码型的变换，以满足后续 RS 码在 GF 域上的要求；

RS 码伴随式计算单元，用于完成 RS 码的 16 个伴随式的计算，并将求得的 RS 码伴随式结果保存待用；

RS 码 BM 算法单元，用于根据已得到的 RS 码伴随式结果，计算 RS 码错误位置多项式和 RS 码错误值多项式的表达式，进而得到 RS 码错误位置多项式的所有系数及 RS 码错误值多项式的所有系数，多个 RS 码字共用一个 RS 码 BM 算法单元；

RS 码钱搜索和纠错单元，用于通过错误位置多项式和错误值多项式分别确定 RS 码字中的错误位置和错误值，并完成 RS 码元纠错；

RS 码复用存储单元，用于对多路 RS 码字进行存储、处理，以及对 RS 码伴随式分量、错误位置多项式和错误值多项式进行调度；

RS 码总线变换单元，用于完成入口多路 RS 码字的并行译码输出到出口位宽的变换，并发送帧的起始位置指示信号；

译码性能监控单元，用于监控 RS 码和 BCH 码的性能。

下面详细阐述本发明实施例的方法步骤：

步骤 10：计算接收信道输出数据的 BCH 码的伴随式。

因为输入位宽为 64，而每个 BCH 码中都包含一个 BCH 码伴随式计算单元，所以 64 个 BCH 码中包含有 64 个这样的 BCH 码伴随式计算单元，每个 BCH 码伴随式计算单元采用脉动（Systolic）阵列结构实现 BCH 码伴随式的求解。

步骤 10 具体包括下述子步骤 101 和 102:

子步骤 101: 计算出奇数序号的伴随式, 具体过程与现有技术相同, 此处不赘述;

子步骤 102: 由于二进制 BCH 码的伴随式具有的 $S_{2j} = (S_j)^2$ 的性质, 偶数序号的伴随式都可以根据此式来计算, 而且由上面的关系可以进一步推导出: $S_2 = (S_1)^2$, $S_4 = (S_1)^4$, $S_6 = (S_3)^2$, $S_8 = (S_1)^8$, $S_{10} = (S_5)^2$, $S_{12} = (S_3)^4$, $S_{14} = (S_7)^2$, $S_{16} = (S_1)^{16}$, 采用 GF(2¹¹) 域 (Galois Field, 伽罗华域) 上平方、4 次方、8 次方和 16 次方运算电路, 即可用奇数序号的伴随式, 计算出所有的偶数序号的伴随式。

步骤 20: 将 64 位宽的输入数据放入缓存中, 待 BCH 码的伴随式、BM 算法求解完毕进行钱搜索纠错时, 再从该缓存中同步读出数据, 送入 BCH 码钱搜索和纠错单元中, 进行同步纠错处理。

步骤 30: 将步骤 10 中得到的 64 路 BCH 码伴随式, 分别用两个 BCH 码复用存储单元进行存储和调度, 每个 BCH 码复用存储单元存储 32 路 BCH 码伴随式数据。

步骤 40: 根据步骤 30 输出的 BCH 码伴随式的值, 求解 BCH 码错误位置多项式的表达式, 从而得到错误位置多项式所有系数的值。

本发明实施例中, 64 路 BCH 码伴随式中的每 32 路复用两个 BM 算法, 因此只需要两套 BM 算法, 这样就可以节省电路工作中消耗的功率和电路规模。在本步骤中, 每计算出一个 BCH 码错误位置多项式以后, 就向步骤 30 给出一个反馈信号, 表示本次 BM 算法计算完毕, 可以传递下一个 BCH 码伴随式。具体硬件实现电路参见图 3 所示。同时, 将计算得到的 BCH 码错误位置多项式的值输出到 BCH 码复用存储单元中进行存储。

步骤 50: 将步骤 40 得到的 BCH 码错误位置多项式依次存储,

当所有 32 路 BCH 码字的 BM 算法都计算完毕时，将 32 路 BCH 码错误位置多项式的值同时输出，并产生一个使能信号，表示可以进行下一步的 BCH 码钱搜索和纠错功能。

步骤 60：根据步骤 50 送出的使能信号和错误位置多项式的根，以及步骤 20 输出的缓冲数据，完成 BCH 码字中的错误码元的纠错。

本发明实施例中有 64 个 BCH 码钱搜索和纠错单元，以实现 64 个 BCH 码并行纠错处理。参见图 4 所示， $\sigma_0, \sigma_1, \dots, \sigma_i$ 是错误位置多项式的系数，MUX 是二选一的选择器， α 是 BCH 码的本元域元素，每个时钟周期能够纠正一个错，完成纠错所需的时钟周期与码长相等。图 4 中 i 的变化范围为： $1 \leq i \leq 2047$ ，分别对应于 BCH(2047, 1959) 码字的第 1 号码元 r_{2046} ($i=1$) 至 2047 号码元 r_0 ($i=2047$)，BCH 码元编号顺序为：码字多项式中的最高系数 2046 算作第 1 号码元，码字多项式中的最低系数 0 算作第 2047 号码元，当电路运算的结果 $\sigma(a^i) = \sigma_0$ 时，即表示 a^i 是错误位置多项式的根，并且错误位置发生在 BCH 码字的第 i 号码元；此时从数据缓冲单元中读出该 BCH 码字的码元，进行反相后送出，即完成码元错误的纠正；如果运算结果不满足 $\sigma(a^i) = \sigma_0$ ，则表明该码元位未发生错误，将数据缓冲单元中读出的 BCH 码字的码元直接送出即可。

步骤 70：将经过 BCH 译码后的数据，从 64 位宽总线变换到 10 位宽，以满足后续的 RS 码的 GF 域上的要求，具体过程与现有技术相同，此处不赘述。

步骤 80：对于步骤 70 输出的 16 个 10 位宽 RS 码，通过 16 个相类似的计算电路分别计算其伴随式分量，并同时输出。

步骤 90：将步骤 80 中得到的 16 路 RS 码伴随式，分别用两个 RS 码复用存储单元进行存储和调度，每个 RS 码复用存储单元存储 8

路数据。

步骤 100: 求解错误位置多项式 $\sigma(x)$ 的所有系数的值, 具体实现过程参见图 5 所示。错误值多项式 $\omega(x)$ 的计算方法和错误位置多项式 $\sigma(x)$ 的计算方法完全一样, 它们可以共用同一套控制电路。根据步骤 90 输出的 RS 码伴随式的值, 求解 RS 码错误位置多项式和错误值多项式的表达式, 从而得到错误位置多项式和错误值多项式所有系数的值。此处采用了复用的形式, 16 路 RS 码的伴随式中的每 8 路复用 一个 BM 算法, 因此本发明实施例中只需要两套 RS 码 BM 算法, 这样可以减小硬件电路的实现规模, 节省电路工作中消耗的功率。由于采用了复用的结构, 因此在本步骤中, 每计算出一个 RS 码错误位置多项式以后就向步骤 90 给出一个反馈信号, 表示本次 BM 算法计算完毕, 可以传递下一个 RS 码伴随式。

步骤 110: 通过步骤 100 得到的错误位置多项式 $\sigma(x)$ 和错误值多项式 $\omega(x)$, 分别确定 RS 码字中的错误位置和错误值, 并完成 RS 码元纠错。

参见图 6 所示, 电路的上半部分为差错值多项式 $\frac{\omega(x)}{x}$ 的计算电路, ω 寄存器的初始值为 ω_1 、 ω_2 、.....、 ω_8 (注意: ω_0 为 0)。接收 RS 码字矢量 r_{1022} , 7 个常系数乘法器进行乘法运算, 且将下列值存入相应的 RS 码复用存储单元: $\omega_2\alpha$, $\omega_3\alpha^2$, $\omega_4\alpha^3$, $\omega_5\alpha^4$, $\omega_6\alpha^5$, $\omega_7\alpha^6$, $\omega_8\alpha^7$, 累加器 A 输出计算结果, 记为 numerator: $\omega_1 + \omega_2\alpha + \omega_3\alpha^2 + \omega_4\alpha^3 + \omega_5\alpha^4 + \omega_6\alpha^5 + \omega_7\alpha^6 + \omega_8\alpha^7$ 。下半部分为 Chien 搜索电路和求导电路。 σ 寄存器初始值为 σ_0 、 σ_1 、 σ_2 、.....、 σ_8 。接收 RS 码字矢量 r_{1022} 正要从缓冲器中读出之前, 8 个常系数乘法器进行乘法运算, 且将下列值存进寄存器: $\sigma_1\alpha$, $\sigma_2\alpha^2$, $\sigma_3\alpha^3$, $\sigma_4\alpha^4$, $\sigma_5\alpha^5$, $\sigma_6\alpha^6$, $\sigma_7\alpha^7$, $\sigma_8\alpha^8$,

并将这些值分奇偶送入累加器 B 和 C，然后将累加器 B 和 C 的结果再相加，其结果为描述方便记为 sum。同时，将奇数项求和结果求逆，记为 inversion。门的控制信号是：sum 和不可纠判断输出信号 rs_word_uncorr。当 sum=0，且不可纠信号 rs_word_uncorr 无效（在纠错能力内）时（rs_word_uncorr=0），门将 inversion 输出；否则，门输出 0。

与 BCH 码的 Chien 搜索电路相同，本发明实施例中的 RS（781，765）码和 RS（778，762）码是 RS（1023，1007）码的截短码，因此在得到错误位置多项式 $\sigma(x)$ 后，只需从 i 等于 243 开始检测到 i 等于 1023 为止，i 等于 243 就对应于输入 RS（781，765）码字的第一个符号码元 r_{780} ，即 RS（781，765）码字第 1 号码元，i 等于 1023 对应于输入 RS（781，765）码字的最后一个符号码元 r_0 ，即 RS 码字第 781 号符号码元。本发明实施例中，每次在进行 RS（781，765）码字钱搜索开始前，将图 6 中的寄存器 σ_1 、 σ_2 、.....、 σ_8 的值初始化为以下的 8 个值，并计算该 8 个值的异或求和 $\sigma(a^i)$ ，作为第一次判断错误位置多项式的根：

$$\sigma_1 a^{243}, \sigma_2 a^{486}, \sigma_3 a^{729}, \sigma_4 a^{972}, \sigma_5 a^{192}, \sigma_6 a^{435}, \sigma_7 a^{678}, \sigma_8 a^{921}。$$

门的输出信号和 numerator 相乘，得到差错值 E_{1022} ，把差错值与缓冲器输出值 r_{1022} 相加，完成对 r_{1022} 的纠错。 r_{1022} 译码完成后，在将寄存器的内容作常系数乘法，并重复进行上述的相加运算和检验，对 r_{1021} 进行纠错.....直到整个码字输入完毕，完成一个 RS 码字的纠错过程。

用 RS 码 Chien 搜索电路对错误位置多项式的根进行搜索，记录下根的个数。当根的个数和错误位置多项式的次数不相等时，判断为产生了不可纠错误。此时，一个 RS 码字中至少有 9 个符号产生了错误，超过了纠错码的译码门限，在这种情况下，关断前向纠错功能。

步骤 120: 完成入口 16 路 RS 并行译码输出 160 比特流到出口 64 比特流的变换, 并送出帧的起始位置指示信号, 具体过程与现有技术相同, 此处不赘述。

显然, 本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样, 倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内, 则本发明也意图包含这些改动和变型在内。

本说明书中未作详细描述的内容属于本领域专业技术人员公知的现有技术。

权 利 要 求 书

1、一种超强前向纠错的硬件译码方法，其特征在于包括以下步骤：

A、首先对接收信道输出的数据采用 BCH (2040, 1952) 码计算其伴随式，然后对计算所得 BCH 码伴随式结果进行错误位置多项式的求解，再根据求得的错误位置多项式进行钱搜索，确定 BCH 码字中的码元错误位置并进行纠错，完成 BCH 码字中逐个码元的译码处理；

B、每处理完一个内码 BCH 码元的译码后，先进行交织处理，再对译码结果进行 RS 码字伴随式的计算，然后对计算所得 RS 码字伴随式结果进行错误位置多项式和错误值多项式的求解，根据求得的错误位置多项式进行钱搜索，确定 RS 码字中的码元错误位置，根据求得的错误值多项式计算差错值并进行纠错，完成 RS 码字中逐个码元的译码处理；最后将其输出数据进行解交织，得到超强前向纠错的译码结果。

2、如权利要求 1 所述的超强前向纠错的硬件译码方法，其特征在于：步骤 A 中每路 BCH 码的伴随式有 16 个。

3、如权利要求 1 所述的超强前向纠错的硬件译码方法，其特征在于：步骤 A 中所述对计算所得 BCH 码伴随式结果进行错误位置多项式的求解之前包括以下步骤：将计算所得 BCH 码伴随式结果发送到 BCH 码 BM 算法单元。

4、如权利要求 1 或 2 或 3 所述的超强前向纠错的硬件译码方法，其特征在于：步骤 A 中所述对计算所得 BCH 码伴随式结果进行错误位置多项式的求解之后包括以下步骤：将求解结果发送到 BCH 码钱

搜索和纠错单元进行处理。

5、如权利要求 1 所述的超强前向纠错的硬件译码方法，其特征在于：步骤 B 中每路 RS 码的伴随式有 16 个。

6、如权利要求 1 所述的超强前向纠错的硬件译码方法，其特征在于：步骤 B 中所述对计算所得 RS 码字伴随式结果进行错误位置多项式和错误值多项式的求解之前包括以下步骤：将计算所得 RS 码伴随式结果发送到 RS 码 BM 算法单元。

7、如权利要求 1 或 5 或 6 所述的超强前向纠错的硬件译码方法，其特征在于：步骤 B 中所述对计算所得 RS 码字伴随式结果进行错误位置多项式和错误值多项式的求解之后包括以下步骤：将求解结果发送到 RS 码钱搜索和纠错单元进行处理。

8、一种超强前向纠错的硬件译码装置，其特征在于它包括：

BCH 码伴随式计算单元，用于完成 BCH 码的 16 个伴随式的计算，并将求得的 BCH 码伴随式结果保存待用；

BCH 码 BM 算法单元，用于根据已得到的 BCH 码伴随式结果，求解 BCH 码错误位置多项式的表达式，进而得到 BCH 码错误位置多项式所有系数的值，多个 BCH 码共用一个 BCH 码 BM 算法单元；

BCH 码钱搜索和纠错单元，用于求解所述 BCH 码 BM 算法单元发送来的错误位置多项式的根，定位出每个 BCH 码字中的错误码元位置，并完成 BCH 码字中的错误码元的纠错；

BCH 码复用存储单元，用于对多路 BCH 码进行存储、处理，以及对 BCH 码伴随式分量和错误位置多项式进行调度；

BCH 码总线变换单元，用于完成总线从 BCH 码型到 RS 码型的变换，以满足后续 RS 码在 GF 域上的要求；

RS 码伴随式计算单元，用于完成 RS 码的 16 个伴随式的计算，

并将求得的 RS 码伴随式结果保存待用；

RS 码 BM 算法单元，用于根据已得到的 RS 码伴随式结果，计算 RS 码错误位置多项式和 RS 码错误值多项式的表达式，进而得到 RS 码错误位置多项式的所有系数及 RS 码错误值多项式的所有系数，多个 RS 码字共用一个 RS 码 BM 算法单元；

RS 码钱搜索和纠错单元，用于通过错误位置多项式和错误值多项式分别确定 RS 码字中的错误位置和错误值，并完成 RS 码元纠错；

RS 码复用存储单元，用于对多路 RS 码字进行存储、处理，以及对 RS 码伴随式分量、错误位置多项式和错误值多项式进行调度；

RS 码总线变换单元，用于完成入口多路 RS 码字的并行译码输出到出口位宽的变换，并发送帧的起始位置指示信号。

9、如权利要求 8 所述的超强前向纠错的硬件译码装置，其特征在于：它还包括数据缓冲单元，所述数据缓冲单元用于缓存数据，并产生延迟一定拍数的帧起始脉冲信号。

10、如权利要求 8 或 9 所述的超强前向纠错的硬件译码装置，其特征在于：它还包括译码性能监控单元，所述译码性能监控单元用于监控 RS 码和 BCH 码的性能。

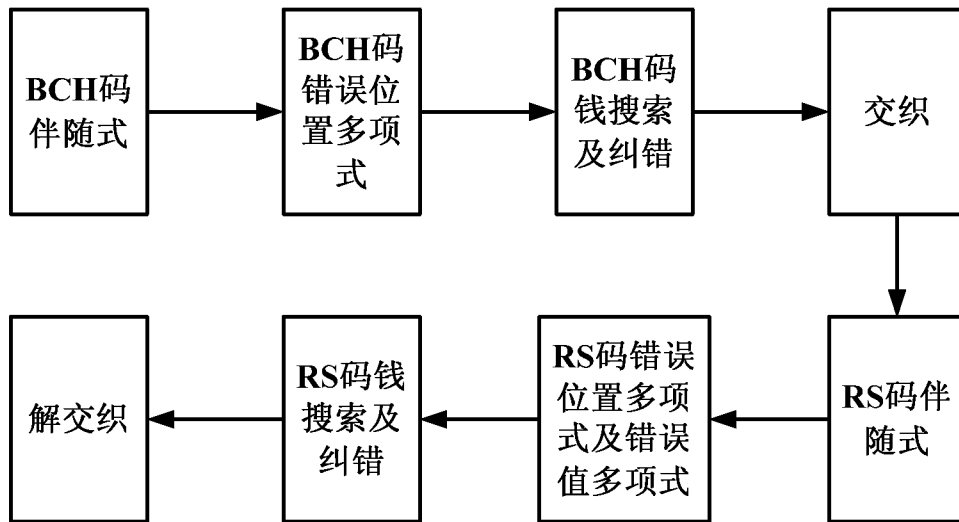


图 1

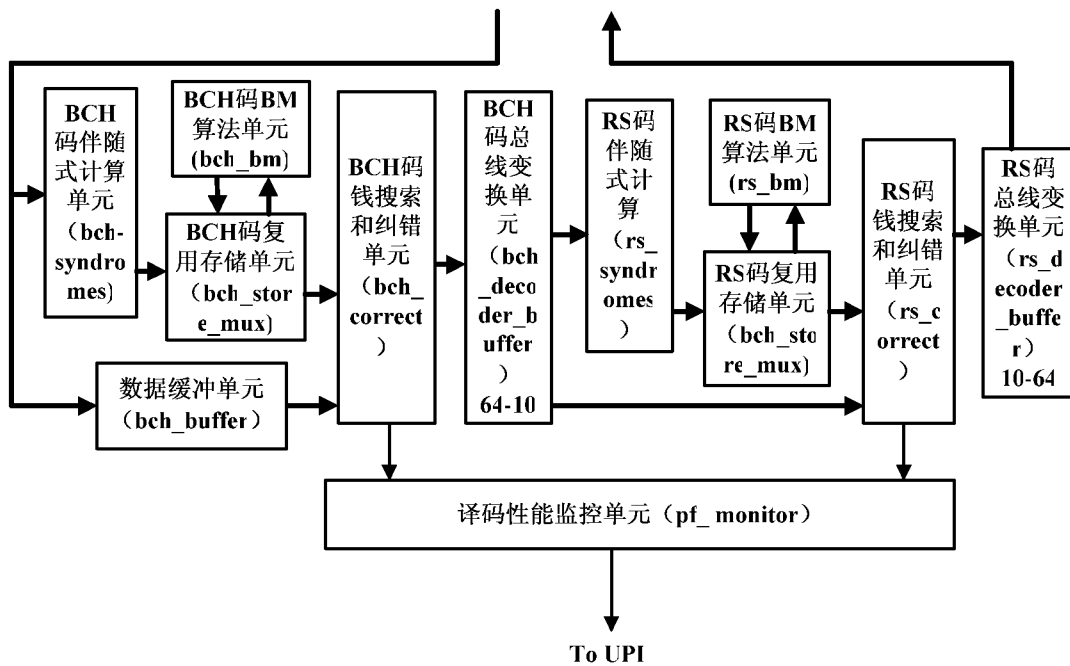


图 2

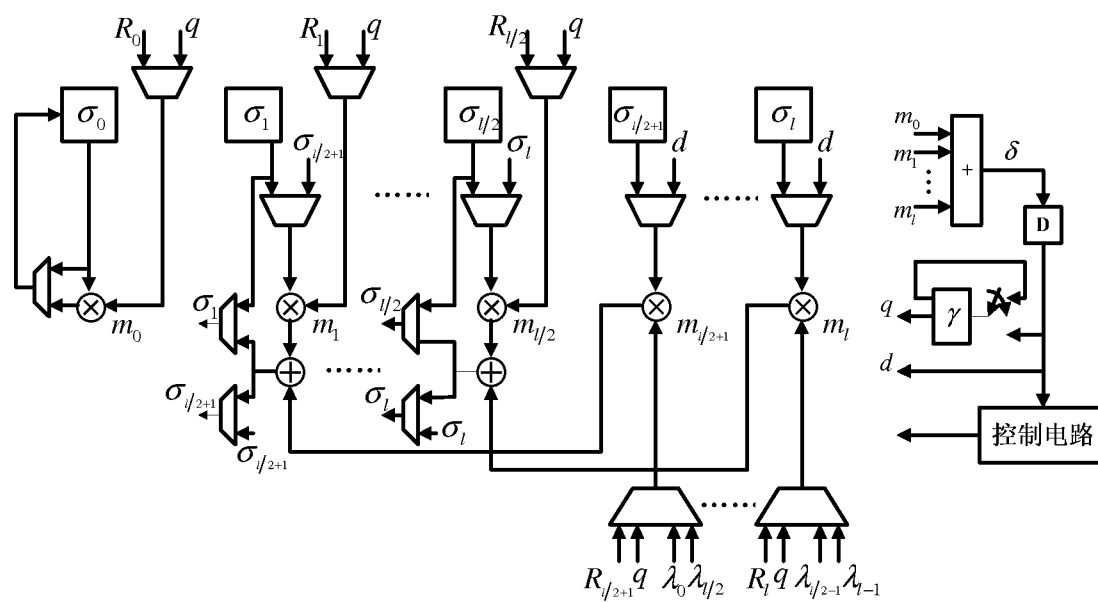


图 3

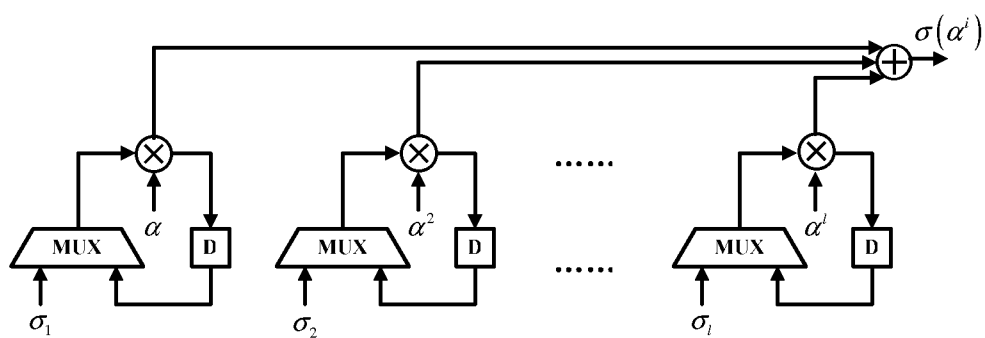


图 4

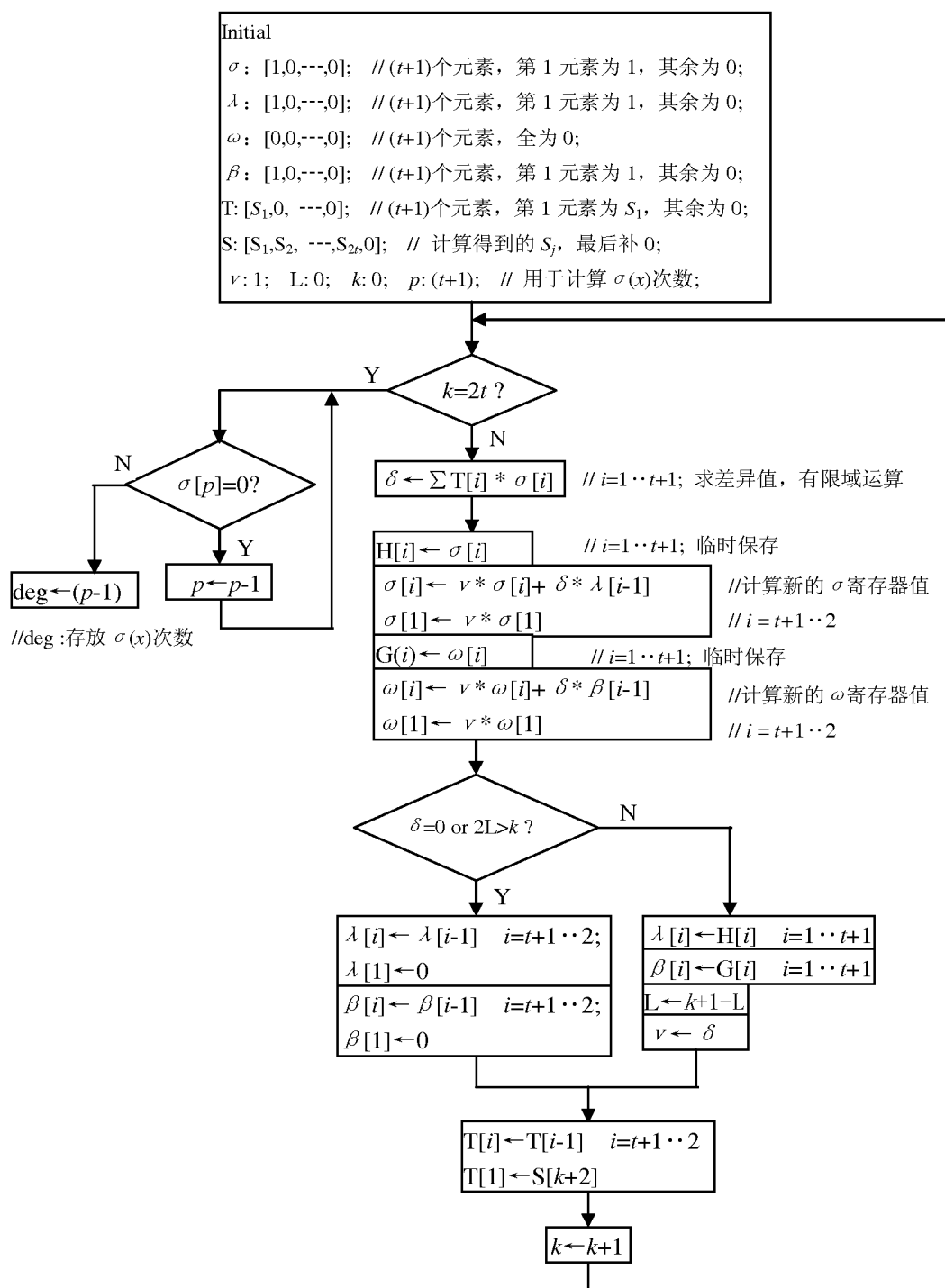


图 5

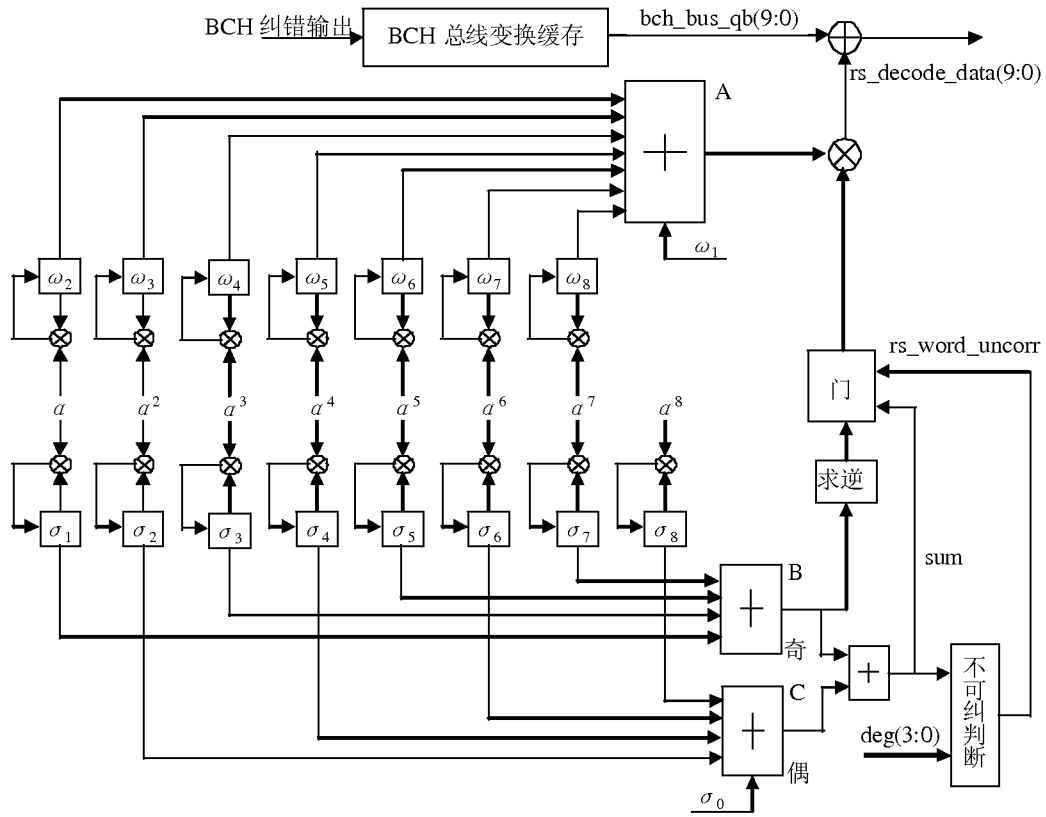


图 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2011/079451

A. CLASSIFICATION OF SUBJECT MATTER

H04L 1/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H04L1/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN, CNKI: FEC, SFEC, EFEC, BCH, RS, chien, super, enhanced, forward w error w correct+, decod+,
reed w solomon, search+, BM

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	CN102170327A (FIBERHOME TELECOMM TECH CO LTD) 31 Aug. 2011 (31.08.2011) see claims 1-10	1-10
Y	CN101667887A (ZTE CORP) 10 Mar. 2010 (10.03.2010) see claims 4, 9; description page 6 lines 8-12, page 7 lines 14-23, page 9 line 23 - page 10 line 13; and figures 3-5	1-10
Y	CN101459431A (UNIV BEIJING et al.) 17 June 2009 (17.06.2009) see claims 1, 4	1-10
A	CN1816969A (MARCONI COMMUNICATION GMBH) 09 Aug. 2006 (09.08.2006) see the whole document	1-10
A	US20100275104A1 (MITSUBISHI ELECTRIC CORP) 28 Oct. 2010 (28.10.2010) see the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 01 Jan. 2012 (01.01.2012)	Date of mailing of the international search report 19 Jan. 2012 (19.01.2012)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10)62019451	Authorized officer WU, Xu Telephone No. (86-10) 62411267

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2011/079451

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN102170327A	31.08.2011	None	
CN101667887A	10.03.2010	WO2011026375A1	10.03.2011
CN101459431A	17.06.2009	None	
CN1816969A	09.08.2006	WO2004098067A1	11.11.2004
		US7484165B2	27.01.2009
		EP1618669A1	25.01.2006
		US2007067695A1	22.03.2007
US20100275104A1	28.10.2010	EP2256973A2	01.12.2010
		CN101877592A	03.11.2010
		JP2010258937A	11.11.2010

国际检索报告

国际申请号

PCT/CN2011/079451

A. 主题的分类

H04L 1/00 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H04L1/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, VEN, CNKI: 超强,增强型,前向纠错, FEC, SFEC, EFEC, 译码, 解码, BCH, RS, 钱, chien, 搜索, BM 算法, super, enhanced, forward w error w correct+, decod+, reed w solomon, search+, BM

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
P,X	CN102170327A (烽火通信科技股份有限公司) 31.8 月 2011 (31.08.2011) 参见权利要求 1-10	1-10
Y	CN101667887A (中兴通讯股份有限公司) 10.3 月 2010 (10.03.2010) 参见 权利要求 4,9; 说明书第 6 页第 8-12 行,第 7 页第 14-23 行,第 9 页第 23 行 -第 10 页第 13 行; 图 3-5	1-10
Y	CN101459431A (北京大学 等) 17.6 月 2009 (17.06.2009) 参见权利要求 1,4	1-10
A	CN1816969A (马科尼通讯股份有限公司) 09.8 月 2006 (09.08.2006) 参 见全文	1-10
A	US2010275104A1 (MITSUBISHI ELECTRIC CORP) 28.10 月 2010 (28.10.2010) 参见全文	1-10

☐ 其余文件在 C 栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇
引用文件的公布日而引用的或者因其他特殊理由而引
用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了
理解发明之理论或原理的在后文件“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的
发明不是新颖的或不具有创造性“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件
结合并且这种结合对于本领域技术人员为显而易见时,
要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

01.1 月 2012(01.01.2012)

国际检索报告邮寄日期

19.1 月 2012 (19.01.2012)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

吴旭

电话号码: (86-10) 62411267

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/079451

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN102170327A	31.08.2011	无	
CN101667887A	10.03.2010	WO2011026375A1	10.03.2011
CN101459431A	17.06.2009	无	
CN1816969A	09.08.2006	WO2004098067A1	11.11.2004
		US7484165B2	27.01.2009
		EP1618669A1	25.01.2006
		US2007067695A1	22.03.2007
US2010275104A1	28.10.2010	EP2256973A2	01.12.2010
		CN101877592A	03.11.2010
		JP2010258937A	11.11.2010