

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95117222

※申請日期：95.5.16.

※IPC 分類：H01L 25/10, 23/28

一、發明名稱：(中文/英文)

(2006.01) (2006.01)

偏位積體電路封裝層疊堆疊系統

OFFSET INTEGRATED CIRCUIT PACKAGE-ON-PACKAGE STACKING SYSTEM

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

星科金朋有限公司

STATS CHIPAC LTD.

代表人：(中文/英文) 陳勵勤 / KOON, TAN LAY

住居所或營業所地址：(中文/英文)

新加坡・新加坡市 569059・塔克朋 #05-17/20・65 安磨克街 10 號

10 Ang Mo Kio Street 65, #05-17/20 Techpoint, Singapore, 569059

Singapore

國 籍：(中文/英文) 新加坡 / Singapore

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 沈一權 / SHIM, IL KWON

2. 韓丙濬 / HAN, BYUNG JOON

3. 鄒勝源 / CHOW, SENG GUAN

國 籍：(中文/英文)

1. 2. 大韓民國 / REPUBLIC OF KOREA

3. 馬來西亞 / MALAYSIA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國 2005 年 5 月 16 日 60/594,887 （主張優先權）
2. 美國 2006 年 5 月 15 日 11/383,407 （主張優先權）

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭露了一種偏位積體電路封裝層疊堆疊系統，包含提供基底基板；在該基底基板上設置接觸墊陣列；將主動元件與視需要可選用的(optional)被動元件安設在該基底基板上；在該基底基板上注入成形模套；將偏位封裝件安設在該基底基板與該模套上；以及從該基底基板切割出單個之封裝層疊。

六、英文發明摘要：

An offset integrated circuit package-on-package stacking system is provided including providing a base substrate, providing an array of contact pads on the base substrate, mounting an active component and an optional passive component on the base substrate, injecting a mold cap on the base substrate, mounting an offset package on the base substrate and the mold cap, and singulating a package-on-package from the base substrate.

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

100 偏位積體電路封裝層疊堆疊系統

102 基底封裝件 104 分離元件

106 模套 108 偏位封裝件

110 切割線 112 區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

[相關申請案之交叉參照]

本申請案主張於 2005 年 5 月 16 日所提出的美國專利臨時申請案(U.S. Provisional Patent Application)第 60/594,887 號的優先權。

本申請案包含與 Shim 等人所同步申請之美國專利申請案第 11/383,403 號(其標題為“Offset Integrated circuit Package-on-Package Stacking System”)相關的主題。該相關的申請案係讓渡給 STATS ChipPAC Ltd.。

【發明所屬之技術領域】

本發明係有關於積體電路封裝系統，詳而言之，係有關用於具有堆疊封裝件之積體電路封裝系統的系統。

【先前技術】

為了連接積體電路與其他電路系統，通常將積體電路固定在導線架或基板上。每個積體電路具有接合墊(bonding pads)，並使用非常細的金線或鋁線使接合墊分別連接至導線架的導腳墊(lead finger pads)。然後藉由分別將組件模封(encapsulate)至模製塑膠或陶製體而封裝組件，以產生積體電路封裝件。

積體電路封裝技術已歷經了固定在單一電路板或基板上積體電路數量的增加。新封裝設計在外型因數(form factors)(例如積體電路的實體尺寸與形狀)上是更加小型化的，並在整體積體電路密度上提供顯著的增加。然而，用於固定在基板上個別的積體電路的積體電路密度持續受

到可利用空間(real estate)的限制。更大外型的系統(例如個人電腦、電腦伺服器、與儲存伺服器)在相同或較小的空間中需要更多的積體電路。更嚴重的，攜帶型個人電子裝置(如手機、數位相機、音樂播放器、個人數位助理、與定位裝置)的需求，更迫使對於積體電路密度的需求。

積體電路密度的增加導致可封裝一個以上的積體電路之多晶片封裝件的發展。每個封裝件提供機械支撐予個別積體電路與一個或更多層之互連線，該互連線能讓積體電路電性連接至周圍電路。目前的多晶片封裝件，也可稱之為多晶片模組，一般由 PCB 基板所構成，其中一組分隔之積體電路元件是直接裝附在該基板上。這樣的多晶片封裝件已被發現會增加積體電路密度與微型化、改進信號傳播速度、減少整體積體電路尺寸與重量、改進性能、與降低成本---皆為電腦業之主要的目的。

無論是垂直或水平排列的多晶片封裝件，都會引起問題，因為多晶片封裝件通常必須在積體電路與積體電路連接測試之前事先組合完成。因此，當在多晶片模組中固定與連接積體電路時，不能分別的測試個別的積體電路與連接，並且不可能在組合成較大電路前辨別已知良品晶片(known-good-die, KGD)。因此，習知的多晶片封裝件導致組裝製程良率的問題。這種無法辨別 KGD 的製造程序因此具有較差的可靠性與較多組件缺陷的傾向。

此外，在一般多晶片封裝件中的垂直堆疊之積體電路可能會呈現比水平排列堆疊之積體電路封裝件更多的問

題，而使製造程序更加複雜化。這將使測試與如此決定個別積體電路之真實故障模式更加的困難。此外，在組裝或測試期間，通常會損害基板與積體電路，使製造程序複雜化與增加成本。垂直堆疊之積體電路可能會引起比好處還要多的問題。

因此，改進封裝方法、系統、與設計的需求依然存在。至於一直增加之節省成本與改進效能的需求，對於這些問題的答案是越來越重要的。至於一直增加之商業競爭壓力、增加的消費者期望、以及減少在市場上有意義產品差異的機會，對於這些問題的答案則是持續重要的。此外，一直增加之節省成本、改進之效能、與符合這些競爭壓力的需求，更是急迫的需要發現這些問題的答案。

這些問題的解答已被長期尋找，但先前技術的發展並沒有教導或建議任何解答，因此這些問題的解答已長期困惑熟知本技術領域者。

【發明內容】

本發明提供了偏位積體電路封裝層疊堆疊系統，包含提供基底基板；在該基底基板上設置接觸墊陣列；將主動元件與視需要可選用的(optional)被動元件安設在該基底基板上；在該基底基板上注入模套(mold cap)；將偏位封裝件安設在該基底基板與該模套上；以及從該基底基板切割出(singulate)單塊之封裝層疊。

本發明一些實施例具有附加於或是取代上述者之其他優點。對於熟知本技術領域者，經由閱讀下列詳細敘述與

伴隨圖式後，這些優點將會變得明顯。

【實施方式】

以足夠詳細的方式描述下列的實施例，讓熟知本技術領域者可以製造與使用本發明。應了解，基於在此揭露的內容，其他實施例將會是明顯的，而其程序與細節上的改變不會離開本發明之範圍。

在下列的描述中，給予許多具體的細節以提供本發明徹底的了解。然而，很明顯的，本發明不需要具體細節就可以實施。為了避免模糊本發明，一些已知的電路、系統配置、與程序步驟不會詳細的揭露。同樣的，圖式所顯示之裝置實施例是部分概略的而沒有按照尺寸縮放，更具體的，在圖式的一些尺寸為了清楚呈現所以誇大顯示。此外，所揭露與描述的具有相同的特徵的多個實施例，為了清楚與容易說明、描述與理解，相似的特徵將一般地描述成相似的元件符號。

在這裡使用術語“水平面”定義為平行於平面或基底基板之表面的平面，不論平面的方向。術語“垂直面”指的是垂直於如剛才定義的水平面之方向。術語，例如“上方”，“下方”，“底部”，“頂部”，“側邊”（或“側壁”），“較高”，“較低”，“上面”，“高於”，“下面”都是關於水平面而定義的。術語“在…上”表示直接接觸元件。在這裡使用術語“製程”(processing)包含作為形成描述結構所需的壓印(stamping)、鍛造(forging)、圖樣化(patterning)、曝光(exposure)、顯影

(development)、蝕刻(etching)、洗淨(cleaning)、與/或移除材料或雷射修整(laser trimming)。

現在參考第 1 圖，其顯示本發明實施例之偏位積體電路封裝層疊堆疊系統 100 的俯視圖。偏位積體電路封裝層疊堆疊系統 100 的俯視圖描述了基底封裝件 102，該基底封裝件 102 具有安設在基底封裝件 102 上之分離元件 104。模套 106 位在基底封裝件 102 中央。偏位封裝件 108 固定在基底封裝件 102 的角落，使該模套 106 之頂部表面外露。切割線(singulation line)110 將基板分割成(數個)區域 112。該基底封裝件 102 具有旋轉對稱(rotational symmetry)，表示每個區域 112 與其所鄰近區域 112 對該基底封裝件 102 之幾何中心具有 90 度旋轉。在第二象限的區域 112 是來自第一象限旋轉 90 度，以此類推。

現在參考第 2 圖，顯示如第 1 圖之偏位積體電路封裝層疊堆疊系統 100 之基底基板組件 200 的俯視圖。基底基板組件 200 的俯視圖描述了基底基板頂部表面 202，具有視需要可選用的被動元件 204 安設在如第 1 圖之區域 112 上。主動元件 206(如積體電路)係安設在基底基板頂部表面 202 上，並藉由接合線 210 電性連接至接合墊 208。接觸墊 212 係陣列放置在區域 112 的角落。該區域 112 的幾何，包括視需要可選用的被動元件 204 與接觸墊 212 陣列的位置，對該區域 112 的中心，在鄰近的區域 112 之間旋轉了 90 度。這樣的關係稱之為旋轉對稱。

現在參考第 3 圖，顯示如第 2 圖之在基底基板組件 200

上之封裝模製裝置 300 的截面圖。封裝件模製裝置 300 的截面圖描述在如第 2 圖之基底基板頂部表面 202 上具有模盒(mold chase)302 的基底基板組件 200。使用模盒 302 使封裝材料 304 成形，例如可以利用頂部閘模製技術，經由模製閘(mold gate)306(例如頂部模製閘)注入塑膠或陶製材料至模盒 302 的洞穴(cavity)。封裝材料 304 係在模盒下方的元件周圍形成保護障壁(protection barrier)，該等元件例如第 2 圖之視需要可選用的被動元件 204、與如第 2 圖之主動元件 206。

現在參考第 4 圖，顯示在切割之前基底封裝件 400 的俯視圖。基底封裝件 400 的俯視圖包含排列在單一模套 402 周圍之如第 2 圖之基底基板頂部表面 202、如第 2 圖之視需要可選用的被動元件 204、與如第 2 圖之接觸墊 212 陣列。一組切割線 404 將單一模套 402 分割成(數個)區域。每個區域具有與其鄰近區域相對的旋轉對稱。旋轉對稱係在相對於其鄰近區域旋轉 90 度的每個區域提供相等的圖樣。

現在參考第 5 圖，顯示具有如第 4 圖之基底封裝件之偏位積體電路封裝層疊堆疊系統 100 的俯視圖。偏位積體電路封裝層疊堆疊系統 100 的俯視圖係描述具有如第 1 圖之偏位封裝件 108 的基底封裝件 400 係安裝在由如第 4 圖之該組切割線 404 所形成的每個區域上。偏位封裝件 108 排列成旋轉對稱。每個偏位封裝件 108 相對於其鄰近區域的偏位封裝件 108 旋轉 90 度。偏位封裝件 108 係安設在單

一模套 402 角落上方。這配置允許在基底封裝件 400 中之電路與在偏位封裝件 108 中之電路之間的互連。一些信號也可直接送至印刷電路板(未圖示)。

現在參考第 6 圖，顯示如第 5 圖之偏位積體電路封裝層疊堆疊系統 100 的截面圖。偏位積體電路封裝層疊堆疊系統 100 的截面圖描述具有基底基板 602 之如第 4 圖之基底封裝件 400(例如球柵陣列(ball grid array)封裝件)，該基底基板 602 有基底頂部表面 604 與基底底部表面 606。第一積體電路 608 以膠黏劑 610(例如晶粒附著材料)安設在基底頂部表面 604 上。第一積體電路 608 利用電性互連件(electrical interconnect)612 耦接至基底頂部表面 604，電性互連件例如接合線、焊錫凸塊(solder bump)、焊錫柱(solder column)或柱栓凸塊(stud bump)。基底模套 614(例如模製混合物)係藉由射出成形(injection molded)而成形在第一積體電路 608、電性互連件 612 與部分之基底頂部表面 604 周圍。系統互連件(system interconnect)616(例如焊錫球、焊錫柱插入物或柱栓凸塊)為了系統下一層的附接(未圖示)而裝附於基底底部表面 606。接觸墊 618 陣列係分佈在基底模套 614 周圍的區域。

具有偏位基板 622 的偏位封裝件 620 係安設在基底封裝件 400 的偏位位置(offset position)，其中該偏位基板 622 具有頂部表面 624 與底部表面 626。偏位封裝件 620 有第二積體電路 628，該第二積體電路 628 以膠黏劑 610 安設在頂部表面 624 上。第二積體電路 628 藉由電性互連

件 612 耦接至頂部表面 624。偏位封裝件主體 630(例如模製混合物)係藉由射出成形而覆蓋在第二積體電路 628、頂部表面 624 與電性互連件 612 上方。系統互連件 616 係裝附於偏位基板 622 之底部表面 626。偏位封裝件 620 係安設在基底封裝件 400 上,使得偏位基板 622 的底部表面 626 承載在基底模套 614 與系統互連件 616 上。重疊區域(overlap region)632 係建立穩定的區域,協助保持系統互連件在回焊程序(reflow process)期間不會倒塌。這配置減少了在印刷電路板(未圖示)上所需的空間,且在偏位積體電路封裝層疊堆疊系統 100 的部分保持低的側面輪廓(low profile)。

現在參考第 7 圖,顯示本發明替代實施例之雙側面輪廓模套(dual profile mold cap)封裝件 700 的俯視圖。雙側面輪廓模套封裝件 700 之俯視圖描述基底封裝件 702,該基底封裝件 702 具有位在基底封裝件 702 中央的雙側面輪廓模套 704。偏位封裝件 706 係安設在基底封裝件 702 的角落。切割線 708 將基板分割成(數個)區域 710。該基底封裝件 702 具有該區域 710 的鏡對稱,表示每個區域 710 具有與反射線另一側之區域 710 對立或鏡對稱,其中反射線也是切割線 708 之其中一條。

現在參考第 8 圖,顯示如第 7 圖之雙側面輪廓模套封裝件 700 的截面圖。雙側面輪廓模套封裝件 700 的截面圖描述具有基底基板 802 之基底封裝件 702(例如球柵陣列封裝),該基底基板 802 有基底頂部表面 804 與基底底部表面

806。第一積體電路 808 以膠黏劑 810(例如晶粒附著材料)安設在基底頂部表面 804 上。第一積體電路 808 利用電性互連件 812 耦接至基底頂部表面 804(例如接合線、焊錫凸塊、焊錫柱或柱栓凸塊)。基底封裝件主體 814(例如模製混合物)係藉射出成形而成形在第一積體電路 808、電性互連件 812、與部份之基底頂部表面 804 周圍。基底封裝件主體 814 具有兩個有區別的厚度。向下凸緣區域(step down flange)係延伸圍繞在基底封裝件主體 814 周圍。向上區域(step up area)可針對較高層的整合而覆蓋多個積體電路堆疊。向下凸緣區域薄於基底封裝件主體 814 之向上區域。系統互連件 816(例如焊錫球、焊錫圓柱插入物、或柱栓凸塊)為了系統下一層的附接(未圖示)而裝附於基底底部表面 806。接觸墊 818 陣列係分佈在基底模套 814 周圍的區域。

具有偏位基板 822 的偏位封裝件 820 係安設在基底封裝件 702 的偏位位置，其中該偏位基板 822 有頂部表面 824 與底部表面 826。偏位封裝件 820 有第二積體電路 828，該第二積體電路 828 以膠黏劑 810 安設在頂部表面 824 上。第二積體電路 828 藉由電性互連件 812 耦接至頂部表面 824。偏位封裝件主體 830(例如模製混合物)係藉射出成形而成形在第二積體電路 828、頂部表面 824、與電性互連件 812 上。系統互連件 816 裝附於偏位基板 822 之底部表面 826。偏位封裝件 820 係安設在基底封裝件 702 上，使得偏位基板 822 的底部表面 826 承載在基底封裝件主體 814 之

向下凸緣與系統互連件 816 上之間隙填充物(gap filler) 832(例如晶粒附著材料)上。這種配置減少了在印刷電路板(未圖示)上所需的空間，而在偏位積體電路封裝層疊堆疊系統 100 的部分上保持低的側面輪廓。

現在參考第 9 圖，其顯示在本發明實施例具有鏡對稱之基底基板 900 的俯視圖。基底基板 900 的俯視圖描述基底基板頂部表面 902，該基底基板頂部表面 902 具有鄰近基底基板頂部表面 902 的邊緣的接觸墊 904 陣列。被動元件接觸件(contact)906 陣列係對準接近基底基板頂部表面 902 的另一邊緣。主動元件接合墊 908 陣列係位在接近基底基板頂部表面 902 的中央。主動元件接合墊 908 可用於引線接合(wire bonding)主動元件(未圖示)或用於覆晶(flip chip)型態的附接。切割線 910 也作為當基底基板頂部表面 902 上的元件排列成鏡對稱時的反射線。這種配置需要鏡影像晶粒。

現在參考第 10 圖，其顯示利用如第 9 圖之基底基板之偏位積體電路封裝層疊堆疊系統 1000 的俯視圖。偏位積體電路封裝層疊堆疊系統 1000 的俯視圖描述基底基板頂部表面 902，該基底基板頂部表面 902 具有安設在接近基底基板頂部表面 902 陣列中的視需要可選用的被動元件 1002。基底模套 1004 位在基底基板頂部表面 902 中央。偏位封裝件 1006 係安設在基底基板頂部表面 902 與基底模套 1004 上。偏位封裝件 1006 邊緣對準基底模套 1004 的邊緣。

現在參考第 11 圖，其顯示具有平移對稱(translation

symmetry)與鏡對稱結合之基底基板 1100 的俯視圖。基底基板 1100 的俯視圖描述基底基板頂部表面 1102，該基底基板頂部表面 1102 具有鄰近基底基板頂部表面 1102 邊緣的接觸墊 1104 陣列。被動元件接觸件 1106 陣列係對準接近基底基板頂部表面 1102 的另一邊緣。主動元件接合墊 1108 陣列係位在接觸墊 1104 陣列之間。主動元件接合墊 1108 係用於引線接合主動元件(未圖示)或用於覆晶型態的附接。中央線 1110 也扮演了切割線並用以分割顯示平移對稱的區域。對稱線 1112 係作為當在基底基板頂部表面 1102 上的元件在對稱線 1112 之任一側排列成鏡對稱時之反射線。

現在參考第 12 圖，其顯示利用如第 11 圖之基底基板之偏位積體電路封裝層疊堆疊系統 1200 的俯視圖。偏位積體電路封裝層疊堆疊系統 1200 的俯視圖描述具有視需要可選用的被動元件 1202 附接之基底基板頂部表面 1102。基底模套 1204 在基底基板頂部表面 1102 之中央區域，其基底基板頂部表面 1102 具有安設在基底基板頂部表面 1102 與基底模套 1204 上之偏位封裝件 1206。模製閘 1208 位在基底基板頂部表面 1102 的一末端上。在基底模套 1204 注入期間使用模製閘 1208，其基底模套 1204 使用側邊閘模製(side gate molding)技術。切割線 1210 指出偏位積體電路封裝層疊堆疊系統 1200 在最後的程序步驟時如何被分割。

現在參考第 13 圖，其顯示具有平移對稱與旋轉對稱結

合之基底基板 1300 的俯視圖。基底基板 1300 的俯視圖描述基底基板頂部表面 1302，該基底基板頂部表面 1302 具有鄰近基底基板頂部表面 1302 邊緣的接觸墊 1304 陣列。被動元件接觸件 1306 陣列係對準接近基底基板頂部表面 1302 的另一邊緣。主動元件接合墊 1308 陣列係位在接觸墊 1304 陣列之間。主動元件接合墊 1308 係用於引線接合主動元件(未圖示)或用於覆晶型態的附接。中央線 1310 也標記了切割路徑並當作分割顯示平移對稱的區域。切割線 1312 分隔該基底基板頂部表面 1302 上的幾何，該基底基板頂部表面 1302，對該區域的中心，在切割線 1312 任一邊排列成 180 度旋轉。值得注意的是，該幾何在該中央線 1310 下重複。

現在參考第 14 圖，其顯示利用如第 13 圖之基底基板之偏位積體電路封裝層疊堆疊系統 1400 的俯視圖。偏位積體電路封裝層疊堆疊系統 1400 的俯視圖描述具有視需要可選用的被動元件 1402 附接之基底基板頂部表面 1302。基底模套 1404 在基底基板頂部表面 1302 之中央區域，其基底基板頂部表面 1302 具有安設在基底基板頂部表面 1302 與基底模套 1404 上的偏位封裝件 1406。模製閘 1408 位在基底基板頂部表面 1302 的一末端上。在基底模套 1404 注入期間使用模製閘 1408，其基底模套 1404 係使用側邊閘模製技術。切割線 1410 指出偏位積體電路封裝層疊堆疊系統 1400 在最後的程序步驟時如何被分割。

現在參考第 15 圖，其顯示在本發明另一替代實施例之

偏位積體電路封裝層疊堆疊系統 1500 的俯視圖。偏位積體電路封裝層疊堆疊系統 1500 的俯視圖描述具有視需要可選用的被動元件 1504 附接之基底基板頂部表面 1502。基底模套 1506 在基底基板頂部表面 1502 之中央區域，其基底基板頂部表面 1502 具有安設在基底基板頂部表面 1502 與基底模套 1506 上的偏位封裝件 1508。切割線 1510 指出偏位積體電路封裝層疊堆疊系統 1500 在最後的程序步驟時如何被分割。

現在參考第 16 圖，其顯示在本發明另一替代實施例之偏位積體電路封裝層疊堆疊系統 1600 的俯視圖。偏位積體電路封裝層疊堆疊系統 1600 的俯視圖描述基底基板頂部表面 1602、在基底基板頂部表面 1602 之中央區域的基底模套 1604，其基底基板頂部表面 1602 具有安設在基底基板頂部表面 1602 與基底模套 1604 上的偏位封裝件 1606。複數個基底基板頂部表面 1602 以分隔槽(separation slot) 1608 結合，該分隔槽 1608 定義出邊界。在注入程序期間使用側邊模製閘 1610 而形成基底模套 1604。切割線 1612 指出偏位積體電路封裝層疊堆疊系統 1600 在最後的程序步驟時如何被分割。

現在參考第 17 圖，其顯示具有開口(opening)之基底基板 1700 的俯視圖。基底基板 1700 的俯視圖描述基底基板頂部表面 1702，該基底基板頂部表面 1702 具有鄰近基底基板頂部表面 1702 邊緣的接觸墊 1704 陣列。被動元件接觸件 1706 陣列係對準接近基底基板頂部表面 1702 的另

一邊緣。主動元件接合墊 1708 陣列係位在接觸墊 1704 陣列之間。主動元件接合墊 1708 可用於引線接合主動元件(未圖示)或用於覆晶型態的附接。數條切割線 1710 也標記了切割路徑並當作分割顯示旋轉對稱的區域。基板槽(substrate slot)1712 扮演了當基底基板頂部表面 1702 上的幾何之引導線，該基底基板頂部表面 1702，對該區域的中心，在數條切割線 1710 任一側排列成 90 度旋轉。在組裝程序期間，位在對角線的基板槽 1712 是用於緩和壓力而不是為了切割而使用。

現在參考第 18 圖，其顯示具有旋轉對稱之基底基板組件 1800 的俯視圖。基底基板組件 1800 的俯視圖描述了基底基板頂部表面 1802，具有安設於基底基板頂部表面 1802 上的視需要可選用的被動元件 1804。積體電路 1806 係安設在基底基板頂部表面 1802 上，並藉由接合線 1810 電性連接至接合墊 1808。接觸墊 1812 陣列係放置在基底基板頂部表面 1802 的邊緣。該幾何，包括視需要可選用的被動元件 1804 與接觸墊 1812 陣列的位置對區域的中心在每個區域之間旋轉了 90 度。這樣的關係稱之為旋轉對稱。

現在參考第 19 圖，其顯示具有角度(angular)偏位半導體晶粒之基底基板組件 1900 的俯視圖。基底基板組件 1900 的俯視圖描述了基底基板頂部表面 1902，具有安設於基底基板頂部表面 1902 上的視需要可選用的被動元件 1904。積體電路 1906 係安設在基底基板頂部表面 1902 上，並藉由接合線 1910 電性連接至接合墊 1908。接觸墊 1912

陣列係放置在基底基板頂部表面 1902 的邊緣。該幾何，包括視需要可選用的被動元件 1904 與接觸墊 1912 陣列的位置對區域的中心在鄰近的區域之間旋轉了 90 度。這樣的關係稱之為旋轉對稱。這配置允許每個積體電路 1906 放置在接近切割線 1914 處，且用有角度偏位的方式緩和基板路線空間的限制。

現在參考第 20 圖，其顯示在本發明實施例中用於製造偏位積體電路封裝層疊堆疊系統 100 之偏位積體電路封裝層疊堆疊系統 2000 的流程圖。本系統 2000 包含：在方塊 2002 中，提供基底基板；在方塊 2004 中，在該基底基板上設置接觸墊陣列；在方塊 2006 中，將主動元件與視需要可選用的被動元件安設在該基底基板上；在方塊 2008 中，在該基底基板上注入(射出成形)模套；在方塊 2010 中，將偏位封裝件安設在該基底基板與該模套上；以及在方塊 2012 中，從該基底基板切割出單塊之封裝層疊。

由上述可發現本發明具有許多優點。

主要的優點是本發明提供在積體電路密度上的增加而不需在印刷電路板上花費額外的空間。

另一個優點是裝置可以產生高產量，因為可以在封裝之前測試積體電路。

另一個本發明重要的優點是有價值地支持減少成本、簡化系統、與增加性能的歷史潮流。

本發明這些與其他有價值的觀點因此助長了科技的狀態至下一個階段。

因此，可發現本發明之偏位積體電路封裝層疊堆疊系統供應重要且到現在為止在高密度積體電路封裝之未知與無法利用的解答、能力與功能觀點。所產生之程序與配置是直接的、有成本效益的、不複雜、高多功能與效率的、可以藉由修改已知技術而實現、而且因此容易地適合有效而經濟的製造封裝層疊裝置，且是完全相容於習知製造程序與技術。

當本發明結合具體的較佳實施態樣而描述時，應了解，對於本技術領域熟知者按照之前的描述，許多替代、修改、變化是明顯的。因此，本發明企圖包含所有在申請專利範圍範圍內的替代、修改、變化。所有在此提出或顯示在伴隨圖式的內容都是說明本發明而不是限制本發明的意思。

【圖式簡單說明】

第 1 圖係在本發明實施例之偏位積體電路封裝層疊堆疊系統的俯視圖(top view)。

第 2 圖係如第 1 圖之積體電路封裝層疊堆疊系統之基底基板的俯視圖。

第 3 圖係如第 2 圖之在基底基板組件上之封裝模製裝置的截面圖(cross-sectional view)。

第 4 圖係在切割前之基底封裝件的俯視圖。

第 5 圖係如第 4 圖之具有基底封裝件之偏位積體電路封裝層疊堆疊系統的俯視圖。

第 6 圖係如第 5 圖之偏位積體電路封裝層疊堆疊系統的截面圖。

第 7 圖係在本發明替代實施例之雙側面輪廓模套封裝的俯視圖。

第 8 圖係如第 7 圖之雙側面輪廓模套的截面圖。

第 9 圖係在本發明實施例之具有鏡對稱之基底基板的俯視圖。

第 10 圖係利用如第 9 圖之基底基板之偏位積體電路封裝層疊堆疊系統的俯視圖。

第 11 圖係具有平移對稱與鏡對稱結合之基底基板的俯視圖。

第 12 圖係利用如第 11 圖之基底基板之偏位積體電路封裝層疊堆疊系統的俯視圖。

第 13 圖係具有平移對稱與旋轉對稱結合之基底基板的俯視圖。

第 14 圖係利用如第 13 圖之基底基板之偏位積體電路封裝層疊堆疊系統的俯視圖。

第 15 圖係在本發明另一個替代實施例之偏位積體電路封裝層疊堆疊系統的俯視圖。

第 16 圖係在本發明另一個替代實施例之偏位積體電路封裝層疊堆疊系統的俯視圖。

第 17 圖係具有開口之基底基板的俯視圖。

第 18 圖係具有旋轉對稱之基底基板組件的俯視圖。

第 19 圖係具有有角度之偏位半導體晶粒之基底基板組件的俯視圖。

第 20 圖係在本發明實施利之製造偏位積體電路封裝

層疊堆疊系統之偏位積體電路封裝層疊堆疊系統的流程圖。

【主要元件符號說明】

100	偏位積體電路封裝層疊堆疊系統		
102	基底封裝件	104	分離元件
106	模套	108	偏位封裝件
110	切割線	112	區域
200	基底基板組件	202	基底基板頂部表面
204	被動元件	206	主動元件
208	接合墊	210	接合線
212	接觸墊	300	封裝模製裝置
302	模具	304	封裝材料
400	基底封裝件	402	模套
404	切割線	602	基底基板
604	基底頂部表面	606	基底底部表面
608	第一積體電路	610	膠黏劑
612	電性互連件	614	基底模套
616	系統互連件	618	接觸墊
620	偏位封裝件	622	偏位基板
624	頂部表面	626	底部表面
628	第二積體電路	630	偏位封裝件主體
632	重疊區域		
700	雙側面輪廓模套封裝		
702	基底封裝件	704	雙側面輪廓模套

706	偏位封裝件	708	切割線
710	區域	802	基底基板
804	基底頂部表面	806	基底底部表面
808	第一積體電路	810	膠黏劑
812	電性互連件	814	基底封裝件主體
816	系統互連件	818	接觸墊
820	偏位封裝件	822	偏位基板
824	頂部表面	826	底部表面
828	第二積體電路	830	偏位封裝件主體
832	間隙填充物	900	基底基板
902	頂部表面	904	接觸墊
906	被動元件接觸件陣列	908	接合墊
910	切割線		
1000	偏位積體電路封裝層疊堆疊系統		
1002	被動元件	1004	基底模套
1006	偏位封裝件	1100	基底基板
1102	頂部表面	1104	接觸墊
1106	被動元件接觸件陣列	1108	接合墊
1110	中央線	1112	對稱線
1200	偏位積體電路封裝層疊堆疊系統		
1202	被動元件	1204	基底模套
1206	偏位封裝件	1208	模製閘
1210	切割線	1300	基底基板
1302	頂部表面	1304	接觸墊

1306	被動元件接觸件陣列	1308	接合墊
1310	中央線	1312	切割線
1400	偏位積體電路封裝層疊堆疊系統		
1402	被動元件	1404	基底模套
1406	偏位封裝件	1408	模製閘
1410	切割線		
1500	偏位積體電路封裝層疊堆疊系統		
1502	頂部表面	1504	被動元件
1506	基底模套	1508	偏位封裝件
1510	切割線		
1600	偏位積體電路封裝層疊堆疊系統		
1602	頂部表面	1604	基底模套
1606	偏位封裝件	1608	分隔槽
1610	側邊模製閘	1612	切割線
1700	基底基板	1702	頂部表面
1704	接觸墊		
1706	被動元件接觸件陣列	1708	接合墊
1710	切割線	1712	基板槽
1800	基底基板組件	1802	頂部表面
1804	被動元件	1806	積體電路
1808	接合墊	1810	接合線
1812	接觸墊	1900	基底基板組件
1902	頂部表面	1904	被動元件
1906	積體電路	1908	接合墊

1910 接合線

1912 接觸墊

2000 偏位積體電路封裝層疊堆疊系統

2002~2012 方塊

十、申請專利範圍：

1. 一種製造偏位積體電路封裝層疊堆疊系統之方法，包括：
 - 提供基底基板；
 - 在該基底基板上設置接觸墊陣列；
 - 將主動元件與視需要可選用的被動元件安設在該基底基板上；
 - 在該基底基板上形成模套；
 - 將偏位封裝件安設在該基底基板與該模套上，包括使該模套之頂部表面的一部分外露；以及
 - 切割出單個之封裝層疊。
2. 如申請專利範圍第 1 項所述之方法，復包括在該基底基板上設置雙側面輪廓模套。
3. 如申請專利範圍第 1 項所述之方法，復包括在該偏位封裝件與雙側面輪廓模套的向下凸緣之間設置間隙填充物。
4. 如申請專利範圍第 1 項所述之方法，復包括在該偏位封裝件與在該基底基板上的該接觸墊陣列之間設置系統互連件。
5. 如申請專利範圍第 1 項所述之方法，復包括在該基底模套與該偏位封裝件之間設置重疊區域。
6. 如申請專利範圍第 1 項所述之方法，復包括在該基底基板上設置雙側面輪廓模套，其中，該雙側面輪廓模套包括圍繞周圍的向下凸緣。
7. 一種偏位積體電路封裝層疊堆疊系統，包括：

基底基板；

在該基底基板上的接觸墊陣列；

在該基底基板上的主動元件與視需要可選用的被動元件；

在該基底基板上的模套；以及

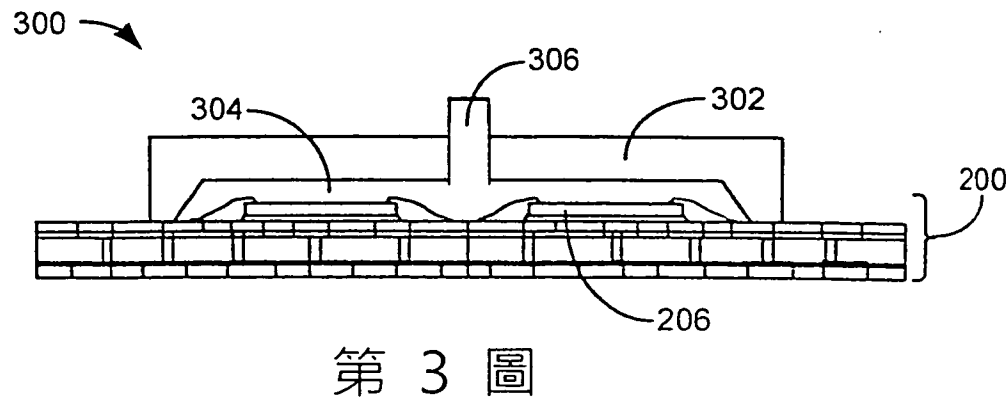
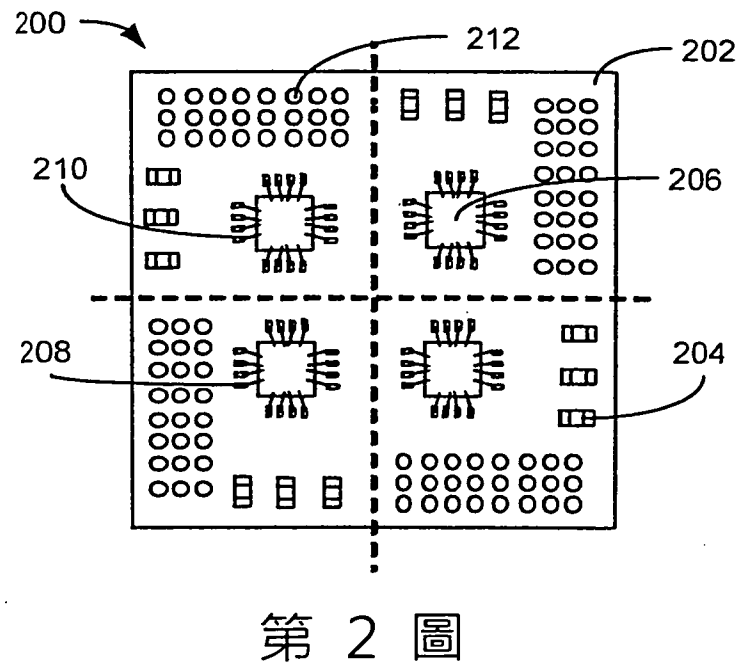
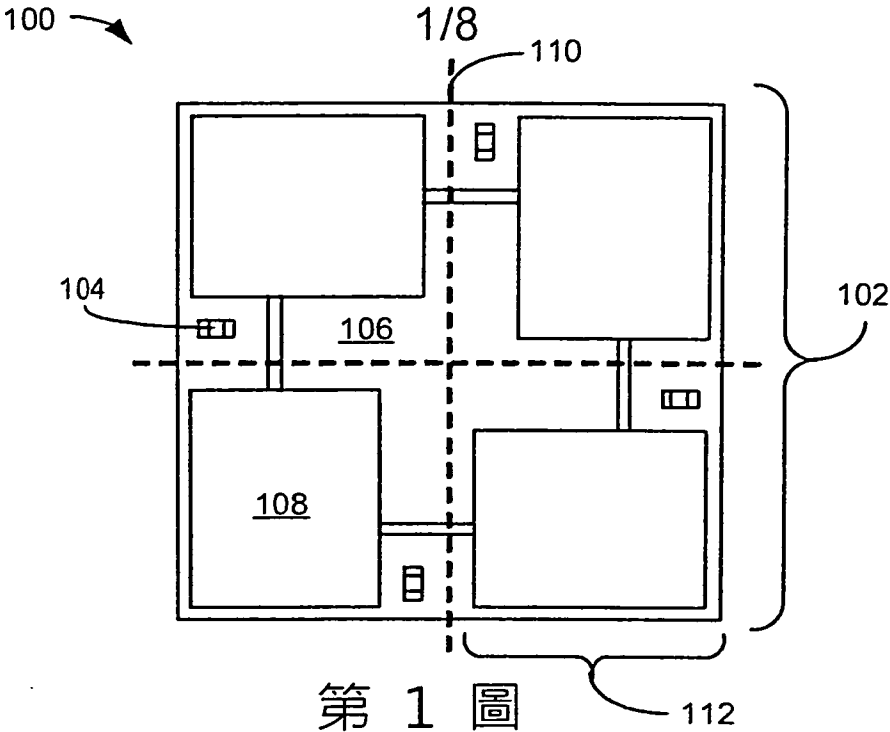
在該基底基板與該模套上的偏位封裝件，包括外露該模套之頂部表面的一部分。

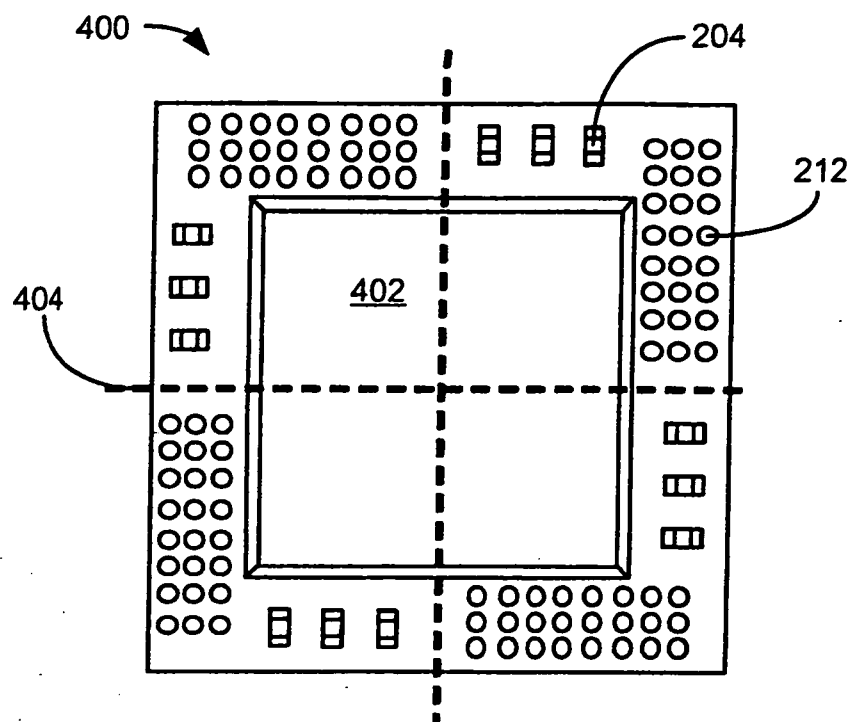
8. 如申請專利範圍第 7 項所述之系統，復包括在該基底基板上的雙側面輪廓模套。
9. 如申請專利範圍第 7 項所述之系統，復包括在該偏位封裝件與雙側面輪廓模套的向下凸緣之間的間隙填充物。
10. 如申請專利範圍第 7 項所述之系統，復包括在該偏位封裝件與在該基底基板上的該接觸墊陣列之間的系統互連件。
11. 如申請專利範圍第 7 項所述之系統，復包括在該基底模套與該偏位封裝件之間的重疊區域。
12. 如申請專利範圍第 7 項所述之系統，復包括：

形成在該基底基板上的數個區域，提供在該數個區域之中的鏡對稱、旋轉對稱、平移對稱、或其組合；以及

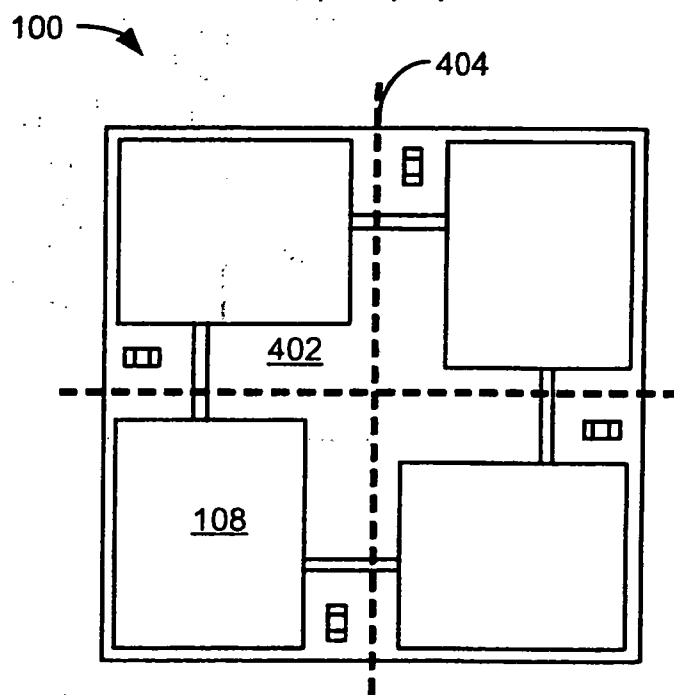
模製閘，位在基底基板頂部表面的邊緣。
13. 如申請專利範圍第 12 項所述之系統，復包括在該基底基板上的雙側面輪廓模套，其中，該雙側面輪廓模套包括圍繞周圍的向下凸緣。

98年5月5日修(更)正替換頁

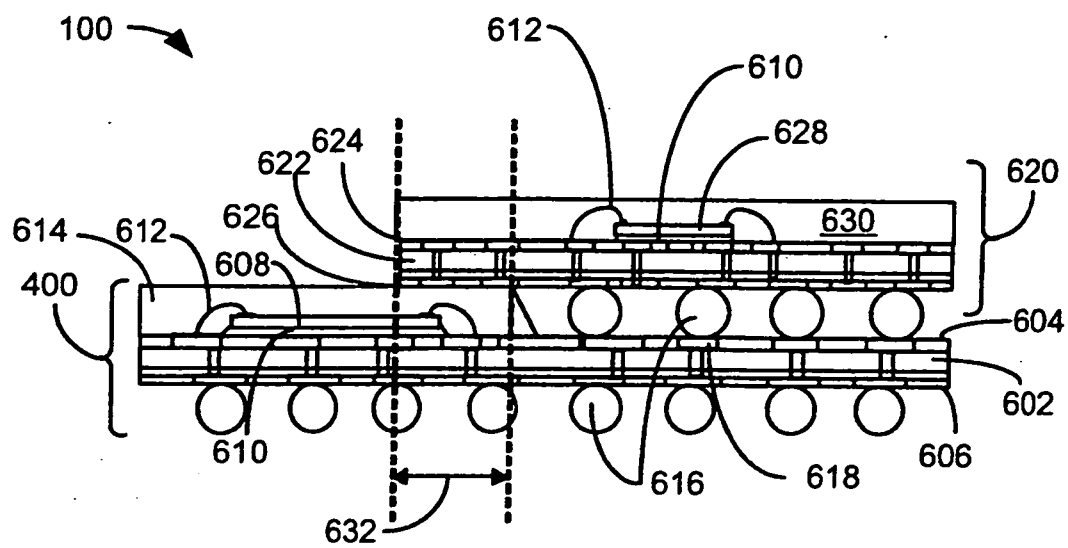




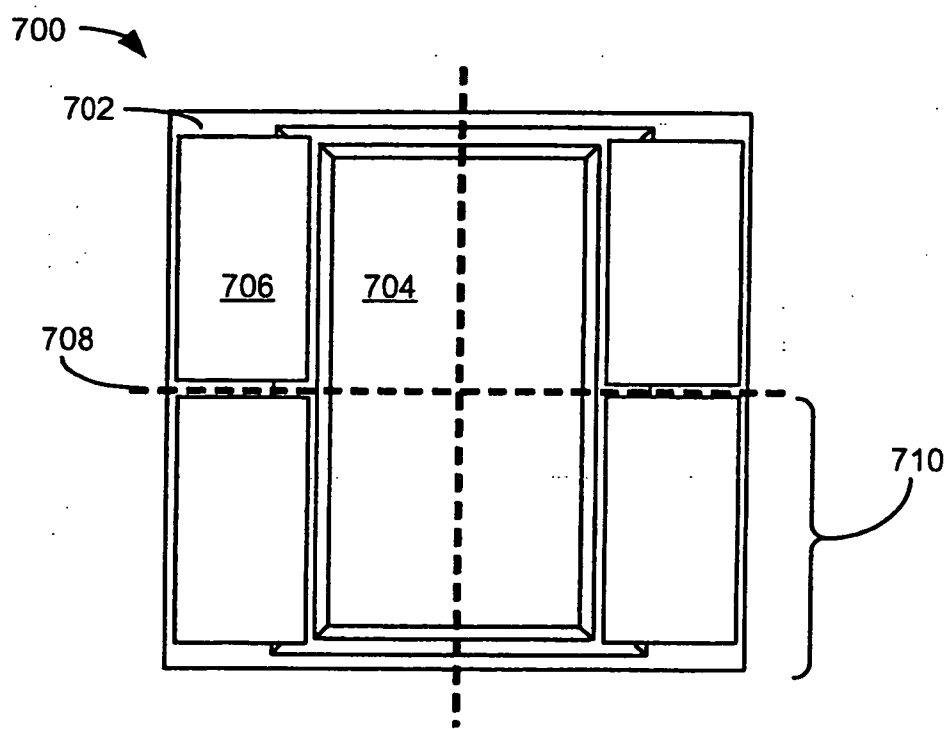
第4圖



第5圖



第6圖



第7圖

Figure 1 is a schematic diagram of a square array 900. The array is divided into four quadrants by dashed lines 902 and 904. The array contains various patterns of small squares and circles. Label 906 points to a small square in the top-right quadrant, 908 points to a group of small squares in the top-right quadrant, and 910 points to a group of small squares in the bottom-right quadrant.

第9圖

1000

902

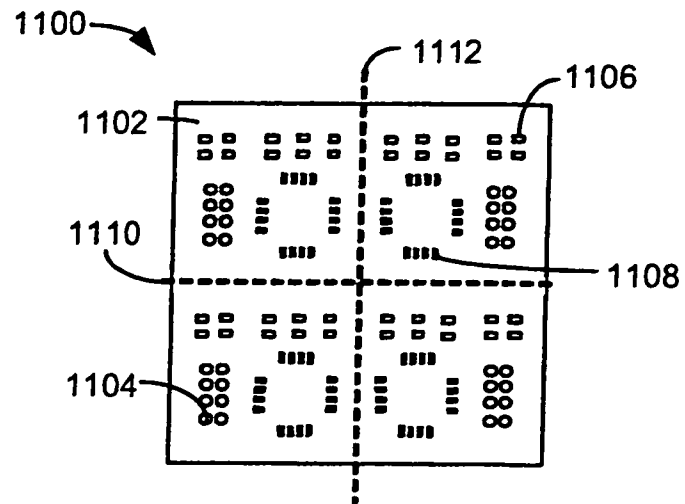
1002

1006

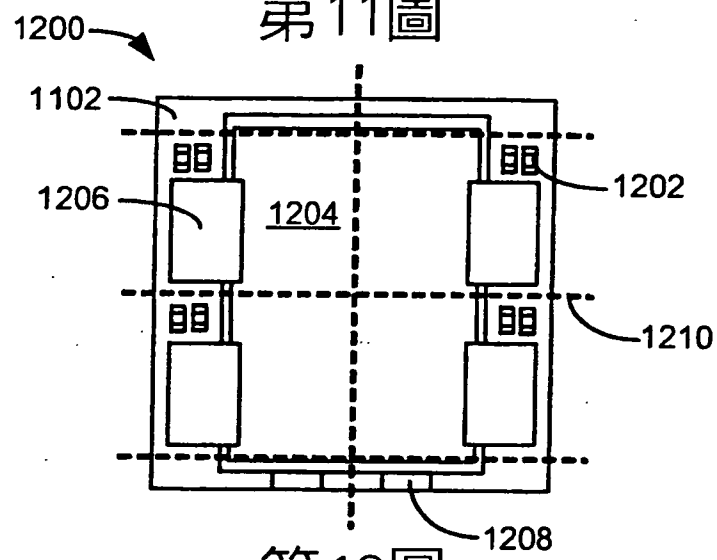
1008

1004

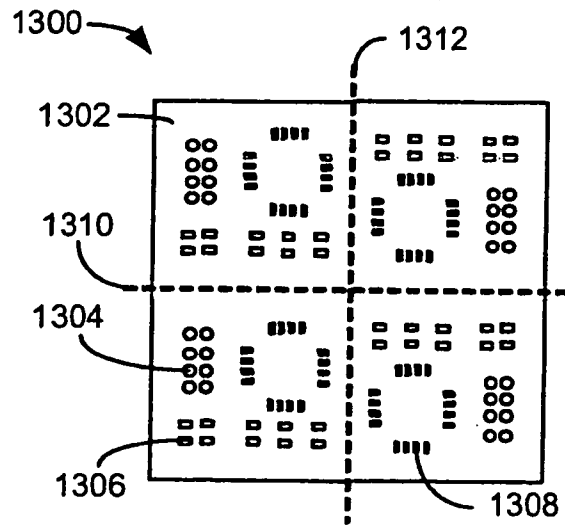
4



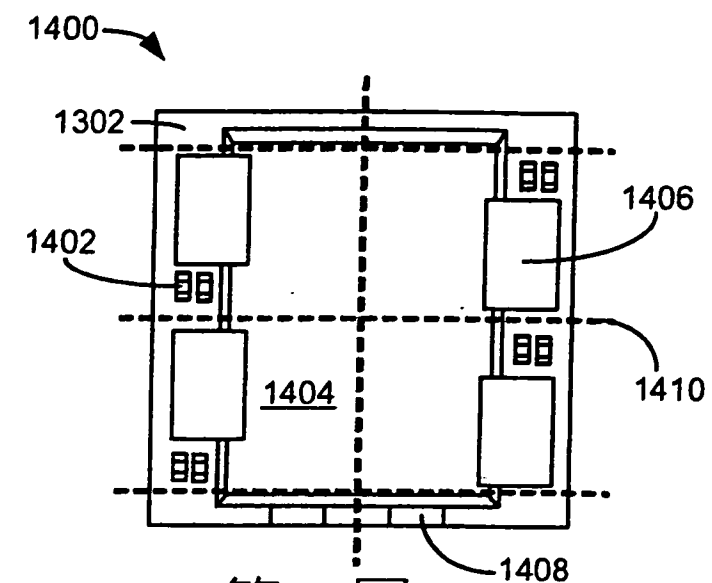
第11圖



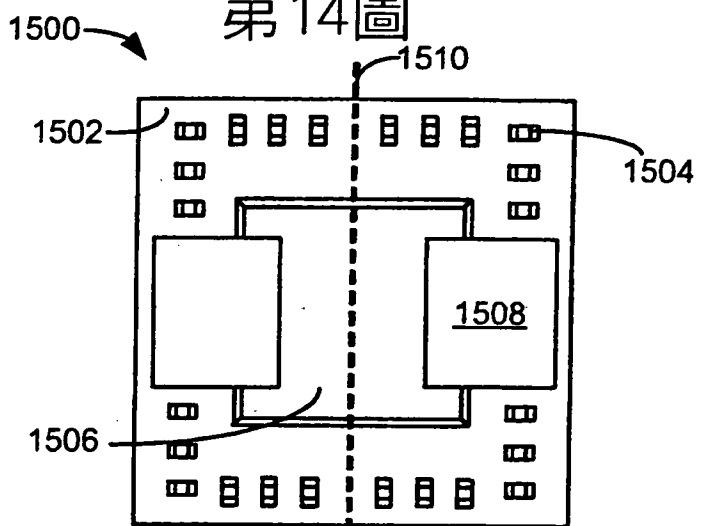
第12圖



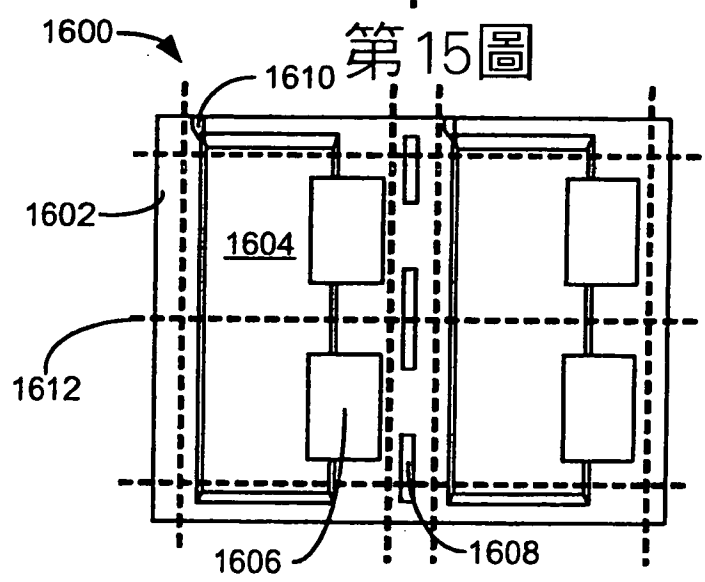
第13圖



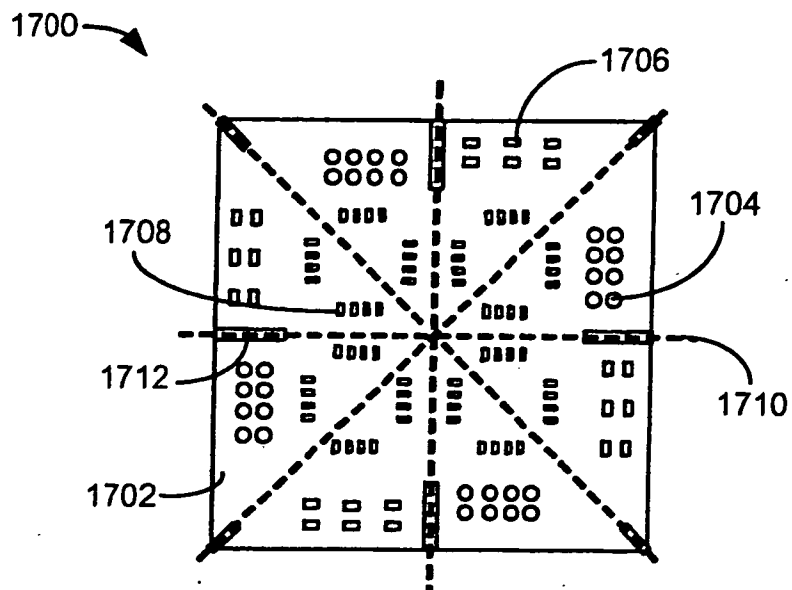
第14圖



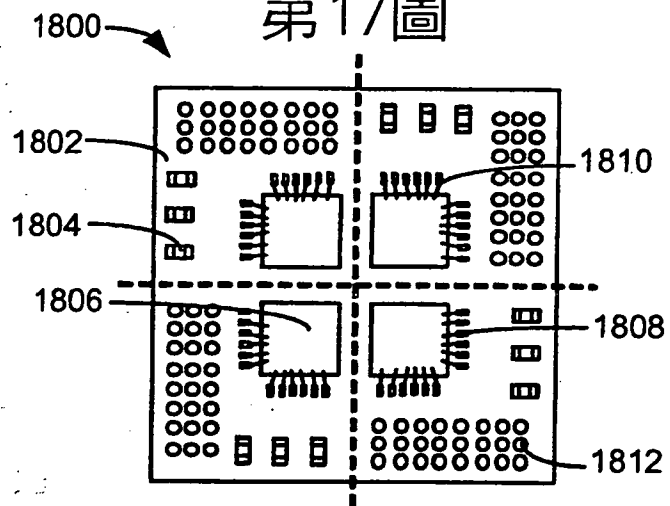
第15圖



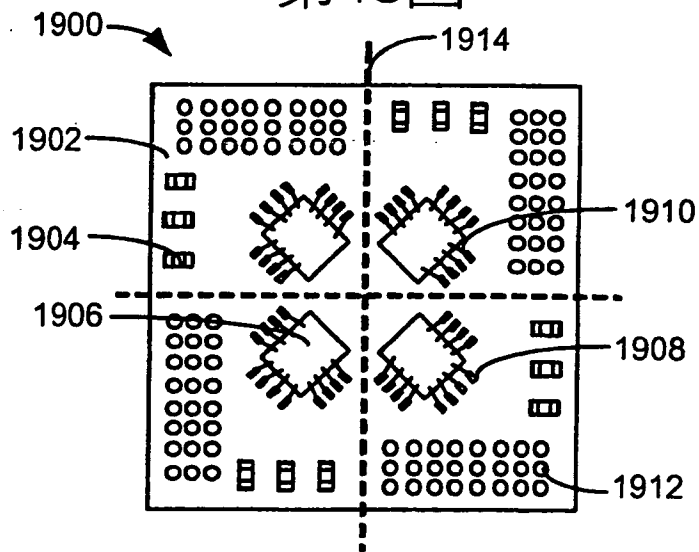
第16圖



第17圖

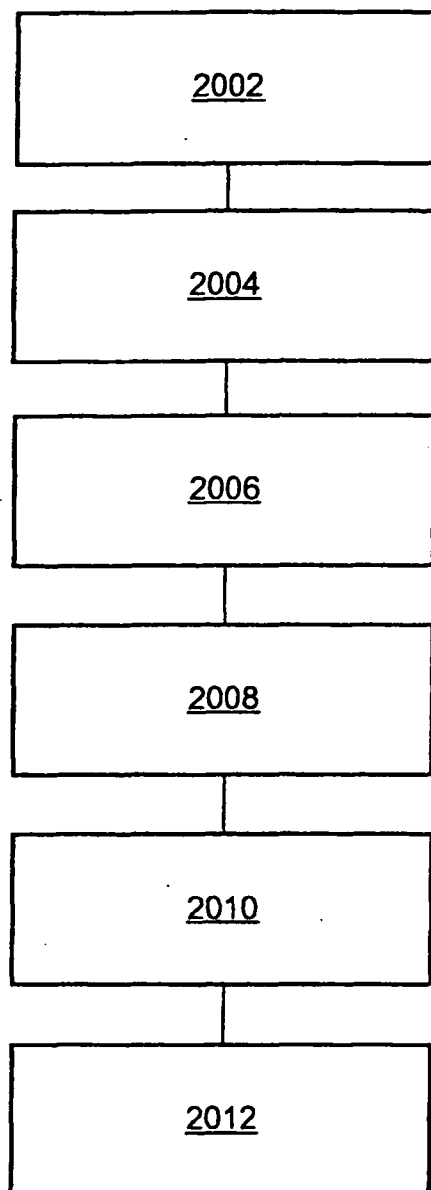


第18圖



第19圖

2000 →



第20圖