



(12)发明专利

(10)授权公告号 CN 104167422 B

(45)授权公告日 2017.12.19

(21)申请号 201410206061.3

(51)Int.Cl.

(22)申请日 2014.05.15

H01L 27/24(2006.01)

(65)同一申请的已公布的文献号

H01L 45/00(2006.01)

申请公布号 CN 104167422 A

(56)对比文件

(43)申请公布日 2014.11.26

US 2003/0080427 A1, 2003.05.01,

(30)优先权数据

US 2008/0090400 A1, 2008.04.17,

13/896,023 2013.05.16 US

CN 102376877 A, 2012.03.14,

(73)专利权人 台湾积体电路制造股份有限公司

US 2008/0191186 A1, 2008.08.14,

地址 中国台湾新竹

CN 1702883 A, 2005.11.30,

审查员 张斌

(72)发明人 涂国基 张至扬 陈侠威 廖钰文

杨晋杰 游文俊 石昇弘 朱文定

(74)专利代理机构 北京德恒律治知识产权代理  
有限公司 11409

权利要求书2页 说明书8页 附图6页

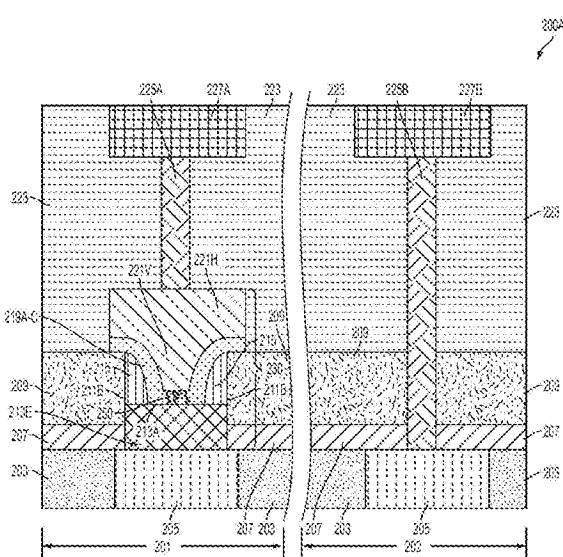
代理人 章社呆 孙征

(54)发明名称

可变电阻存储器结构及其形成方法

(57)摘要

本发明提供了一种半导体结构，该半导体结构包括存储区。在存储区上设置存储器结构。存储器结构包括第一电极、可变电阻层、保护间隔件以及第二电极。第一电极具有位于存储区上的顶面和第一外侧壁表面。可变电阻层具有第一部分和第二部分。第一部分设置在第一电极的顶面上方而第二部分从第一部分处向上延伸。保护间隔件设置在第一电极的顶面的部分的上方并且至少包围可变电阻层的第二部分。保护间隔件可被配置为保护可变电阻层内的至少一条导电路径。保护间隔件具有与第一电极的第一外侧壁表面基本对齐的第二外侧壁表面。第二电极设置在可变电阻层的上方。本发明还提供了一种形成可变电阻存储器结构的方法。



B

CN 104167422

1. 一种半导体结构,包括:

存储区;以及

存储器结构,设置在所述存储区上,所述存储器结构包括:

第一电极,具有位于所述存储区上的顶面和第一外侧壁表面;

可变电阻层,具有第一部分和第二部分,所述第一部分设置在所述第一电极的顶面上方并且所述第二部分从所述第一部分处向上延伸;

保护间隔件,设置在所述第一电极的顶面的一部分的上方并且至少包围所述可变电阻层的第二部分,其中,所述保护间隔件被配置为保护所述可变电阻层内的至少一条导电路径,并且所述保护间隔件具有与所述第一电极的第一外侧壁表面对齐的第二外侧壁表面;和

第二电极,设置在所述可变电阻层的上方。

2. 根据权利要求1所述的半导体结构,其中,所述可变电阻层的第一部分选择性地被配置为在所述第一电极和所述第二电极之间形成所述至少一条导电路径。

3. 根据权利要求1所述的半导体结构,其中,所述可变电阻层包括远离所述第二部分而水平延伸的第三部分。

4. 根据权利要求1所述的半导体结构,其中,所述保护间隔件包括氮化硅。

5. 根据权利要求1所述的半导体结构,其中,所述保护间隔件包围所述可变电阻层的第一部分的边缘。

6. 根据权利要求1所述的半导体结构,还包括:包围所述第一电极的蚀刻停止层。

7. 根据权利要求1所述的半导体结构,还包括:包围所述保护间隔件的介电层,所述介电层在成分上与所述保护间隔件不同。

8. 根据权利要求1所述的半导体结构,其中,所述可变电阻层包括高k介电材料、二元金属氧化物或过渡金属氧化物。

9. 根据权利要求1所述的半导体结构,其中,所述第二电极包括延伸超出所述第一电极的边缘的部分。

10. 根据权利要求1所述的半导体结构,还包括:

外围区;以及

第一金属线层和邻近的第二金属线层,设置在所述外围区和所述存储区上,

其中,在所述存储区中所述存储器结构位于所述第一金属线层和所述第二金属线层之间,而在所述外围区中没有器件结构位于所述第一金属线层和所述第二金属线层之间。

11. 一种半导体结构,包括:

存储区;

介电层,设置在所述存储区的上方,所述介电层包括具有内侧壁表面的开口;以及

存储器结构,设置在所述开口内,所述存储器结构包括:

第一电极,设置在所述开口的底部上并且具有顶面;

保护间隔件,在所述第一电极的顶面的一部分的上方并且沿着所述开口的内侧壁表面设置;

可变电阻层,具有第一部分和第二部分,所述第一部分设置在所述第一电极的顶面上方并且所述第二部分从所述第一部分处向上延伸并且被所述保护间隔件包

围;和

第二电极,设置在所述可变电阻层的上方;

其中,所述保护间隔件被配置为保护所述可变电阻层内的至少一条导电路路径。

12.根据权利要求11所述的半导体结构,其中,所述可变电阻层的第一部分选择性地被配置为在所述第一电极和所述第二电极之间形成至少一条导电路路径。

13.根据权利要求11所述的半导体结构,还包括:

外围区;以及

第一金属线层和邻近的第二金属线层,设置在所述外外围区和所述存储区上,

其中,在所述存储区内所述存储器结构位于所述第一金属线层和所述第二金属线层之间,而在所述外外围区中没有器件结构位于所述第一金属线层和所述第二金属线层之间。

14.根据权利要求11所述的半导体结构,其中,所述介电层在成分上与所述保护间隔件不同。

15.根据权利要求11所述的半导体结构,其中,所述第二电极包括垂直部分和水平部分,所述垂直部分延伸进被所述可变电阻层的第二部分包围的孔内而所述水平部分延伸超出所述介电层内的所述开口的内侧壁表面。

16.根据权利要求11所述的半导体结构,其中,所述保护间隔件具有第二外侧壁表面,所述第二外侧壁表面与所述第一电极的第一外侧壁表面以及所述介电层内的所述开口的内侧壁表面对齐。

17.根据权利要求11所述的半导体结构,其中,所述保护间隔件包括氮化硅。

18.根据权利要求17所述的半导体结构,其中,所述介电层包括低k介电材料。

19.根据权利要求17所述的半导体结构,还包括:包围所述第一电极的蚀刻停止层,所述蚀刻停止层在成分上不同于所述介电层。

20.一种形成可变电阻存储器结构的方法,所述方法包括:

提供导电结构;

在所述导电结构的上方形成介电层;

在所述介电层内蚀刻开口以露出所述导电结构的一部分,所述开口具有侧壁表面;

在所述导电结构上方用第一电极材料部分地填充所述开口,以形成第一电极,所述第一电极具有顶面;

在所述开口的侧壁表面的上方以及所述第一电极的顶面的一部分的上方形成保护间隔件,从而露出所述第一电极的顶面的一部分;

在所述开口内,将可变电阻层沉积在所述保护间隔件的上方以及所述第一电极的顶面的露出部分的上方;

在所述可变电阻层的上方形成第二电极材料;以及

图案化所述第二电极材料和所述可变电阻层以在所述第一电极的上方形成第二电极,

其中,所述保护间隔件被配置为保护所述可变电阻层内的至少一条导电路路径。

## 可变电阻存储器结构及其形成方法

[0001] 优先权声明

[0002] 本申请要求于2013年3月15日提交的、标题为“RESISTANCE VARIABLE MEMORY STRUCTURE AND METHOD OF FORMING THE SAME”的美国临时专利申请61/799,092号的优先权，其全部内容结合于此作为参考。

### 技术领域

[0003] 本发明总体涉及半导体结构，更具体地，涉及可变电阻存储器结构以及形成可变电阻存储器结构的方法。

### 背景技术

[0004] 在集成电路(IC)器件中，阻变式随机存取存储器(RRAM)是用于下一代非易失性存储器器件的新兴技术。一般而言，RRAM通常使用介电材料，尽管这种材料通常是绝缘的，但是可通过施加了特定电压之后形成的细丝或导电路径使其导电。一旦形成细丝，可通过施加适当的电压将细丝置位(即，重新形成，导致RRAM两端的电阻较低)或复位(即，断裂，导致RRAM两端的电阻高)。低阻态和高阻态可用来表示取决于电阻状态的数字信号“1”或“0”，由此，提供了能够存储位的非易失性存储器单元。

[0005] 从应用的角度来看，RRAM具有诸多优点。RRAM具有简单的单元结构以及与CMOS逻辑兼容工艺，与其他非易失性存储器结构相比，这降低了制造的复杂性和成本。虽然以上提及了具有吸引力的特性，但是，在发展RRAM方面存在很多挑战。已经实施了针对这些RRAM的结构和材料的各种技术以尝试并且进一步提高器件性能。

### 发明内容

[0006] 根据本发明的一个方面，提供了一种半导体结构，包括：存储区；以及存储器结构，设置在存储区上，存储器结构包括：第一电极，具有位于存储区上的顶面和第一外侧壁表面；可变电阻层，具有第一部分和第二部分，第一部分设置在第一电极的顶面的上方并且第二部分从第一部分处向上延伸；保护间隔件，设置在第一电极的顶面的一部分的上方并且至少包围可变电阻层的第二部分，其中，保护间隔件被配置为保护可变电阻层内的至少一条导电路径，并且保护间隔件具有与第一电极的第一外侧壁表面基本对齐的第二外侧壁表面；和第二电极，设置在可变电阻层的上方。

[0007] 优选地，可变电阻层的第一部分选择性地被配置为在第一电极和第二电极之间形成至少一条导电路径。

[0008] 优选地中，可变电阻层包括远离第二部分而水平延伸的第三部分。

[0009] 优选地，保护间隔件包括氮化硅。

[0010] 优选地，保护间隔件包围可变电阻层的第一部分的边缘。

[0011] 优选地，该半导体结构还包括：包围第一电极的蚀刻停止层。

[0012] 优选地，该半导体结构还包括：包围保护间隔件的介电层，介电层在成分上与保护

间隔件不同。

[0013] 优选地，可变电阻层包括高k介电材料、二元金属氧化物或过渡金属氧化物。

[0014] 优选地，第二电极包括延伸超出第一电极的边缘的部分。

[0015] 优选地，该半导体结构，还包括：外围区；以及第一金属线层和邻近的第二金属线层，设置在外围区和存储区上，其中，在存储区中存储器结构位于第一金属线层和第二金属线层之间，而在外围区中没有器件结构位于第一金属线层和第二金属线层之间。

[0016] 根据本发明的另一方面，提供了一种半导体结构，包括：存储区；介电层，设置在存储区的上方，介电层包括具有内侧壁表面的开口；以及存储器结构，设置在开口内，存储器结构包括：第一电极，设置在开口的底部上并且具有顶面；保护间隔件，在第一电极的顶面的一部分的上方并且沿着开口的内侧壁表面设置，其中，保护间隔件被配置为保护可变电阻层内的至少一条导电路径；可变电阻层，具有第一部分和第二部分，第一部分设置在第一电极的顶面的露出部分的上方，并且第二部分从第一部分处向上延伸并且被保护间隔件包围；和第二电极，设置在可变电阻层的上方。

[0017] 优选地，可变电阻层的第一部分选择性地被配置为在第一电极和第二电极之间形成至少一条导电路径。

[0018] 优选地，该半导体结构还包括：外围区；以及第一金属线层和邻近的第二金属线层，设置在外围区和存储区上，其中，在存储区内存储器结构位于第一金属线层和第二金属线层之间，而在外围区中没有器件结构位于第一金属线层和第二金属线层之间。

[0019] 优选地，介电层在成分上与保护间隔件不同。

[0020] 优选地，第二电极包括垂直部分和水平部分，垂直部分延伸进被可变电阻层的第二部分包围的孔内而水平部分延伸超出介电层内的开口的内侧壁表面。

[0021] 优选地，保护间隔件具有第二外侧壁表面，第二外侧壁表面与第一电极的第一外侧壁表面以及介电层内的开口的内侧壁表面基本对齐。

[0022] 优选地，保护间隔件包括氮化硅。

[0023] 优选地，介电层包括低k介电材料。

[0024] 优选地，该半导体结构还包括：包围第一电极的蚀刻停止层，蚀刻停止层在成分上不同于介电层。

[0025] 根据本发明的又一方面，提供了一种形成可变电阻存储器结构的方法，该方法包括：提供导电结构；在导电结构的上方形成介电层；在介电层内蚀刻开口以露出导电结构的一部分，开口具有侧壁表面；在导电结构上方用第一电极材料部分地填充开口，以形成第一电极，第一电极具有顶面；在开口的侧壁表面的上方以及第一电极的顶面的一部分的上方形成保护间隔件，从而露出第一电极的顶面的一部分；在开口内，将可变电阻层沉积在保护间隔件的上方以及第一电极的顶面的露出部分的上方；在可变电阻层的上方形成第二电极材料；以及图案化第二电极材料和可变电阻层以在第一电极的上方形成第二电极。

## 附图说明

[0026] 根据下面详细的描述和附图可以更好地理解本发明的各方面。应该强调的是，根据工业中的标准实践，各种部件没有按比例绘制。实际上，为了清楚的讨论，各种部件的尺寸可以被任意增大或减少。

[0027] 图1是根据本发明的至少一个实施例的形成具有可变电阻存储器结构的半导体结构的方法的流程图。

[0028] 图2A至图2I是根据图1中的方法的一个或多个实施例的具有可变电阻存储器结构的半导体结构在不同制造阶段的截面图。

## 具体实施方式

[0029] 下面详细讨论示例性实施例的制造和使用。然而，应该理解，本发明提供了许多可以在各种具体环境中实现的可应用的发明概念。所讨论的具体实施例仅为示例性地而不同于限制本发明的范围。

[0030] 根据本发明的一个或多个实施例，具有可变电阻存储器结构的半导体结构形成在衬底的芯片区内。通过芯片区之间的划线在衬底上标记出多个半导体芯片区。衬底将经历清洁、分层、图案化、蚀刻和掺杂步骤以形成半导体结构。本发明中的术语“衬底”通常指其上形成有各种层和器件结构的块状衬底。在一些实施例中，块状衬底包括硅或化合物半导体(诸如，GaAs、InP、Si/Ge或SiC)。各层的实例包括介电层、掺杂层、多晶硅层或导电层。器件结构的实例包括晶体管、电阻器和/或电容器，可通过互连层将其与附加的集成电路互连。

[0031] 图1是根据本发明的至少一个实施例的形成具有可变电阻存储器结构的半导体结构的方法100的流程图。图2A至图2I是根据图1中的方法100的各种实施例的具有可变电阻存储器结构的半导体结构(200A和200B)在各个制造阶段的截面图。可在图1中的方法100之前、期间或之后提供附加工艺。为了更好地理解本发明的发明概念，已简化了各个附图。

[0032] 现在参照图1，方法100的流程图以操作101开始。提供导电结构并且将其嵌入在介电层中。在至少一个实施例中，介电层包括形成在衬底上方的多个介电层。至少一个导电结构形成在衬底的上方并且嵌入在多个介电层中。方法100继续进行至操作102，其中，蚀刻停止层可选地形成在导电结构和介电层的上方。方法100继续进行至操作103，其中，在蚀刻停止层和导电结构的上方形成介电层。

[0033] 参照图2A，其为具有可变电阻存储器结构的半导体结构200A在进行了操作101至103之后的一部分的放大的截面图。半导体结构200A包括衬底(未示出)，诸如，碳化硅(SiC)衬底、GaAs衬底、InP衬底、Si/Ge或硅衬底。在一些实施例中，衬底包括形成在其顶面上方的多个层。各层的实例包括介电层、掺杂层、多晶硅层或导电层。衬底还包括形成在多个层内的多个器件结构。各器件结构的实例包括晶体管、电阻器和/或电容器。

[0034] 在图2A至图2G所示的实例中，半导体结构200A包括形成在衬底(未示出)中位于存储区201和外围区202内的顶面上方的介电层203。介电层203包括氧化硅、氟硅酸盐玻璃(FSG)、掺碳氧化硅、正硅酸乙酯(TEOS)氧化物、磷硅酸盐玻璃(PSG)、硼磷硅酸盐玻璃(BPSG)、Black Diamond<sup>®</sup>(加利福尼亚州圣塔克拉拉市的应用材料)、氟化非晶碳、低k介电材料或它们的组合。形成工艺可包括化学汽相沉积(CVD)、原子层沉积(ALD)、高密度等离子体(CVD)(HDPCVD)或旋涂玻璃。

[0035] 形成导电结构205并且将其嵌入在存储区201和外围区202内的介电层203中。在某些实施例中，导电结构205包括导电互连件、掺杂区或硅化物区。在一些实施例中，导电结构205包括Al、Cu、Ti、Ta、W、Mo、TaN、NiSi、CoSi、TiN、WN、硅或它们的组合。在图2A所示的实例

中,半导体结构200A可通过在介电层203中进行光刻图案化和蚀刻形成。对介电层203进行金属层沉积和平坦化工艺以形成导电结构205。导电结构205的顶面与介电层203的顶面基本共面。

[0036] 蚀刻停止层207可选地形成在存储区201和外围区202内的导电结构205和介电层203的上方。形成在导电结构205的顶面上方的蚀刻停止层207可防止导电结构205被氧化。在某些实施例中,蚀刻停止层207包括诸如碳化硅或氮氧化硅的介电材料。形成工艺可包括化学汽相沉积(CVD)、原子层沉积(ALD)或等离子体增强CVD(PECVD)。

[0037] 介电层209形成在导电结构205、介电层203以及蚀刻停止层207(如果存在蚀刻停止层207)的上方。介电层209包括氧化硅、氟硅酸盐玻璃(FSG)、掺碳氧化硅、正硅酸乙酯(TEOS)氧化物、磷硅酸盐玻璃(PSG)、硼磷硅酸盐玻璃(BPSG)、BlackDiamond<sup>®</sup>(加利福尼亚州圣塔克拉拉市的应用材料)、氟化非晶碳、低k介电材料或它们的组合。形成工艺可包括化学汽相沉积(CVD)、原子层沉积(ALD)、高密度等离子体CVD(HDPCVD)或旋涂玻璃。

[0038] 再参照图1,方法100继续进行至操作104。在操作104中,在介电层和蚀刻停止层中形成开口以露出导电结构的一部分。开口具有侧壁表面。

[0039] 参照图2B,其为半导体结构200A在进行操作104之后的部分的截面图。在存储区201中,在介电层209(还有蚀刻停止层207)中蚀刻开口211以露出导电结构205的一部分。开口211具有内侧壁表面211B。开口211通过合适的工艺(包括光刻图案化工艺和蚀刻工艺)形成。蚀刻停止层207在形成开口211的蚀刻工艺过程中比介电层209的耐蚀刻性强。蚀刻停止层207可在形成开口211的阶段中阻止蚀刻工艺进一步向下延伸至介电层203和导电结构205。

[0040] 再参照图1,方法100继续进行至操作105。在操作105中,导电结构上方的开口部分地填充有第一电极材料,以形成第一电极。在至少一个实施例中,开口过多地填充有第一电极材料。进行平坦化工艺和/或回蚀工艺以去除开口外部多余的第一电极材料,以形成第一电极。第一电极具有的顶面低于介电层的顶面。第一电极具有第一外表面,其与开口的侧壁表面基本对齐。

[0041] 图2C是半导体结构200A在进行操作105之后的截面图。在一些实施例中,第一电极材料过多地填充在存储区201中的开口211内。第一电极材料也形成在位于存储区201和外围区202内的介电层209的顶面209A的上方。可能的形成方法包括无电镀、溅射、电镀、PVD或ALD。第一电极材料包括具有适当功函数的导电材料,这样使得在后续形成的第一电极和可变电阻层之间形成高功函数墙。第一电极材料213可包括Pt、AlCu、TiN、Au、Ti、Ta、TaN、W、WN、Cu或它们的组合。在一些实施例中,通过平坦化工艺(诸如,化学机械抛光(CMP)工艺)去除开口211外部多余的第一电极材料,以将介电层209的顶面209A上方的第一电极材料的厚度减少约30 Å至500 Å。

[0042] 回蚀第一电极材料213以形成填充在存储区201内的开口209的底部中的第一电极213E。完全去除外围区202内的第一电极材料。在某些实施例中,对第一电极材料进行平坦化工艺以产生基本平坦的顶面,而回蚀工艺减少了开口211内的第一电极材料的厚度以使第一电极213E具有基本平坦的顶面213A。介电层209和蚀刻停止层207包围第一电极213E。由于第一电极材料213填充在开口211内,所以第一电极213E的第一外表面与开口211的内侧壁表面211B基本对齐。第一电极213E通过导电结构205电连接至下面的晶体管。

[0043] 再参照图1,方法100继续进行至操作106。在操作106中,在开口的侧壁表面的上方和第一电极的顶面的一部分的上方形成保护间隔件。

[0044] 图2D是半导体结构200A在进行操作106之后的截面图。在一些实施例中,在介电层209的顶面209A的上方、沿着开口211的内侧壁表面211B以及在第一电极213E的顶面213A的上方共形地沉积保护材料。在至少一个实施例中,在无需光刻图案化工艺的情况下,对保护材料进行各向异性蚀刻以沿着开口211的内侧壁表面211B并且在第一电极213E的顶面213A的一部分的上方形成保护间隔件215。保护间隔件215具有与开口211的内侧壁表面211B基本对齐(也与第一电极213E的第一外侧壁表面基本对齐)的第二外侧壁表面。露出第一电极213E的没有被保护间隔件215覆盖的顶面213A。形成保护间隔件215之后的开口211变成孔隙217。

[0045] 保护间隔件215包括基本为无氧的介电材料。在某些实施例中,保护间隔件215包括氮化硅。保护间隔件215可保护随后形成的第一电极和第二电极之间的导电路径并且可增强可变电阻存储器结构的电特性的稳定性。下文会给出进一步的描述。

[0046] 再参照图1,方法100继续进行至操作107和108。在操作107中,可变电阻层沉积在开口内保护间隔件的上方以及第一电极的顶面的露出部分的上方。可变电阻层具有至少第一部份和第二部份。第一部份位于第一电极的顶面的上方。第二部份从第一部份处向上延伸并且延伸至保护间隔件的上方。在操作108中,在可变电阻层的上方形成第二电极材料。

[0047] 图2E是半导体结构200A在进行操作107和108之后的截面图。可变电阻层219形成在存储区201和外围区202的上方。在一些实施例中,在介电层209的顶面209A的上方、沿着孔隙217的内侧壁表面以及在第一电极213E的顶面213A的上方共形地沉积可变电阻层219。在形成可变电阻层219之后,孔隙217成为被可变电阻层219包围的剩余孔(未示出)。可变电阻层219具有通过施加电压能够在高阻态和低阻态(或导电)之间转换的电阻率。在各个实施例中,可变电阻层219包括介电材料(包括高k介电材料)、二元金属氧化物以及过渡金属氧化物中的至少一种。在一些实施例中,可变电阻层219包括氧化镍、氧化钛、氧化铪、氧化锆、氧化锌、氧化钨、氧化铝、氧化钽、氧化钼或氧化铜。可变电阻层219可能的形成方法包括脉冲激光沉积(PLD)或ALD,诸如,使用含有锌和氧的前体的ALD。在一个实例中,可变电阻层219的厚度介于约10 Å至约500 Å的范围内。

[0048] 第二电极材料221沉积在存储区201和外围区202内的可变电阻层219的上方。在存储区201中,第二电极材料221还填充由可变电阻层219包围的孔(未示出)。第二电极材料221可包括合适的导电材料以将后续形成的可变电阻存储器结构电连接至互连件结构的其他部分从而实现电气布线。第二电极材料221可包括Pt、AlCu、TiN、Au、Ti、Ta、TaN、W、WN、Cu或它们的组合。在一些实例中,第一电极材料和第二电极材料221具有相同的成分。在某些实例中,第一电极材料和第二电极材料221具有不同的成分。第二电极材料221的可能的形成方法包括无电镀、溅射、电镀、PVD或ALD。

[0049] 再参照图1,方法100继续进行至操作109。在操作109中,图案化第二电极材料和可变电阻层以在第一电极的上方形成第二电极。

[0050] 图2F是半导体结构200A在进行操作109之后的截面图。通过合适的图案化工艺来处理第二电极材料221和可变电阻层219以在第一电极213E的上方形成第二电极(221V和221H)。图案化工艺包括光刻图案化工艺和蚀刻工艺。介电层209可在形成第二电极(221V和

221H)的阶段中阻止蚀刻工艺进一步向下延伸至下面的各层。在外围区202内,去除介电层209之上的所有层。在存储区201内形成可变电阻存储器结构230。

[0051] 可变电阻存储器结构230包括第一电极213E、可变电阻层219A至219C、第二电极(221V和221H)以及保护间隔件215。第一电极213E位于开口211的底部内并且由蚀刻停止层207和介电层209包围。可变电阻层219A至219C具有第一部分219A、第二部分219B以及第三部分219C。第一部分219A设置在第一电极213E的顶面213A的上方。第二部分219B从第一部分219A开始向上延伸并且位于保护间隔件215的上方。第三部分219C以远离第二部分219B的方向水平延伸,进而超过第一电极213E的边缘并且覆盖介电层209的顶面209A。

[0052] 第二电极(221V和221H)包括垂直部分221V和水平部分221H。垂直部分221V延伸进被可变电阻层的第二部分219B包围的孔内。水平部分221H延伸超过保护间隔件215的第二外侧壁表面(其与开口211在介电层209内的内侧壁表面211B相同)。在一些实例中,第二电极的水平部分221H的边缘与可变电阻层的第三部分219C的边缘基本对齐。

[0053] 保护间隔件215包围可变电阻层的第一部分219A和第二部分219B。如前文所述,保护间隔件215的第二外侧壁表面与开口211在介电层209内的内侧壁表面211B基本对齐(也与第一电极213E的第一外侧壁表面基本对齐)。

[0054] 再参照图1,方法100可选地继续进行至操作110,其中,形成与第二电极接触的导电插塞。

[0055] 图2G是半导体结构200A在进行操作110之后的截面图。层间介电(ILD)层223形成在图2F中示出的存储区201和外围区202的上方。将化学机械抛光(CMP)工艺进一步地应用于半导体结构200A以平坦化ILD层223。ILD层223可包括多个介电层。ILD层223可包括氧化硅、氟硅酸盐玻璃(FSG)、掺碳氧化硅、正硅酸乙酯(TEOS)氧化物、磷硅酸盐玻璃(PSG)、硼磷硅酸盐玻璃(BPSG)、Black Diamond<sup>®</sup>(加利福尼亚州的圣塔克拉拉市的应用材料)、氟化非晶碳、低k介电材料或它们的组合。在一些实例中,ILD层223和介电层209具有相同的成分。在某些实例中,ILD层223和介电层209具有不同的成分。

[0056] 在某些实施例中,在ILD层223中进行双镶嵌工艺以在存储区201和外围区202中分别形成导线227A和227B以及接触插塞225A和225B。存储区201和外围区202内的导线227A和227B位于在下面的第一金属线层之上的同一第二金属线层内。在存储区201内,可变电阻存储器结构230介于第一金属线层和第二金属线层之间。接触插塞225A与第二电极的水平部分221H相接触并且连接至第二金属线层内的导线227A。在外围区202内,没有插入器件结构介入在第一金属线层和第二金属线层之间。器件结构包括二极管、晶体管、PN结、电阻器、电容器或电感器。接触插塞225B连接第二金属线层内的导线227B和导电结构205。在一些实施例中,导电结构205是第一金属线层内的导线。在某些实施例中,导电结构205是第一金属线层内的导线上方的接触插塞。导线227A和227B以及接触插塞225A和225B的导电材料包括铜、铜合金、铝或钨。

[0057] 有利地,可至少部分使用与同时在半导体结构200A的外围区202(或逻辑区)内形成期望结构相同的一些工艺步骤从而在存储区201内形成可变电阻存储器结构230。根据一些实施例,降低了制造复杂度和成本。

[0058] 图2G也示出了处于各种数据存储的操作阶段的可变电阻存储器结构230。在“形成”操作中,将“形成”电压分别施加给第一电极213E和第二电极221H。“形成”电压足够高以

在可变电阻层的第一部分219A内生成导电部分。在一个实例中，导电部分包括一个或多个提供导电路径的导电细丝250，使得可变电阻层的第一部分219A呈“导通”或低阻状态。导电路径可与可变电阻层中位于第一电极213E和第二电极221H之间的第一部分219A内的空位缺陷(例如，氧原子)的排列有关。在一些实施例中，只施加一次“形成”电压。一旦形成导电路径，导电路径将存在于可变电阻层的第一部分219A内。其他操作(复位操作和置位操作)可使用较小的电压或不同电压来断开或重新连接导电路径。

[0059] 有利地，保护间隔件215包括基本为无氧的介电材料。保护间隔件215包围可变电阻层的第一部分219A和第二部分219B。保护间隔件215可防止第一部分219A内的导电路径250的空位缺陷(例如，氧原子)的排列受邻近层的氧原子的干扰。增强了可变电阻存储器结构200A的电特性的稳定性和可靠性。在一些实施例中，介电层209的成分不同于保护间隔件215的成分。介电层209包括低k介电材料。保护间隔件215包括氮化硅。介电层209内的低k介电材料可降低半导体结构200A的RC延迟。保护间隔件215内的氮化硅可保护可变电阻层内的导电路径250以增强半导体结构200A的电特性的稳定性。

[0060] 图2H至图2I是具有可变电阻存储器结构的半导体结构200B在图1中方法100的各种制造阶段的某些实施例。

[0061] 参照图2H，其示出了在图2E中的工艺操作之后继续的半导体结构200B的截面图。在一些实施例中，图2H之前的半导体结构200B的材料和制造方法的细节与图2A至图2E所公开的实施例基本相似。因此，在与图2A至图2E中的半导体结构200A相关的文本中包含的关于常见结构的描述在此处不再赘述。

[0062] 在图2H中，进行诸如CMP的平坦化工艺，以去除图2E中开口211外部的多余的第二电极材料221和可变电阻层219。通过平坦化工艺来图案化开口211内的第二电极材料221和可变电阻层219从而在第一电极213E的上方形成第二电极221E。因此，形成可变电阻存储器结构230。

[0063] 可变电阻存储器结构230包括第一电极213E、可变电阻层219A和219B、第二电极221E和保护间隔件215。蚀刻停止层207和介电层209包围第一电极213E。可变电阻层219A和219B具有第一部分219A和第二部分219B。第一部分219A设置在第一电极213E的顶面213A的上方。第二部分219B从第一部分219A开始向上延伸并且位于保护间隔件215的上方。可变电阻层的第二部分219B包围第二电极221E。

[0064] 保护间隔件215具有与开口211在介电层209内的内侧壁表面211B基本对齐(也与第一电极213E的第一外侧壁表面基本对齐)的第二外侧壁表面。第二电极221E、可变电阻层的第二部分219B和介电层209具有同一的基本平坦的顶面209A。保护间隔件215包围可变电阻层的第一部分219A和第二部分219B。保护间隔件215可防止第一部分219A内的导电路径250的空位缺陷(例如，氧原子)的排列受邻近层的氧原子干扰。

[0065] 图2I是半导体结构200B在介电层209的顶面209A的上方形成ILD层223和在存储区201和外围区202内形成导线227A和227B以及接触插塞225A和225B之后的的截面图。能够在与图2G中半导体结构200A相关的文本中找到图2I中半导体结构200B的材料和制造方法的细节，所以此处不再赘述。

[0066] 存储区201和外围区202内的导线227A和227B位于在下面的第一金属线层之上的同一第二金属线层内。在存储区201中，可变电阻存储器结构230介于第一金属线层和第二

金属线层之间。接触插塞225A与第二电极221E相接触并且连接至第二金属线层内的导线227A。在外围区202中，没有器件结构介入在第一金属线层和第二金属线层之间。器件结构包括二极管、晶体管、PN结、电阻器、电容器或电感器。接触插塞225B连接第二金属线层内的导线227B和导电结构205。在一些实施例中，导电结构205是第一金属线层内的导线。在某些实施例中，导电结构205是位于第一金属线层内的导线上方的接触插塞。

[0067] 本发明的一个方面描述了一种包括存储区的半导体结构。存储器结构设置在存储区上。存储器结构包括第一电极、可变电阻层、保护间隔件以及第二电极。第一电极具有在存储区上的顶面和第一外侧壁表面。可变电阻层具有第一部分和第二部分。第一部分设置在第一电极的顶面的上方而第二部分从第一部分开始向上延伸。保护间隔件设置在第一电极的顶面的部分的上方并且至少包围可变电阻层的第二部分。保护间隔件可配置为保护可变电阻层内的至少一条导电路径。保护间隔件具有与第一电极的第一外侧壁表面基本对齐的第二外侧壁表面。第二电极设置在可变电阻层的上方。

[0068] 本发明的另一个方面描述了一种包括存储区的半导体结构。介电层设置在存储区的上方。介电层包括具有内侧壁表面的开口。存储器结构设置在开口内。存储器结构包括第一电极、保护间隔件、可变电阻层以及第二电极。第一电极设置在开口的底部并且具有顶面。在第一电极的顶面的部分的上方并且沿着开口的内侧壁表面设置保护间隔件。保护间隔件可配置为保护可变电阻层内的至少一条导电路径。可变电阻层具有第一部分和第二部分。第一部分设置在第一电极的顶面的露出部分的上方。第二部分从第一部分开始向上延伸并且被保护间隔件包围。第二电极设置在可变电阻层的上方。

[0069] 本发明还描述了形成可变电阻存储器结构的方法的一个方面。该方法包括提供导电结构。在导电结构的上方形成介电层。在介电层内蚀刻开口以露出导电结构的一部分。开口具有侧壁表面。开口在导电结构上方部分填充有第一电极材料以形成第一电极。第一电极具有顶面。保护间隔件形成在开口的侧壁表面的上方和第一电极的顶面的部分的上方。露出第一电极的顶面的一部分。可变电阻层沉积在开口内的保护间隔件上方以及第一电极的顶面的露出部分的上方。第二电极材料形成在可变电阻层的上方。图案化第二电极材料和可变电阻层以在第一电极的上方形成第二电极。

[0070] 尽管已经详细地描述了实施例及其优势，但应该理解，可以在不背离所附权利要求限定的本发明精神和范围的情况下，可做各种不同的改变，替换和更改。作为本领域普通技术人员应理解，根据本发明，可以使用用于执行与根据本发明所采用的相应实施例基本相同的功能或获得基本相同结构的工艺、机器、制造、材料组分、装置、方法或步骤。因此，所附权利要求意指包括在这样的工艺、机器、制造、材料组分、装置、方法或步骤的范围内。

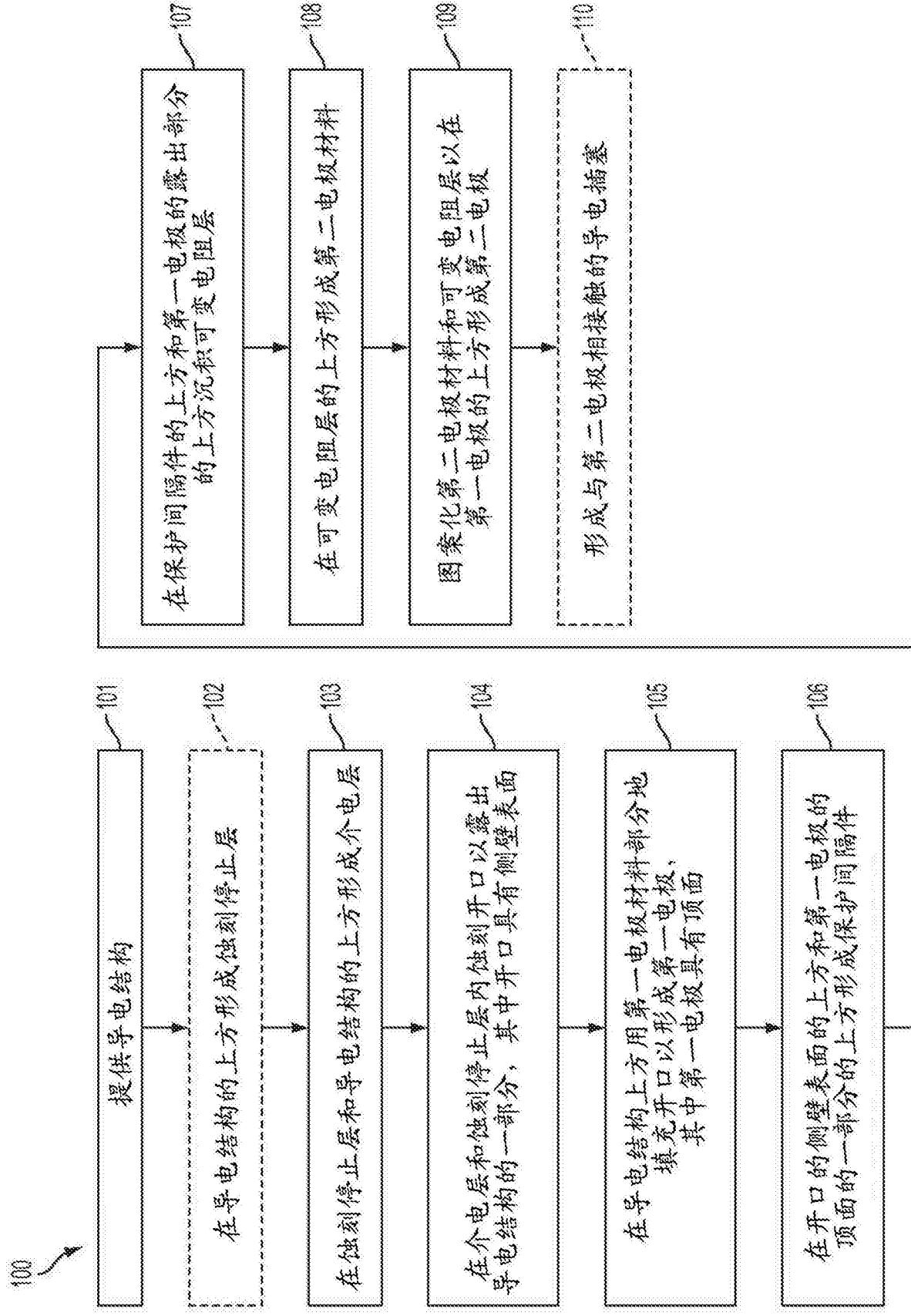


图1

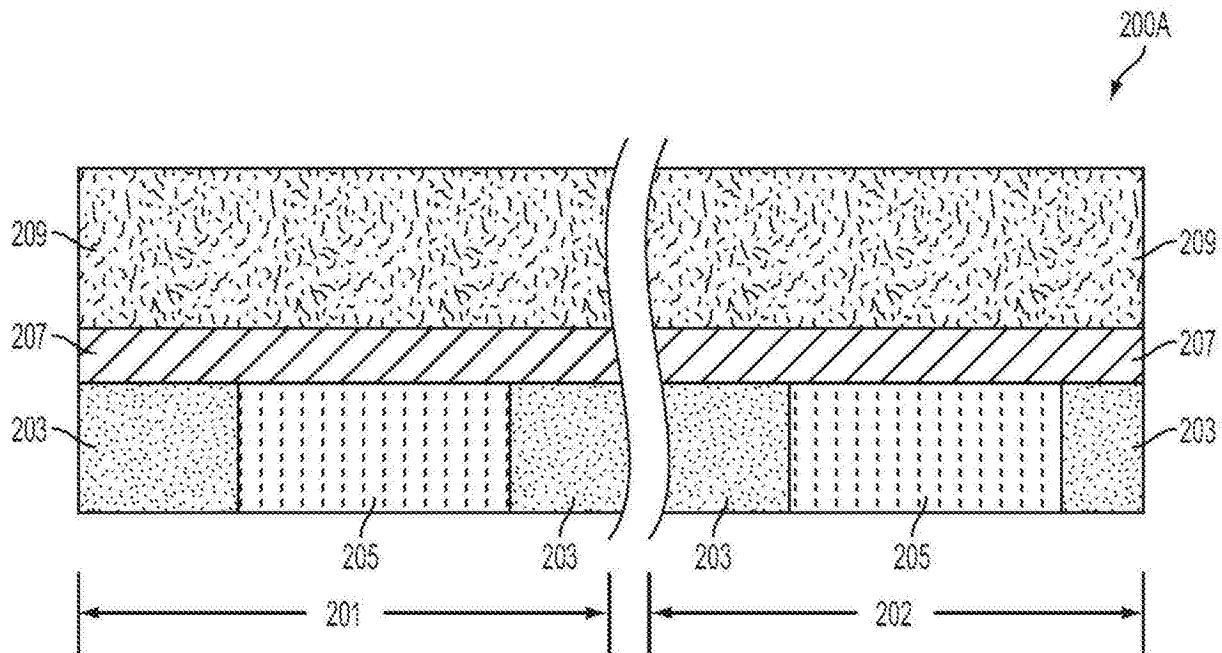


图2A

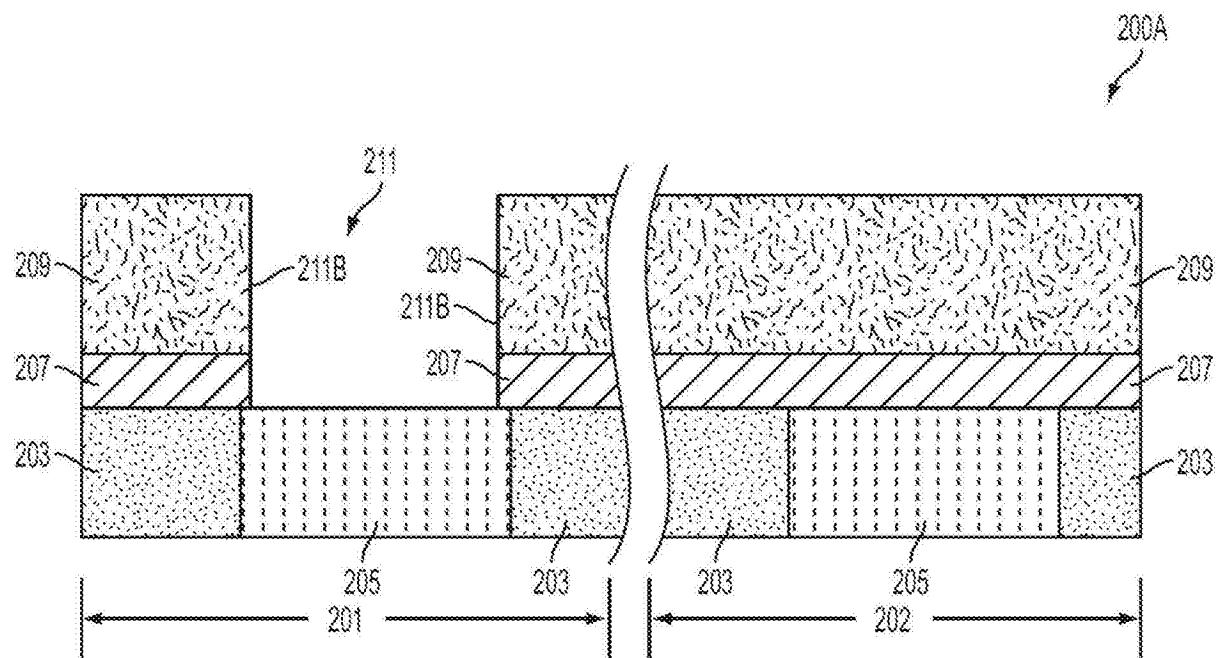


图2B

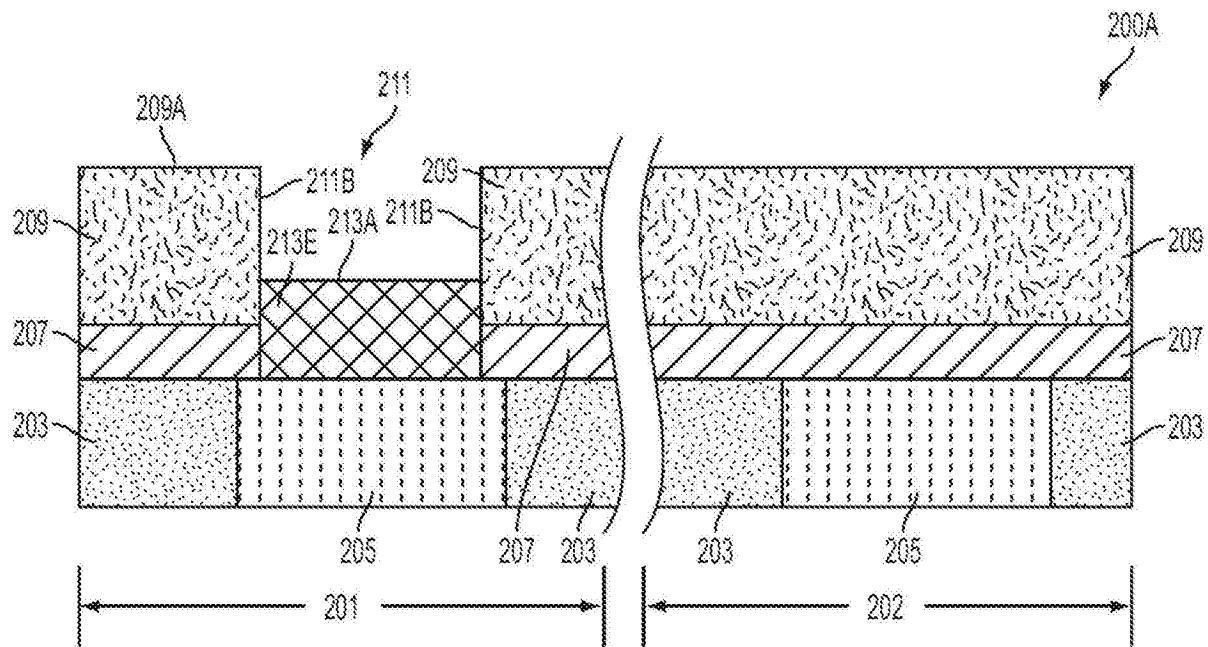


图2C

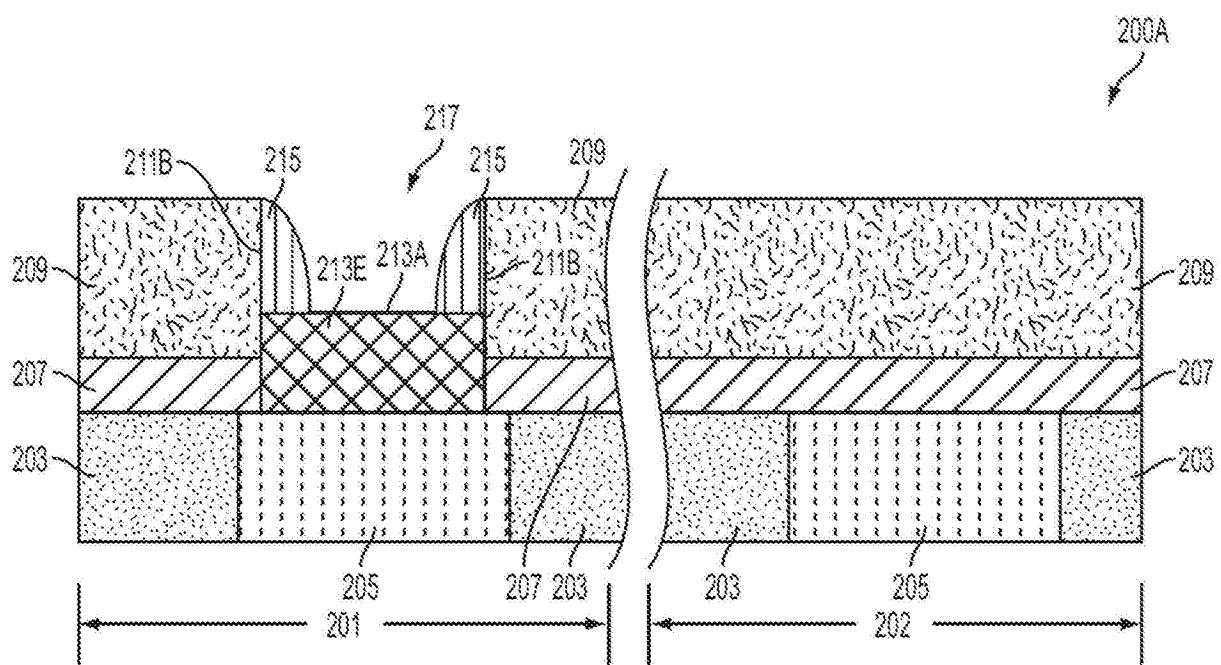


图2D

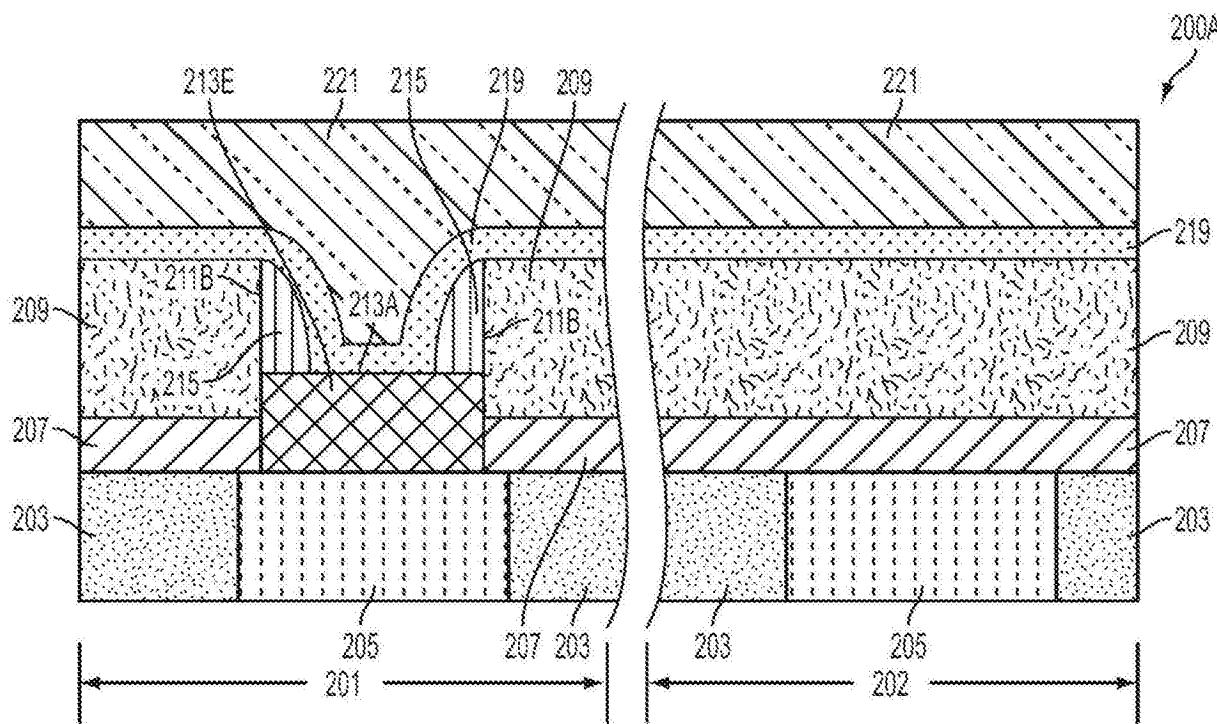


图2E

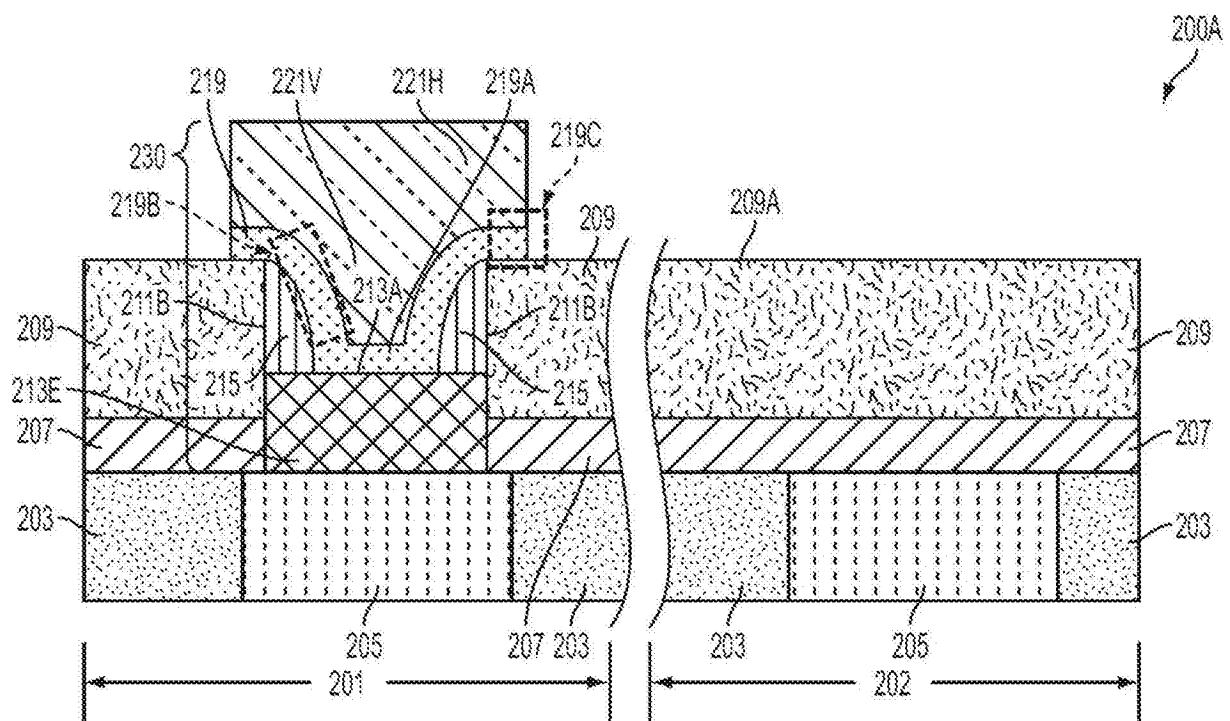


图2F

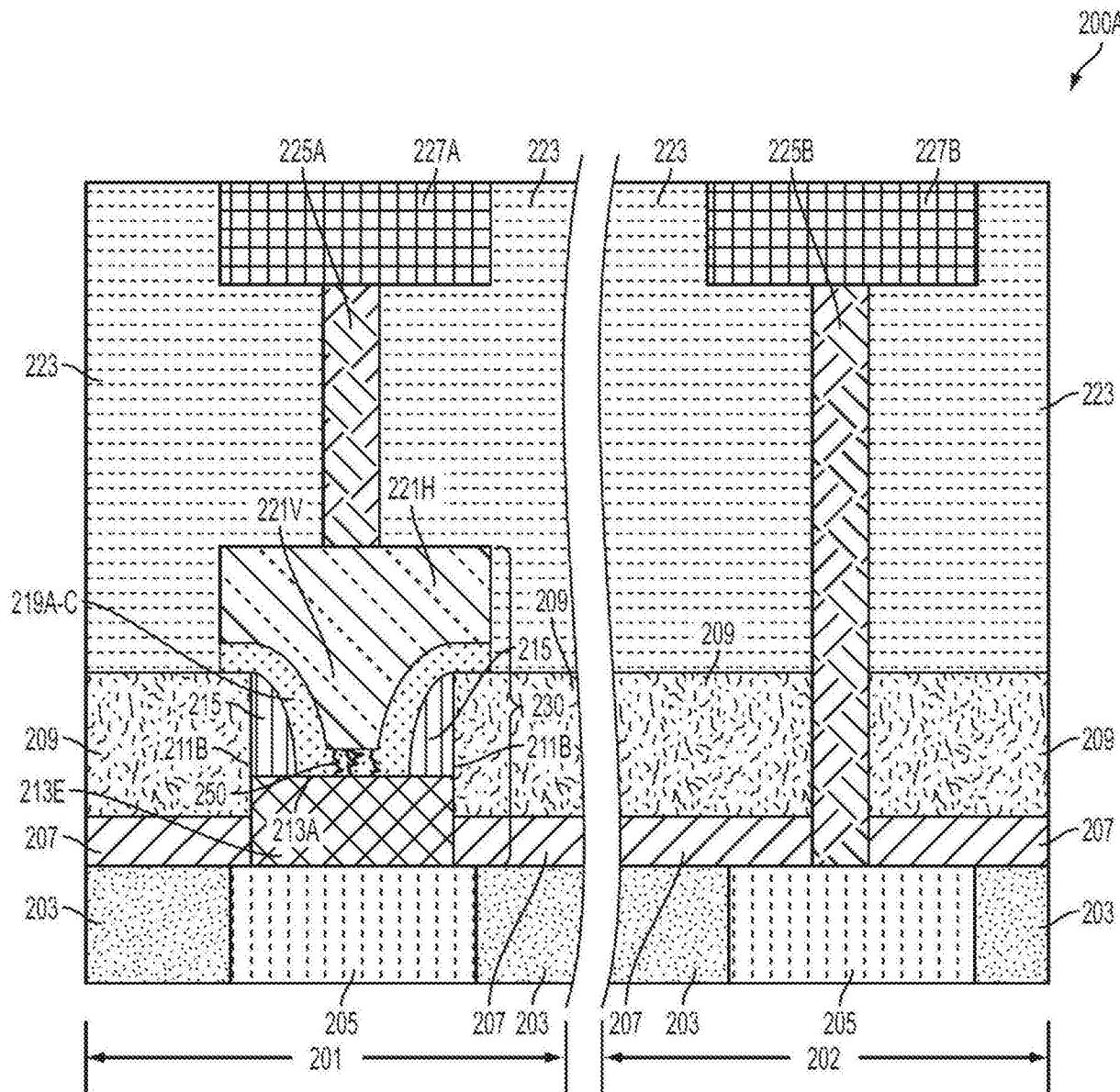


图2G

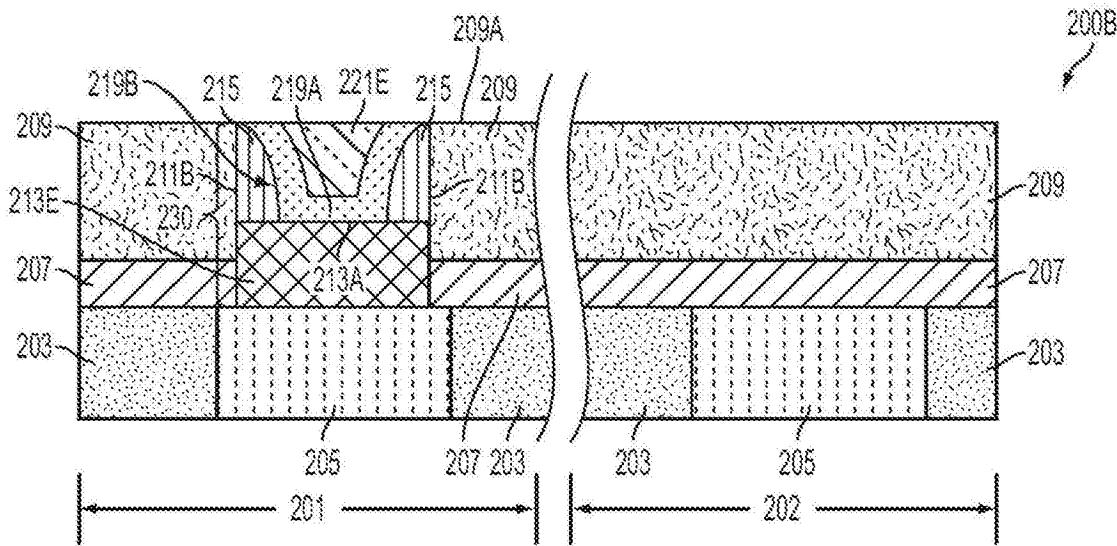


图2H

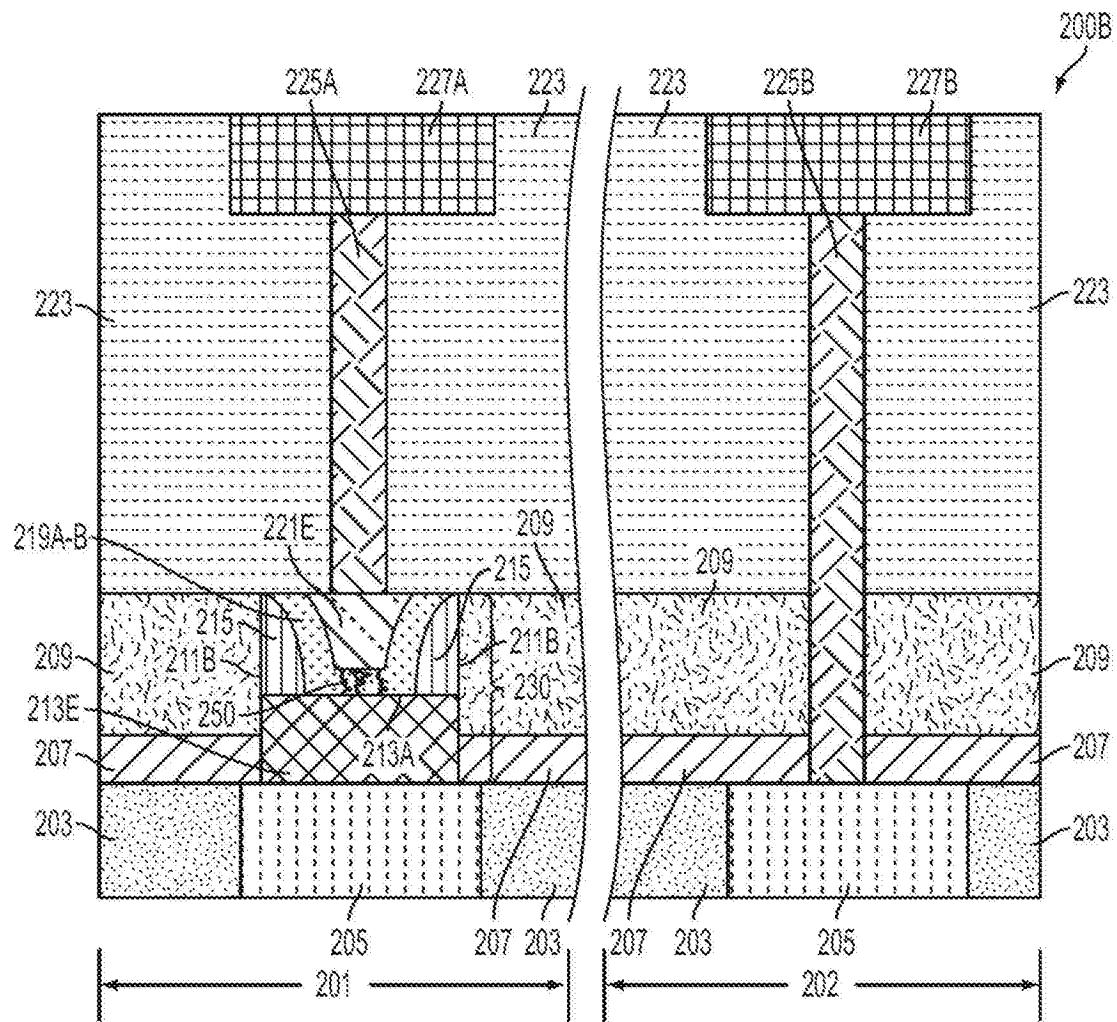


图2I