

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 29 年 3 月 23 日 (2017.3.23)

【公開番号】特開 2014-179101 (P2014-179101A)
 【公開日】平成 26 年 9 月 25 日 (2014.9.25)
 【年通号数】公開・登録公報 2014-052
 【出願番号】特願 2014-51611 (P2014-51611)
 【国際特許分類】

G 0 6 F 9/38 (2006.01)

【 F I 】

G 0 6 F 9/38 3 1 0 X

G 0 6 F 9/38 3 1 0 F

【手続補正書】

【提出日】平成 29 年 2 月 14 日 (2017.2.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 2 エントリを選択することに応答して第 1 エントリと連関されたカウンターの値を変換する段階と、

前記カウンターの値を閾値と比較する段階と、

前記カウンターの値と前記閾値との比較に応答して前記第 1 エントリが選択される準備ができていることを示す段階と、

前記第 2 エントリを取り消すことに応答して前記カウンターの値を変換する段階と

を含み、

前記第 1 エントリは、前記第 2 エントリに従属的である、データ処理システムのデータ処理方法。

【請求項 2】

前記カウンターの値を変換する段階は、前記カウンターの値を減少させることを含む請求項 1 に記載のデータ処理システムのデータ処理方法。

【請求項 3】

前記閾値は、‘ 0 ’ である請求項 1 に記載のデータ処理システムのデータ処理方法。

【請求項 4】

前記カウンターの値を前記第 1 エントリが依存する目的地の数にセットする段階をさらに含む請求項 1 に記載のデータ処理システムのデータ処理方法。

【請求項 5】

前記第 1 エントリの従属ベクトルに応答して前記カウンターをロードする段階をさらに含む請求項 1 に記載のデータ処理システムのデータ処理方法。

【請求項 6】

前記第 1 エントリの前記従属ベクトルに応答して前記カウンターをロードする段階は、

前記従属ベクトルのビットに対する論理和演算を実行する段階と、

前記従属ベクトルのビットに対する排他的論理和演算を実行する段階と、

前記論理和演算と前記排他的論理和演算の結果に応答して前記カウンターをロードする段階と、を含む請求項 5 に記載のデータ処理システムのデータ処理方法。

【請求項 7】

前記第 2 エントリを取り消すことに応答して前記カウンターの値を変換することは、前記カウンターの値を増加させることを含む請求項 1 に記載のデータ処理システムのデータ処理方法。

【請求項 8】

前記カウンターは、幅 (width) を有し、前記カウンターの幅は、前記第 1 エントリが依存する目的地の最大数を示すための最小ビットである請求項 1 に記載のデータ処理システムのデータ処理方法。

【請求項 9】

前記第 1 エントリが選択される準備ができていることを示す段階は、前記第 1 エントリと連関された従属ベクトルのエントリを整理せず、前記第 1 エントリが選択される準備ができていることを示すことを含む請求項 1 に記載のデータ処理システムのデータ処理方法。

【請求項 10】

複数のエントリを格納し、各エントリは、少なくとも 1 つのカウンターを含むメモリと、

前記メモリに連結されたコントローラと、を含み、
前記コントローラは、
前記複数のエントリの第 2 エントリを選択することに応答して前記複数のエントリの第 1 エントリと連関された前記カウンターの値を変換し、
前記カウンターの値を閾値と比較し、
前記カウンターの値と前記閾値との比較に応答して前記第 1 エントリが選択される準備ができていることを示し、

前記第 2 エントリを取り消すことに応答して前記カウンターの値を変換するように構成され、

前記第 1 エントリは、前記第 2 エントリに従属的である、データ処理装置。

【請求項 11】

前記コントローラは、前記カウンターが減少されるように前記カウンターの値を変換するようにさらに構成される請求項 10 に記載のデータ処理装置。

【請求項 12】

前記閾値は、'0' である請求項 10 に記載のデータ処理装置。

【請求項 13】

前記コントローラは、前記第 1 エントリが依存する複数のエントリの目的地の数に前記カウンターの値をセットするようにさらに構成される請求項 10 に記載のデータ処理装置。

【請求項 14】

前記コントローラは、前記第 1 エントリの従属ベクトルに応答して前記カウンターをロードするようにさらに構成される請求項 10 に記載のデータ処理装置。

【請求項 15】

前記コントローラは、
前記従属ベクトルのビットに対する論理和演算を実行し、
前記従属ベクトルのビットに対する排他的論理和演算を実行し、
前記論理和演算と前記排他的論理和演算との結果に応答して前記カウンターをロードする

ようにさらに構成される請求項 14 に記載のデータ処理装置。

【請求項 16】

前記コントローラは、前記第 2 エントリを取り消すことに応答して前記カウンターの値を増加させるようにさらに構成される請求項 10 に記載のデータ処理装置。

【請求項 17】

前記カウンターは、幅 (width) を有し、前記カウンターの幅は、前記第 1 エントリが依存する目的地の最大数を示すための最小ビットである請求項 10 に記載のデータ処

理装置。

【請求項 18】

前記コントローラは、前記第 1 エントリと連関された従属ベクトルのエントリを整理せず、前記第 1 エントリが選択される準備ができていることを示すようにさらに構成される請求項 10 に記載のデータ処理装置。

【請求項 19】

メモリシステムと、
ユーザーインターフェイスと、
前記メモリシステム及び前記ユーザーインターフェイスに連結されたプロセッサと、を含み、
前記プロセッサは、
各々少なくとも 1 つのカウンターを含む複数のエントリを格納するメモリと、
前記メモリに連結されたコントローラと、を含み、
前記コントローラは、
前記複数のエントリの第 2 エントリを選択することに応答して前記複数のエントリの第 1 エントリと連関された前記カウンターの値を変換し、
前記カウンターの値を閾値と比較し、
前記カウンターの値と前記閾値との比較に応答して前記第 1 エントリが選択される準備ができていることを示し、
前記第 2 エントリを取り消すことに応答して前記カウンターの値を変換する
ように構成され、
前記第 1 エントリは、前記第 2 エントリに従属的である、データ処理システム。

【請求項 20】

前記従属ベクトルは、前記メモリ内のそれぞれの潜在的なエントリのために 1 ビットのみを有する請求項 14 に記載のデータ処理装置。

【請求項 21】

第 2 の複数のエントリを格納するように構成された第 2 メモリをさらに備え、
前記コントローラは、前記第 2 エントリを取り消すことに応答して前記第 2 エントリを
前記第 2 メモリに移動させるようにさらに構成される、請求項 10 に記載のデータ処理装置。