

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/092 (2006.01)

H01L 21/8238 (2006.01)



[12] 发明专利说明书

专利号 ZL 200710103803.X

[45] 授权公告日 2009年10月7日

[11] 授权公告号 CN 100547791C

[22] 申请日 2007.5.15

[21] 申请号 200710103803.X

[30] 优先权

[32] 2006.6.13 [33] US [31] 11/451,869

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 B·B·多里斯 D·R·梅戴罗斯

A·W·托波尔 T·W·戴耶

[56] 参考文献

US7022561B2 2006.4.4

US2004070032A1 2004.4.15

CN1449585A 2003.10.15

CN1532912A 2004.9.29

审查员 方岩

[74] 专利代理机构 北京市中咨律师事务所

代理人 于静 刘瑞东

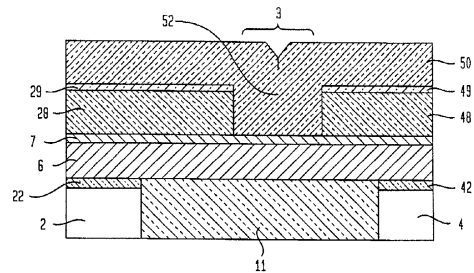
权利要求书 3 页 说明书 13 页 附图 7 页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

本发明涉及具有用介质间隙填充物隔开的双应力物的互补金属氧化物半导体 (CMOS) 器件。更具体地说, 本发明的每个 CMOS 器件都包括至少一个 n 沟道场效应晶体管 (n-FET) 和至少一个 p 沟道场效应晶体管 (p-FET)。拉伸应力介质层覆盖 n-FET, 压缩应力介质层覆盖 p-FET。间隙位于拉伸和压缩应力介质层之间并且用介质填充材料填充。在本发明的一个具体实施例中, 拉伸和压缩应力介质层都被基本无应力的介质填充材料层覆盖。在本发明的可选实施例中, 介质填充材料仅存在于拉伸和压缩应力介质层之间的间隙中。



1. 一种半导体器件，包括：

至少一个 n 沟道场效应晶体管和至少一个 p 沟道场效应晶体管，两者互相间隔；

拉伸应力介质层，覆盖所述至少一个 n 沟道场效应晶体管；

压缩应力介质层，覆盖所述至少一个 p 沟道场效应晶体管；

其中一间隙位于所述拉伸和压缩应力介质层之间，并且其中用不同于所述拉伸和压缩应力介质层的介质填充材料填充所述间隙，所述介质填充材料仅存在于所述拉伸和压缩应力介质层之间的所述间隙中。

2. 根据权利要求 1 的半导体器件，其中所述介质填充材料包括与所述拉伸和压缩应力介质层不同的应力。

3. 根据权利要求 1 的半导体器件，其中所述间隙具有范围从 1nm 到 100nm 的宽度。

4. 根据权利要求 3 的半导体器件，其中所述介质填充材料没有应力。

5. 根据权利要求 1 的半导体器件，其中所述 n 沟道场效应晶体管和所述 p 沟道场效应晶体管包括位于所述拉伸和压缩应力介质层下的公共栅极结构。

6. 根据权利要求 1 的半导体器件，其中所述 n 沟道场效应晶体管和所述 p 沟道场效应晶体管包括相互隔离并且分别位于所述拉伸和压缩应力介质层下的分离栅极结构。

7. 一种用于形成半导体器件的方法，包括如下步骤：

形成至少一个 n 沟道场效应晶体管和一个 p 沟道场效应晶体管，两者互相间隔；

在所述 n 沟道场效应晶体管和所述 p 沟道场效应晶体管上形成拉伸应力介质层；

从所述 p 沟道场效应晶体管选择除去部分所述拉伸应力介质层，其中所述拉伸应力介质层的保留部分覆盖所述 n 沟道场效应晶体管；

在所述 n 沟道场效应晶体管和所述 p 沟道场效应晶体管上形成压缩应力介质层;

从所述 n 沟道场效应晶体管选择除去部分所述压缩应力介质层, 其中所述压缩应力介质层的保留部分覆盖所述 p 沟道场效应晶体管, 并且其中一间隙位于所述压缩应力介质层的所述保留部分和所述拉伸应力介质层的所述保留部分之间;

用介质填充材料填充所述间隙; 以及

从所述拉伸和压缩应力介质层上除去多余介质填充材料, 以便所述介质填充材料仅存在于所述拉伸和压缩应力介质层之间的所述间隙中。

8. 根据权利要求 7 的方法, 其中所述介质填充材料不同于所述拉伸和压缩应力介质层。

9. 根据权利要求 7 的方法, 其中所述介质填充材料包括与所述拉伸和压缩应力介质层不同的应力。

10. 根据权利要求 7 的方法, 其中所述间隙具有范围从 1nm 到 100nm 的宽度。

11. 根据权利要求 10 的方法, 其中通过在所述拉伸和压缩应力介质层和它们之间的所述间隙上沉积所述介质填充材料填充所述间隙, 并且其中所述介质填充材料的沉积层的层厚度大于所述间隙宽度的一半。

12. 一种用于形成半导体器件的方法, 包括如下步骤:

形成至少一个 n 沟道场效应晶体管和一个 p 沟道场效应晶体管, 两者互相间隔;

在所述 n 沟道场效应晶体管和所述 p 沟道场效应晶体管上形成压缩应力介质层;

从所述 n 沟道场效应晶体管选择除去部分所述压缩应力介质层, 其中所述压缩应力介质层的保留部分覆盖所述 p 沟道场效应晶体管;

在所述 n 沟道场效应晶体管和所述 p 沟道场效应晶体管上形成拉伸应力介质层;

从所述 p 沟道场效应晶体管选择除去部分所述拉伸应力介质层, 其中

所述拉伸应力介质层的保留部分覆盖所述 n 沟道场效应晶体管，并且其中一间隙位于所述拉伸应力介质层的所述保留部分和所述压缩应力介质层的所述保留部分之间；

用介质填充材料填充所述间隙；以及

从所述拉伸和压缩应力介质层上除去多余介质填充材料，以便所述介质填充材料仅存在于所述拉伸和压缩应力介质层之间的所述间隙中。

13. 根据权利要求 12 的方法，其中所述介质填充材料不同于所述拉伸和压缩应力介质层。

14. 根据权利要求 12 的方法，其中所述介质填充材料包括与所述拉伸和压缩应力介质层不同的应力。

15. 根据权利要求 12 的方法，其中所述间隙具有范围从 1nm 到 100nm 的宽度。

16. 根据权利要求 15 的方法，其中通过在所述拉伸和压缩应力介质层和它们之间的所述间隙上沉积所述介质间隙材料填充所述间隙，并且其中所述介质填充材料的沉积层的层厚度大于所述间隙宽度的一半。

半导体器件及其制造方法

技术领域

本发明涉及具有用介质间隙填充物隔开的双应力结构的高性能互补金属氧化物半导体 (CMOS) 器件。更具体地说, 本发明涉及的 CMOS 器件的每一个都包括由拉伸应力介质层覆盖的至少一个高性能 n 沟道场效应晶体管 (n-FET) 和由压缩应力介质层覆盖的至少一个高性能 p 沟道场效应晶体管 (p-FET), 其中间隙位于拉伸和压缩应力介质层之间并且用介质填充材料填充。

背景技术

半导体器件衬底中的机械应力可以用来调节器件性能。例如, 在硅中, 当膜处在压缩应力下时, 空穴迁移率增强, 而当硅膜处在拉伸应力下时, 电子迁移率增强。因此, 为了提高这样的器件的性能, 在 p-FET 和/或 n-FET 的沟道区域中可以有利地产生压缩和/或拉伸应力。

然而, 相同的应力成分, 拉伸应力或压缩应力, 对 p-FET 和 n-FET 的性能有不同的影响。换句话说, 压缩应力提高了 p-FET 的性能, 但是对 n-FET 的性能有不利影响, 而拉伸应力提高了 n-FET 的性能, 却对 p-FET 的性能有不利影响。因此, 为了提高性能, p-FET 和 n-FET 需要不同类型的应力, 由于同时向 p-FET 施加压缩应力并且向 n-FET 施加拉伸应力的困难, 给同时制造高性能 p-FET 和 n-FET 器件提出了挑战。

在 p-FET 和 n-FET 器件的沟道区域中产生期望的压缩应力和拉伸应力的一个常规方法是, 分别用压缩和拉伸应力介质膜覆盖 p-FET 和 n-FET 器件, 这样以便分别向 n-FET 和 p-FET 器件施加拉伸和压缩应力。

但是，在常规 CMOS 器件中，典型地通过光刻和蚀刻构图拉伸和压缩应力介质膜，其倾向于未对准并且可能导致显著的覆盖误差（例如，对于 45nm 节点器件在约 $\pm 20\text{nm}$ 的范围内）。因此，拉伸应力介质层和压缩应力介质层在其边缘不能完全互相对准，并且在拉伸和压缩应力介质层相遇的边界区域，典型地包括这两层间的交迭或间隙。

图 1A 示出了包括 p-FET 和 n-FET 的常规 CMOS 器件的顶视图，并且图 1B 示出了常规 CMOS 器件通过线 A-A 的截面图。具体地，这样的常规 CMOS 器件包括通过隔离区 111 互相分开的 p-FET 有源区域 102 和 n-FET 有源区域 104。公共栅极结构在两个有源区域 102 和 104 上延伸并且经过隔离区域 111，包括构图栅极导体 106 和栅极金属硅化物层 107。栅极介质 122 和 142 分别把 p-FET 有源区 102 和 n-FET 有源区 104 从构图栅极导体 106 隔离。

一方面，压缩应力氮化硅层 128 选择覆盖 p-FET 有源区域 102，而不覆盖 n-FET 有源区域 104。另一方面，拉伸应力氮化硅层 148 选择覆盖 n-FET 有源区域 104，而不覆盖 p-FET 有源区域 102。在拉伸应力氮化硅层 148 上提供优选包括低温氧化物（LTO）的可选蚀刻停止层 149。如图 1B 所示，压缩和拉伸应力氮化硅层 128 和 148，在它们的边缘没有完全对准，但是在边界区域 103 处显著交迭。在压缩和拉伸应力氮化硅层 128 和 148 之间的未对准还在边界区域 103 处形成间隙（未示出）。

在拉伸和压缩应力介质层交迭的情况下，如上面图 1B 所示，边界区域具有的介质层厚度是其它区域中介质层厚度的两倍，这会引入接触蚀刻不足。具体地，如果在边界区域上形成金属接触，这样的金属接触可能不能延伸穿过位于边界区域上的厚介质层，并且因此不能与下面的 FET 部件（例如 FET 的栅极导体或源极/漏极）接触。

在拉伸和压缩应力介质层之间形成间隙的可选情况下，用于形成穿过拉伸或压缩应力介质层形成金属接触开口的蚀刻工艺，会穿孔通过拉伸和压缩应力介质层之间的间隙暴露的 FET 部件。另外，间隙允许钠和其它污染物扩散到暴露的 FET 部件中，从而引起 CMOS 器件性能的下降。

发明内容

本发明通过首先在拉伸和压缩应力层之间形成间隙，然后用介质填充材料填充间隙，有利地解决了上述包括拉伸和压缩应力的双应力层的常规CMOS器件的缺点。这样，可以有效避免拉伸和压缩应力介质层之间的任何交迭，同时，可以最小化甚至完全避免典型地与有间隙的双应力层有关的污染危险。

一方面，本发明涉及一种半导体器件，包括：

至少一个n沟道场效应晶体管（n-FET）和至少一个p沟道场效应晶体管（p-FET），两者互相间隔；

拉伸应力介质层，覆盖所述至少一个n-FET；

压缩应力介质层，覆盖所述至少一个p-FET；

其中一间隙位于所述拉伸和压缩应力介质层之间，并且其中用不同于所述拉伸和压缩应力介质层的介质填充材料填充所述间隙。

介质填充材料在如密度、蚀刻速率、应力、氧或氮含量等的任何物理或成分特性上可以不同于拉伸和压缩应力介质层。介质填充材料，优选但不必须，包括不同于拉伸和压缩应力介质层的应力。更优选，介质填充材料基本没有应力。

优选间隙具有范围从约1nm到约100nm的宽度，更优选，间隙宽度范围从约5nm到约80nm，最优选从约30nm到约50nm。

在本发明的具体实施例中，介质填充材料基本没有应力，并且拉伸和压缩应力介质层都被介质填充材料层覆盖。在本发明的可选实施例中，介质填充材料仅存在于拉伸和压缩应力介质层之间的间隙中。

拉伸和压缩应力介质层以及介质填充材料可以包括具有相应应力分布的任何合适的介质材料。优选但不必须，拉伸应力介质层包括拉伸应力氮化硅，压缩应力介质层包括压缩应力氮化硅，介质填充材料包括不同于这样的拉伸和压缩氮化硅的氮化硅。

上文描述的n-FET和p-FET可以包括位于拉伸和压缩应力介质层两

者下的公共栅级结构，或者它们可以包括相互隔离并且分别位于拉伸和压缩应力介质层下的分离栅级结构。

另一方面，本发明涉及一种用于形成半导体器件的方法，包括如下步骤：

形成至少一个 n 沟道场效应晶体管 (n-FET) 和一个 p 沟道场效应晶体管 (p-FET)，两者互相间隔；

在所述 n-FET 和所述 p-FET 上形成拉伸应力介质层；

从所述 p-FET 选择除去部分所述拉伸应力介质层，其中所述拉伸应力介质层的保留部分覆盖所述 n-FET；

在所述 n-FET 和所述 p-FET 上形成压缩应力介质层；

从所述 n-FET 选择除去部分所述压缩应力介质层，其中所述压缩应力介质层的保留部分覆盖所述 p-FET，并且其中一间隙位于所述压缩应力介质层的所述保留部分和所述拉伸应力介质层的所述保留部分之间；以及

用介质填充材料填充所述间隙。

在上述方法中，用于填充间隙的介质填充材料可以与拉伸和压缩应力介质层包含的材料相同或不同。介质填充材料优选但不必须，不同于拉伸和压缩应力介质层。介质填充材料更优选但不必须，包括与拉伸和压缩应力介质层不同的应力。

优选，通过在拉伸和压缩应力介质层以及这两者之间的间隙上沉积介质填充材料层填充间隙，并且介质填充材料的沉积层具有大于间隙宽度的一半的层厚度。

另一方面，本发明涉及一种用于形成半导体器件的方法，包括如下步骤：

形成至少一个 n 沟道场效应晶体管 (n-FET) 和一个 p 沟道场效应晶体管 (p-FET)，两者互相间隔；

在所述 n-FET 和所述 p-FET 上形成压缩应力介质层；

从所述 n-FET 选择除去部分所述压缩应力介质层，其中所述压缩应力介质层的保留部分覆盖所述 p-FET；

在所述 n-FET 和所述 p-FET 上形成拉伸应力介质层；

从所述 p-FET 选择除去部分所述拉伸应力介质层，其中所述拉伸应力介质层的保留部分覆盖所述 n-FET，并且其中一间隙位于所述拉伸应力介质层的所述保留部分和所述压缩应力介质层的所述保留部分之间；以及用介质填充材料填充所述间隙。

根据随后的公开和附加权利要求，将更全面地理解本发明的其它方面，特征和优点。

附图说明

图 1A 是包括具有明显交迭的拉伸和压缩应力层的 n-FET 和 p-FET 的常规 CMOS 器件的顶视图。

图 1B 是图 1A 中的常规 CMOS 器件沿线 A-A 的截面图。

图 2A 是根据本发明的一个实施例的改进的 CMOS 器件的顶视图，该器件包括具有公共栅级结构和有间隙的拉伸和压缩应力层的 n-FET 和 p-FET，同时基本没有应力的介质填充材料层覆盖拉伸和压缩应力介质层并填充其间的间隙。

图 2B 是图 2A 中的改进的 CMOS 器件沿线 B-B 的截面图。

图 3A 是根据本发明的一个实施例的改进的 CMOS 器件的顶视图，该器件包括具有公共栅级结构和有间隙的拉伸和压缩应力层的 n-FET 和 p-FET，同时介质填充材料填充拉伸和压缩应力层之间的间隙。

图 3B 是图 3A 中的改进的 CMOS 器件沿线 C-C 的截面图。

图 4A 是根据本发明的一个实施例的改进的 CMOS 器件的顶视图，该器件包括具有分离栅级结构和有间隙的拉伸和压缩应力层的 n-FET 和 p-FET，同时介质填充材料填充拉伸和压缩应力层之间的间隙。

图 4B 是图 4A 中的改进的 CMOS 器件沿线 D-D 的截面图。

图 5-10 是根据本发明的一个实施例，示出了用于形成图 2A-2B 或图 3A-3B 的改进的 CMOS 器件的典型工艺步骤的截面图。

具体实施方式

在以下描述中，为了提供对本发明的详尽理解，列出了许多具体细节，例如详细的结构、部件、材料、尺寸、工艺步骤和技术。但是，本领域的技术人员应该明白，没有这些特定细节也可以实施本发明。另一方面，为了不使本发明晦涩，省略了对公知的结构和工艺步骤的细节描述。

应该明白，当称如层、区域或衬底这样的元件在另一个元件“上”时，它可以直接在其它元件上或者可以存在居间元件。相反，当称一个元件“直接在”另一元件上时，不存在居间元件。还应该明白，当称一个元件与另一个元件“连接”或者“耦合”时，它可以与其它元件直接连接或耦合或者可以存在居间元件。相反，当称一个元件与另一个元件“直接连接”或者“直接耦合”时，不存在居间元件。

这里使用的术语“基本无应力”指结构或材料包括的拉伸或压缩应力小于约 400MPa。

本发明提供改进的 CMOS 器件，该器件包括双应力层位于其上的至少一个 n-FET 和至少一个 p-FET，即拉伸应力层位于至少一个 n-FET 上，压缩应力层位于至少一个 p-FET 上。首先在拉伸和压缩应力层之间形成间隙，然后使用介质填充材料填充该间隙。这样，具有介质填充材料的间隙用来避免在拉伸和压缩应力介质层之间形成任何交迭，而同时可以最小化或彻底消除典型地与有间隙的双应力层有关的污染危险。

图 2A 与图 2B 根据本发明的实施例，分别示出了改进的 CMOS 器件的顶视图和截面图。

具体地，该 CMOS 器件包括位于 p-FET 有源区域 2 上的 p-FET 和位于 n-FET 有源区域 4 上的 n-FET。p-FET 有源区域 2 和 n-FET 有源区域 4 位于同一半导体衬底上（未示出）并且通过隔离区域 11 互相分离。公共栅极结构在有源区域 2 和 4 上延伸并经过隔离区域 11，包括构图栅极导体 6 和栅极金属硅化物层 7。栅极介质 22 和 24 分别把 p-FET 有源区域 2 和 n-FET 有源区域 4 从构图栅极导体 6 隔离。

压缩应力介质层 28 选择覆盖 p-FET 有源区域 2，但不覆盖 n-FET 有

源区域 4，而拉伸应力氮化硅层 48 选择覆盖 n-FET 有源区域 4，但不覆盖 p-FET 有源区域 2。分别在压缩和拉伸应力介质层 28 和 48 上提供可选的蚀刻停止层 29 和 49。

压缩和拉伸应力介质层 28 和 48 不以任何方式交迭。相反，如图 2B 所示，在压缩和拉伸应力介质层 28 和 48 之间存在间隙 3。在压缩和拉伸应力介质层 28 和 48 之间的间隙 3 中提供由介质填充材料形成的间隙填充物 52。因为 n-FET 和 p-FET 有源区域 2 和 4 共享经过隔离区域 11 的公共栅极结构，所以间隙填充物 52 直接位于该公共栅极结构上，而不是直接位于隔离区域 11 上。

形成间隙填充物 52 的介质填充材料包括可以用来填充间隙 3 的任何保形介质材料。优选但不必须，介质填充材料选自氧化物、氮化物和氧氮化物组成的组。更优选，介质填充材料包括氮化硅。

通过在形成拉伸和压缩应力层 28 和 48 后进行的工艺沉积介质填充材料。该介质填充材料可以在如密度、蚀刻率、应力、氧或氮含量等的一个或多个可检测的物理和成分特性上不同于拉伸和压缩应力介质层 28 和 48。可选地，介质填充材料可以包括与压缩和拉伸应力介质层 28 和 48 中的一个包括的材料相同的材料，但是该介质填充材料可通过在随后沉积工艺的开始形成的界面层与压缩和拉伸应力介质层 28 和 48 区分开来。

优选但不必须，介质填充材料包括的拉伸或压缩应力的量与压缩和拉伸应力介质层 28 和 48 包含的拉伸或压缩应力不同。更优选，介质填充材料基本无应力，即介质填充材料是应力中性的。

在图 2A 和 2B 示出的具体实施例中，形成间隙填充物 52 的介质填充材料还形成延伸到间隙 3 外以覆盖压缩和拉伸应力介质层 28 和 48 的层 50。在此具体实施例中，特别优选介质填充材料是应力中性的，这样以便层 50 与由下应力层 28 和 40 提供的期望的应力没有偏移。

优选，在压缩和拉伸应力介质层 28 和 48 之间的间隙 3 具有从约 1nm 到约 100nm 范围内的间隙宽度，更优选从约 5nm 到约 80nm，最优选从约 30nm 到约 50nm。

另外, 优选介质填充材料层 50 具有大于间隙宽度的一半的层厚度。例如, 当间隙宽度范围从约 30nm 到约 50nm 时, 优选介质填充材料层 50 的层厚度范围从约 20nm 到约 30nm。

虽然图 2A 和 2B 示出了本发明的具体实施例, 其中过量的介质填充材料还形成延伸到间隙 3 外以覆盖压缩和拉伸应力介质层 28 和 48 的层 50, 但是本发明还旨在可选实施例, 其中从压缩和拉伸应力介质层 28 和 48 上除去过量的介质填充材料, 这样以便只有在间隙 3 中形成间隙填充物 52 的介质填充材料部分保留在最终的 CMOS 器件中。

图 3A 和 3B 示出了改进的 CMOS 器件的顶视图和截面图, 类似于图 2A 和 2B 所示, 除了将由多余的介质填充材料形成的层 50 从压缩和拉伸应力介质层 28 和 48 上除去之外。

对应地, 只有形成间隙填充物 52 的介质填充材料的一部分存在于压缩和拉伸应力介质层 28 和 48 之间的间隙 3 中。暴露位于压缩和拉伸应力介质层 28 和 48 上的可选的蚀刻停止层 29 和 49。可选地, 如果没有提供蚀刻停止层, 则暴露压缩和拉伸应力介质层 28 和 48 本身。

如上述图 2A-3B 所示, 本发明的 n-FET 和 p-FET 共享公共栅极结构, 但是它们还可以包括互相隔离的分离栅极结构。

图 4A 和 4B 示出了改进的 CMOS 器件的顶视图和截面图, 类似于图 3A 和 3B 所示, 除了在 p-FET 有源区域 2 和 n-FET 有源区域 4 上分别提供分离栅极结构之外, 分离栅极结构的一个包括第一栅极导体 24 和第一栅极金属硅化物 25, 并且另一个包括第二栅极导体 44 和第二栅极金属硅化物 45。在此具体实施例中, 间隙填充物 52 不再位于公共栅极结构 (如上述图 2A-3B 所示) 上, 而是代之以直接位于隔离区域 11 上, 如图 4B 所示。

可以通过公知的光刻、蚀刻和介质沉积技术容易地形成如上述示出的 CMOS 器件结构。该 CMOS 器件还可以利用常规栅极移位工艺形成。现在通过参考图 5-10 中的附图, 更详细地描述用来形成如图 2A-2B 与 3A-3B 的 CMOS 器件结构的典型工艺步骤。注意, 在没有按比例画出的这些图中, 相似的或/和对应的元件用类似的标号标记。还要注意, 图中只示出了一个

n-FET 和一个 p-FET。虽然对这样的实施例进行了描述，但是本发明没有限定形成的 n-FET 或者 p-FET 器件的任何具体数目。

首先参考图 5，其示出了在包括构图栅极导体 6 和栅极金属硅化物层 7 的公共栅极结构上的覆盖压缩应力介质层的形成。公共栅极结构又位于在同一个半导体衬底（未示出）上并且通过隔离区域 11 互相隔离的 p-FET 有源区域 2 和 n-FET 有源区域 4 上。

p-FET 有源区域 2 和 n-FET 有源区域 4 位于其中的半导体衬底（未示出）可以包括任何半导体材料，此半导体材料包括但不限于：Si、SiC、SiGe、SiGeC、Ge 合金、GaAs、InAs、InP，以及其它 III-V 或 II-VI 族化合物半导体。半导体衬底（未示出）还可以包括有机半导体或者如 Si/SiGe、绝缘体上硅（SOI）或绝缘体上 SiGe（SGOI）的分层半导体。在本发明的一些实施例中，优选半导体衬底（未示出）由含硅半导体材料，即包含硅的半导体材料组成。半导体衬底（未示出）可以掺杂、未掺杂或者其中包含掺杂和未掺杂区域。p-FET 有源区域 2 可以由半导体衬底（未示出）中的第一掺杂（n-或 p-）区域形成，而 n-FET 有源区域 4 可以由第二掺杂（n-或 p-）区域形成。另外，p-FET 和 n-FET 有源区域 2 和 4 可以具有相同或者不同的导电率和/或掺杂浓度。

典型地在半导体衬底（未示出）中形成隔离区域 11 以提供 p-FET 和 n-FET 有源区域 2 和 4 之间的隔离。隔离区域 11 可以是沟槽隔离区域或场氧化物隔离区域。利用本领域的技术人员公知的常规沟槽隔离工艺形成沟槽隔离区域。例如，光刻、蚀刻并用沟槽介质填充沟槽可以用于形成沟槽隔离区域。可选地，可以在沟槽填充前在沟槽中形成衬里，在沟槽填充后可以执行致密步骤并且在沟槽填充后跟随平整化步骤。可以用称作硅的局域氧化工艺形成场氧化物。

在半导体衬底（未示出）中形成至少一个隔离区域 11 后，可以在半导体结构（未示出）的整个表面上沉积覆盖栅极介质层（未示出）。可选地，分别在 p-FET 有源区域 2 和 n-FET 有源区域 4 上形成构图栅极介质层 22 和 42，如图 5 所示。可以通过如氧化、氮化和氮氧化的热生长工艺形成

栅极介质层 22 和 42。可选地,可以通过沉积工艺如化学气相沉积(VCD)、等离子体辅助 CVD、原子层沉积(ALD)、蒸发、反应溅射、化学溶液沉积和其它类似的沉积工艺形成栅极介质层 22 和 42。还可以利用任何上述工艺的组合形成栅极介质层 22 和 42。

栅极介质层 22 和 42 可以包括任何合适的绝缘材料,其包括但不限于:氧化物、氮化物、氧氮化物和/或包括金属硅酸盐和氮化金属硅酸盐的硅酸盐。在一实施例中,优选栅极介质层 22 和 42 包括如 SiO_2 、 HfO_2 、 ZrO_2 、 Al_2O_3 、 TiO_2 、 LaO_3 、 SrTiO_3 、 LaAlO_3 及其混合物的氧化物。

栅极介质层 22 和 42 的物理厚度可以变化,但是优选,栅极介质层 22 和 42 的每一个都具有从约 0.5nm 到约 10nm 的厚度,更优选,具有从约 0.5nm 到约 3nm 的厚度。

在形成栅极介质层 22 和 42 后,利用公知的如物理气相沉积、CVD、或者蒸发的沉积工艺,接着公知的如光刻和蚀刻的栅极构图工艺,在 n-FET 和 p-FET 有源区域 2 和 4 上并且经过隔离区域 11 形成优选包括多晶硅的公共栅极导体 6。公共栅极导体 6 可以掺杂或未掺杂。如果掺杂,可以在形成它时使用原位掺杂沉积工艺。可选地,可以通过沉积、离子注入并且退火形成掺杂多晶硅栅极导体 6。公共栅极导体 6 的厚度即高度可以根据使用的沉积工艺改变。优选,公共栅极导体 6 具有从约 20nm 到约 180nm 的垂直厚度,更优选,从约 40nm 到约 150nm 的厚度。

可选但不必须,通过公知的硅化工艺在栅极导体 6 上形成金属硅化物层 7,为了避免模糊本发明,此处没有详细描述。

栅极导体 6 和可选的栅极金属硅化物层 7 共同形成在 p-FET 和 n-FET 有源区域 2 和 4 上延伸并且经过隔离区域 11 的公共栅极结构。公共栅极结构可以包括另外的结构,例如,侧壁隔离物、覆盖层和/或扩散阻挡层(未示出),如 MOS 栅极结构通常所包括的。在本发明的优选实施例中,栅极结构中不存在侧壁隔离物,这样以便减少器件覆盖区并且增加相邻器件区域之间的距离以利于随后的间隙填充。

在形成公共栅极结构后,在整个结构上沉积优选但不必须包括压缩应

力氮化硅的压缩应力介质层 28 以覆盖 p-FET 有源区域 2 和 n-FET 有源区域 4。例如，可以通过等离子体增强化学气相沉积 (PECVD) 工艺形成压缩应力氮化硅层 28，如美国专利申请公开 No. 2003/0040158 公开的或者 A. Tarraf 等人在 2004 年的 J. MicroMech. MicroEng, Vol.14 第 317 到 323 页所述的“Stress Investigation of PECVD Dielectric Layers for Advanced Optical MEMS”或者通过技术上公知的任何其它合适的沉积技术。优选，压缩应力氮化硅层 28 具有从约 10nm 到约 1000nm 的厚度范围，更优选，从约 20nm 到约 500nm，最优选，从约 30nm 到约 150nm。

随后在压缩应力介质层 28 上形成优选但不必须包括低温氧化物 (LTO) 的可选蚀刻停止层 29。可以通过在工艺温度范围从约 300°C 到约 450°C 下执行的公知的低温氧化工艺形成 LTO 蚀刻停止层 29。

随后，在压缩应力介质层 28 和可选蚀刻停止层 29 上沉积第一阻挡掩模 60，以仅覆盖直接位于 p-FET 有源区域 2 上的层的部分，而暴露位于 n-FET 有源区域 4 上的层 28 和 29 的剩余部分，如图 6 所示。

然后，使用第一阻挡掩模 60 进行第一选择蚀刻步骤以从 n-FET 有源区域 4 上选择除去层 28 和 29 的暴露部分，如图 7 所示。包括但不限于：反应离子蚀刻 (RIE)、离子束蚀刻、等离子体蚀刻或者激光烧蚀的一个或多个干蚀刻技术，可以用来选择除去层 28 和 29 的暴露部分。在第一选择蚀刻步骤完成后除去第一阻挡掩模 60。

下一步，在整个结构上沉积优选但不是必要包括拉伸应力氮化硅的拉伸应力介质层 48 以覆盖 p-FET 有源区域 2 和 n-FET 有源区域 4。如图 8 示，拉伸应力氮化硅层 48 具体覆盖压缩应力层 28 和蚀刻停止层 29 的未除去部分。还可以通过等离子体增强化学气相沉积 (PECVD) 工艺形成拉伸应力氮化硅层 48，如美国专利申请公开 No. 2003/0040158 公开的或者 A. Tarraf 等人在 2004 年的 J. MicroMech. MicroEng, Vol.14 第 317 到 323 页所述的“Stress Investigation of PECVD Dielectric Layers for Advanced Optical MEMS”或者通过技术上公知的任何其它合适的沉积技术。优选，拉伸应力氮化硅层 48 具有从约 10nm 到约 1000nm 的厚度范围，更优选，

从约 20nm 到约 500nm，最优选，从约 30nm 到约 150nm。还可以在拉伸应力介质层 48 上形成优选但不必须包括 LTO 的可选蚀刻停止层 49

在拉伸应力介质层 48 和蚀刻停止层 49 上沉积第二阻挡掩模 62 以仅覆盖直接位于 n-FET 有源区域 4 上的层的部分，而暴露位于 p-FET 有源区域 2 上的层 48 和 49 的剩余部分，如图 9 所示。

更重要地，构建并且安排第二阻挡掩模 62 这样以便其不与压缩应力层 28 和蚀刻停止层 29 的未除去部分交迭，如图 9 所示。相反，第二阻挡掩模 62 从压缩应力层 28 和蚀刻停止层 29 的未除去部分横向移位一显著距离。在此方式，可以进行第二选择蚀刻步骤以从 p-FET 有源区域 2 上选择除去压缩应力介质层 48 和可选的蚀刻停止层 49 的未掩蔽部分并且在拉伸应力介质层 48 和压缩应力介质层 28 的剩余部分之间形成间隙 3，如图 10 所示。

在第二选择蚀刻步骤后，从 n-FET 有源区域 4 上除去第二阻挡掩模 62，并且在整个结构上沉积介质填充材料层 50。介质填充材料层 50 不仅覆盖了压缩应力介质层 28 和拉伸应力介质层 48，而且在压缩应力介质层 28 和拉伸应力介质层 48 之间的间隙 3 中形成间隙填充物 52，如图 2B 所示。

另外，可以进行回蚀刻步骤以从压缩应力介质层 28 和拉伸应力介质层 48 上除去多余的介质填充材料，而仅留下压缩应力介质层 28 和拉伸应力介质层 48 之间的间隙 3 中的间隙填充物 52，如图 3B 所示。可以提前停止回蚀刻步骤，以便在压缩应力介质层 28 和拉伸应力介质层 48 上留下明显的薄介质填充材料层（未示出）。

随后，可以进行此处没有详细描述的后段制程工艺步骤以形成包括 p-FET 和 n-FET 的完全的 CMOS 器件。

注意，虽然上述工艺步骤示出了在拉伸应力介质层 48 之前，形成和构图压缩应力介质层 28，但是本发明不限于这样的具体顺序。换句话说，在本发明的实施中，可以在压缩应力介质层 28 的沉积和构图前容易地形成和构图拉伸应力介质层 48。

虽然这里参考具体的实施例、特征和方面描述了本发明，但是应该认

识到本发明并不限于此，而是在应用上延伸到其它的修改、变化、应用和实施例，并且因此认为所有这样的其它修改、变化、应用、实施例都在本发明的精神和范围内。

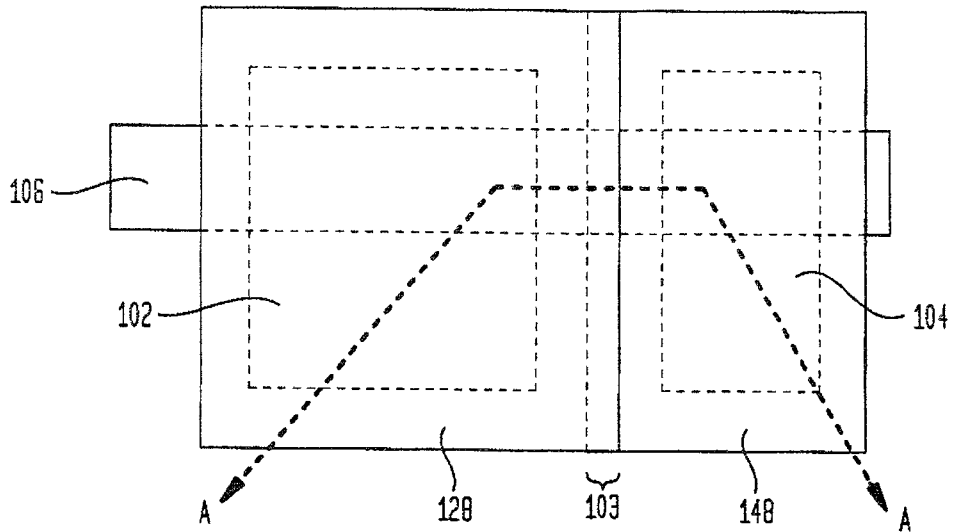


图 1A
(现有技术)

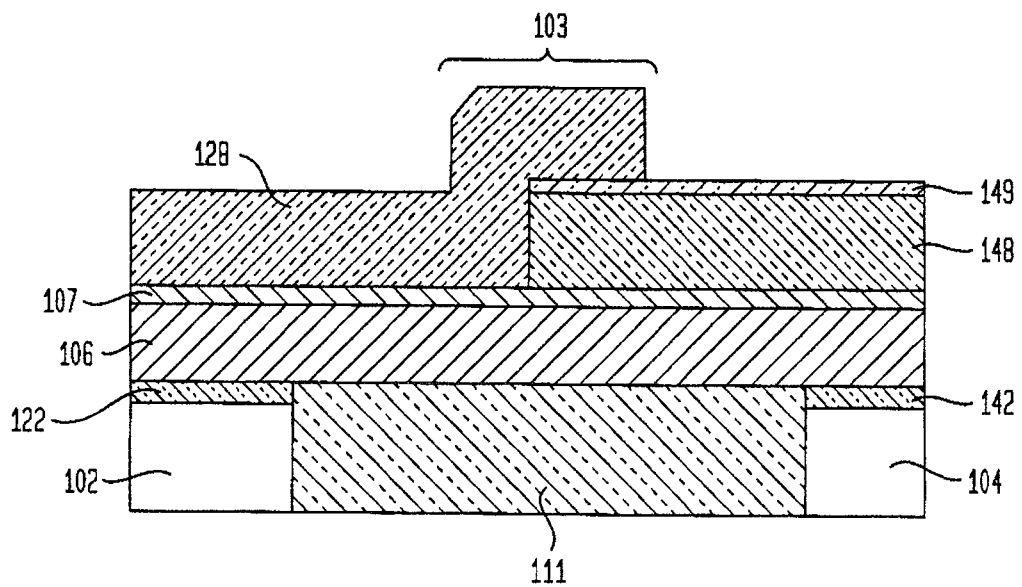


图 1B
(现有技术)

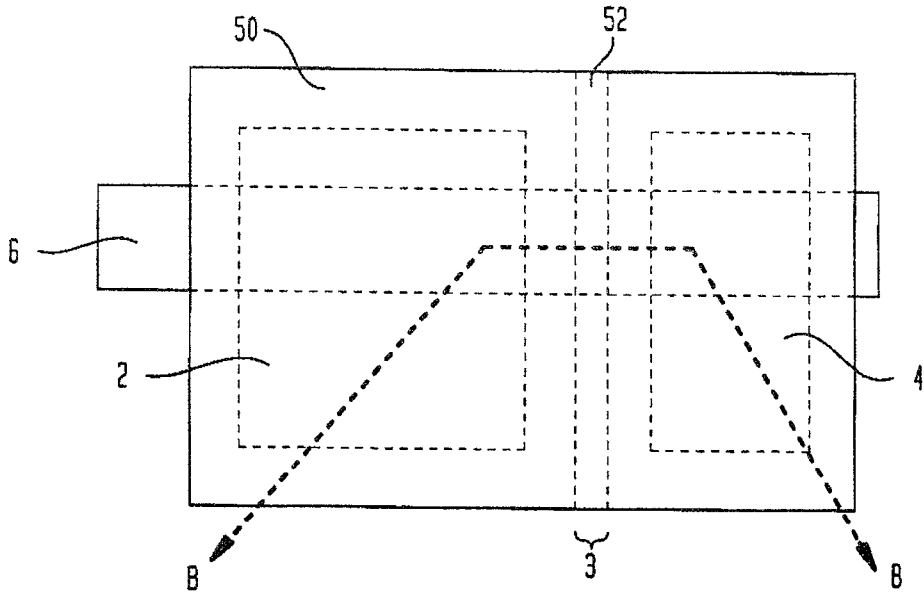


图 2A

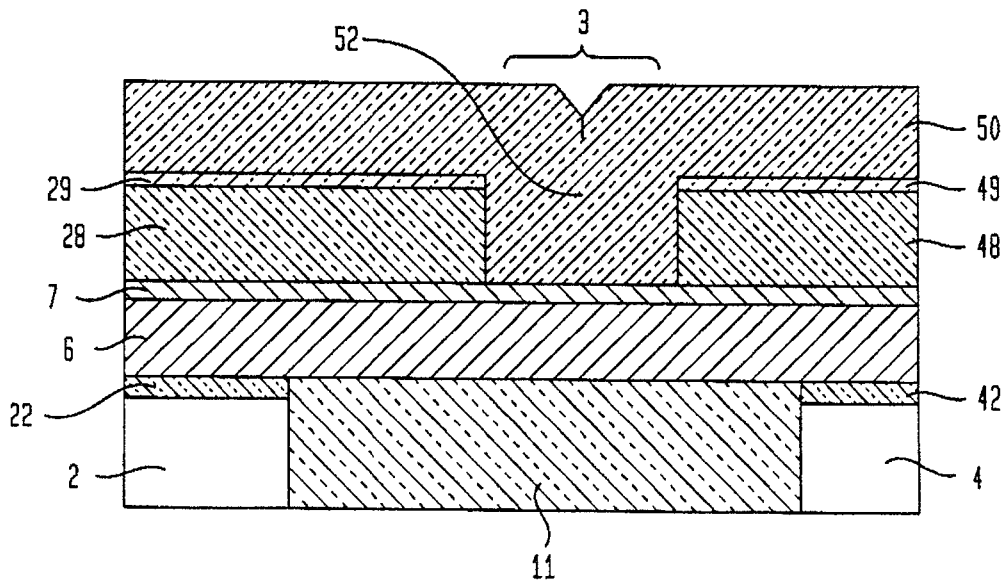


图 2B

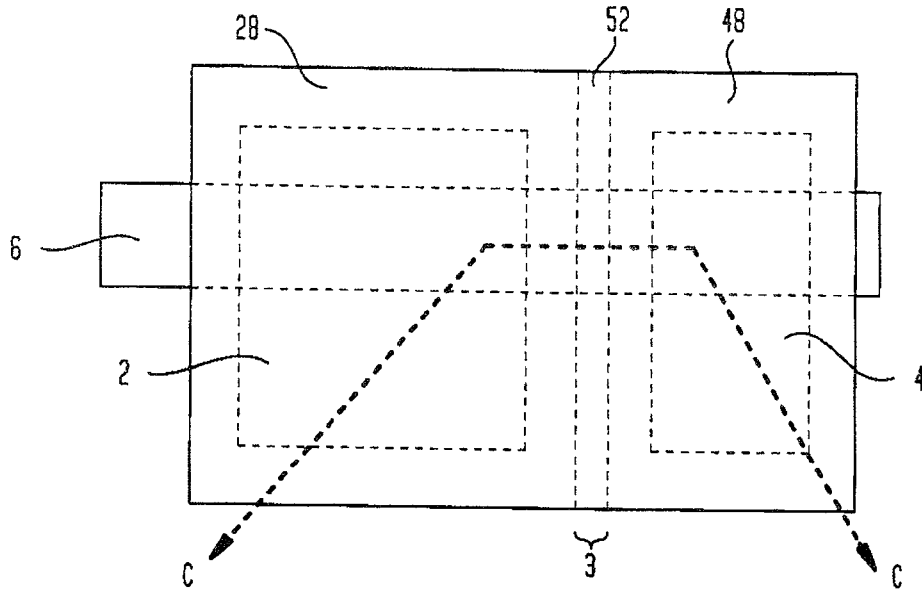


图 3A

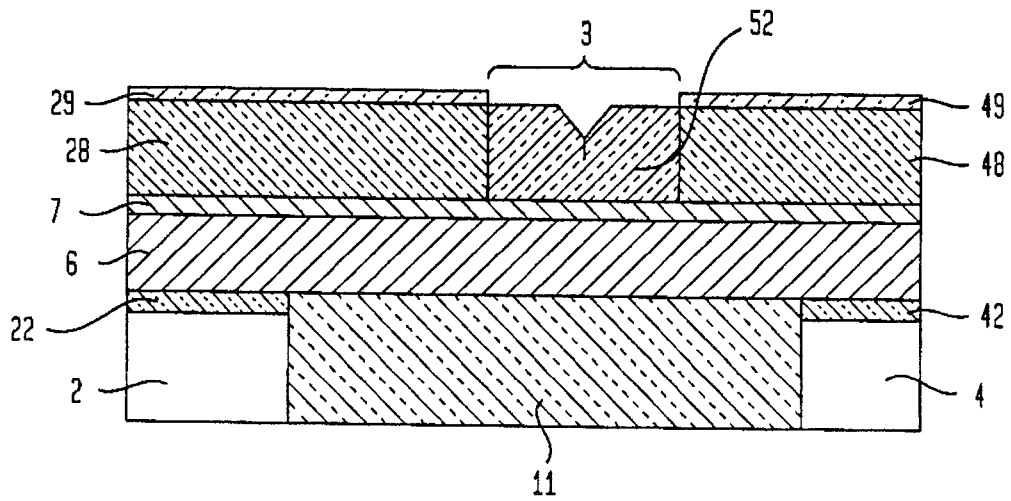


图 3B

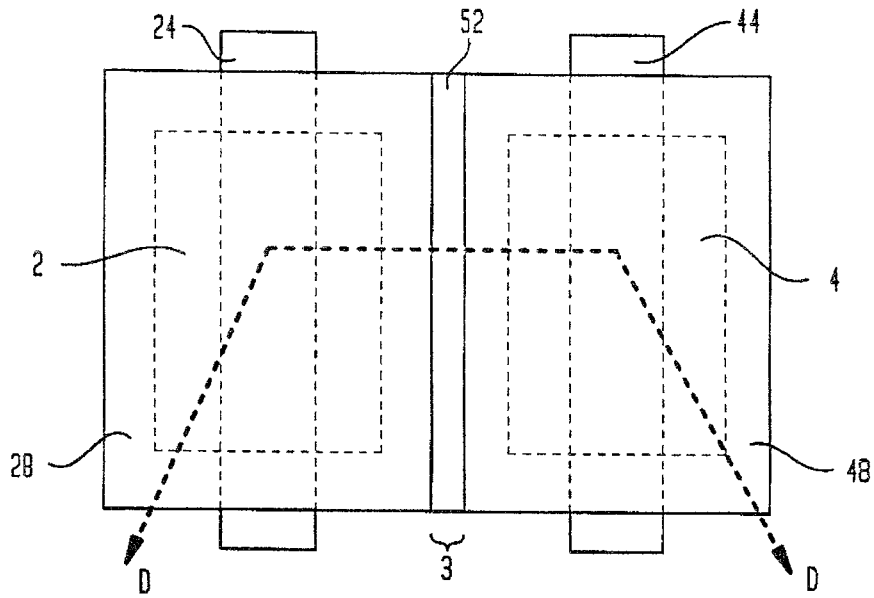


图 4A

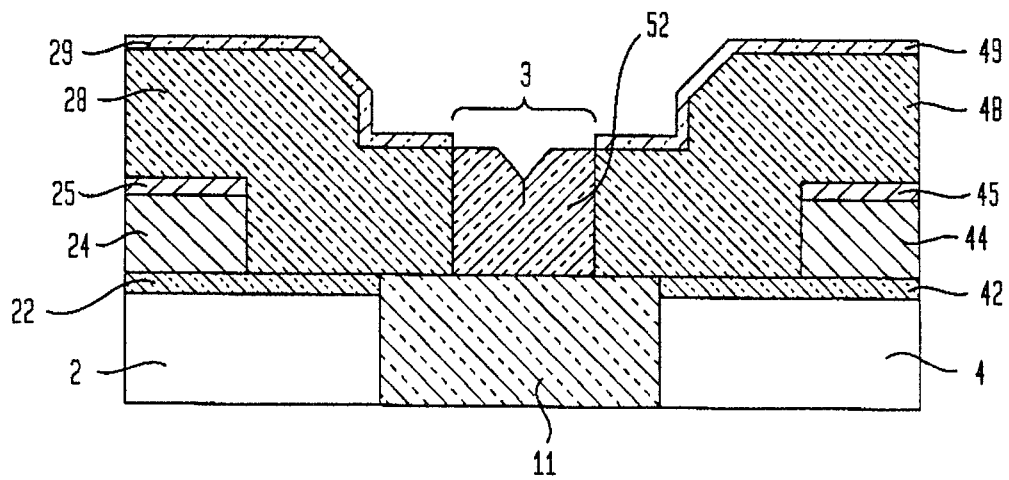


图 4B

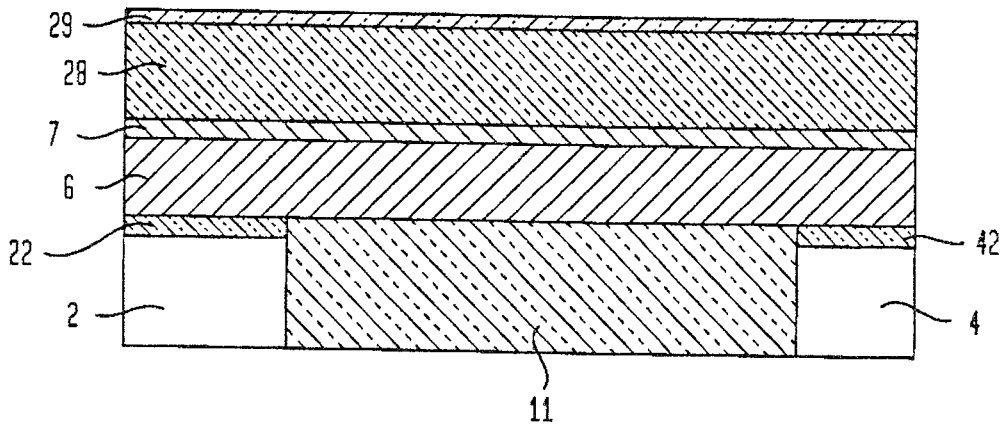


图 5

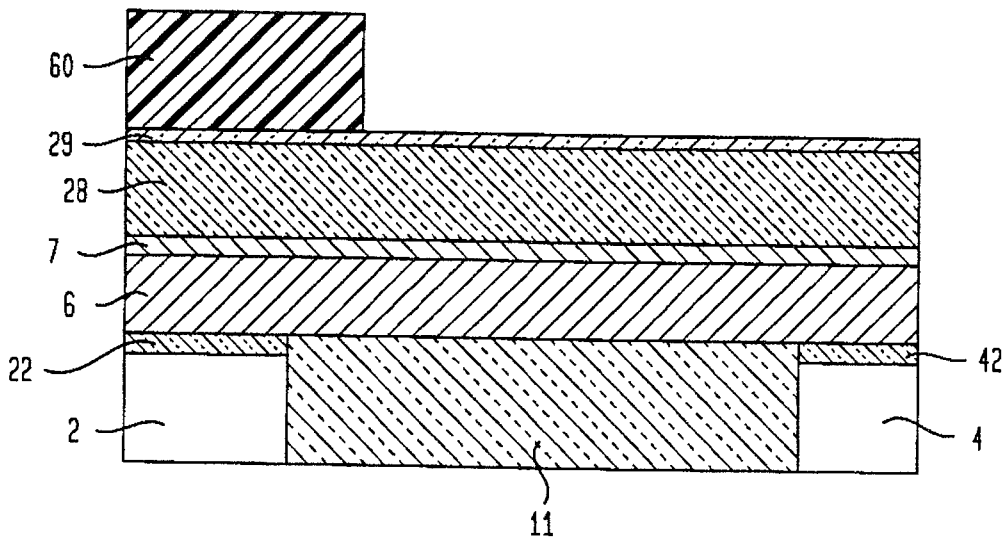


图 6

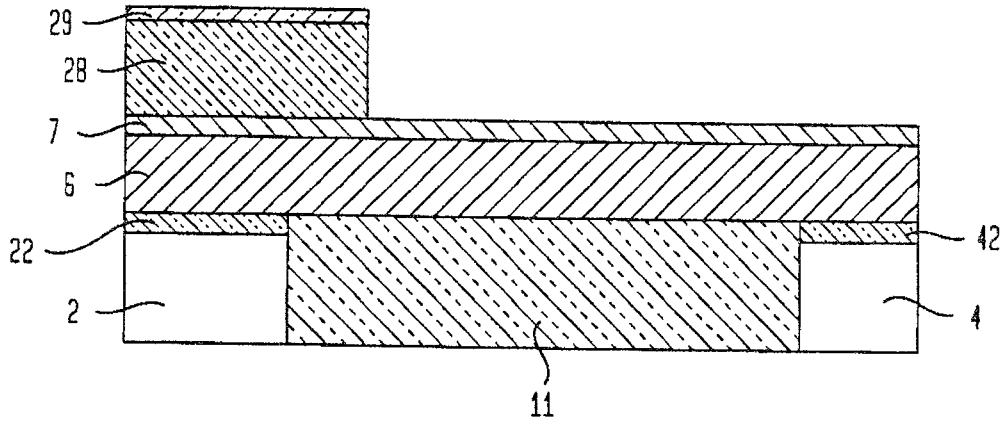


图 7

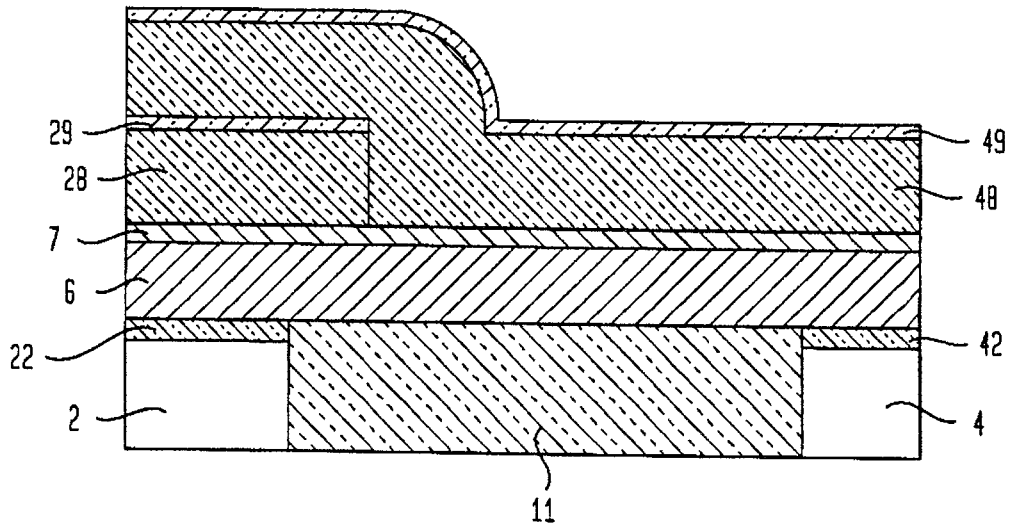


图 8

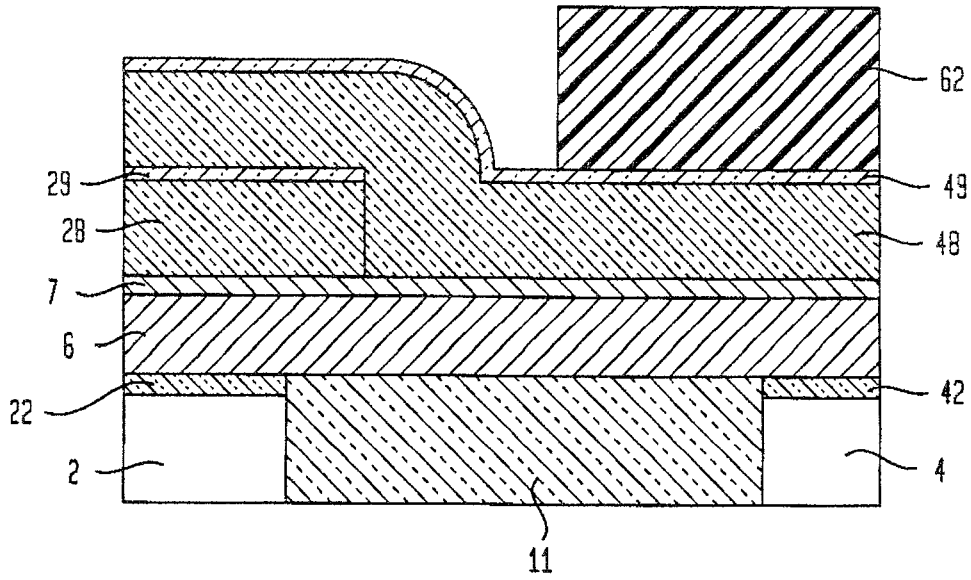


图 9

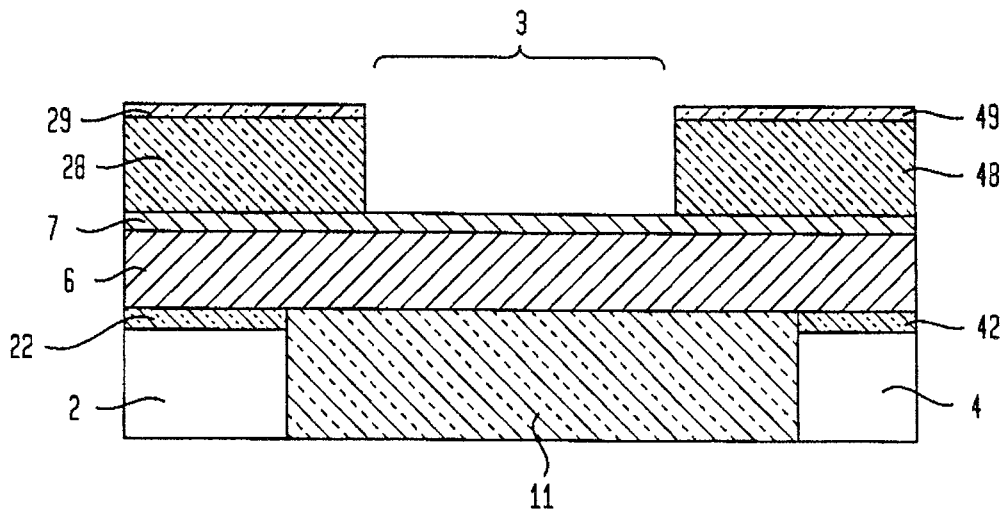


图 10