

公告本

申請日期	90. 8. 31
案 號	90 1 21 5 95
類 別	H04B 1/02; 1/06; G01R 27/28

A4
C4

533687

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	在全雙工通信系統中接收器阻抗校準裝置
	英 文	"RECEIVER IMPEDANCE CALIBRATION ARRANGEMENTS IN FULL DUPLEX COMMUNICATION SYSTEMS"
二、發明 人	姓 名	魯奇 A. 強生 LUKE A. JOHNSON
	國 籍	美國
	住、居所	美國亞歷桑納州坦波市西阿波羅大道908號
三、申請人	姓 名 (名稱)	美商英特爾公司 INTEL CORPORATION
	國 籍	美國
	住、居所 (事務所)	美國加州聖塔卡拉瓦市米遜大學路2200號
	代 表 人 姓 名	F. 湯姆士·當烈二世 F. THOMAS DUNLAP, JR.

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國 2000年08月31日 09/652,031 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

發明之範圍

本發明係關於全雙工通信系統中接收機阻抗校準裝置。

發明之背景

雖然本發明之此種背景及例示性具體實例將使用例示性電纜或導線環境予以說明，但是本發明之實施並不受此限制，亦即本發明可以其他型式之環境實施(例如，於印製電路(PC)板或於晶片上實施)。

為能經由導線完成高速通信，重要之事為發射機及接收機能與將彼等相互連接之電纜在阻抗上相匹配。如果此種匹配不能達成，則某些信號在隨後之一時間點將會反射至發射機及再度送至接收機，此時將會對經發送之信號加添誤差。由於在半導體電路裝置與彼此等裝置形成相互連接之電纜之間在製造時有誤差，因此必需先實施校準方可獲致低成本高性能之通信。現有很多種技術可用以對發射機從事必需之校準。此等技術主要係沿導線發送某種型式之信號及然後察看被反射回來者是何種信號。此種技術對於發射機效能極佳，但不易於在接收機上實施。為能於接收機上實施此功能，必需將發射機加於接收機之輸入。此種安排增添接收機之複雜性及電容量，所有此種增添均不符合需要。

當前所需要者為一種較低成本，簡單及較低阻抗配置，以完成接收機阻抗校準。

圖式之簡要說明

上述說明及對本發明之較佳了解，可自後文中例示性具

五、發明說明(2)

體實例之詳細說明及申請專利範圍，連同閱讀附圖，而得明白易解。所有此等說明共同形成本發明所揭示之一部分。上述說明及後文所記載及例示之揭示，係著重於揭示本發明之例示性具體實例，惟應明白瞭解者，此等實例為舉例說明，因此本發明不受其限制。本發明之精神及範圍僅受到所附請求專利範圍中之條件限制。

以下為圖式之簡單說明，其中

圖1為一例示系統之部分方塊圖，以其用以解說/了解一不利之錯誤匹配之阻抗系統；

圖2為一例示系統具體實例之方塊/示意圖，以實例具有將主裝置及週邊裝置與全雙工通信系統中接口阻抗校準之一種不利裝置；

圖3為一流程圖以其顯示針對圖2之不利之例示性具體實例之例示操作，用以就全雙工通信系統中之接口阻抗而校準主裝置及週邊裝置；

圖4為一例示性具體實例之方塊圖/示意圖，此實例具有將主裝置及週邊裝置就全雙工通信系統中接口阻抗校準之一種有利具體裝置；及

圖5為一流程圖，圖中顯示針對圖4之有利之例示性具體實例之例示操作，用以就全雙工通信系統中之接口阻抗而校準主裝置及週邊裝置。

詳細說明

在詳細說明本發明之前，先提示以下之說明。在合適之情況下，可使用相同之參考號碼及文字代表不同圖式中之

五、發明說明(3)

相同，相對應或類似組件。熟知之對於IC及其他阻件之電源/接地連接，為例示及討論簡明計，未經示於圖中，如此可有利於更清晰說明本發明。此外，可以方塊圖或示意形式顯示裝置，以避免使本發明失之清晰，再者，鑑於實施之細節高度決定於實施本發明之平台中，亦即實施本發明之細節，係屬於熟諳本行技術人士視界中。由於特定細節(例如，電路，流程圖)係經闡明以便說明發明之例示性具體實例，顯然熟諳本行技術人士可知，本發明可在無此等具體細節情況下實施。最後，顯然可知硬連線及軟體之不同組合可用以實施本發明之具體實例，易言之，本發明不限於任何硬連線及軟體之特定組合。

如前述，於電信號傳輸之世界中，如果行進之信號沿一傳輸路徑遭遇任何不連續情況(例如阻抗之改變時，此信號可遭遇例如信號反射之不良效應。現以二線相互連接之積體電路間雙工通信環境例示此問題以及例示性具體實例，但是本發明之實施不限於此例示。現參看用於背景說明之圖1，圖中示出標誌為 IC_H 之一主積體電路，標誌為 IC_P 之一週邊IC，及雙工傳輸媒體 M_{H-P} ， M_{P-H} (例如為同軸電纜)係連接至輸入/輸出終端及於二者間提供全雙工信號傳輸路徑。主IC經由通至週邊裝置之二對差分信號線而與接收機通信。一對專用於自主裝置傳輸至週邊裝置，另一對專用於自週邊裝置至主裝置之接收。傳輸媒體 M_{H-P} ， M_{P-H} 經製造以其具有例如為50歐姆(Ω)之預定之特性阻抗，於實用上，提供精確之阻抗值係化費鉅大而且無競爭性，因此

五、發明說明(4)

，預定之阻抗之若干變動可以容許以其換取可負擔之價格項目。

如果在 IC_H 中之一發射機自一輸入/輸出(I/O)終端將一信號SIG輸出於傳輸媒體 M_{H-P} 之上，此信號SIG將沿傳輸線 M_{H-P} 行進，並且除非 IC_H 之一I/O端與傳輸媒體 M_{H-P} 之特性阻抗成阻抗匹配，否則此行進信號將會遭遇一阻抗之不連續性及遭遇例如信號反射REFL之不良效應。此種反射REFL為不合乎需要，因其會使信號SIG之信號強度降低及(或)代表雜訊。信號SIG亦可自 IC_P 反射回來，如果 IC_P 不與傳輸線阻抗匹配，此再度會使信號強度降低及(或)代表雜訊。可使用反射計以監視信號因調諧阻抗之反射。

一種避免大幅阻抗失去匹配之方法為於每一I/O端提供例如一外部電阻器 R_{EXT} (圖1)，如此可使此I/O終端與傳輸線或阻抗耦合。為清晰簡明計，僅於主裝置處例示有一阻抗。由於有此種阻抗匹配，於傳輸線之終端行進之信號遭遇小量之不連續性及因此有最小之反射。此種方法所遭遇之問題為一般需要就每一I/O終端有一個別之精確阻抗(例如電阻器)，此精確之阻抗在成本上化費相當高。此外，製造成本，時間及複雜性均增高，因為精確阻抗需要連接至個別之I/O終端。再者，外部阻抗於印製電路板(PCB)上佔據寶貴之空間(亦可稱作房地產)，並且現今之電腦工業之趨勢為需使其裝置之配置(例如電腦，伺服器等)儘量緊密，此遂成為一不利情況。

於IC內部安置精確之電阻器固然為很好構想，但是IC製

五、發明說明 (5)

造處理過程在製造批量彼此之間有相當大之差別，因此IC組件亦有相對應之差別，如欲提供此種精確之電阻器及保證其品質，遂很困難及(或)成本亦很高。例如，CMOS處理所生產之裝置之特性係於-50%至+150%之目標特性之間改變。再者，即使可將此種精確電阻器製作於晶片上。此種方法仍有其不利之處，因為使用精確之電阻器為一種靜態技術，無法於安裝時就改變之傳輸媒體阻抗從事調整，亦無法從事連續性處理，電壓及溫度補償。此即謂例如位於一IC中及(或)信號傳輸路徑上之電壓及溫度環境，在裝置操作期間係隨時間而改變，因此任何匹配裝置應有能力持續「適應」此種對時間之改變。

工業界人士傾向於在「晶片上」製作阻抗匹配裝置。更具體言之，可參看圖2，圖中示出主裝置，週邊裝置及傳輸媒體 M_{H-P} ， M_{P-H} ，且以更詳細方式示出主及週邊裝置之內部。更進一步示出一主發射機 T_H ，主接收機/發射機 RT_H ，一週邊發射機 T_P ，及一週邊接收/發射機 RT_P 。典型輸入及輸出經顯示與各種不同之發射機及接收機相關，但是例如輸入及輸出之細部情形，則係為本行技術中所熟知，為簡明計因此不再作詳細討論。圖中示出與主發射機 RT_H 相關者為一主發射機校準阻抗 Z_{TH} ，及與主接收機/發射機 RT_H 相關者為一主接收機/發射機校準阻抗 Z_{RTH} 。同樣，校準阻抗 Z_{TP} 及 Z_{RTP} 經例示於週邊裝置中。具體言之，作為一無限制性舉例，圖2(及圖4)之裝置係代表一配置，於其中主裝置代表一母板，週邊裝置代表一硬驅動機及傳輸媒體(

五、發明說明(6)

例如一電纜)可根據一串列之ATA協定使資料/指令於母板與硬驅動器之間成串列傳輸。

圖3為一例示性流程圖，圖中顯示針對圖2中之例示性具體實例之缺點之例示操作，亦即就全雙工通信系統中之接口阻抗而校準主及週邊裝置。於本行技術中已知有很多種測量反射之方法。同樣在本行技術中已知有很多種校準發射機及接收機之校準阻抗之方法，因此，為簡明計，此等方法之細節即不在本文中討論，但是所有此種方法均可應用於圖2之裝置及本發明之實施中。

現再參看圖3作進一步討論，於此圖中示出一例示性流程圖300。於方塊302之「起始」之後，即從事就接口阻抗(於此舉例中為傳輸媒體 M_{H-P} 之阻抗)而調諧或校準主發射機阻抗 Z_{TH} 。於方塊304，從事就接口阻抗(亦為發射媒體 M_{H-P})而調諧或校準週邊接收機阻抗 Z_{RTP} 。同樣，於方塊306及308，從事就接口阻抗(亦即發射媒體 M_{H-P} 之阻抗)而調諧或校準週邊發射機阻抗 Z_{TP} 及主接收機阻抗 Z_{RTH} 。

圖2中之具體實例之缺點有數個方面。最重要者為，與每一主及週邊裝置中之接收機相關之外部發射機均使接收機增添成本，複雜性及額外之阻抗(例如電容量)。具體言之，此種外部發射機係專門用以調諧/校準相關之接收機，亦即此等發射機發送及自接口阻抗反射一信號以校準接收機之阻抗。於阻抗校準之後，即使與接收機相關之發射機失效。因此，僅有小量之使用，此等與接收機相關之發射機代表無效率使用晶片地產及增添不需要之成本及複雜

五、發明說明(7)

性。此外，此種發射機之不利之處為與其相關之阻抗可能對於調諧/校準可能有不利影響，因為此種電抗性組件在當頻率改變時對於電路之效應亦改變。

圖4為一例示性具體實例之例示性方塊/示意圖，此實例具有用以就全雙工通信系統中接口阻抗校準主及週邊裝置之有利裝置。具體言之，為簡明計，將僅討論與圖2之不利之具體實例之不同之處。第一項改變為提供一種束狀傳輸媒體之傳輸媒體 M_B ，其意義為供全雙工通信用之二傳輸線係在相同情況或緊密匹配之情況下製造，如此可使二傳輸媒體(亦即導線)具有在預定容差範圍中彼此緊密匹配之阻抗(及有可能為其他之特性)。此種匹配阻抗之優點於以下之討論將可明白看出。第二項重要改變為圖4之有利具體實例可藉運用大量製造之一致性而簡化阻抗校準。具體言之，雖然發射機，接收機，或電纜之製造批量之間之特性阻抗可能有明顯改變，但相形之下，在同一批量中，此等阻抗則表現良好。舉例而言，於一半導體中，如果一裝置經決定具有某一特性阻抗，吾人可假定於同一晶片上之一相同裝置將會有相同之特性阻抗。同樣，如果於一串列ATA電纜中之每一對信號線係同時製造，則非常可能彼等有相似之特性阻抗。當有此種瞭解之後，設計者可就傳輸媒體(即電纜)之接口阻抗而校準發射機，然後使用得自經校準之裝置之特性阻抗之一拷貝或相同設定值或數值以校準接收機負載。

具體言之，圖5顯示一例示性流程圖，圖中顯示針對於

五、發明說明 (8)

圖4中有利之具體實例之例示性操作，以其用以就全雙工通信系統中接口阻抗校準主及週邊裝置。具體言之，於流程500中，於起始之後，於方塊502，就接口阻抗(亦即，在此種情況下，就束狀傳輸媒體 M_B 之特性阻抗調諧或校準主發射機阻抗 Z_{TH})。例如，一種使用選擇性校準發射機特性阻抗之解決方法為可使用一系列三極體型之裝置。於校準期間(例如，於系統初設期間)係使用反射計量方法及一重複環路，以決定需使用多少此等裝置而被啓動以達成與發射機差分信號對之理想阻抗匹配。此種方法為已知技術，因此非本說明之重點。

一旦將發射機阻抗予以校準及設定，即可將對應於此種校準/匹配之一設定值或數值儲存於例如為一暫存器 REG_{TH} (見圖4)中。一完全相同之第二列三極體裝置係用為接收機負載(亦即校準阻抗)。為完成發射機與接口阻抗之最佳匹配所需之設定值(例如為裝置之數目)或數值亦應用於(圖5方塊504)接收機，以使接收機此時具有與發射機相同之阻抗。由於此發射機及接收機係同時一起製於晶片上並且此接收機現在亦使其阻抗 Z_{RH} 與接口阻抗相匹配。此即，儲存於暫存器 REG_{TH} 中之對應於發射機之經校準之阻抗之數值，可有如圖4中折線箭標所示，傳送至一相同之接收機暫存器 REG_{RH} 。隨後此複製之數值即用以實現暫存器之阻抗校準。

亦可針對圖4之具體實例之週邊側作出相同之討論。具體言之，於方塊506中，週邊發射機阻抗經予以就 M_B 之對

五、發明說明(9)

口阻抗而予以調諧/校準及然後應用經校準之週邊發射機阻抗數值(方塊508)，以例如再度經由使用例示之暫存器 REG_{TP} ，及 REG_{RP} ，再度有如圖4中之折線箭標線所示，亦設定週邊接收機阻抗。雖然例示性圖5中流程圖500例示主裝置為首先校準其發射機然後接收機，繼之以為週邊裝置校準發射機及接收機，但是本發明之實例不限於此種程序，亦即週邊裝置可先從事校準。

由上述可知，本發明之裝置簡單，但會強力協助開發低成本，大量及高性能之串列通信裝置。具體言之，此種裝置不增加成本或接收機之負載，事實上，很可能藉省掉與接收機相關及供校準目的之任何外部發射機而減少成本及負載。特別是，圖4之配置於主裝置側僅有一發射機及一接收機及於週邊側僅有一發射機及一接收機。

一附帶之好處為，對於主裝置或週邊裝置之發射機及接收機阻抗校準，較之圖2中之不利裝置，其所花費之時間較少，相較於需對發射機及接收機二者實施各別之阻抗校準，本發明僅需完成發射機阻抗調諧/校準及然後僅將其應用於接收機。此種阻抗校準可在任何次數或事例情況下完成。舉例而言，阻抗校準可於系統起始時實施，亦可以根據定時器終止而以週期方式實施，可於傳輸媒體(即電纜)改變時實施，可於當溫度感測器檢測到一預定溫度發生時實施，可於系統或用戶請求時實施，可響應於檢測出操作電壓或平均傳輸功率等之改變而實施。

為能使發射機校準阻抗及接收機校準阻抗同樣可與束狀

五、發明說明 (10)

傳輸媒體阻抗之匹配獲致最大精確性，可能亦需要若干額外之預防措施。具體言之，在主裝置(或週邊裝置)上之發射機及接收機在地理上應儘可能相靠近。此即謂，小幅之處理變動可能發生，即使在同一晶片之不同區域亦然，使發射機及接收機在地理上彼此靠近如此可使發射機及接收機之特性彼此精確匹配有最大之可能性。此外，此發射機及接收機，除去設置於同一晶片之外，亦應安排曝露於同一環境中。例如，對於同一熱效應言，此發射機及接收機應同樣靠近例如一散熱座之任何熱源，亦應處於同一位準之冷卻氣流。

除去上述相互連接環境之外，本發明之實施不限於電纜。例如，參看圖4，主及週邊裝置可當作安裝於印製電路板上之一半導體IC而設置，而傳輸媒體 M_B 可為電路板縱跡線，另外，由於電路板縱跡線可能於相同時間在相同情況下製造，此縱跡線可有對應之特性(例如阻抗)。作為另一舉例，於圖4中可將主及週邊裝置設置於同一晶片上之不同IC區域，在另一方面傳輸媒體 M_B 可以摻雜之半導體連接線或沉積之金屬布線(例如鋁或銅)型式之摻雜半導體連接線而設置。再者，共同製造處理可導致實質上為共同之特性。因此，可看出本發明可以盒至盒，晶片至晶片，盒內部，晶片上等型式製作。

於上文中提到「一項具體實例」，「一具體實例」，「例示性」等，其意指連同此具體實例所說明之一特性，結構，或特性係包括於本發明之至少一具體實例中。出現於說

五、發明說明(11)

明書中之各處之此種習語，不一定係指同一具體實例。此外，當一特點，結構，或特性連同任何具體實例說明時，可認為當需連同其他具體實例而欲實現此種特點，結構，或特性時，係在熟諳本行技術之人士之視界中。

現將結束對於例示性具體實例之說明。雖然以上業經參考若干本發明之例示性具體實例加以說明，需瞭解者熟諳本行技術人士仍可設計很多種其他之修改及具體實例並且係屬於本發明之原理之精神及範圍中。具體言之，於上述說明，圖式及所附申請專利範圍之範疇中，本發明之組合裝置之組件及(或)裝置，均可能有合理變更及修改，且不會偏離本發明之精神。除去組件及(或)裝置方面之變動及修改外，代替性之使用對於熟諳本行技術人士亦屬顯而易見。

具體言之，如上述，本發明之實施不限於上述說明之例示性電纜或連線環境，此即本發明可置於一盒裝環境內部，以其在需要時提供接收機阻抗校準。此外，本發明之實施不限於雙工通信，而可應用於三工，多工通信，甚至可應用於在一主裝置與週邊裝置之間有更多(例如數百)之傳輸路徑之裝置中。另外，本發明之實施不限於使一發射機及接收機阻抗與一傳輸路徑阻抗相匹配，亦即本發明之實施可用使任何型式之裝置之阻抗與任何型式之外部阻抗相匹配。

作為另一例示性之變化，上述之舉例說明當裝置(例如為發射機及接收機及(或)發射媒體具有實質上匹配之特性(例如阻抗)及相等之設定值或數值之情況及轉換為與其他

五、發明說明 (12)

裝置成阻抗匹配之情況，但本發明並不限於此種變化。例如，可構造或使用一已知之主接收機，而其特性不同於主發射機之特性及為一另外之比值(非等於1)，例如具有二倍於主發射機之阻抗。在此種情況下，可將已知之比值納入考慮，以將一設定值或數值轉植或插入接收機以為適當匹配之用。

裝

訂

線

四、中文發明摘要（發明之名稱： 在全雙工通信系統中接收器阻抗校準裝置）

本發明係關於全雙工通信系統中接收機阻抗校準裝置。

英文發明摘要（發明之名稱： “RECEIVER IMPEDANCE CALIBRATION
ARRANGEMENTS IN FULL DUPLEX
COMMUNICATION SYSTEMS”）

The present invention is directed to receiver impedance calibration arrangements in full duplex communication systems.

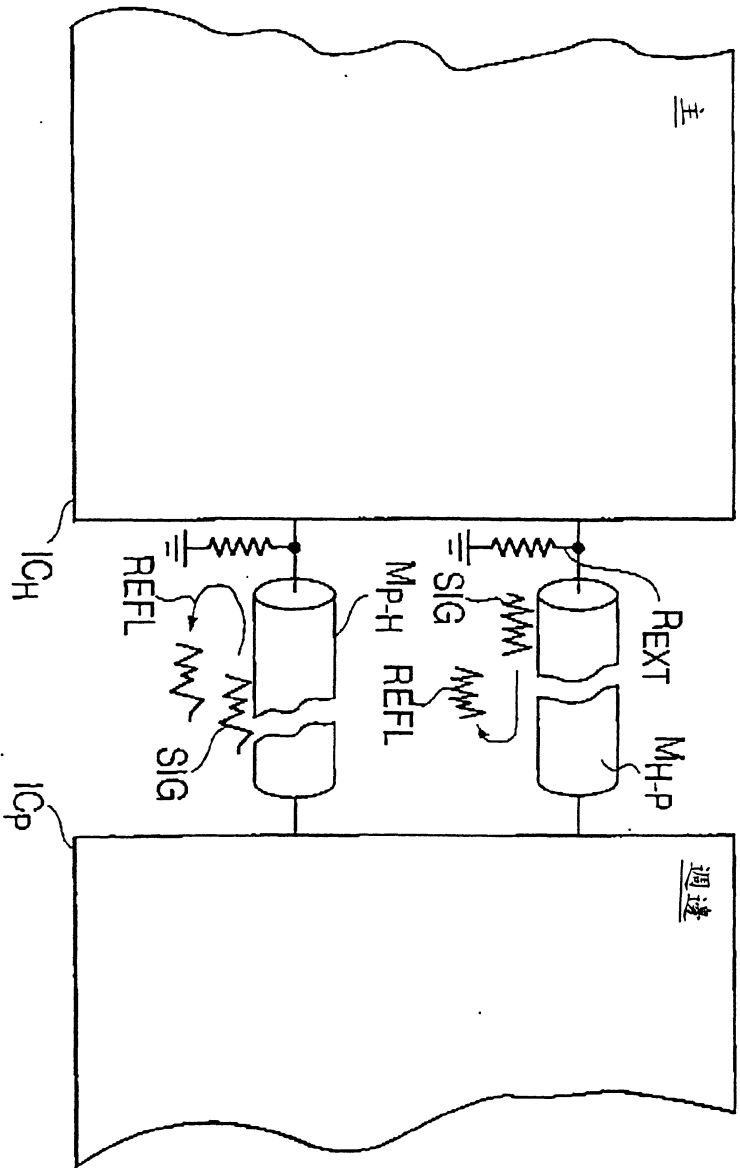


圖 1

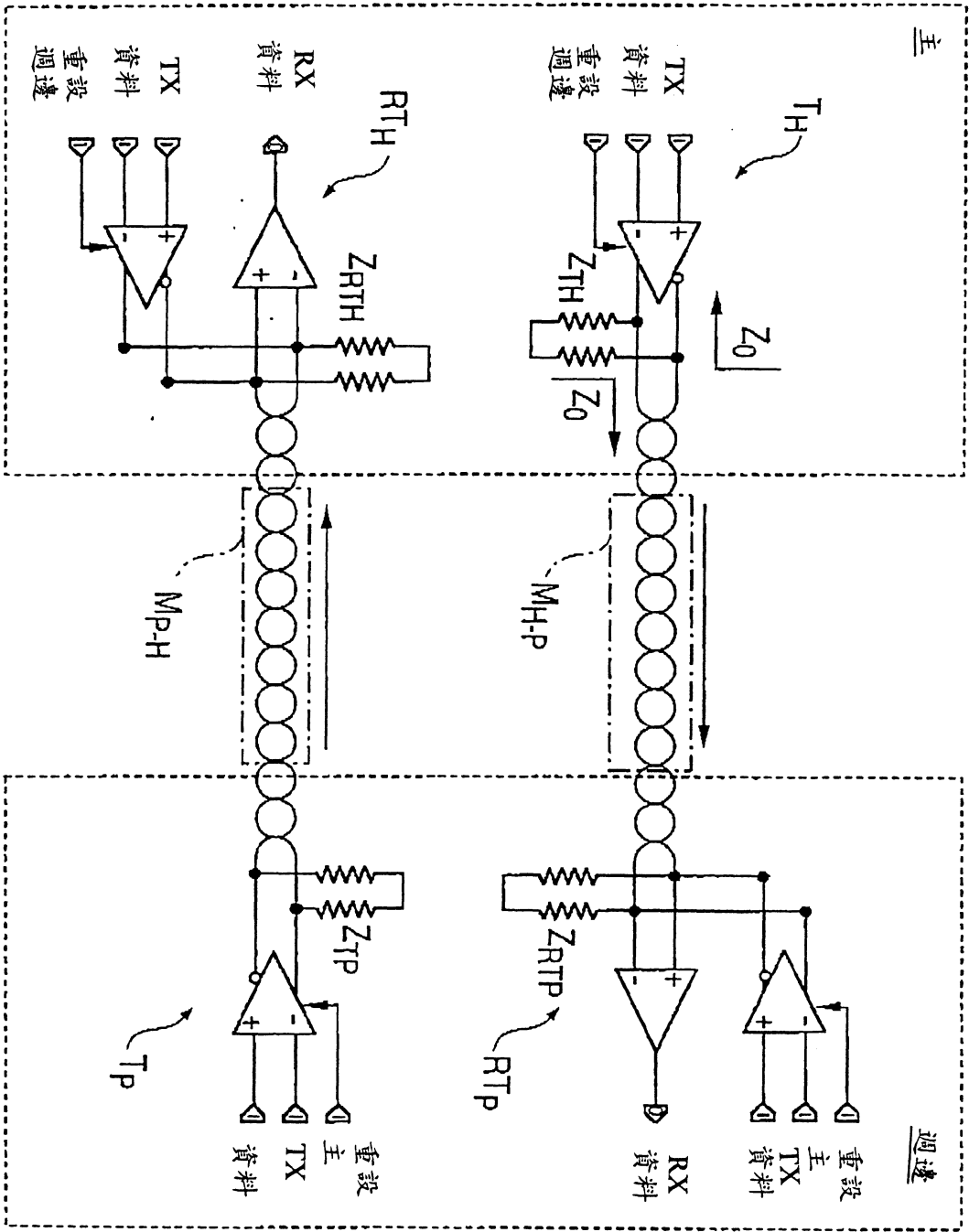


圖 2

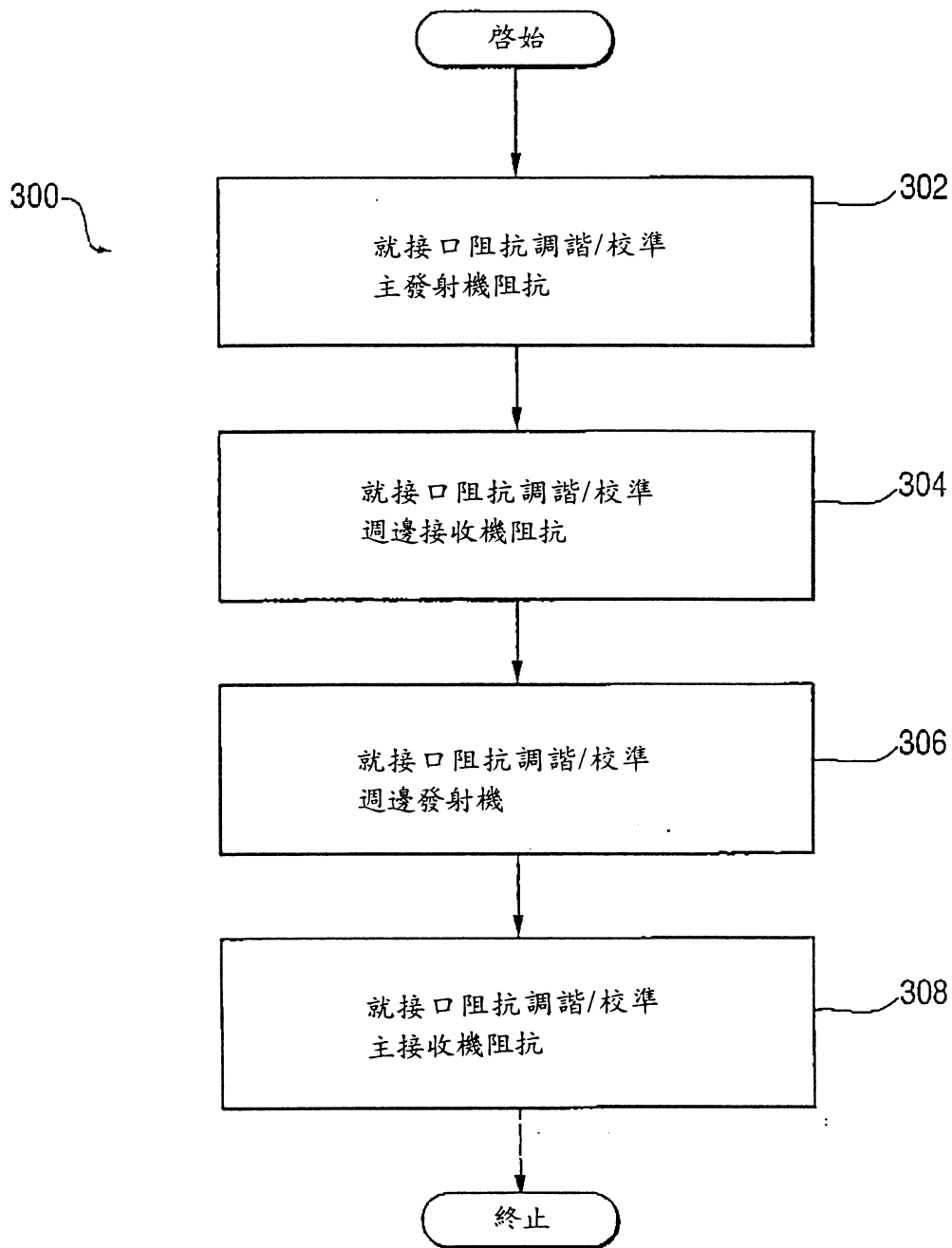


圖 3

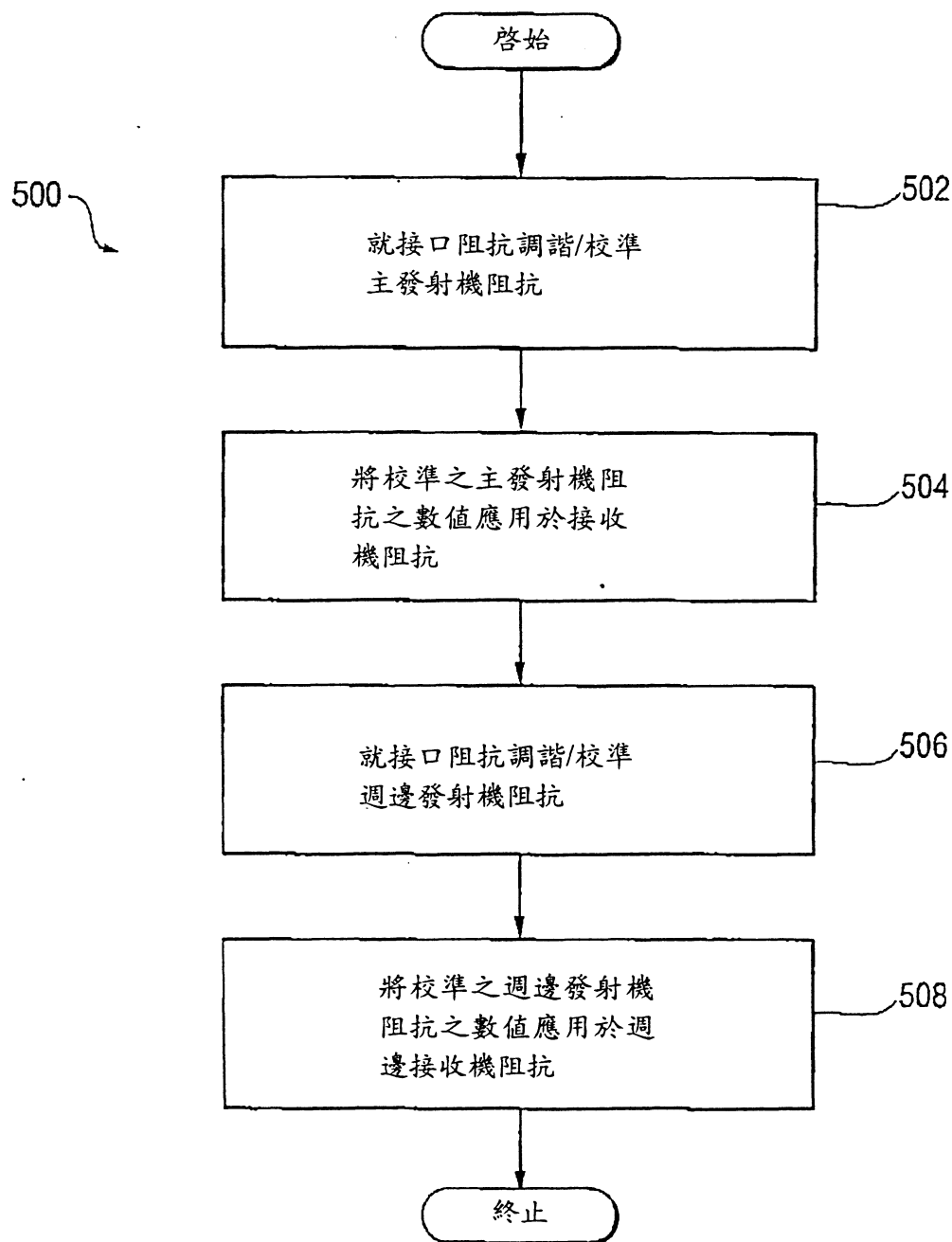


圖5

六、申請專利範圍

修正

本92年1月21日

補充

1. 一種阻抗校準裝置，包括：

多個於彼此之間具有實質上為預定比例之特性之裝置；

多個於彼此之間具有實質上為預定比例之阻抗之接口裝置；及

一阻抗匹配裝置，以其將該等多個裝置中之一裝置之阻抗與該等多個接口裝置中之一接口裝置之阻抗相匹配，及應用此阻抗匹配之一預定比例設定值而使該等多個裝置中之至少另一裝置與該等多個接口裝置之一對應接口裝置成阻抗匹配。

2. 根據申請專利範圍第1項之裝置，其中該等多個裝置為發射機與接收機中之一，及其中該等多個接口裝置為傳輸媒體。

3. 根據申請專利範圍第1項之裝置，其中該等多個裝置具有實質上匹配之特性，其中該等多個接口裝置具有實質上匹配之阻抗，及其中該阻抗匹配裝置經安排以應用該阻抗匹配之相同之設定值。

4. 根據申請專利範圍第1項之裝置，其中該等多個裝置及該等多個接口裝置為一全多工通信系統之一部分，而此全多工通信系統為至少一全雙工通信系統。

5. 根據申請專利範圍第1項之裝置，其中該等多個裝置係形成於一同一晶片上。

六、申請專利範圍

6. 根據申請專利範圍第1項之裝置，其中該等多個接口裝置至少為下述之一：得自同一製造過程，及彼此之阻抗經實質上匹配之後實際上係束在一起。
7. 一種全多工通訊系統，包括：
 - 一阻抗校準裝置包括：
 - 多個於彼此之間具有實質上為預定比值之特性之裝置；
 - 多個於彼此之間具有實質上為預定比值之阻抗之接口裝置；及
 - 一阻抗匹配裝置，以其將該等多個裝置中之一裝置之阻抗與該等多個接口裝置中之一接口裝置之阻抗相匹配，及應用此阻抗匹配之一預定比例設定值而使該等多個裝置之至少另一裝置與該等多個接口裝置之一對應接口裝置成阻抗匹配。
8. 根據申請專利範圍第7項之系統，其中該等多個裝置至少為發射機與接收機中之一，及其中該等多個接口裝置為傳輸媒體。
9. 根據申請專利範圍第7項之系統，其中該等多個裝置具有實質上匹配之特性，其中該等多個接口裝置具有實質上匹配之阻抗，及其中該阻抗匹配裝置經安排以應用該阻抗匹配之一相同之設定值。
10. 根據申請專利範圍第7項之系統，其中該等多個裝置及

六、申請專利範圍

該等多個接口裝置為一全多工通信系統之一部分，此全多工系統至少為一全雙工系統。

11. 根據申請專利範圍第7項之系統，其中該等多個裝置係形成於一同一晶片上。

12. 根據申請專利範圍第7項之系統，其中該等多個接口裝置至少為下述之一：得自同一製造過程，及彼此之阻抗經實質上匹配之後實際上束在一起。

13. 一種阻抗校準方法，包括：

多個於彼此之間具有實質上為預定比值之特性之裝置；

多個於彼此之間具有實質上為預定比值之阻抗之接口裝置；及

一阻抗匹配裝置，以其將該等多個裝置中之一裝置之阻抗與該等多個接口裝置中之一接口裝置之阻抗相匹配，及應用此阻抗匹配之一預定比例設定值而使該等多個裝置之至少另一裝置與該等多個接口裝置之一對應接口裝置成阻抗匹配。

14. 根據申請專利範圍第13項之方法，其中該等多個裝置至少為發射機與接收機中之一，及其中該等多個接口裝置為傳輸媒體。

15. 根據申請專利範圍第13項之方法，其中該等多個裝置具有實質上匹配之特性，其中該等多個接口裝置具有

六、申請專利範圍

實質上匹配之阻抗，及其中該阻抗匹配裝置經安排以應用該阻抗匹配之一相同設定值。

16. 根據申請專利範圍第13項之方法，其中該等多個裝置及該等多個接口裝置為一全多工通信系統之一部分，此全多工系統至少為一全雙工系統。
17. 根據申請專利範圍第13項之方法，其中該等多個裝置係形成於一同一晶片上。
18. 根據申請專利範圍第13項之方法，其中該等多個接口裝置至少為下述之一：得自同一製造過程，及彼此之阻抗經實質上匹配之後實際上係束在一起。