

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 20 日(20.09.2012)



(10) 国際公開番号
WO 2012/124191 A1

- (51) 国際特許分類:
H01L 29/06 (2006.01) H01L 29/78 (2006.01)
H01L 29/12 (2006.01)
- (21) 国際出願番号: PCT/JP2011/070909
- (22) 国際出願日: 2011 年 9 月 13 日(13.09.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-055946 2011 年 3 月 14 日(14.03.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2100856 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 脇本 博樹(WAKIMOTO, Hiroki) [JP/JP]; 〒2100856 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 中澤 治雄(NAKAZAWA, Haruo) [JP/JP]; 〒2100856 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 宮坂 靖(MIYASAKA, Yasushi)

[JP/JP]; 〒2100856 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).

- (74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1006020 東京都千代田区霞が関 3 丁目 2 番 5 号 霞が関ビルディング 20 階 酒井総合特許事務所 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

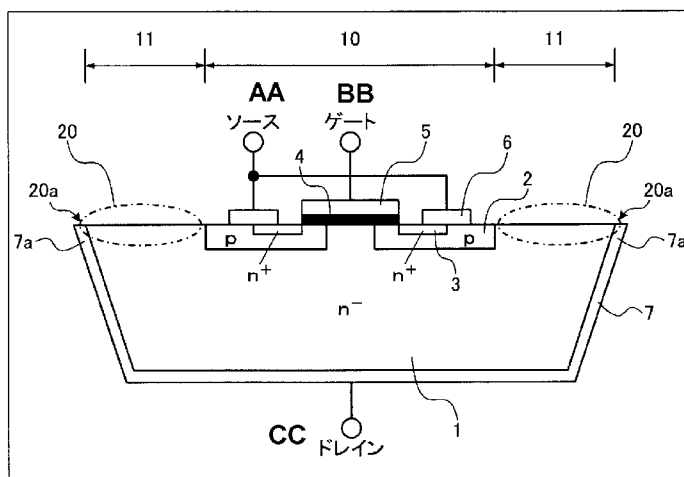
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1]



AA Source
BB Gate
CC Drain

(57) Abstract: An active region (10) through which a current passes when a semiconductor device is in an on-state and a withstand voltage structure part (11) which surrounds the active region (10) are provided. Within the active region (10), the front surface of a semiconductor substrate is provided with a MOS gate structure which is configured of a p-well region (2), and an n⁺-source region (3), a gate electrode (5), a source electrode (6) and the like. A drain electrode (7) that is in contact with an n-drift region (1) is provided from the back surface to the lateral surface of the semiconductor substrate. The drain electrode (7) forms a Schottky junction with the n-drift region (1), which is formed of the semiconductor substrate. In the withstand voltage structure part (11), at least the outer peripheral end portion of the semiconductor substrate is provided with a layer (20) for reducing the leakage current from the outer peripheral end portion (a leakage current reducing layer (20)).

(57) 要約: 半導体装置がオン状態のときに電流が流れる活性領域 (10) と、活性領域 (10) を囲む耐圧構造部 (11) とが設けられている。活性領域 (10) において、半導体基板のおもて面には、p ウェル領域 (2)、n⁺ ソース領域 (3)、ゲート電極 (5) およびソース電極 (6) などからなる MOS ゲート構造が設けられている。半導体基板の裏面から側面にかけて、n ドリフト領域 (1) に接するドレイン電極 (7) が設けられている。ドレイン電極 (7) は、半導体基板からなる n ドリフト領域 (1) とのショットキー接合を形成する。耐圧構造部 (11) において、半導体基板の少なくとも外周端部には、外周端部からの漏れ電流を低減する層 (漏れ電流低減層) (20) が設けられている。

0) において、半導体基板のおもて面には、p ウェル領域 (2)、n⁺ ソース領域 (3)、ゲート電極 (5) およびソース電極 (6) などからなる MOS ゲート構造が設けられている。半導体基板の裏面から側面にかけて、n ドリフト領域 (1) に接するドレイン電極 (7) が設けられている。ドレイン電極 (7) は、半導体基板からなる n ドリフト領域 (1) とのショットキー接合を形成する。耐圧構造部 (11) において、半導体基板の少なくとも外周端部には、外周端部からの漏れ電流を低減する層 (漏れ電流低減層) (20) が設けられている。



NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

— 補正された請求の範囲及び説明書（条約第 19
条(1)）

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明 細 書

発明の名称：半導体装置

技術分野

[0001] この発明は、半導体装置に関する。

背景技術

[0002] 最近、半導体電力変換装置において、マトリックスコンバータなどの直接リンク形変換回路への双方向スイッチング素子の適用が着目されている。マトリックスコンバータは、例えば、AC（交流）／AC変換、AC／DC（直流）変換、DC／AC変換などを行う。直接リンク形変換回路への双方向スイッチング素子の適用は、回路の小型化、軽量化、高効率化、高速応答化および低コスト化などを図ることができるため着目されている。

[0003] マトリックスコンバータは、インバータ／コンバータよりも電力変換効率が高いという特徴を有する。通常、インバータ／コンバータが、交流電源から直流の中間電圧を生成して、この中間電圧をさらに交流電圧に変換するのに対し、マトリックスコンバータは、中間電圧を生成することなく、直接、交流電源から交流電圧を生成するからである。

[0004] さらに、インバータ／コンバータは、中間電圧を生成するコンデンサに電解コンデンサを用いるため、電解コンデンサの寿命によって装置の寿命が決まるなどの問題があった。それに対して、マトリックスコンバータは、交流電源と交流電圧の出力部との間に中間電圧を生成するコンデンサを備える必要がないため、インバータ／コンバータに生じていた上記問題を回避することができる。

[0005] 図11は、マトリックスコンバータを示す等価回路図である。また、図12は、従来の逆阻止型半導体装置を示す等価回路図である。図13は、従来の逆阻止型半導体装置の電気的特性を示す特性図である。図11に示すようなマトリックスコンバータに適用するパワー半導体素子101は、図12に示すように、逆耐圧を有する2個のトランジスタ102が逆並列に接続され

た構成の逆阻止型半導体装置である。図 1 3 に示すように、逆阻止型半導体装置は、通常の順方向耐圧（ソース電位を基準にドレインへ正電圧を印加）を有し、かつ順方向耐圧と同等の逆方向耐圧（ソース電位を基準にドレインへ負電圧を印加）を有する。

[0006] 図 1 4 は、従来の逆阻止型半導体装置を示す断面図である。図 1 4 に示す逆阻止型半導体装置は、 n^- ドリフト領域 2 0 1 となる半導体基板のおもて面に、 p ウェル領域 2 0 2、 n^+ ソース領域 2 0 3、ゲート酸化膜 2 0 4、ゲート電極 2 0 5 およびソース電極 2 0 6 などからなる MOS ゲート構造が設けられている。半導体基板のおもて面の端部には、 p 型領域（以下、FP：フィールドプレートとする）2 0 7 が設けられている。半導体基板の側面には、FP 2 0 7 に接し、かつ半導体基板のおもて面から裏面に貫通する p 型領域 2 0 8 が設けられている。半導体基板の裏面には、 n^- ドリフト領域 2 0 1 に接するドレイン電極 2 0 9 が設けられている。

[0007] このような従来の逆阻止型半導体装置として、Ga N 半導体または Si C 半導体を主たる半導体結晶とする半導体基板からなる n^- 型ドリフト層の一方の表面層にゲート電極とエミッタ電極を含む MOS ゲート構造を備え、チップ化のための切断端面が、前記 n^- 型ドリフト層の表面と裏面とを連結する p 型保護領域を有し、前記 n^- 型ドリフト層の裏面に接触するコレクタ電極がショットキー性金属膜を有する装置が提案されている（例えば、下記特許文献 1 参照。）。

[0008] また、別の従来の逆阻止型半導体装置として、シリコン基板と、シリコン基板上に形成されたバッファ層と、バッファ層上に形成された窒化ガリウム半導体層と、シリコン基板の裏面からシリコン基板ならびにバッファ層を貫通して窒化ガリウム半導体層に達する深さで形成されたトレンチ溝と、当該トレンチ溝の中に形成された金属膜と、を備え、金属膜と窒化ガリウム半導体層とがショットキー接合を形成する装置が提案されている（例えば、下記特許文献 2 参照。）。

先行技術文献

特許文献

[0009] 特許文献1：特開2009-123914号公報

特許文献2：特開2010-258327号公報

発明の概要

発明が解決しようとする課題

[0010] しかしながら、上述した特許文献1に示す技術では、チップ状に切断された半導体基板の切断面（以下、側面とする）に、例えばイオン注入およびアニールによって、当該半導体基板の導電型と異なる導電型の半導体領域を所望の幅や深さで形成することが困難である。このため、容易に逆方向耐圧を得ることのできる構成を有する半導体装置の開発が望まれる。また、上述した特許文献1に示す技術では、ドレイン電極に逆方向電圧が印加されたときに、半導体基板の外周部のおもて面側および裏面側に逆漏れ電流が増大する虞がある。逆漏れ電流が発生した場合、逆方向耐圧が低下するという問題がある。

[0011] この発明は、上述した従来技術による問題点を解消するため、高い逆方向耐圧を有する半導体装置を提供することを目的とする。また、この発明は、上述した従来技術による問題点を解消するため、漏れ電流を低減することができる半導体装置を提供することを目的とする。

課題を解決するための手段

[0012] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、シリコンよりもバンドギャップが広い半導体材料からなる第1導電型の半導体基板と、前記半導体基板の第1の主面に設けられた制御電極と、前記半導体基板の第2の主面および側面に設けられ、当該半導体基板とのショットキー接合を形成する出力電極と、前記半導体基板の少なくとも外周端部に設けられ、少なくとも当該外周端部から生じる漏れ電流を低減する層と、を備えることを特徴とする。

[0013] また、この発明にかかる半導体装置は、上述した発明において、前記漏れ

電流を低減する層は、前記半導体基板の第１の主面の表面層に設けられた、前記出力電極に接する第２導電型の第１の半導体領域であることを特徴とする。

[0014] また、この発明にかかる半導体装置は、上述した発明において、前記第１の半導体領域は、前記出力電極とのオーミック接合を形成することを特徴とする。

[0015] また、この発明にかかる半導体装置は、上述した発明において、前記漏れ電流を低減する層は、前記半導体基板の第２の主面の表面層に設けられた、前記出力電極に接する第２導電型の第２の半導体領域であることを特徴とする。

[0016] また、この発明にかかる半導体装置は、上述した発明において、前記漏れ電流を低減する層は、前記半導体基板の第１の主面を覆う絶縁膜であることを特徴とする。

[0017] また、この発明にかかる半導体装置は、上述した発明において、前記漏れ電流を低減する層は、前記出力電極に電氣的に接続された補助電極であることを特徴とする。

[0018] また、この発明にかかる半導体装置は、上述した発明において、前記漏れ電流を低減する層は、前記半導体基板の第１の主面を覆う絶縁膜と、前記出力電極に接し、当該出力電極から前記絶縁膜の表面に跨って設けられた補助電極と、からなり、前記補助電極は、前記半導体基板の第１の主面に露出する前記第１の半導体領域に接することを特徴とする。

[0019] また、この発明にかかる半導体装置は、上述した発明において、前記漏れ電流を低減する層は、さらに、前記半導体基板の第２の主面の表面層に設けられた、前記出力電極に接する第２導電型の第２の半導体領域を含むことを特徴とする。

[0020] また、この発明にかかる半導体装置は、上述した発明において、前記出力電極は、前記半導体基板の第２の主面から第１の主面にかけて、第１の主面の外周端部に跨って設けられていることを特徴とする。

[0021] また、この発明にかかる半導体装置は、上述した発明において、前記半導体基板は、炭化珪素または窒化ガリウムからなることを特徴とする。

[0022] 上述した発明によれば、半導体基板からなる n^- ドリフト領域と、半導体基板の裏面に設けられた出力電極との界面からだけでなく、 n^- ドリフト領域と、半導体基板の側面に設けられた出力電極との界面からも空乏層が伸びる。このため、従来のように半導体基板の側面に p 型領域（図 14 の p 型領域 208）を形成することなく、逆方向耐圧を維持する構成の逆阻止型半導体装置を構成することができる。したがって、従来の半導体装置よりも容易に逆方向耐圧を有する半導体装置を構成することができる。

[0023] また、半導体基板の外周部において、半導体基板のおもて面に露出する n^- ドリフト領域を覆う漏れ電流を低減する層を備える。これにより、ドレイン電極に逆方向電圧が印加されたときに、逆漏れ電流を低減することができる。

[0024] また、シリコンよりもバンドギャップが広い半導体材料（以下、ワイドバンドギャップ半導体材料とする）からなる半導体基板を用いることで、シリコンからなる半導体基板を用いる場合に比べて、 n^- ドリフト領域と出力電極とによるショットキー接合によって維持される逆方向耐圧を向上することができる。

発明の効果

[0025] 本発明にかかる半導体装置によれば、逆方向耐圧を向上することができるという効果を奏する。また、漏れ電流を低減することができるという効果を奏する。

図面の簡単な説明

[0026] [図1]図 1 は、実施の形態にかかる半導体装置を示す断面図である。

[図2]図 2 は、実施の形態にかかる半導体装置の別の一例を示す断面図である。

[図3]図 3 は、実施の形態にかかる半導体装置の別の一例を示す断面図である。

[図4]図4は、実施の形態にかかる半導体装置の別の一例を示す断面図である。

[図5]図5は、実施の形態にかかる半導体装置の別の一例を示す断面図である。

[図6]図6は、実施の形態にかかる半導体装置の別の一例を示す断面図である。

[図7]図7は、実施の形態にかかる半導体装置の別の一例を示す断面図である。

[図8]図8は、実施の形態にかかる半導体装置の別の一例を示す断面図である。

[図9]図9は、実施の形態にかかる半導体装置の別の一例を示す断面図である。

[図10]図10は、実施の形態にかかる半導体装置の電気的特性について示す特性図である。

[図11]図11は、マトリックスコンバータを示す等価回路図である。

[図12]図12は、従来の逆阻止型半導体装置を示す等価回路図である。

[図13]図13は、従来の逆阻止型半導体装置の電気的特性を示す特性図である。

[図14]図14は、従来の逆阻止型半導体装置を示す断面図である。

発明を実施するための形態

[0027] 以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、 n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、 n や p に付す $+$ および $-$ は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0028] (実施の形態)

図 1 は、実施の形態にかかる半導体装置を示す断面図である。図 1 に示す半導体装置には、半導体装置がオン状態のときに電流が流れる活性領域 10 と、活性領域 10 を囲む耐圧構造部 11 とが設けられている。耐圧構造部 11 は、 n^- ドリフト領域 1 となる n 型（第 1 の導電型）の半導体基板の外周部に設けられている。この耐圧構造部 11 は、図 1 に示す断面図でみて、活性領域 10 の左右に位置する。半導体基板は、シリコンよりもバンドギャップが広い半導体材料（いわゆる「ワイドバンドギャップ半導体材料」）からなる。

[0029] 具体的には、半導体基板は、例えば、炭化珪素（SiC）や窒化ガリウム（GaN）からなるのが好ましい。ワイドバンドギャップ半導体材料からなる半導体基板を用いることで、シリコンからなる半導体基板を用いる場合に比べて、後述するショットキー接合によって維持される逆方向耐圧を向上することができる。また、ワイドバンドギャップ半導体材料からなる半導体基板を用いることで、シリコンからなる半導体基板を用いる場合に比べて、低損失で、かつ高効率な半導体装置を作製することができる。

[0030] 活性領域 10 において、半導体基板のおもて面（第 1 の主面）の表面層には、 p ウェル領域 2 が選択的に設けられている。 p ウェル領域 2 の表面層には、 n^+ ソース領域 3 が選択的に設けられている。 n^- ドリフト領域 1 と n^+ ソース領域 3 との間で半導体基板のおもて面に露出する p ウェル領域 2 の表面には、ゲート酸化膜 4 を介してゲート電極 5 が設けられている。

[0031] ソース電極 6 は、 p ウェル領域 2 および n^+ ソース領域 3 に接する。また、ソース電極 6 は、図示省略する層間絶縁膜によってゲート電極（制御電極）5 と絶縁されている。このように、活性領域 10 において、半導体基板のおもて面には、 p ウェル領域 2、 n^+ ソース領域 3、ゲート電極 5 およびソース電極 6 などからなる MOS ゲート構造が設けられている。

[0032] 半導体基板の裏面（第 2 の主面）からチップ状に切断された半導体基板の切断面（以下、側面とする）にかけて、 n^- ドリフト領域 1 に接するドレイン電極（出力電極）7 が設けられている。ドレイン電極 7 は、活性領域 10 か

ら耐压構造部 11 にかけて設けられ、半導体基板の裏面および側面の全面に設けられている。

[0033] ドレイン電極 7 は半導体基板からなる n⁻ドリフト領域 1 とのショットキー接合を形成するように設けられており、半導体基板の裏面および側面の全面に、ドレイン電極 7 と n⁻ドリフト領域 1 とによるショットキー接合が形成されている。これにより、ドレイン電極 7 に逆方向電圧が印加されたときに、半導体基板の裏面および側面の、n⁻ドリフト領域 1 とドレイン電極 7 との界面から空乏層が伸びる。このため、半導体装置の逆方向耐压を維持することができる。

[0034] ドレイン電極 7 の側面は、例えば、裏面側（ドレイン側）からおもて面側（ソース側）に向かって半導体基板の幅が徐々に広くなるような斜度で傾いた構成（テーパ状）とすることができる。また、ドレイン電極 7 の側面は、例えば、おもて面側（ソース側）から裏面側（ドレイン側）に向かって半導体基板の幅が徐々に広くなるような斜度で傾いた構成（テーパ状）であってもよく、半導体基板のおもて面に対して垂直であってもよい。

[0035] 図 1 に示すように、耐压構造部 11 として、半導体基板の少なくとも外周端部に、外周端部からの漏れ電流を低減する層（以下、漏れ電流低減層とする）20 を設ける。図 1 に示す断面図でみて、漏れ電流低減層 20 は、耐压構造部 11 の少なくとも左右の外周端部から活性領域 10 に至るまでの間に設ける。なお、耐压構造部 11 の表面には、p 型のガードリングやフィールドリミットングリングを複数設けてもよい。これら p 型のガードリングやフィールドリミットングリングを設けることによって、耐压構造部 11 の幅を狭めることができる。

[0036] 耐压構造部 11 の外周端部から活性領域 10 に至るまでの間に漏れ電流低減層 20 を設けることで、耐压構造部 11 において、半導体基板のおもて面に n⁻ドリフト領域 1 が露出しない。このため、ソース電位を基準としてドレイン電極 7 に負電圧（逆方向電圧）が印加されたときに、耐压構造部 11 の n⁻ドリフト領域 1 の半導体基板おもて面側にキャリアが発生しない。これに

より、逆方向電圧印加時の漏れ電流（以下、逆漏れ電流とする）を低減することができる。

[0037] また、漏れ電流低減層 20 の外周端部 20 a は、ドレイン電極 7 の上端部 7 a に接するように設ける。漏れ電流低減層 20 の外周端部 20 a をドレイン電極 7 の上端部 7 a に接するように設けた場合、漏れ電流低減層 20 の外周端部 20 a とドレイン電極 7 の上端部 7 a との間に n-ドリフト領域 1 が露出する隙間が生じない。

[0038] これにより、ドレイン電極 7 に逆方向電圧が印加されたときに、半導体基板の外周端部近傍の n-ドリフト領域 1 にキャリアが発生しないため、逆方向電圧印加時の漏れ電流（以下、逆漏れ電流とする）を低減することができる。漏れ電流低減層 20 は、例えば、半導体基板のおもて面の表面を覆う層であってもよいし、半導体基板の内部に設けられた層であってもよい。図 1 では図示を省略するが、漏れ電流低減層 20 は活性領域 10 を囲んでいる。

[0039] つぎに、図 1 を用いて説明した漏れ電流低減層 20 の各種構成例について、図 2～図 4 を用いて説明する。図 2～図 4 は、実施の形態にかかる半導体装置の別の一例を示す断面図である。図 2、図 4 は、半導体基板のおもて面の表面に漏れ電流低減層 20 を設けた場合の一例である。図 3 は、漏れ電流低減層 20 を半導体基板のおもて面の表面層に設けた場合の一例である。以下、図 2～図 4 に示す半導体装置の説明において示す漏れ電流低減層 20 は、図 1 に示す漏れ電流低減層 20 の一例である（図 5～図 9 に示す半導体装置についても同様に、半導体装置の説明において示す漏れ電流低減層 20 は、図 1 に示す漏れ電流低減層 20 である）。

[0040] 図 2 に示す半導体装置において、漏れ電流低減層 20 は、半導体基板の外周部の少なくとも半導体基板のおもて面に露出する n-ドリフト領域 1 を覆う絶縁膜 21 である。外周部とは、活性領域 10 よりも外側の部分であり、耐圧構造部 11 を示す。図 2 に示す構成例では、絶縁膜 21 の外周端部 21 a とドレイン電極 7 の上端部 7 a との間に n-ドリフト領域 1 が露出する隙間がない状態で設ける。

- [0041] 図2においては、漏れ電流低減層20として絶縁膜21を設けた構成の半導体装置を示している。図2に示す半導体装置においては、他の構成であるn⁻ドリフト領域1、pウェル領域2、n⁺ソース領域3、ゲート酸化膜4、ゲート電極5、ソース電極6、ドレイン電極7は、図1に示す半導体装置と同様の配置で構成されている。
- [0042] このように、耐压構造部11に漏れ電流低減層20として絶縁膜21を設けることにより、半導体基板のおもて面に露出するn⁻ドリフト領域1を少なくすることができる。これにより、ドレイン電極7に逆方向電圧が印加されたときに、半導体基板の外周部でのキャリアの発生を抑え、逆漏れ電流が増大することを防止することができる。
- [0043] 図3に示す半導体装置では、漏れ電流低減層20は、半導体基板の外周部のおもて面の表面層に設けられ、かつ半導体基板の側面に設けられたドレイン電極7に接する第1のp型領域（第2導電型の第1の半導体領域）22である。第1のp型領域22は、半導体基板のおもて面の外周端部に露出するように設けられる。図3に示す構成例では、第1のp型領域22の外周端部22aとドレイン電極7の上端部7aとの間にn⁻ドリフト領域1が露出する隙間がない状態で設ける。
- [0044] 半導体基板の外周部に第1のp型領域22を設けることによって、第1のp型領域22の突出が順バイアス時には、活性領域から耐压構造部に向かって伸びる空乏層に対して逆方向となり、空乏層の拡がりを抑制し、チャネルストッパの働きをする。逆バイアス時には、ドレイン電極から活性領域に向かって伸びる空乏層に対して第1のp型領域22の突出が順方向となり、空乏層を拡げて電界強度の緩和を図ることができる。第1のp型領域22と、半導体基板の側面に設けられたドレイン電極7との接合は、ドレイン電極7の電位を安定させるためにオーミック接合となっているのが望ましい。
- [0045] 図3に示す半導体装置においては、漏れ電流低減層20として第1のp型領域22を設けた構成であり、他の構成であるn⁻ドリフト領域1、pウェル領域2、n⁺ソース領域3、ゲート酸化膜4、ゲート電極5、ソース電極6、

ドレイン電極 7 は、図 1 に示す半導体装置と同様の配置で構成されている。
また、第 1 の p 型領域 2 2 と p ウェル領域 2 との間の半導体基板には図示していない絶縁膜を設けてもよい。

[0046] このように、第 1 の p 型領域 2 2 を設けることにより、第 1 の p 型領域 2 2 と n-ドリフト領域 1 とからなる p n 接合部からも空乏層が伸びる。このため、ドレイン電極 7 に逆方向電圧が印加されたときに、逆漏れ電流が発生しやすい半導体基板のおもて面側の角部 4 1 から生じる逆漏れ電流を抑制することができる。半導体基板のおもて面に第 1 の p 型領域 2 2 を設けた場合、半導体基板のおもて面側の角部 4 1 とは、半導体基板のおもて面側の外周端部における第 1 の p 型領域 2 2 とドレイン電極 7 との界面部分である。

[0047] 図 4 に示す半導体装置では、半導体基板の側面から半導体基板のおもて面にかけて、おもて面の外周端部に跨るようにドレイン電極 2 3 を設けている。ドレイン電極 2 3 は、半導体基板の裏面および側面の全面、およびおもて面の一部に設けられている。ドレイン電極 2 3 が半導体基板のおもて面に跨る折り返し部 2 3 a の幅は、半導体装置の設計条件に合わせて種々変更可能であり、少なくとも半導体基板のおもて面側の角部 4 1 を覆うような幅であればよい。この場合、ドレイン電極 2 3 の、半導体基板のおもて面の外周部を覆う部分（折り返し部 2 3 a）が漏れ電流低減層 2 0 となる。

[0048] 図 4 に示す半導体装置においては、漏れ電流低減層 2 0 としてドレイン電極 2 3 の折り返し部 2 3 a を設けた構成であり、他の構成である n-ドリフト領域 1、p ウェル領域 2、n⁺ソース領域 3、ゲート酸化膜 4、ゲート電極 5、ソース電極 6、ドレイン電極 2 3 は、図 1 に示す半導体装置と同様の配置で構成されている。

[0049] 図 4 に示す半導体装置においては、ドレイン電極 2 3 の折り返し部 2 3 a を、半導体基板のおもて面の外周端部を含む外周部の一部を覆うように設けることが望ましい。また、ドレイン電極 2 3 の折り返し部 2 3 a と p ウェル領域 2 との間の半導体基板には図示していない絶縁膜を設けてもよい。

[0050] また、半導体基板の外周部において、ドレイン電極 2 3 の折り返し部 2 3

aの活性領域10側の端部からpウェル領域2の耐压構造部11側の端部にかけて、半導体基板のおもて面に露出するn-ドリフト領域1の幅が短くなるにしたがい、活性領域10の耐压構造部11側の端部近傍の電界強度が高くなる。このため、ドレイン電極23の折り返し部23aの幅は、半導体装置の設計条件に合わせて種々変更するのがよい。

[0051] ドレイン電極23の折り返し部23aを設けることにより、ドレイン電極23に逆方向電圧が印加されたときに、半導体基板のおもて面の、n-ドリフト領域1とドレイン電極23の折り返し部23aとの界面からも空乏層が伸びる。このため、ドレイン電極23に逆方向電圧が印加されたときに、逆漏れ電流が発生しやすい半導体基板のおもて面側の角部42から生じる逆漏れ電流を抑制することができる。半導体基板の外周部のおもて面全面にn-ドリフト領域1が露出する場合、半導体基板のおもて面側の角部42とは、半導体基板のおもて面側の外周端部におけるn-ドリフト領域1とドレイン電極7との界面部分である。

[0052] また、漏れ電流低減層20は、上述した絶縁膜21、第1のp型領域22および、半導体基板の側面からおもて面の外周部に跨って設けられたドレイン電極23の折り返し部23aを種々組み合わせて備えていてもよい。図5～図9は、実施の形態にかかる半導体装置の別の一例を示す断面図である。

[0053] 図5に示す半導体装置において、漏れ電流低減層20は、半導体基板の外周部の少なくとも半導体基板のおもて面に露出するn-ドリフト領域1を覆う絶縁膜21、および半導体基板のおもて面の外周端部に露出する第1のp型領域22である。図5に示す半導体装置においては、半導体基板の外周部において、半導体基板のおもて面に、n-ドリフト領域1および第1のp型領域22が露出する。

[0054] このため、絶縁膜21は、半導体基板のおもて面に露出するn-ドリフト領域1および第1のp型領域22を覆ってもよい。図5に示す構成例では、第1のp型領域22の外周端部22aをドレイン電極7の上端部7aとの間にn-ドリフト領域1が露出する隙間がない状態で設ける。絶縁膜21の外周端

部 2 1 a をドレイン電極 7 の上端部 7 a との間に第 1 の p 型領域 2 2 が露出する隙間がない状態で設けてもよい。

[0055] 図 5 に示す半導体装置においては、漏れ電流低減層 2 0 として絶縁膜 2 1 および第 1 の p 型領域 2 2 を設けた構成であり、他の構成である n⁻ドリフト領域 1、p ウェル領域 2、n⁺ソース領域 3、ゲート酸化膜 4、ゲート電極 5、ソース電極 6、ドレイン電極 7 は、図 1 に示す半導体装置と同様の配置で構成されている。

[0056] 図 5 に示す半導体装置においては、絶縁膜 2 1 および第 1 の p 型領域 2 2 を設けることにより、絶縁膜 2 1 によって、半導体基板の外周部でのキャリアの発生を抑え、逆漏れ電流が増大することを防止することができる。また、第 1 の p 型領域 2 2 によって、ドレイン電極 7 に逆方向電圧が印加されたときに、逆漏れ電流が発生しやすい半導体基板のおもて面側の角部 4 1 から生じる逆漏れ電流を抑制することができる。

[0057] 図 6 に示す半導体装置において、漏れ電流低減層 2 0 は、半導体基板のおもて面の外周端部に露出する第 1 の p 型領域 2 2 および、半導体基板の側面からおもて面の外周部に跨るドレイン電極 2 3 の折り返し部 2 3 a である。図 6 に示す半導体装置においては、半導体基板の外周部において、半導体基板のおもて面に、n⁻ドリフト領域 1 および第 1 の p 型領域 2 2 が露出する。

[0058] このため、ドレイン電極 2 3 の、半導体基板のおもて面に設けられた部分（折り返し部 2 3 a）は、半導体基板のおもて面に露出する第 1 の p 型領域 2 2 を覆う。図 6 に示す構成例では、第 1 の p 型領域 2 2 の外周端部 2 2 a を、n⁻ドリフト領域 1 がドレイン電極 2 3 の折り返し部 2 3 a に接し、隙間がない状態で設ける。

[0059] 図 6 に示す半導体装置においては、漏れ電流低減層 2 0 として第 1 の p 型領域 2 2 およびドレイン電極 2 3 の折り返し部 2 3 a を設けた構成であり、他の構成である n⁻ドリフト領域 1、p ウェル領域 2、n⁺ソース領域 3、ゲート酸化膜 4、ゲート電極 5、ソース電極 6、ドレイン電極 2 3 は、図 1 に示す半導体装置と同様の配置で構成されている。

[0060] このように、第1のp型領域22およびドレイン電極23の折り返し部23aを設けることにより、第1のp型領域22によって、逆漏れ電流が発生しやすい半導体基板のおもて面側の角部41から生じる逆漏れ電流を抑制することができる。また、ドレイン電極23の折り返し部23aによって、ドレイン電極23に逆方向電圧が印加されたときに、逆漏れ電流が発生しやすい半導体基板のおもて面側の角部42から生じる逆漏れ電流を抑制することができる。

[0061] 図7に示す半導体装置において、漏れ電流低減層20は、半導体基板の外周部の少なくとも半導体基板のおもて面に露出するn⁻ドリフト領域1を覆う絶縁膜21、およびドレイン電極7に接する補助電極24である。図7に示す半導体装置においては、絶縁膜21は、少なくとも半導体基板のおもて面側の角部42を覆う。補助電極24は、ドレイン電極7に接し、かつドレイン電極7から絶縁膜21の表面に跨って絶縁膜21の一部を覆う。補助電極24は、n⁻ドリフト領域1に接していないため、ショットキー接合を形成しなくてもよい。

[0062] 図7に示す半導体装置においては、補助電極24は、フィールドプレートとして機能し、ドレイン電極7に逆方向電圧が印加されたときに、半導体基板のおもて面側の電界強度を弱める。これにより、半導体装置の逆方向耐圧を維持しやすくすることができる。図7に示す構成例では、絶縁膜21の外周端部21aをドレイン電極7の上端部7aとの間にn⁻ドリフト領域1が露出する隙間がない状態で設ける。補助電極24はドレイン電極7の上端部7aに接合するよう、これら補助電極24とドレイン電極7の上端部7aとの間に隙間がない状態で設ける。

[0063] 図7に示す半導体装置においては、漏れ電流低減層20として絶縁膜21および補助電極24を設けた構成であり、他の構成であるn⁻ドリフト領域1、pウェル領域2、n⁺ソース領域3、ゲート酸化膜4、ゲート電極5、ソース電極6、ドレイン電極7は、図1に示す半導体装置と同様の配置で構成されている。

[0064] このように、絶縁膜 21 および補助電極 24 を設けることにより、絶縁膜 21 によって、半導体基板の外周部でのキャリアの発生を抑え、逆漏れ電流が増大することを防止することができる。また、補助電極 24 によって、ドレイン電極 7 に逆方向電圧が印加されたときに、半導体基板のおもて面の電界強度が低減される。このため、半導体装置の逆方向耐圧を維持しやすくなることができる。

[0065] 図 8 に示す半導体装置において、漏れ電流低減層 20 は、半導体基板の外周部の少なくとも半導体基板のおもて面に露出する n⁻ドリフト領域 1 を覆う絶縁膜 21、半導体基板のおもて面の外周端部に露出する第 1 の p 型領域 22、およびドレイン電極 7 に電氣的に接続された補助電極 25 である。図 8 に示す半導体装置においては、半導体基板の外周部において、半導体基板のおもて面に、n⁻ドリフト領域 1 および第 1 の p 型領域 22 が露出する。

[0066] 図 8 に示す半導体装置においては、絶縁膜 21 は、第 1 の p 型領域 22 の一部を覆ってもよい。補助電極 25 は、おもて面の外周端部から絶縁膜 21 の表面に跨って設けられている。絶縁膜 21 に覆われていない第 1 の p 型領域 22 は、補助電極 25 によって覆われている。

[0067] 図 8 に示す半導体装置において、図 7 に示す半導体装置と異なる点は、第 1 の p 型領域 22 を備える点と、半導体基板のおもて面に露出する第 1 の p 型領域 22 に補助電極 25 が接する点である。補助電極 25 は、第 1 の p 型領域 22 に接し、かつ第 1 の p 型領域 22 から絶縁膜 21 の表面に跨って設けられることで、例えば段差状の断面形状を有する。補助電極 25 は、第 1 の p 型領域 22 を介して、半導体基板の側面に設けられたドレイン電極 7 に電氣的に接続されている。

[0068] このため、補助電極 25 は、半導体基板の側面に設けられたドレイン電極 7 に直接接していてもよいし、接していなくてもよい。図 8 に示す構成例では、第 1 の p 型領域 22 の外周端部をドレイン電極 7 の上端部 7a との間に n⁻ドリフト領域 1 が露出する隙間がない状態で設ける。

[0069] 図 8 に示す半導体装置においては、漏れ電流低減層 20 として絶縁膜 21

、第1のp型領域22および補助電極25を設けた構成であり、他の構成であるn⁻ドリフト領域1、pウェル領域2、n⁺ソース領域3、ゲート酸化膜4、ゲート電極5、ソース電極6、ドレイン電極7は、図1に示す半導体装置と同様の配置で構成されている。

[0070] このように、図8に示す半導体装置においては、絶縁膜21、第1のp型領域22および補助電極25を設けることにより、絶縁膜21によって、半導体基板の外周部でのキャリアの発生を抑え、逆漏れ電流が増大することを防止することができる。また、図8に示す半導体装置においては、第1のp型領域22を設けることによって、逆漏れ電流が発生しやすい半導体基板のおもて面側の角部41から生じる逆漏れ電流を抑制することができる。

[0071] また、図8に示す半導体装置においては、補助電極25を設けることによって、ドレイン電極7に逆方向電圧が印加されたときに、半導体基板のおもて面の電界強度を低減することができる。このように、図8に示す半導体装置によれば、半導体装置の逆方向耐圧を維持しやすくすることができる。

[0072] また、図9に示す半導体装置は、図8に示す半導体装置の構成に加えて、漏れ電流低減層20として、さらに、半導体基板の裏面の表面層であって、かつ半導体基板の側面に設けられたドレイン電極7に接する第2のp型領域（第2導電型の第2の半導体領域）26を設けている。

[0073] 第2のp型領域26は、半導体基板の裏面側の角部43に設けられており、半導体基板の側面および裏面に設けられたドレイン電極7に接する。半導体基板の裏面側の角部43とは、第2のp型領域26を設けていない場合の、半導体基板の裏面側の外周端部におけるn⁻ドリフト領域1とドレイン電極7との界面部分である。

[0074] 図9に示す半導体装置は、漏れ電流低減層20として絶縁膜21、第1のp型領域22、補助電極25のほかに、さらに第2のp型領域26を設けた構成であり、他の構成であるn⁻ドリフト領域1、pウェル領域2、n⁺ソース領域3、ゲート酸化膜4、ゲート電極5、ソース電極6、ドレイン電極7は、図1に示す半導体装置と同様の配置で構成されている。

- [0075] このように、第2のp型領域26を設けることにより、第2のp型領域26とn⁻ドリフト領域1とからなるpn接合部からも空乏層が伸びる。このため、ドレイン電極7に逆方向電圧が印加されたときに、逆漏れ電流が発生しやすい半導体基板の裏面側の角部43から生じる逆漏れ電流を抑制することができる。
- [0076] 上述した図5～図8に示す半導体装置は、図2～図4に示す半導体装置に漏れ電流低減層20として設けられた絶縁膜21、第1のp型領域22およびドレイン電極23の折り返し部23aのいずれかを2つ以上含む。このため、図5～図8に示す半導体装置は、図1～図4に示す半導体装置で得られるそれぞれの効果を複数組み合わせた効果を得ることができる。具体的には、それぞれの場合において、以下のような効果を得ることができる。
- [0077] 半導体基板の外周部の少なくとも半導体基板のおもて面に露出するn⁻ドリフト領域1を覆う絶縁膜21を設けた場合（図5，図7，図8）には、ドレイン電極7に逆方向電圧が印加されたときに、半導体基板の外周部でのキャリアの発生を抑え、逆漏れ電流が増大することを防止することができる。
- [0078] 半導体基板のおもて面の外周端部に露出する第1のp型領域22を設けた場合（図5，図6，図8）、および半導体基板の側面からおもて面の外周部に跨ってドレイン電極23の折り返し部23aを設けた場合（図6）には、それぞれ、第1のp型領域22とn⁻ドリフト領域1とからなるpn接合部、およびn⁻ドリフト領域1とドレイン電極23の折り返し部23aとの界面からも空乏層が伸びる。このため、ドレイン電極7に逆方向電圧が印加されたときに、半導体基板のおもて面側の角部41から生じる逆漏れ電流を抑制することができる。
- [0079] ドレイン電極7に電氣的に接続された補助電極24，25を設けた場合（図7，図8）には、補助電極24，25によって、ドレイン電極7に逆方向電圧が印加されたときに、半導体基板のおもて面の電界強度を低減することができる。このため、半導体装置の逆方向耐圧を維持しやすくすることができる。

- [0080] また、上述した図 1～図 7 に示す半導体装置は、図 9 に示す半導体装置に漏れ電流低減層 20 として設けられた、半導体基板の裏面側の角部 43 に第 2 の p 型領域 26 を設けてもよい。半導体基板の裏面側の角部 43 に第 2 の p 型領域 26 を設けた場合（図 9）には、第 2 の p 型領域 26 と n⁻ドリフト領域 1 とからなる p n 接合部からも空乏層が伸びる。このため、ドレイン電極 7 に逆方向電圧が印加されたときに、半導体基板の裏面側の角部 43 から生じる逆漏れ電流を抑制することができる。
- [0081] ショットキー接合を形成する半導体基板のおもて面および裏面は、半導体基板表面から生じる逆漏れ電流を低減するために、平坦で清浄な面であることが好ましい。
- [0082] 上述した各構成例における半導体基板の側面は、半導体基板のおもて面に垂直であってもよいし、テーパ状であってもよい。図 1～図 9 に示した構成例では、半導体基板の側面が、裏面側（ドレイン側）からおもて面側（ソース側）に向かって半導体基板の幅が徐々に広くなるような斜度で傾いた構成とした。ショットキー電極が接触する半導体基板の界面は、平坦で清浄な面に加工されている必要がある。半導体基板の側面をテーパ状にした場合、半導体基板の側面がおもて面に対して垂直な場合に比べて、スパッタリング法や蒸着法によって、半導体基板の裏面および側面にドレイン電極 7, 23 を形成しやすくなる。
- [0083] このため、半導体基板の側面をテーパ状にすることで、半導体基板の側面がおもて面に対して垂直な場合に比べて、半導体基板の側面の全面にドレイン電極 7, 23 となる金属膜を均一に成膜しやすくなる。また、半導体基板の側面にドレイン電極 7, 23 となる金属膜を成膜した後に、ドレイン電極 7, 23 となる金属膜にアニール処理を均一に行うことができる。これにより、半導体基板の側面に制御性よくドレイン電極 7, 23 を形成することができる。
- [0084] 半導体基板の側面にドレイン電極 7, 23 となる金属膜を均一に成膜しアニールすることができるのであれば、半導体基板の側面はおもて面に対して

垂直であってもよい。また、半導体基板の側面にドレイン電極 7, 23 によるショットキー接合を形成することができるのであれば、半導体基板の側面はおもて面に対して垂直であってもよい。

[0085] 実施の形態にかかる半導体装置の漏れ電流の大きさについて検証した。図 10 は、実施の形態にかかる半導体装置の電気的特性について示す特性図である。図 10 に、上述した図 1 ～図 9 に示す半導体装置の逆漏れ電流波形を示す。図 10 の横軸は、ソース電位を基準としてドレインに印加する電圧 V_{sd} である。図 10 の縦軸は、ドレインに電圧 V_{sd} を印加したときに流れる漏れ電流 I_{sd} である。電圧 V_{sd} は、ドレインに負電圧を印加した場合を正とする。漏れ電流 I_{sd} は、ソースからドレインに流れる電流を正とする。

[0086] 図 10 において、第 1 の曲線 31 は、漏れ電流低減層 20 を設けていない半導体装置の逆漏れ電流波形である。漏れ電流低減層 20 を設けていない半導体装置は、実施の形態にかかる半導体装置に設けられた漏れ電流低減層 20 による効果を検証するための半導体装置である。第 2 の曲線 32 は、図 1 ～図 8 に示す半導体装置の逆漏れ電流波形である。第 3 の曲線 33 は、図 9 に示す半導体装置の逆漏れ電流波形である。

[0087] 図 10 に示すように、図 1 ～図 9 に示す半導体装置（第 2 の曲線 32, 第 3 の曲線 33）は、漏れ電流低減層 20 を設けていない半導体装置（第 1 の曲線 31）に比べて逆漏れ電流が小さくなる。これにより、半導体基板の外周部や裏面側の角部 43 における逆漏れ電流の発生が抑制されていることを確認することができた。

[0088] また、図 9 に示す半導体装置（第 3 の曲線 33）は、図 1 ～図 8 に示す半導体装置（第 2 の曲線 32）に比べて逆漏れ電流が小さくなる。これにより、図 9 に示す半導体装置が半導体基板の裏面側の角部 43 における逆漏れ電流の発生を防止することができる分だけ、図 1 ～図 8 に示す半導体装置よりも逆漏れ電流を低減することを確認することができた。

[0089] 以上、説明したように、実施の形態によれば、半導体基板の裏面から側面

にかけてドレイン電極 7 が設けられている。ドレイン電極 7 は、半導体基板からなる n-ドリフト領域 1 とのショットキー接合を形成する。これにより、n-ドリフト領域 1 と、半導体基板の裏面に設けられたドレイン電極 7 との界面からだけでなく、n-ドリフト領域 1 と、半導体基板の側面に設けられたドレイン電極 7 との界面からも空乏層が伸びる。このため、従来のように半導体基板の側面に p 型領域（図 14 の p 型領域 208）を形成することなく、逆方向耐圧を維持する構成の逆阻止型半導体装置を構成することができる。

[0090] 実施の形態の半導体装置は、従来の半導体装置のように半導体基板の側面に p 型領域を形成する必要がない。したがって、例えばイオン注入およびアニールによって半導体基板の側面に p 型領域を形成する従来の半導体装置に比べて、例えばスパッタ法や蒸着法によりドレイン電極 7 を形成するのみで逆阻止型半導体装置を容易に得ることができる。

[0091] これにより、実施の形態によれば、従来の半導体装置（図 14 参照）を作製する場合に比べて、逆阻止型半導体装置を容易に作製することができる。また、実施の形態によれば、半導体基板の側面をテーパ状にすることで、さらにドレイン電極 7 を形成しやすい構成の逆阻止型半導体装置を作製することができる。

[0092] また、実施の形態の半導体装置は、半導体基板の外周部において、半導体基板のおもて面に露出する n-ドリフト領域 1 を覆う漏れ電流低減層 20 を備える。これにより、ドレイン電極 7 に逆方向電圧が印加されたときに、逆漏れ電流を低減することができる。

[0093] また、ワイドバンドギャップ半導体材料からなる半導体基板を用いることで、シリコンからなる半導体基板を用いる場合に比べて、n-ドリフト領域 1 とドレイン電極 7 とによるショットキー接合によって維持される逆方向耐圧を向上することができる。具体的には、シリコンからなる半導体基板を用いた場合、ショットキー接合によって維持される耐圧は 200 V 程度である。一方、ワイドバンドギャップ半導体材料からなる半導体基板を用いた場合、ショットキー接合によって維持される耐圧を 1200 V 程度とすることができる。

きる。

[0094] 以上において本発明では、上述した実施の形態に限らず、漏れ電流低減層となる絶縁膜、第1のp型領域、ドレイン電極の折り返し部および第2のp型領域を種々組み合わせ可能である。例えば、漏れ電流低減層として絶縁膜およびドレイン電極の折り返し部を設け、ドレイン電極の折り返し部が絶縁膜の表面の一部を覆うように設けてもよい。上述した実施の形態においては、第1導電型をn型とし、第2導電型をp型としたが、本発明は第1導電型をp型とし、第2導電型をn型としても同様の効果を得ることができる。

産業上の利用可能性

[0095] 以上のように、本発明にかかる半導体装置は、マトリックスコンバータなどの直接リンク変換回路などに使用されるパワー半導体装置に有用である。

符号の説明

- [0096]
- 1 n⁻ドリフト領域
 - 2 pウェル領域
 - 3 n⁺ソース領域
 - 4 ゲート酸化膜
 - 5 ゲート電極
 - 6 ソース電極
 - 7 ドレイン電極
 - 10 活性領域
 - 11 耐圧構造部
 - 20 漏れ電流低減層

請求の範囲

- [請求項1] シリコンよりもバンドギャップが広い半導体材料からなる第1導電型の半導体基板と、
前記半導体基板の第1の主面に設けられた制御電極と、
前記半導体基板の第2の主面および側面に設けられ、当該半導体基板とのショットキー接合を形成する出力電極と、
前記半導体基板の少なくとも外周端部に設けられ、少なくとも当該外周端部から生じる漏れ電流を低減する層と、
を備えることを特徴とする半導体装置。
- [請求項2] 前記漏れ電流を低減する層は、前記半導体基板の第1の主面の表面層に設けられた、前記出力電極に接する第2導電型の第1の半導体領域であることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記第1の半導体領域は、前記出力電極とのオーミック接合を形成することを特徴とする請求項2に記載の半導体装置。
- [請求項4] 前記漏れ電流を低減する層は、前記半導体基板の第2の主面の表面層に設けられた、前記出力電極に接する第2導電型の第2の半導体領域であることを特徴とする請求項1に記載の半導体装置。
- [請求項5] 前記漏れ電流を低減する層は、前記半導体基板の第1の主面を覆う絶縁膜であることを特徴とする請求項1に記載の半導体装置。
- [請求項6] 前記漏れ電流を低減する層は、前記出力電極に電氣的に接続された補助電極であることを特徴とする請求項1に記載の半導体装置。
- [請求項7] 前記漏れ電流を低減する層は、
前記半導体基板の第1の主面を覆う絶縁膜と、
前記出力電極に接し、当該出力電極から前記絶縁膜の表面に跨って設けられた補助電極と、からなり、
前記補助電極は、前記半導体基板の第1の主面に露出する前記第1の半導体領域に接することを特徴とする請求項2に記載の半導体装置。

- [請求項8] 前記漏れ電流を低減する層は、さらに、前記半導体基板の第2の主面の表面層に設けられた、前記出力電極に接する第2導電型の第2の半導体領域を含むことを特徴とする請求項7に記載の半導体装置。
- [請求項9] 前記出力電極は、前記半導体基板の第2の主面から第1の主面にかけて、第1の主面の外周端部に跨って設けられていることを特徴とする請求項1に記載の半導体装置。
- [請求項10] 前記半導体基板は、炭化珪素または窒化ガリウムからなることを特徴とする請求項1～9のいずれか一つに記載の半導体装置。

補正された請求の範囲

[2012年7月9日 (09.07.2012) 国際事務局受理]

[請求項 1] シリコンよりもバンドギャップが広い半導体材料からなる第 1 導電型の半導体基板と、

前記半導体基板の第 1 の主面に設けられた制御電極と、

前記半導体基板の第 2 の主面および側面に設けられ、当該半導体基板とのショットキー接合を形成する出力電極と、

前記半導体基板の少なくとも外周端部に設けられ、少なくとも当該外周端部から生じる漏れ電流を低減する層と、

を備えることを特徴とする半導体装置。

[請求項 2] 前記漏れ電流を低減する層は、前記半導体基板の第 1 の主面の表面層に設けられた、前記出力電極に接する第 2 導電型の第 1 の半導体領域であることを特徴とする請求項 1 に記載の半導体装置。

[請求項 3] 前記第 1 の半導体領域は、前記出力電極とのオーミック接合を形成することを特徴とする請求項 2 に記載の半導体装置。

[請求項 4] 前記漏れ電流を低減する層は、前記半導体基板の第 2 の主面の表面層に設けられた、前記出力電極に接する第 2 導電型の第 2 の半導体領域であることを特徴とする請求項 1 に記載の半導体装置。

[請求項 5] 前記漏れ電流を低減する層は、前記半導体基板の第 1 の主面を覆う絶縁膜であることを特徴とする請求項 1 に記載の半導体装置。

[請求項 6] 前記漏れ電流を低減する層は、前記出力電極に電氣的に接続された補助電極であることを特徴とする請求項 1 に記載の半導体装置。

[請求項 7] 前記漏れ電流を低減する層は、

前記半導体基板の第 1 の主面を覆う絶縁膜と、

前記出力電極に接し、当該出力電極から前記絶縁膜の表面に跨って設けられた補助電極と、からなり、

前記補助電極は、前記半導体基板の第 1 の主面に露出する前記第 1 の半導体領域に接することを特徴とする請求項 2 に記載の半導体装置。

[請求項 8] (補正後) 前記漏れ電流を低減する層は、さらに、前記半導体基板の

第 2 の主面の表面層の角部に設けられた、前記出力電極に接する第 2 導電型の第 2 の半導体領域を含むことを特徴とする請求項 7 に記載の半導体装置。

〔請求項 9〕 前記出力電極は、前記半導体基板の第 2 の主面から第 1 の主面にかけて、第 1 の主面の外周端部に跨って設けられていることを特徴とする請求項 1 に記載の半導体装置。

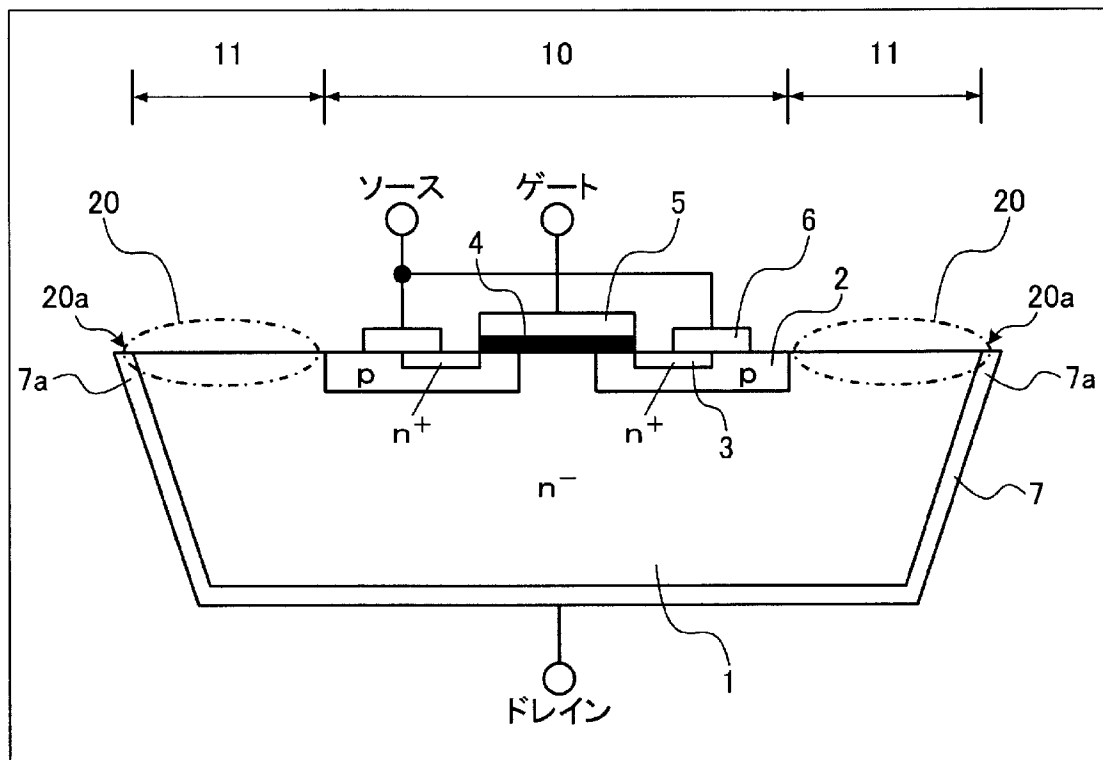
〔請求項 10〕 前記半導体基板は、炭化珪素または窒化ガリウムからなることを特徴とする請求項 1 ～ 9 のいずれか一つに記載の半導体装置。

条約第 19 条（1）に基づく説明書

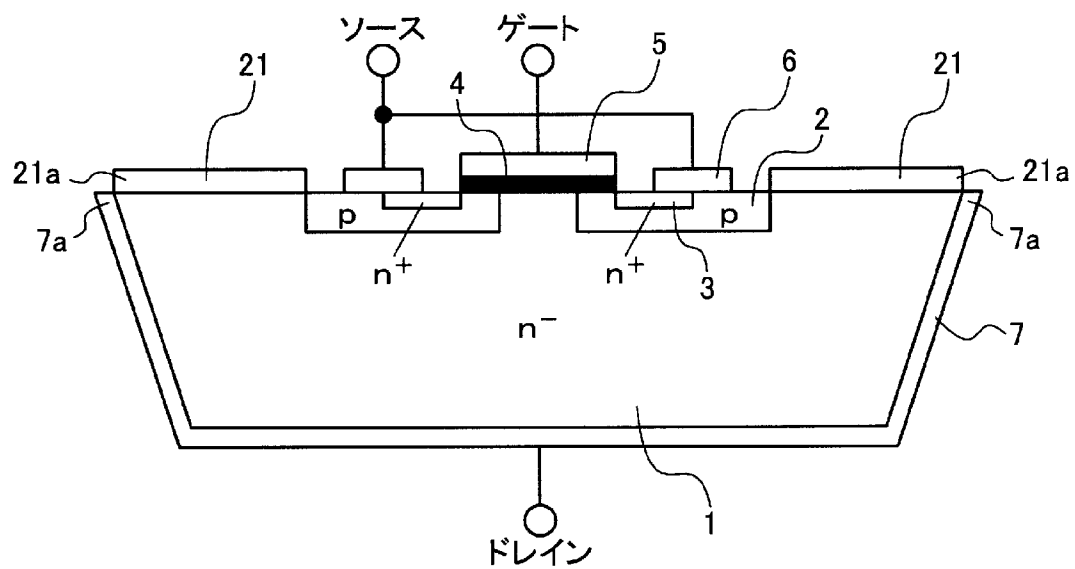
請求の範囲第 1 ～ 7， 9， 10 項は、補正前の請求の範囲第 1 ～ 7， 9， 10 項です。

また、請求の範囲第 8 項は、出願前の明細書の段落 0073、図 9 の記載に基づいて当該請求の範囲第 8 項の範囲を限定する補正を行いました。

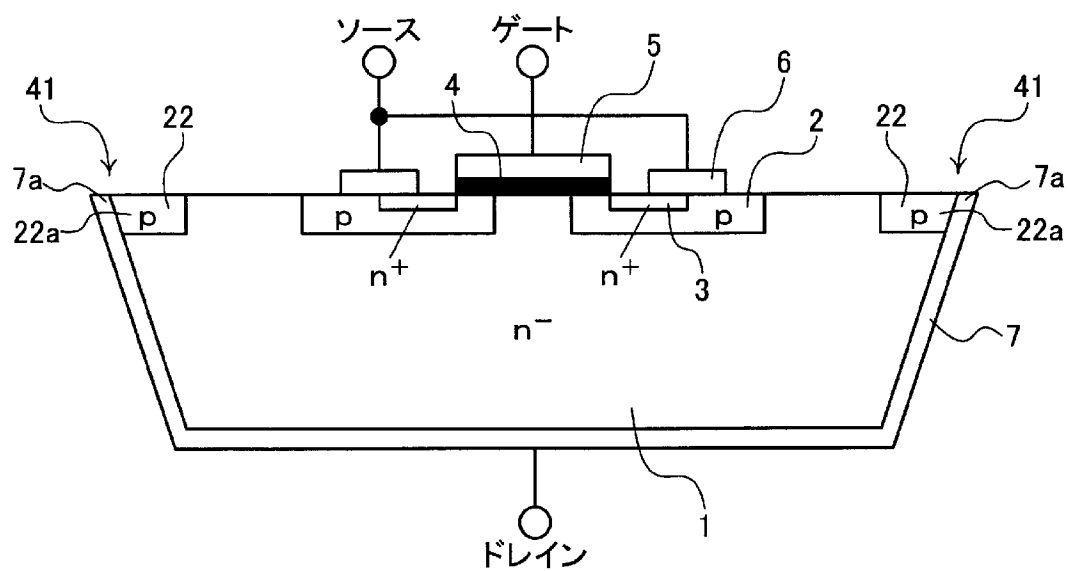
[図1]



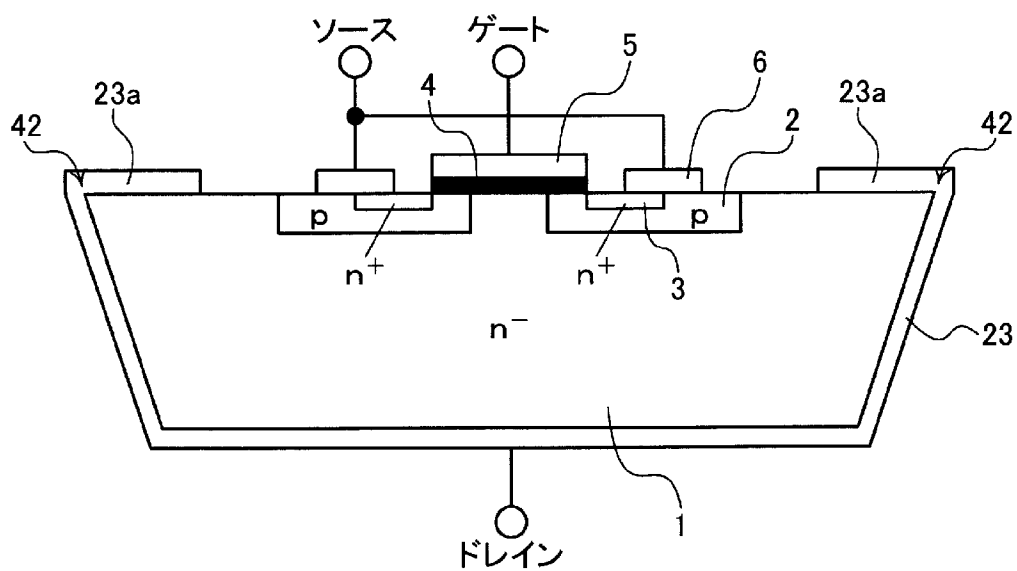
[図2]



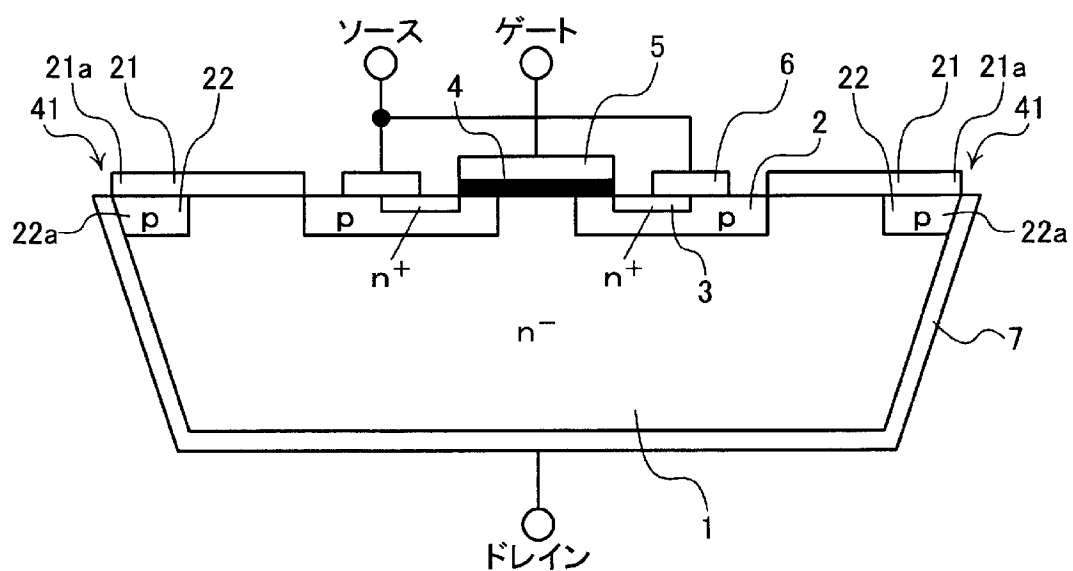
[図3]



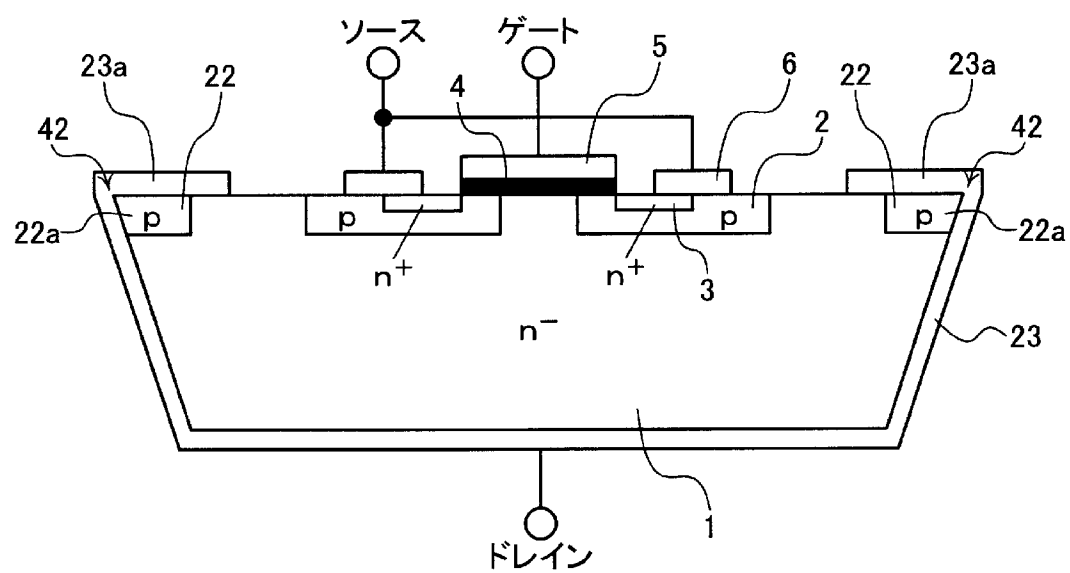
[図4]



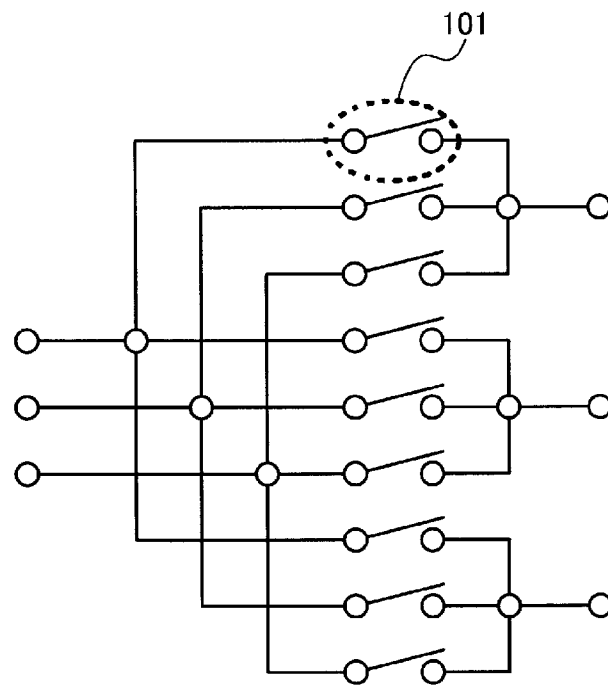
[図5]



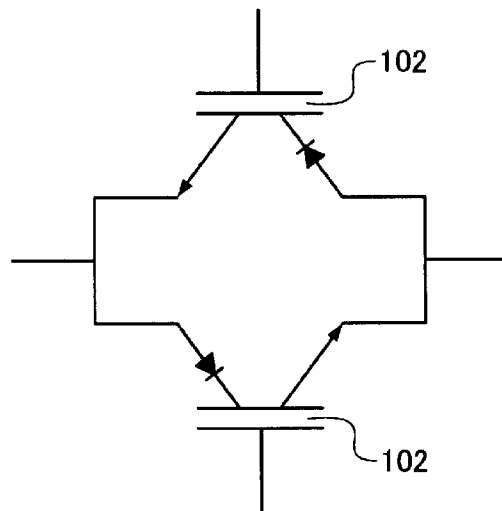
[図6]



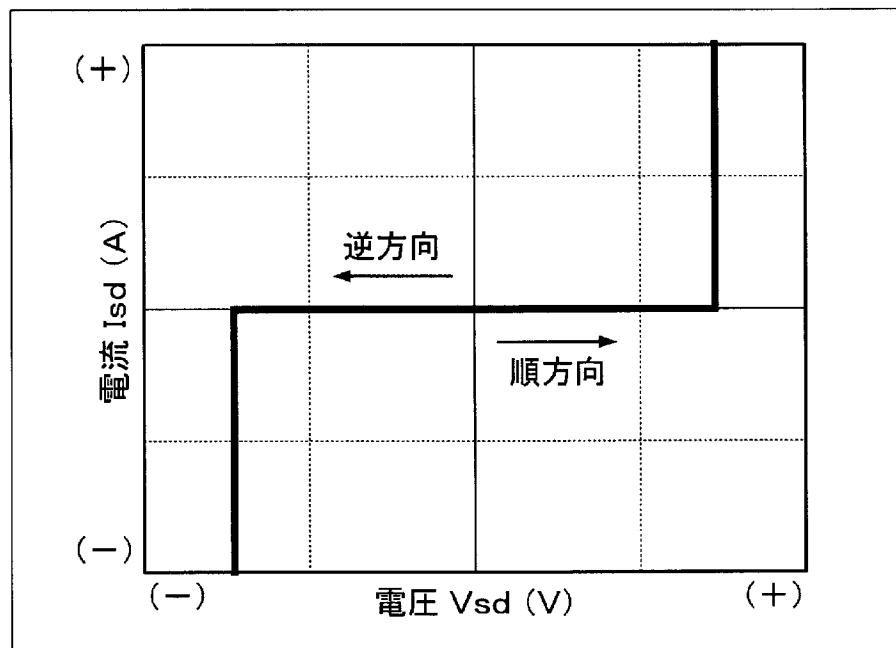
[図11]



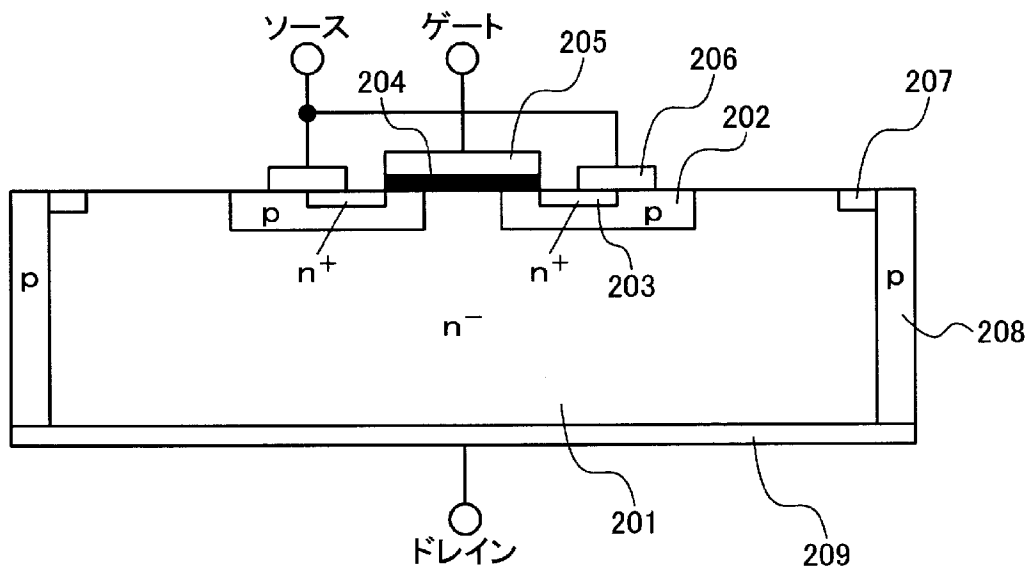
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/070909

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/06(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/06, H01L29/12, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-123914 A (Fuji Electric Device Technology Co., Ltd.), 04 June 2009 (04.06.2009), fig. 1 to 2, 6; paragraphs [0012] to [0017] (Family: none)	1-10
Y	JP 2010-206109 A (Nissan Motor Co., Ltd.), 16 September 2010 (16.09.2010), paragraphs [0062] to [0063]; fig. 9 to 10 (Family: none)	1-10
Y	JP 11-133365 A (Yazaki Corp.), 21 May 1999 (21.05.1999), paragraphs [0013], [0028], [0063]; fig. 3, 11 (Family: none)	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

21 November, 2011 (21.11.11)

Date of mailing of the international search report

06 December, 2011 (06.12.11)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/070909

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 4-332173 A (Fuji Electric Co., Ltd.), 19 November 1992 (19.11.1992), fig. 5; paragraph [0003] (Family: none)	5-8, 10
Y	JP 8-306937 A (Fuji Electric Co., Ltd.), 22 November 1996 (22.11.1996), fig. 2; paragraph [0005] (Family: none)	5-8, 10
A	JP 2006-303410 A (Fuji Electric Holdings Co., Ltd.), 02 November 2006 (02.11.2006), paragraph [0039]; fig. 1 & US 2006/0249797 A1	1-10
A	JP 2002-299624 A (Shindengen Electric Mfg. Co., Ltd.), 11 October 2002 (11.10.2002), fig. 1 (Family: none)	8

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L29/06(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L29/06, H01L29/12, H01L29/78			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 日本国公開実用新案公報 日本国実用新案登録公報 日本国登録実用新案公報 1 9 2 2－1 9 9 6 年 1 9 7 1－2 0 1 1 年 1 9 9 6－2 0 1 1 年 1 9 9 4－2 0 1 1 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y	JP 2009-123914 A（富士電機デバイステクノロジー株式会社） 2009.06.04, 図1-図2, 図6, [0012]-[0017] (ファミリーなし)	1-10	
Y	JP 2010-206109 A（日産自動車株式会社）2010.09.16, [0062]-[0063], 図9-図10 (ファミリーなし)	1-10	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 2 1 . 1 1 . 2 0 1 1		国際調査報告の発送日 0 6 . 1 2 . 2 0 1 1	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号1 0 0－8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 崎間 伸洋 電話番号 0 3－3 5 8 1－1 1 0 1 内線 3 4 6 2	4 M 3 5 7 0

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 11-133365 A (矢崎総業株式会社) 1999. 05. 21, [0013], [0028], [0063], 図 3, 図 11 (ファミリーなし)	1-10
Y	JP 4-332173 A (富士電機株式会社) 1992. 11. 19, 図 5, [0003] (ファミリーなし)	5-8, 10
Y	JP 8-306937 A (富士電機株式会社) 1996. 11. 22, 図 2, [0005] (ファミリーなし)	5-8, 10
A	JP 2006-303410 A (富士電機ホールディングス株式会社) 2006. 11. 02, [0039], 図 1 & US 2006/0249797 A1	1-10
A	JP 2002-299624 A (新電元工業株式会社) 2002. 10. 11, 図 1 (ファミリーなし)	8