(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 27/146

(11) 공개번호 특2001-0061349
(43) 공개일자 2001년07월07일

(21) 출원번호 10-1999-0063843
(22) 출원일자 1999년12월28일

(71) 출원인 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 이상주
서울특별시송파구잠실동236-2101호
송택근
경기도용인시기흥읍신갈리417-7우정주택나-202

(74) 대리인 특허법인 신성 박해천
특허법인 신성 원석희
특허법인 신성 최종식
특허법인 신성 박정후
특허법인 신성 정지원

심사청구 : 없음

(54) 씨모스 이미지센서 및 그 제조방법

요약

본 발명은 트랜스퍼트랜지스터의 게이트 에지 하단에서 전위장벽이 발생되어 전하운송효율이 떨어지는 것을 방지함과 동시에 암전류에 대한 면역성을 증대시키는데 적합한 구조를 갖는 씨모스 이미지센서 단위 화소 및 그 제조방법을 제공하는데 목적이 있는 것으로, 이를 위한 본 발명의 씨모스 이미지센서 단위 화소는, 제1도전형의 반도체층 내에 형성된 다수의 확산영역으로 이루어진 포토다이오드와, 상기 반도체층 상부의 소정 부위에 형성된 트랜스퍼트랜지스터의 게이트전극을 구비하며, 상기 포토다이오드는, 상기 게이트전극 에지에 자신들의 일부 에지가 정렬되어 포토다이오드영역의 상기 반도체층 내부에 차례로 적층 형성된 제2도전형의 제1확산영역과 제1도전형의 제2확산영역; 및 상기 게이트전극 측벽에 형성되는 절연막스페이서의 하부의 상기 제1확산영역에서 부터 상기 게이트전극의 하부로 확장되어 형성되며 기판 표면에서부터 일정거리 이격되어 형성된 제2도전형의 베리드 제3확산영역을 포함하여 이루어짐을 특징으로 한다.

대표도

도 4c

색인어

이미지센서, 포토다이오드, 암전류, 전하운송효율, 경사이온주입

명세서

도면의 간단한 설명

도1은 통상적인 CMOS 이미지센서의 단위화소 회로도,

도2는 종래기술에 따른 CMOS 이미지센서의 일부 단위화소 단면도,

도3은 개선된 종래기술에 따른 CMOS 이미지센서의 일부 단위화소 단면도,

도4a 내지 도4c는 본 발명의 일실시예에 따른 이미지센서 단위화소 제조 공정을 나타내는 단면도.

도5a 및 도5b는 본 발명의 다른 실시예에 따른 이미지센서 단위화소 제조 공정을 나타내는 단면도.

* 도면의 주요부분에 대한 부호의 설명

1 : P- 에피택셜층 2 : 소자분리절연막

3 : 게이트산화막 4 : 게이트전극

6 : N^- 확산영역 7 : 절연막스페이서

8 : 플로팅확산 9 : P^0 확산영역

10 : 베리드 N^- 확산영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 CMOS 이미지센서(image sensor)에 관한 것으로, 특히 화소(pixel) 내에 핀드 포토다이오드(pinned photodiode)를 갖는 이미지센서 및 그 제조방법에 관한 것이다.

CMOS 이미지센서라 함은 CMOS 제조 기술을 이용하여 광학적 이미지를 전기적신호로 변환시키는 소자로서, 화소수만큼 MOS트랜지스터를 만들고 이것을 이용하여 차례차례 출력을 검출하는 스위칭 방식을 채용하고 있다. 현재 이미지센서로 널리 사용되고 있는 CCD(Charge Coupled Device) 이미지센서에 비하여 CMOS 이미지센서는, 구동 방식이 간편하고 다양한 스캐닝 방식의 구현이 가능하며, 신호처리 회로를 단일칩에 집적할 수 있어 제품의 소형화가 가능할 뿐만 아니라, 호환성의 CMOS 기술을 사용하므로 제조 단가를 낮출 수 있고, 전력 소모 또한 크게 낮다는 장점을 지니고 있다.

도1에는 통상적인 CMOS 이미지센서의 화소 회로도가 도시되어 있다. 도1을 참조하면, CMOS 이미지센서의 단위화소는, 1개의 핀드 포토다이오드(PPD)와 4개의 NMOS트랜지스터로 구성되어 있다. 4개의 NMOS트랜지스터는 핀드포토다이오드(PPD)에서 생성된 광전하를 플로팅센싱노드로 운송하기 위한 트랜스퍼트랜지스터(Tx)와, 다음 신호검출을 위해 상기 플로팅센싱노드에 저장되어 있는 전하를 배출하기 위한 리셋트랜지스터(Rx)와, 소스팔로워(Source Follower) 역할을 하는 드라이브트랜지스터(Dx), 및 스위칭(Switching) 역할로 어드레싱(Addressing)을 할 수 있도록 하는 셀렉트트랜지스터(Sx)로 구성된다. 여기서, 트랜스퍼트랜지스터(Tx)와 리셋트랜지스터(Rx)는 양의 문턱 전압(Positive Threshold Voltage)으로 인한 전압 강하로 전하(전자)가 손실되어 전하운송효율이 저하되는 현상을 방지하기 위하여 음의 문턱 전압을 갖는 네이티브(Native) NMOS트랜지스터로 형성되어 진다. 단위화소의 출력단(Out)과 접지단 간에는 바이어스 제공을 위한 로드트랜지스터가 접속되어 있다. 그리고, 핀드포토다이오드(PPD)와 플로팅센싱노드의 기판은 접지되어 있다. 도면에서 " Cf" 는 플로팅센싱노드가 갖는 커패시턴스를, " Cp" 는 핀드 포토다이오드가 갖는 커패시턴스를 각각 나타낸다.

도2에는 상기한 단위화소를 기판 상에 구현한 단위화소 일부 단면도로서, 핀드 포토다이오드(PPD)와 플로팅확산(8)과 및 트랜스퍼트랜지스터(Tx) 부분을 나타낸 것이다. 핀드 포토다이오드(PPD)는 P-에피택셜층(P-epi)(1)과 N^- 확산영역(6) 및 P^0 확산영역(9)이 적층된 PNP 접합 구조를 갖고 있으며, N^- 확산영역(7)에 의해 포토다이오드의 커패시턴스 Cp가 형성된다. 트랜스퍼트랜지스터(Tx)와 리셋트랜지스터(Rx)(도2에서는 도시되지 않음)의 각 일측접합을 공통으로 구현하는 플로팅확산(8)에 의해 플로팅센싱노드의 커패시턴스 Cf가 형성된다. 도면에 도시된 바와 같이 트랜스퍼트랜지스터(Tx)는 게이트전극(4) 에지에 핀드 포토다이오드(PPD)의 에지가 정렬되어 포토다이오드에 축적된 전하를 플로팅확산(8)으로 전달하게 된다. 그리고, 이때의 전하운송효율을 좋게하기 위하여 트랜스퍼트랜지스터(Tx)는 LDD(lightly dopsd drain) 영역을 갖고 있지 않으며 채널이온주입영역이 형성되지 않아 매우 낮은 문턱전압을 갖는 트랜지스터로 형성된다.

상기한 구조의 PNP형 핀드 포토다이오드는 게이트전극(4) 형성 직후에 고에너지 N형 불순물 이온주입과 저에너지 P형 불순물 이온주입을 연속적으로 실시하여 형성된다. 이때 P^0 확산영역(9)은 빛에 의해 발생된 전자를 모으는 벌크의 N^- 확산영역(6)을 완전히 공핍시키는 역할을 하여 정전 용량을 증가시키고, 실리콘 표면에 공핍층을 형성시켜서 단파장인 블루(Blue)에 대한 광감도(sensitivity) 특성을 향상시키는 역할을 한다. 뿐만 아니라 포토다이오드의 실리콘표면에서 발생하는 암전류(dark current)가 N^- 확산영역(6)으로 전달되는 것을 막는 베리어 역할을 하기 때문에 암전류에 의한 소자 특성의 열화를 피할 수 있다.

그런데, 이러한 포토다이오드 표면의 P^0 확산영역(9)은 핀드 포토다이오드 쪽의 트랜스퍼게이트 에지 아래에 장벽 전위(barrier potential)를 형성시키기 때문에 포토다이오드에 모아진 전하가 플로팅확산(8)으로 전달되는 전하전송효율(charge transfer efficiency)을 떨어뜨리는 역할을 하게 된다. 따라서 저조도 특성 및 소자 동작 속도 특성의 열화를 초래한다.

한편, 종래에는 상기한 바와 같은 저조도 특성 및 소자 동작 속도 특성을 개선시킬 목적으로 P^0 확산영역(9)을 트랜스퍼트랜지스터의 게이트 에지에서 일정 거리 격리시키는 방법을 사용하였는 바, 이는 트랜스퍼트랜지스터의 게이트전극(4) 형성 직후 고에너지 N^- 확산영역(6)을 형성하기 위한 이온주입을 실시한 뒤, LDD 형성을 위한 스페이서(7) 형성 후에 저에너지 P형 불순물을 주입하는 방법을 사용함으로써 가능하다. 도3은 이러한 방법으로 형성된 PNP + NP형 복합 포토다이오드를 갖는 이미지 센서 소자의 단면도를 나타낸 것이다. 이러한 경우에 종래 트랜스퍼트랜지스터의 게이트 아래에 존재하던 P^0 확산영역(9)이 스페이서(7) 외부에 형성됨으로써 장벽 전위가 낮아지게 되고, 벌크의 N^- 확산영역(6)이 트랜스퍼트랜지스터의 게이트에 직접 접촉하게 되어 전하운송효율이 획기적으로 향상된다.

그러나 스페이서(7) 아래에 형성되는 N^- 확산영역(6)에 의한 포토다이오드 내 실리콘 표면의 P형 영역의 공핍층이 확장되고, 이러한 실리콘 표면에서 발생하는 암전류가 N^- 확산영역(6)으로 전달되는 것을 막을 수가 없다. 따라서 전하운송효율은 상당히 개선되지만 암전류가 증가하게 되는 단점을 피할 수 없다.

도2 및 도3에서 미설명된 도면부호 '2'는 소자분리절연막이고, '3'은 게이트산화막이다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 종래기술의 문제점을 해결하기 위한 것으로서, 트랜스퍼트랜지스터의 게이트 에지 하단에서 장벽전위가 발생되어 전하운송효율이 떨어지는 것을 방지함과 동시에 암전류가 증가하게 되는 단점을 억제 또는/및 방지하는데 적합한 구조를 갖는 씨모스 이미지센서 단위 화소 및 그 제조방법을 제공하는데 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 씨모스 이미지센서 단위 화소는, CMOS 이미지센서의 단위화소에 있어서, 제1도전형의 반도체층 내에 형성된 다수의 확산영역으로 이루어진 포토다이오드와, 상기 반도체층 상부의 소정 부위에 형성된 트랜스퍼트랜지스터의 게이트전극을 구비하며, 상기 포토다이오드는, 상기 게이트전극 에지에 자신들의 일부 에지가 정렬되어 포토다이오드영역의 상기 반도체층 내부에 차례로 적층 형성된 제2도전형의 제1확산영역과 제1도전형의 제2확산영역; 및 상기 게이트전극 측벽에 형성되는 절연막스페이서의 하부의 상기 제1확산영역에서 부터 상기 게이트전극의 하부로 확장되어 형성되며 기판 표면에서부터 일정거리 이격되어 형성된 제2도전형의 베리드 제3확산영역을 포함하여 이루어짐을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도4a 내지 도4c는 본 발명의 일실시예에 따른 CMOS 이미지센서 단위화소 제조 공정을 나타내는 단면도이고, 도5a 및 도5b는 본 발명의 일실시예에 따른 CMOS 이미지센서 단위화소 제조 공정을 나타내는 단면도이다. 단위화소의 포토다이오드, 트랜스퍼트랜지스터 및 플로팅확산 부분만이 도시되어 있다.

먼저, 도4c 및 도5b를 참조하여 본 발명에 따른 이미지센서 단위화소 구조에 대해 살펴보고, 그 구조를 제조하기 위한 공정을 이후에 살펴보도록 한다.

도4c 및 도5b를 참조하면, 본 실시예들에 따른 이미지센서 단위화소에서는 P-에피택셜층(1) 내에 형성된 3개의 확산영역(6,9,10)에 의해 핀드 포토다이오드(PPD)가 구성된다.

구체적으로, 도4c(일실시예)를 참조하면, 상기 핀드 포토다이오드(PPD)는 트랜스퍼트랜지스터의 게이트전극(4) 에지에 자신의 일부 에지가 정렬되어 포토다이오드영역의 상기 P-에피택셜층(1) 내에 적층 형성되는 N^- 확산영역(6)과 P^0 확산영역(9), 절연막스페이서(7)의 하부의 상기 N^- 확산영역(6)에서 부터 상기 게이트전극(4)의 하부로 확장되어 형성되며 기판 표면에서부터 일정거리 이격되어 형성된 베리드 N^- 확산영역(10)으로 이루어진다.

또한, 도5b(다른 실시예)를 참조하면, 상기 핀드 포토다이오드(PPD)는 트랜스퍼트랜지스터의 게이트전극(4) 에지에 자신의 일부 에지가 정렬되어 포토다이오드영역의 상기 P-에피택셜층(1) 내에 형성되는 N^- 확산영역(6), 게이트전극 측벽의 절연막스페이서(7)의 에지에 자신의 일부에지가 정렬되어 상기 N^- 확산영역(6)상에 형성되는 P^0 확산영역(9), 절연막스페이서(7)의 하부의 상기 N^- 확산영역(6)에서 부터 상기 게이트전극(4)의 하부로 확장되어 형성되며 기판 표면에서부터 일정 깊이에 형성되는 베리드 N^- 확산영역(10)으로 이루어진다.

이때 베리드(Buried) N^- 확산영역(10)은 플로팅확산(8)과 펀치(punch)가 발생하지 않을 정도의 거리를 유지하여야 하며, P^0 확산영역(9)에 의해 완전히 공핍될 수 있는 농도를 유지하게 하며, 실리콘 표면으로부터 일정 깊이에 존재하도록 이온주입 에너지를 조절하여야 한다. 베리드 N^- 확산영역(10)을 표면에서 떨어뜨리는 이유는 P^0 확산영역(9)과의 공핍층이 표면에서 확장되지 않도록 하여 암전류(dark current)에 대한 면역성을 유지하기 위함이다.

또한, 트랜스퍼트랜지스터의 게이트전극(4) 에지에서 스페이서 만큼 격리 시켜 P^0 확산영역(9)을 형성하는 경우(도5b)에는 절연막스페이서(7) 아래의 N^- 확산영역에 의해 표면 공핍층이 심하게 확장하여 암전류(dark current)가 발생하지 않을 정도의 적정 거리를 둔다.

상기한 바와 같은 구조를 갖는 본 발명의 이미지센서 단위화소는 포토다이오드쪽의 게이트 측벽 스페이서 영역 아래에 선택적으로 베리드(Buried) N^- 확산영역(10)이 형성되어 있으므로, 이 베리드 N^- 확산영역(10)이 N^- 확산영역(6)과 전기적으로 연결되어 있기 때문에 전하운송을 위해 트랜스퍼트랜지스터를 동작시킬 때 플로팅확산(8) 및 트랜스퍼트랜지스터의 전위가 효과적으로 전달하여 전송 효율 특성을 좋게 한다. 또한 포토다이오드 표면의 P^0 확산영역(9)이 N^- 확산영역(6)과 함께 트랜스퍼트랜지스터의 게이트전극에 정렬되기 때문에 전송 효율이 좋으면서도 포토다이오드 표면에서 발생하는 암전류에 대한 면역성을 유지하게 된다.

그러면, 이러한 구조를 갖는 이미지센서 단위화소 제조 방법을 살펴본다.

먼저 본 발명의 일실시예를 살펴보면, 도4a에 도시된 바와 같이 P^+ 실리콘기판(P^+ _Sub.)에 P-에피택셜층(1)이 성장된 에피-웨이퍼를 준비한 다음, 소자의 전기적 절연을 위한 소자분리절연막(2)을 형성한 후, 베리드 N^- 확산영역(6)을 형성하기 위한 마스크 공정 및 고에너지 이온주입을 실시한다.

이어서, 도4b에 도시된 바와 같이 게이트산화막(3), 폴리실리콘막 혹은 폴리사이드막을 연속적으로 도포한 후 패터닝하여 트랜스퍼트랜지스터의 게이트전극(4)를 형성한다. 이어서, 게이트전극(4)의 일측에지를 포함하는 포토다이오드 영역이 오픈되는 마스크를 사용한 고에너지 이온주입에 의해 상기 P-에피택셜층(1) 내에 N^- 확산영역(6)을 형성하고, 저에너지 이온주입을 실시하여 P^0 확산영역(9)을 형성한다. 이때의 이온주입에 사용되는 불순물의 양은 포토다이오드 내부의 N^- 확산영역(6)이 P^0 확산영역(9)에 의해 완전히 공핍(fully depletion)시킬 수 있도록 조절한다.

다음, 도4c에 도시된 바와 같이 게이트전극(4) 측벽에 절연막스페이서(7)를 형성하고 게이트전극 타측에 플로팅확산(8)을 형성한다.

먼저 본 발명의 다른 실시예를 살펴보면, 도4a와 동일하게 베리드 N^- 확산영역(6)을 형성한 후, 게이트산화막(3) 및 게이트전극(4)를 형성한다.

이어서, 도5a에 도시된 바와같이 게이트전극(4)의 일측에지를 포함하는 포토다이오드영역이 오픈되는 마스크를 사용한 고에너지 이온주입에 의해 상기 P-에피택셜층(1) 내에 N^- 확산영역(6)을 형성하고, 이어서, 경사진 저에너지 이온주입을 실시하여 게이트전극(4)의 일측 에지로부터 일정거리 이격된 부위의 포토다이오드영역에 P^0 확산영역(9)을 형성한다. 역시 이때의 이온주입에 사용되는 불순물의 양은 포토다이오드 내부의 N^- 확산영역(6)이 P^0 확산영역(9)에 의해 완전히 공핍시킬 수 있도록 조절한다.

이어서, 도5b에 도시된 바와같이 게이트전극(4) 측벽에 절연막스페이서(7)를 형성하고 게이트전극 타측에 플로팅확산(8)을 형성한다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

본 발명에서 트랜스퍼트랜지스터 게이트전극 아래에 형성되는 베리드 N^- 확산영역은 포토다이오드의 N^- 확산영역과 전기적으로 연결되어 있기 때문에 전하 운송을 위해 트랜스퍼게이트를 동작시킬 때 플로팅확산과 게이트의 전위가 효과적으로 전하를 전달하여 전하전송효율 특성을 좋게 한다. 또한 포토다이오드 표면의 P^0 확산영역이 포토다이오드의 N^- 확산영역과 함께 트랜스퍼트랜지스터의 게이트에 정렬되기 때문에 포토다이오드 표면에서 발생하는 암전류(dark current)에 대한 면역성을 유지하게 된다. 한편 포토다이오드 표면의 P^0 확산영역을 트랜스퍼트랜지스터의 게이트로부터 일정거리 격리시키는 방법을 사용할 수 있는데 이렇게 함으로써 P^0 확산영역이 트랜스퍼트랜지스터의 게이트 하부로 확산되어 전하 운송 경로상에 장벽 전위가 형성하는 것을 피할 수 있어 전하운송효율의 극대화를 도모할 수 있다.

(57) 청구의 범위

청구항 1.

CMOS 이미지센서의 단위화소에 있어서,

제1도전형의 반도체층 내에 형성된 다수의 확산영역으로 이루어진 포토다이오드와, 상기 반도체층 상부의 소정 부위에 형성된 트랜스퍼트랜지스터의 게이트전극을 구비하며,

상기 포토다이오드는,

상기 게이트전극 에지에 자신들의 일부 에지가 정렬되어 포토다이오드영역의 상기 반도체층 내부에 차례로 적층 형성된 제2도전형의 제1확산영역과 제1도전형의 제2확산영역; 및

상기 게이트전극 측벽에 형성되는 절연막스페이서의 하부의 상기 제1확산영역에서 부터 상기 게이트전극의 하부로 확장되어 형성되며 기판 표면에서부터 일정거리 이격되어 형성된 제2도전형의 베리드 제3확산영역

을 포함하여 이루어진 CMOS 이미지센서의 단위화소.

청구항 2.

CMOS 이미지센서의 단위화소에 있어서,

제1도전형의 반도체층 내에 형성된 다수의 확산영역으로 이루어진 포토다이오드와, 상기 반도체층 상부의 소정 부위에 형성된 트랜스퍼트랜지스터의 게이트전극을 구비하며,

상기 포토다이오드는,

상기 게이트전극 에지에 자신들의 일부 에지가 정렬되어 포토다이오드영역의 상기 반도체층 내부에 적층 형성된 제2도전형의 제1확산영역;

상기 게이트전극 측벽에 형성되는 절연막스페이서의 에지에 자신의 일부에지가 정렬되어 상기 제1확산영역상에 형성되는 제1도전형의 제2확산영역; 및

상기 게이트전극 측벽에 형성되는 절연막스페이서의 하부의 상기 제1확산영역에서 부터 상기 게이트전극의 하부로 확장되어 형성되며 기판 표면에서부터 일정거리 이격되어 형성된 제2도전형의 베리드 제3확산영역

을 포함하여 이루어진 CMOS 이미지센서의 단위화소.

청구항 3.

제1항 또는 제2항에 있어서,

상기 베리드 제3확산영역은 상기 게이트전극 타측에 형성되는 플로팅확산과 펀치(punch)가 발생하지 않는 거리를 유지하는 것을

청구항 4.

제1항 또는 제2항에 있어서,

상기 베리드 제3확산영역과 상기 제1확산영역이 상기 제2확산영역에 의해 완전히 공핍되도록 상기 제1, 제2, 제3 확산영역의 불순물 농도가 조절된 것을 특징으로 하는 CMOS 이미지센서의 단위화소.

청구항 5.

CMOS 이미지센서의 단위화소 제조방법에 있어서,

스페이서가 형성될 영역의 제1도전형 반도체층 내에 국부적으로 제2도전형 베리드 제1확산영역을 형성하는 제1단계;

상기 반도체층 상부에 게이트전극을 형성하는 제2단계;

상기 게이트전극의 일측에지를 포함하는 포토다이오드영역이 오픈되는 마스크를 사용한 이온주입에 의해 상기 반도체층 내에 제2도전형의 제2확산영역 및 제1도전형의 제3확산영역을 적층 형성하는 제3단계; 및

상기 게이트전극 측벽에 절연막스페이서를 형성하는 제4단계

를 포함하여 이루어진 CMOS 이미지센서의 단위화소 제조방법.

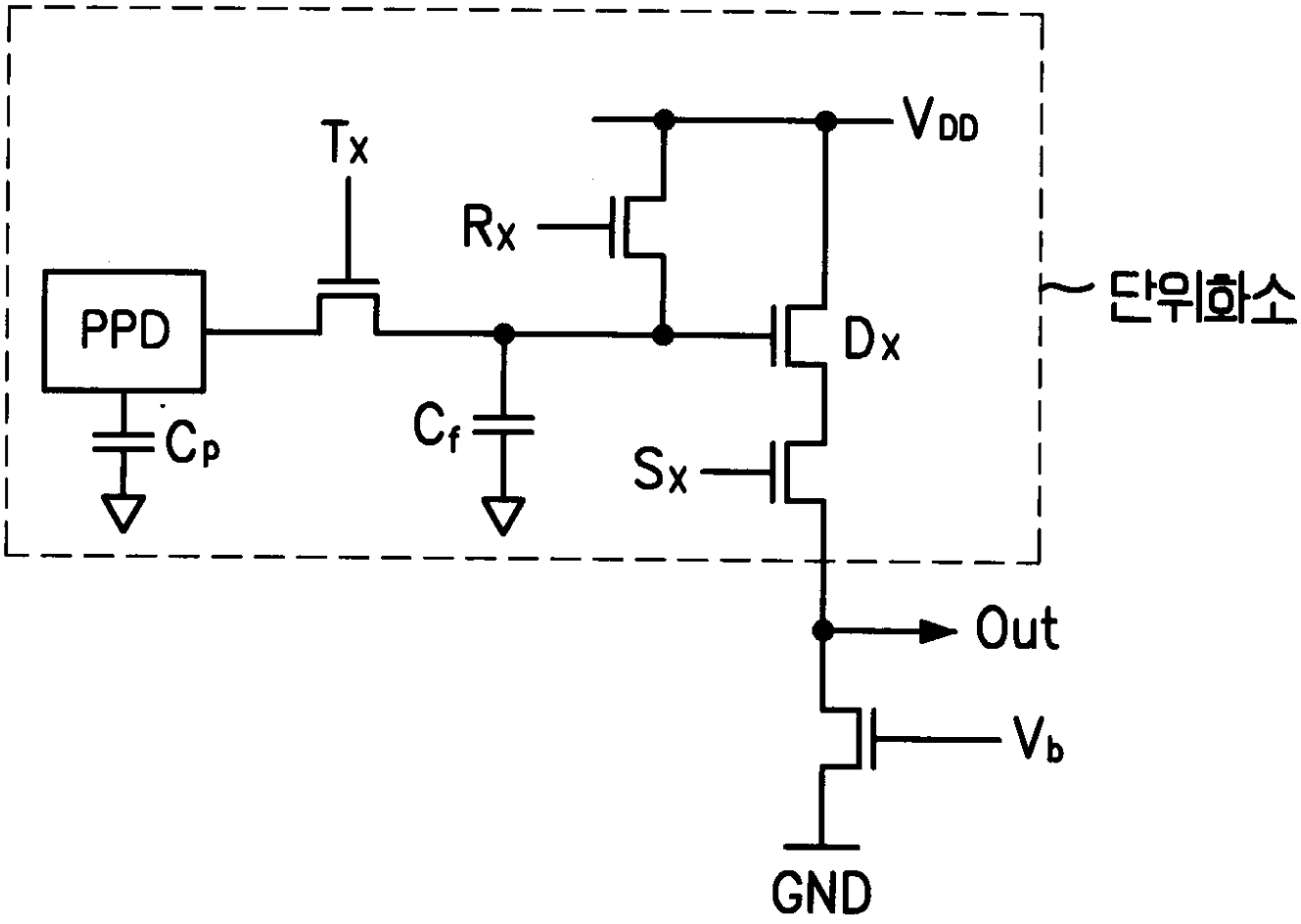
청구항 6.

제5항에 있어서,

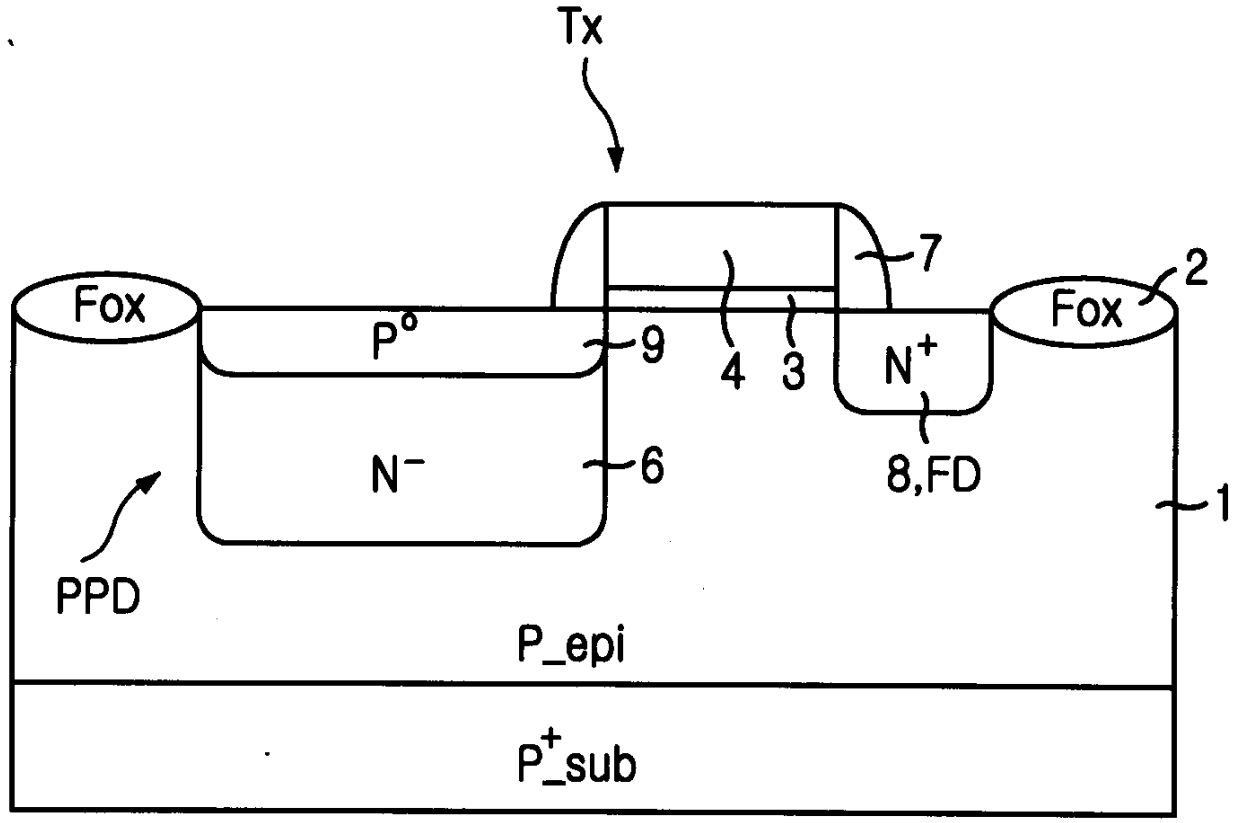
상기 제3단계에서 상기 제3확산영역을 형성하기 위한 이온주입을 경사진 이온주입으로하여, 상기 제3확산영역이 상기 게이트전극 에지로부터 이격되어 형성되도록 하는 것을 특징으로 하는 CMOS 이미지센서의 단위화소 제조방법.

도면

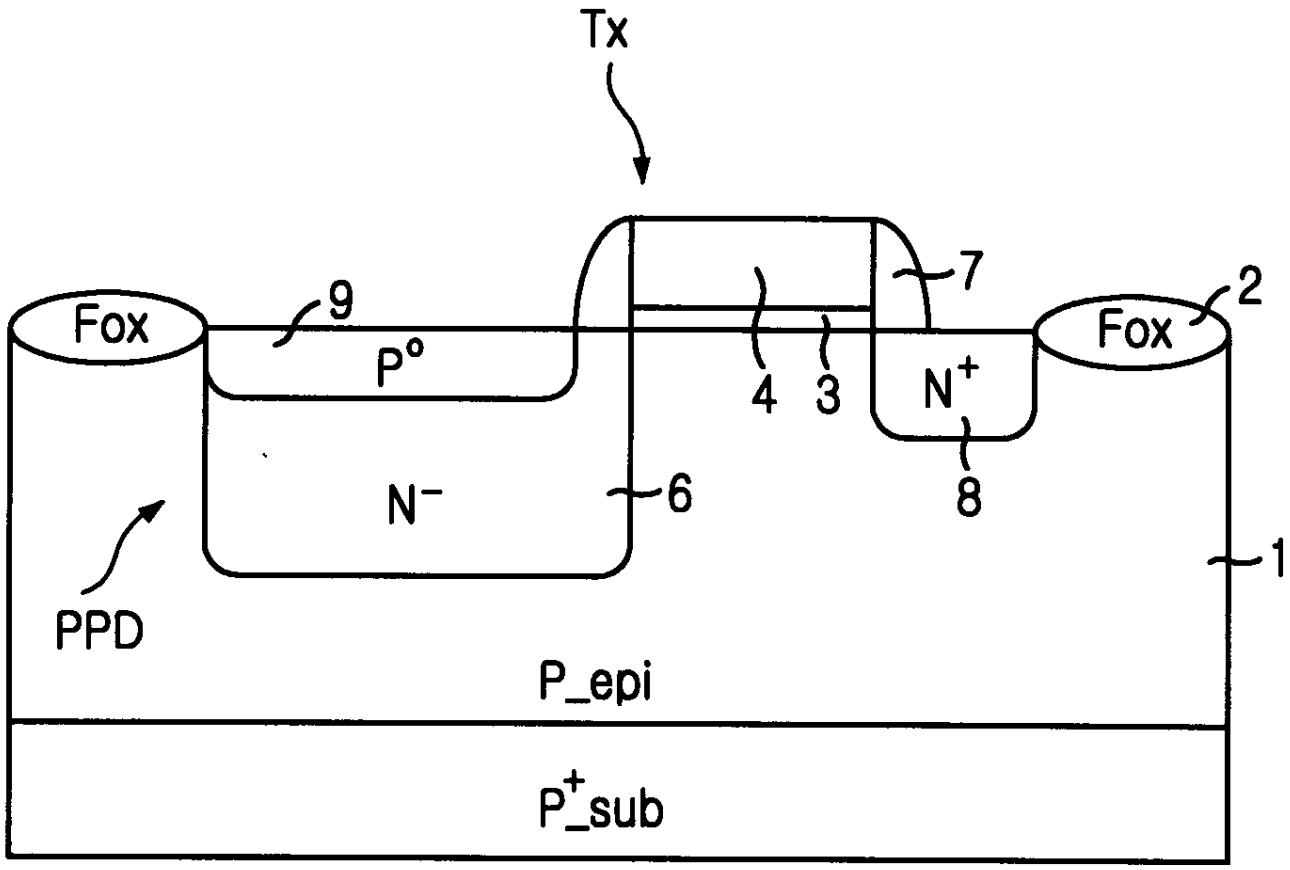
도면 1



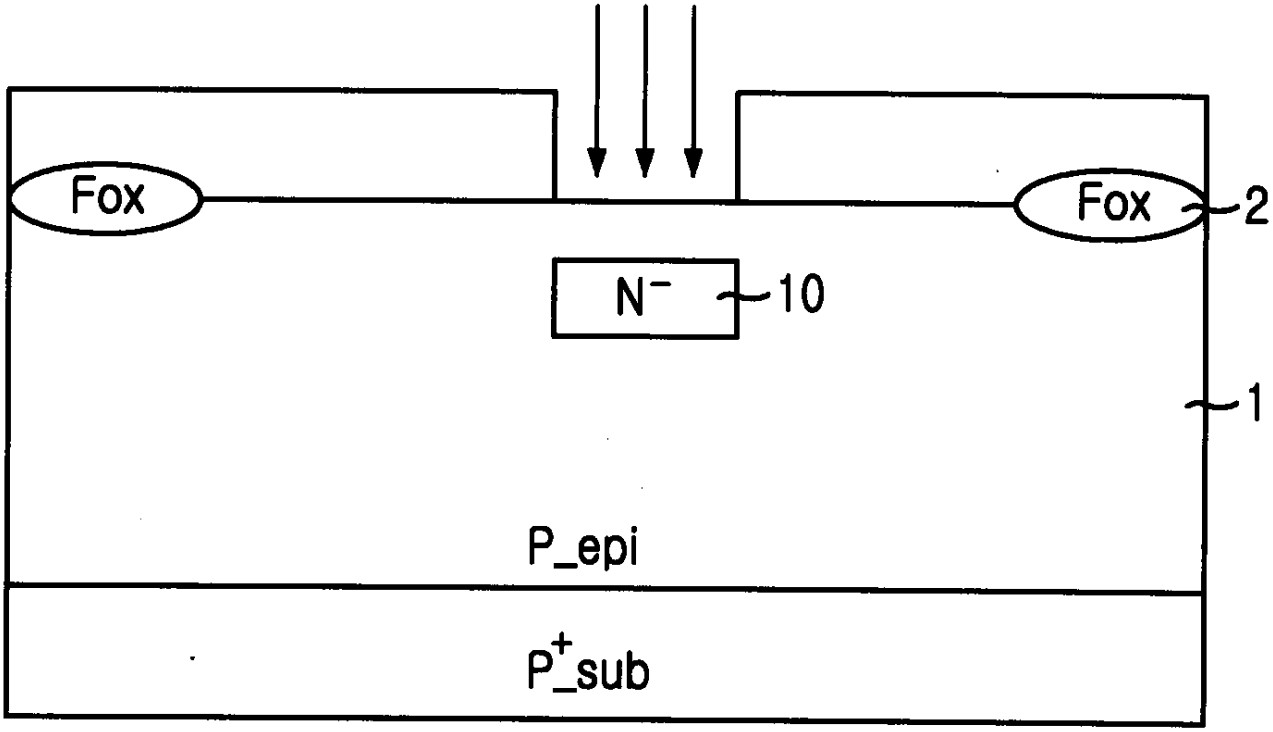
도면 2



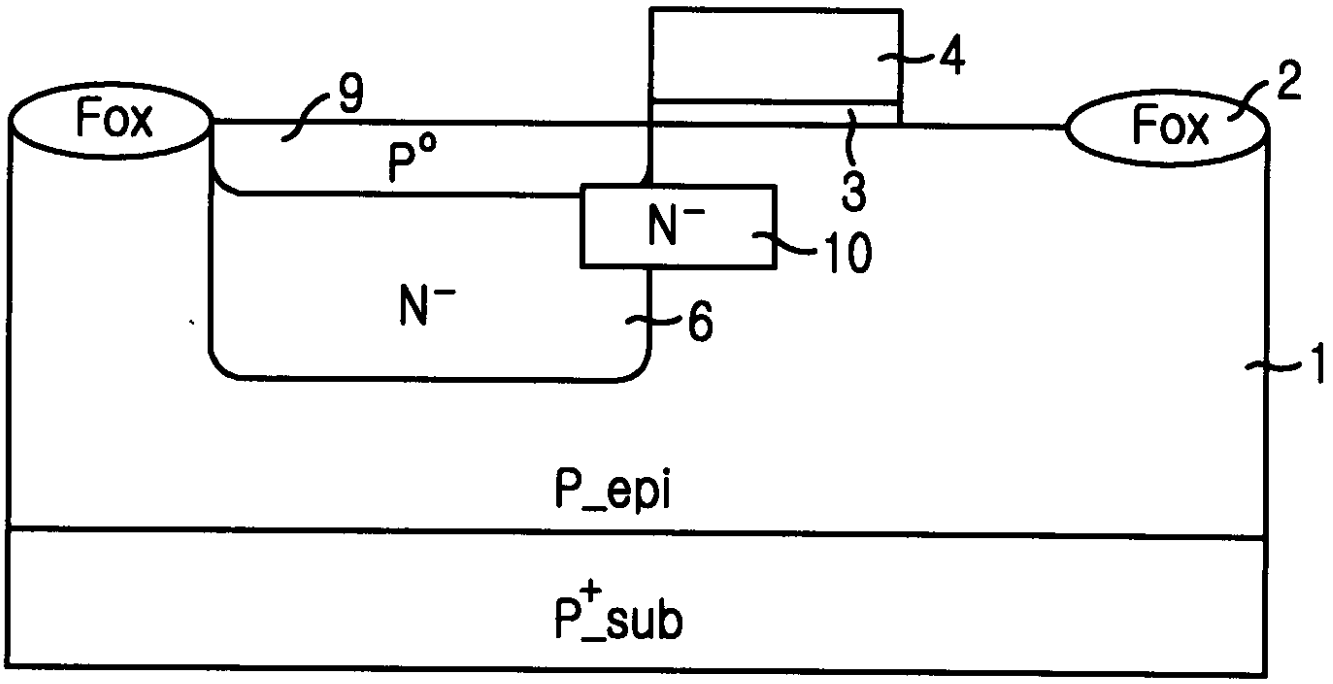
도면 3



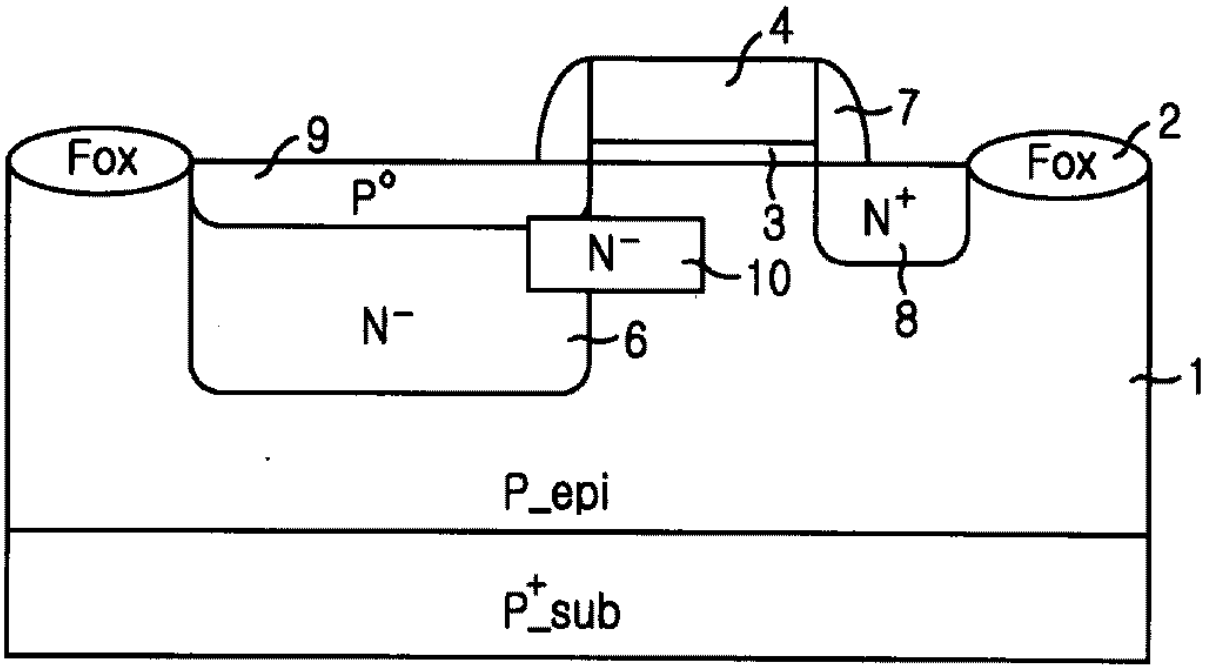
도면 4a



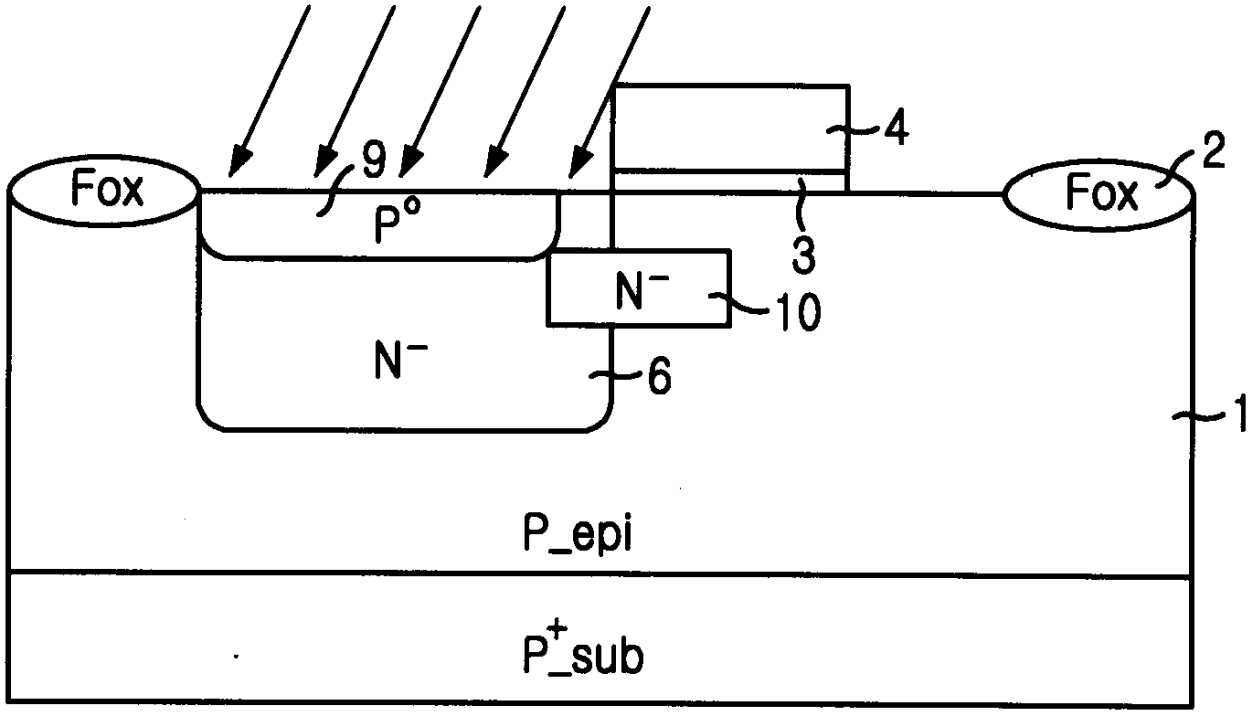
도면 4b



도면 4c


4
7
9
2
Fox
Fox
P°
3
N+
N−
10
N−
6
8
1
P_epi
P+sub

도면 5a


4
9
2
Fox
Fox
P°
3
N−
10
N−
6
1
P_epi
P+sub

도면 5b

