



(12) 发明专利

(10) 授权公告号 CN 101088045 B

(45) 授权公告日 2011.04.13

(21) 申请号 200580044505.7

(22) 申请日 2005.10.18

(30) 优先权数据

11/037,890 2005.01.18 US

(85) PCT申请进入国家阶段日

2007.06.22

(86) PCT申请的申请数据

PCT/US2005/037278 2005.10.18

(87) PCT申请的公布数据

WO2006/078333 EN 2006.07.27

(73) 专利权人 国际商业机器公司

地址 美国纽约

(72) 发明人 马修 · E. · 科尔博恩

伊夫 · C. · 马丁

查尔斯 · T. · 雷特纳

西奥多 · G. · 范 · 克赛尔

荷玛萨 · K. · 维克拉玛辛赫

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 李镇江

(51) Int. Cl.

G03F 7/00 (2006.01)

(56) 对比文件

US 20040096755 A1, 2004.05.20, 说明书第 0052 段至第 0057 段, 第 0061 段, 第 0079 段至第 0087 段, 附图 4A 至 7A.

US 20020115002 A1, 2002.08.22, 全文.

CN 1121189 A, 1996.04.24, 全文.

CN 1376276 A, 2002.10.23, 全文.

崔铮, 陶佳瑞. 纳米压印加工技术发展综述. 世界科技研究与发展 26 1. 2004, 26 (1), 第 7 至第 12 页.

IBM CORP., REGISTERABLE MULTILAYER MASK FABRICATION TECHNIQUE. IBM TECHNICAL DISCLOSURE BULLETIN 27 1B. 1984, 27 (1B), 686-688.

审查员 周明新

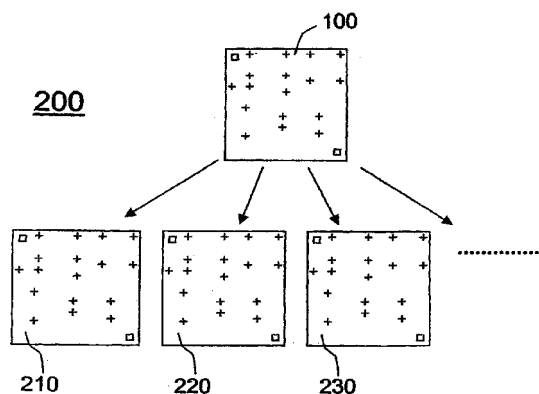
权利要求书 2 页 说明书 5 页 附图 5 页

(54) 发明名称

用于多层或多图案套准的压印参考模板及其方法

(57) 摘要

一种形成多个掩膜的方法 (以及结果结构), 包括: 创建参考模板, 使用压印光刻在用于给定芯片组的所有多个掩膜空白上印刷至少一个参考模板对准标记, 并在所述多个掩膜空白的每一个上印刷子图案, 并且将子图案与所述至少一个参考模板对准标记对准。



1. 一种形成多个掩膜的方法，包括：
创建包含一个或多个对准标记的参考模板；
使用压印光刻在用于给定芯片组的所有多个掩膜空白上印刷至少一个参考模板对准标记；和
在所述多个掩膜空白的每一个上印刷子图案，并且将所述子图案与所述至少一个参考模板对准标记对准。
2. 如权利要求 1 的方法，其中所述创建步骤包括使用电子束光刻创建参考模板。
3. 如权利要求 1 的方法，其中提供多个对准标记。
4. 如权利要求 1 的方法，其中所述印刷子图案的步骤包括使用电子束光刻和压印光刻中的至少一个。
5. 如权利要求 1 的方法，其中为所述芯片组的所述掩膜的每一个使用相同的参考模板。
6. 如权利要求 1 的方法，其中所述掩膜上的对准标记具有与将印刷到所述芯片上的对准标记相同的尺寸，并且位于与将印刷到所述芯片上的对准标记相同的位置。
7. 如权利要求 1 的方法，其中所述至少一个参考模板对准标记被用于光学对准标记，并且被用于构成所述掩膜图案的子阵列成分。
8. 如权利要求 1 的方法，其中所述至少一个参考模板对准标记被用于电子束对准，并且被用于构成所述掩膜图案的子阵列成分。
9. 如权利要求 1 的方法，其中所述至少一个参考模板对准标记被用于直接写光学对准，并且被用于构成所述掩膜图案的子阵列成分。
10. 如权利要求 1 的方法，其中所述至少一个参考模板标记包括框和十字中的任意一个。
11. 如权利要求 1 的方法，其中所述参考模板包括用于纳米压印光刻的玻璃模子、石英模子、蓝宝石模子和硅模子中的一个。
12. 如权利要求 1 的方法，还包括在用于每个芯片的每层的掩膜空白内传播所述模板的所述至少一个对准标记。
13. 如权利要求 12 的方法，其中所述传播步骤包括纳米压印光刻。
14. 如权利要求 1 的方法，其中每个芯片的每层包括分组成子阵列的图案，并且
其中使用光学光刻、电子束光刻和纳米压印光刻中的至少一个在包含所述对准标记的每个掩膜上形成所述分组子阵列的图案，并且
其中所述对准标记允许每个子阵列的精确对准，
其中在每层掩膜上所述对准标记的放置是相同的。
15. 一种用于形成多个掩膜的系统，包括：
包含一个或多个对准标记的参考模板；
光刻系统，使用压印光刻在用于给定芯片组的所有多个掩膜空白上印刷至少一个参考模板对准标记；和
印刷机，在所述多个掩膜空白的每一个上印刷子图案，并且将所述子图案与所述至少一个参考模板对准标记对准。
16. 如权利要求 15 的系统，其中提供多个对准标记。

17. 如权利要求 15 的系统，其中将所述参考模板用于所述芯片组的所述掩膜的每一个。

18. 如权利要求 15 的系统，其中所述掩膜上的对准标记具有与将印刷到所述芯片上的对准标记相同的尺寸，并且位于与将印刷到所述芯片上的对准标记相同的位置。

19. 如权利要求 15 的系统，其中所述至少一个参考模板对准标记被用于光学对准标记，并且被用于构成所述掩膜图案的子阵列成分。

20. 如权利要求 15 的系统，其中所述至少一个参考模板对准标记被用于电子束对准，并且被用于构成所述掩膜图案的子阵列成分。

21. 如权利要求 15 的系统，其中所述至少一个参考模板对准标记被用于直接写光学对准，并且被用于构成所述掩膜图案的子阵列成分。

22. 如权利要求 15 的系统，其中所述至少一个参考模板对准标记包括框和十字中的任意一个。

23. 如权利要求 15 的系统，其中所述参考模板包括用于纳米压印光刻的玻璃模子、石英模子、蓝宝石模子和硅模子中的一个。

24. 如权利要求 15 的系统，其中每个芯片的每个层包括分组成子阵列的图案，并且其中使用光学光刻、电子束光刻和纳米压印光刻中的至少一个在包含所述对准标记的每个掩膜上形成所述分组子阵列的图案，并且

其中所述对准标记允许每个子阵列的精确对准，
其中在每层掩膜上所述对准标记的放置是相同的。

用于多层或多图案套准的压印参考模板及其方法

技术领域

[0001] 本发明一般地涉及压印参考模板及其方法，并且更具体地，涉及用于多层或多图案套准 (registration) 的压印参考模板及其方法。

背景技术

[0002] 用于压印光刻 (并且一般地，用于所有类型的光刻) 的掩膜制作涉及用将通过光刻处理转印到硅晶片上的图案蚀刻模子 (或光罩或掩膜)。

[0003] 因为一层接一层地构建芯片，图案的精确的几何套准是至关重要的。每个芯片层是以光刻定义的图案，其必须在整个芯片区域上的微小公差内套准先前层的图案。在当前的半导体工业中，该公差往往小于 30 纳米 (nm)。

[0004] 由于这个微小的公差要求，制作用于芯片的每层的一组掩膜需要高的尺寸精度。必须在整个掩膜上保持这个精度。

[0005] 从必须正确放置以连续掩膜印刷的组成元件的意义上来说，掩膜内的套准是至关重要的。将半导体设备想象为一堆硬币是有用的。在这个例子中，每个光刻掩膜层和相关联的处理，印刷一个硬币。在若干层后，希望获得堆叠的硬币。如果将硬币想象为具有 50nm 的特征尺寸，显然为了形成自立式 (free standing) 的堆，堆内的任何给定硬币的横向偏移必须在任何方向上小于 50nm 的特征尺寸。典型的公差是特征尺寸的 20-40%。在这个例子中，这相应于 20nm。

[0006] 进一步扩展该示例，在芯片中，希望在整个芯片表面上具有多个这样的硬币堆，从而每个堆都同样完美。在 2cm 芯片的情况下，这相应于任意方向的在 2cm 的距离上的 20nm 的长范围误差，或百万分之一。在该示例中值得注意，最关键的不是给定的堆位于特定的位置，而是堆中的所有硬币被同样地放置在给定堆所位于的位置内。换言之，如果堆位置具有某个误差，则只要堆内的所有硬币精确地具有相同的位置误差，就是可容忍的。

[0007] 从制作的角度看，问题是设备的各个组件 (例如以多个层制造) 应当被正确地放置。

[0008] 典型地以电子束光刻工具写掩膜。电子束光刻使用电子束对光刻胶聚合物曝光，光刻胶聚合物随后被显影，以便显露出最后被蚀刻到掩膜或模板内的特征，以便稍后用于压印或光刻。根据被写的线的尺寸精度和它们放置在掩膜或模板上的准确性判断这些工具的性能。此处示例地讨论后者。电子束光刻工具通常限于尺寸范围可以为几毫米到 10 厘米的掩膜上的 30nm 的套准准确性。然而，在局部区域内，公差通常好得多。

[0009] 特别地，多种因素允许局部区域内的电子束特征放置公差更好，包括工作台 (stage) 的动作。在电子束列的局部视野内，放置准确性可以好得多。特征套准准确性根据工具的不同而改变，但是一般地与必须移动工作台并且缝合 (stitch) 图案的大区域相比，不需要工作台动作并且位于视野的中心的小区域可以被更准确地印刷。

[0010] 因此，在电子束印刷工具中，当希望得到 50nm 或更小的特征尺寸时存在问题。

例如，如果使用电子束工具，并且以可以多好地将芯片一侧上的点套准到芯片的另一部分（1-2cm 的距离）进行判断，就绝对意义而言，它不是非常好。实际上，这个距离上的特征放置准确性可能比 30nm 差。

[0011] 然而，在短的距离上，该准确性可以在大约 1nm 内。虽然 30nm 可能显得不是很大（其中当前基本准则为 50nm 以及总对准预算为大约 20nm），但是甚至在开始处理之前就可能耗尽了整个预算。

[0012] 因此，在本发明之前，没有提供相应于 50nm 基本准则的足够的多层或多图案套准的方法。

发明内容

[0013] 鉴于传统方法和结构的上述和其它示例问题、缺点和不足，本发明的一个示例特征是提供一种用于制作掩膜的方法（和结构），其采用参考模板放置参考标记，可以相对于该参考标记对准子图案。

[0014] 在本发明的第一个方面，一种形成多个掩膜的方法，包括：创建参考模板，使用压印光刻在用于给定芯片组的所有多个掩膜空白上印刷至少一个参考模板对准标记，并且在所述多个掩膜空白的每一个上印刷子图案，并且将子图案与所述至少一个参考模板对准标记对准。

[0015] 因此，本发明提供了掩膜制造的方法，其采用参考模板放置参考标记，可以相对于所述参考标记对准子图案。通过为构成芯片组的光刻掩膜的每一个使用相同的参考模板，可以改进放置准确性。

[0016] 在一个示例的非限制性实施例中，掩膜制作步骤包括使用电子束光刻创建参考模板。然后，使用压印光刻在用于给定芯片组的所有掩膜空白上印刷参考模板对准标记。最后，使用电子束或压印光刻在每个掩膜空白上印刷子图案，并且将其与所述的参考模板对准标记对准。

[0017] 压印光刻本质上是 1X 处理。另外，压印光刻忠实地再现掩膜图案，通常到分子尺寸。即，在本申请的上下文中，压印掩膜（或模子）上的特征与印刷在芯片上的特征大小相同，并且位于与印刷在芯片上的特征相同的位置。

[0018] 在本发明的示例实施例中，创建带有用于子图案的对准标记的参考模板，然后将其用于在形成芯片组的所有后续掩膜上印刷这些标记。

[0019] 因此，本发明提供小图案（“钩子”）或套准图案（可将特征挂在其上），从而本发明提供局部参考，以便能够进行精度高得多的套准。因此，所有掩膜的所有区域被与相同的子图案参考掩膜对准。使用压印光刻，可以在子图案套准中实现 5-10nm 的对准准确度。

[0020] 因此，如果使用压印光刻印刷图案，在给定掩膜对准的情况下的层到层的子图案套准准确性和子图案对准误差在最好的情况下将是（首位） $\sqrt{5} + \sqrt{5}$ 或近似为 7nm。这与 35nm 的基本准则一致。当前，90nm 是基准。

[0021] 因此，准确地传播到一组掩膜的每一个上的模板提供了每个掩膜上的子图案的准确套准。使用压印光刻在所有掩膜上再现相同的参考模板的事实使得这是可能的。注意，可以按各种情况的要求，使用压印或电子束印刷子图案。

附图说明

[0022] 从下面参考附图对本发明的示例实施例的详细描述中，将更好地理解上述和其它示例的目的、方面和优点，其中：

[0023] 图 1 示出了具有套准标记 110 的参考模板 100；

[0024] 图 2 示出了用于为每个层掩膜 210、220、230 等复制套准标记的结构 200；

[0025] 图 3 示出了用于为每个掩膜增加子阵列图案的结构 300 的使用；

[0026] 图 4 示出了根据本发明的方法 400 的流程图；和

[0027] 图 5 示出了用于形成多个掩膜的系统 500 的功能方框图。

具体实施方式

[0028] 现在参考附图，并且更具体地，参考图 1-5，其中示出了根据本发明的方法和结构的示例实施例。

[0029] 典型实施例

[0030] 本发明人认识到上述传统方法和问题的重要暗示是难以或不可能使用涉及电子束的传统方法两次写相同的掩膜。另外，使用传统的光刻在掩膜上印刷主图案可能给该问题混入放大和其它失真误差。由于这个原因，本发明使用压印光刻。

[0031] 压印光刻指这样的处理，其中将特征蚀刻在形成浮雕图案的模板或模子内。给衬底施加光刻胶聚合物，并且将模子压入该聚合物。通常使用透明材料诸如石英制作模子。光穿过模子或衬底以固化光刻胶，并且去除模子，在固化的光刻胶内留下掩膜特征的互补图案。随后蚀刻该光刻胶，以便将图案转印到衬底上。

[0032] 压印光刻处理的一个关键属性是从一次印刷到下一次印刷，模子非常准确地在尺寸方面，并且在本上下文中最重要的是在放置准确性方面，再现特征。通过适当地注意温度，采用压印光刻可以获得纳米级的长范围准确性。

[0033] 注意，可以用类似于上述的许多不同形式实践压印光刻。因此，本发明一般地使用压印光刻，并且特别是适用于本发明的刚性模子的使用。

[0034] 图 1 示出了用于本发明的模板 100。模板 100 具有至少一个套准标记 110（优选地多个套准标记），既用于光学对准标记，又用于构成掩膜图案的子阵列成分。

[0035] 标记（多个）110 可以是任意一个或多个框、将线或为下面描述的子阵列图案的最佳对准选择的任意类型的对准标记。图 1 示出了用于纳米压印光刻的正方形玻璃模子的例子。可以为模板 100 使用其它材料，诸如石英、蓝宝石等。

[0036] 如图 2 中所示，为每个层将模板 100 的标记（多个）110 忠实地传送（印刷）到掩膜衬底 210、220、230 等。虽然各种类型的光刻（例如，光学、直接写光学或电子束）可用于该处理，纳米压印理想地适合于此目的，这是由于标记被忠实地复制到将成为用于芯片的每层的掩膜的子模子内。

[0037] 转到图 3，产生用于每层的子阵列图案 300A、300B、300C，并且将它们与参考模板（210、220 或 230）对准。

[0038] 每层包含被放置并且相对于该示例中的相应的对准模板（210、220 或 230）对准的图案 300A、300B、300C 之一。图 3 示出了 300A、300B 和 300C 的每一个内的多个子

图案。每个单独的子图案被与参考图案对准。在实际的微处理器芯片中，每个子图案区域可以相应于一个功能组，诸如高速缓存存储器、CPU 等。从掩膜到掩膜，相应的子图案相应于功能组的单独成分，诸如晶体管栅极、接触等。使用某种类型的光刻处理，例如，光学、电子束或纳米压印光刻，将这些形成在包含套准标记（多个）110 的每个掩膜上。

[0039] 因此，为每个掩膜添加子阵列图案。套准标记（多个）允许进行每个子阵列的精确对准。

[0040] 来自相同的模板 100 的套准标记的产生和传送提供一组完全相同的掩膜衬底 210、220、230 等（出于本发明的目的，“完全相同”的含义是相对于任意其它掩膜衬底，在给定的掩膜衬底内相同地定位特征和形成特征的大小，从而如果可以将每个掩膜模板的图案放置在另一个掩膜模板的图案的顶部并与其对准，不会观察到不同）。每层掩膜上的套准标记（多个）的放置相同。使用这些标记（多个）允许为每层精确定位每个子阵列图案 300A、300B、300C 等。

[0041] 通过纳米压印传送标记具有许多优点。例如，使用相同的光刻处理产生掩膜和晶片在成本上是有效的。因此，采用为大规模光刻开发的工艺装置 (tooling) 和技术。

[0042] 另外，与使用可变放大倍数的光刻技术相比，“按尺寸”（例如，1X 放大倍数）传送标记更可靠。即，不会由任何放大等给成像处理引入失真。

[0043] 另外，使用压印光刻，典型地不需要相对“写位置”的校准或调整，诸如在电子束光刻中所需要的。

[0044] 另外，通过纳米压印可以得到比通过当前的光学光刻更高的分辨率。特别地，5nm 特征的压印光刻已经得以证实。

[0045] 现在转到图 4，将描述根据本发明的方法 400 的流程图。

[0046] 特别地，在步骤 410，使用例如电子束光刻创建参考模板。

[0047] 然后，在步骤 420，使用压印光刻在用于给定芯片组的所有掩膜空白 (blank) 上印刷至少一个（并且更优选地，多个）参考模板对准标记（多个）。

[0048] 最后，在步骤 430，使用例如电子束或压印光刻在每个掩膜空白上印刷子图案，并且将其与参考模板对准标记（多个）对准。

[0049] 图 5 示出了用于形成多个掩膜的系统，包括创建包含一个或多个对准特征的参考模板的参考模板构造单元 510。

[0050] 使用光刻系统 520（例如，电子束光刻或压印光刻）在用于给定芯片组的所有多个掩膜空白上印刷参考模板的至少一个拷贝。

[0051] 之后，印刷单元 530 在所述多个掩膜空白的每一个上印刷子图案，并且将子图案与所述至少一个参考模板对准标记对准。

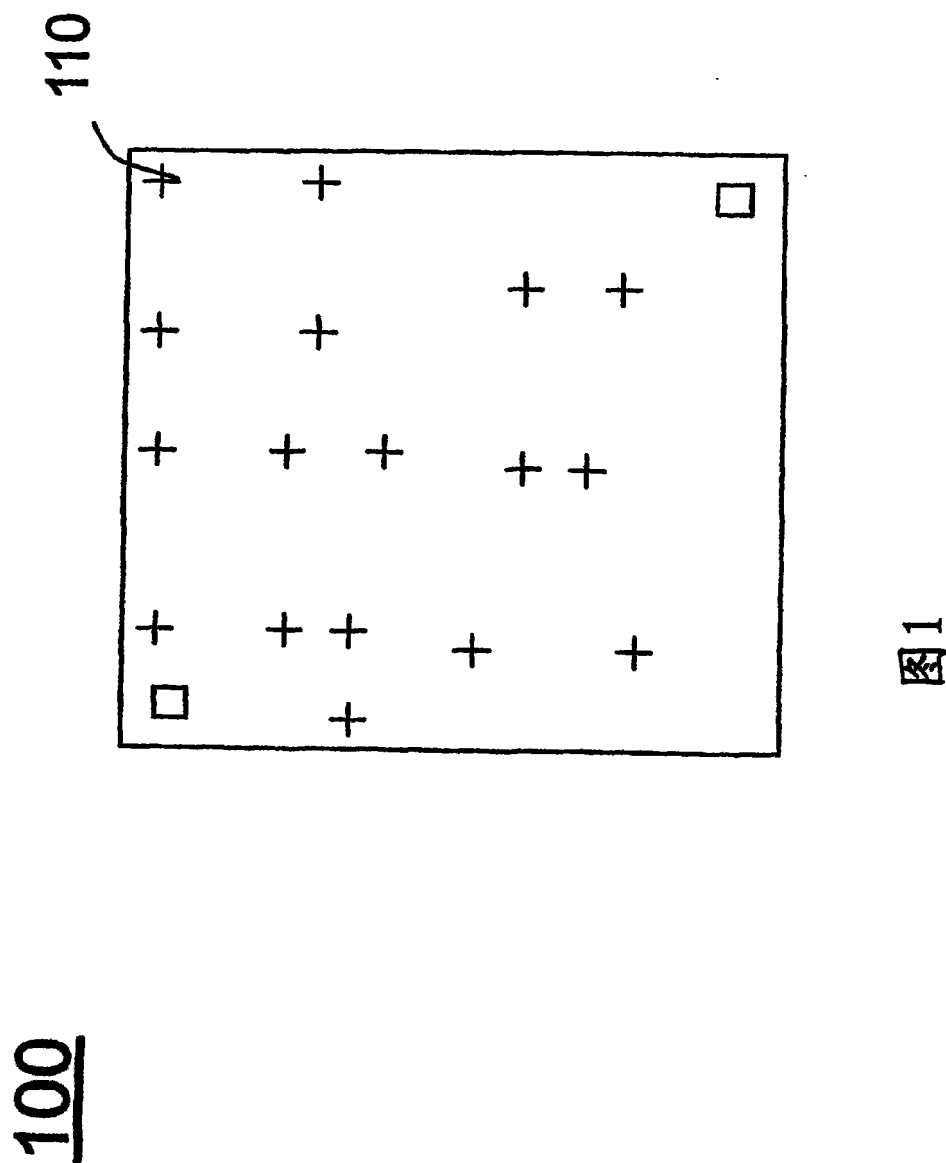
[0052] 如从上述清楚可知，本发明在制作掩膜方面是有利的，而且在芯片制作方面也是有利的（例如，在芯片上组装多个层）。因此，本发明可以提供水平平面和垂直平面两者内的套准。采用参考图案（多个），可以更准确地制作给定的层，或可以更准确地制作（例如，多层芯片的）后续层。

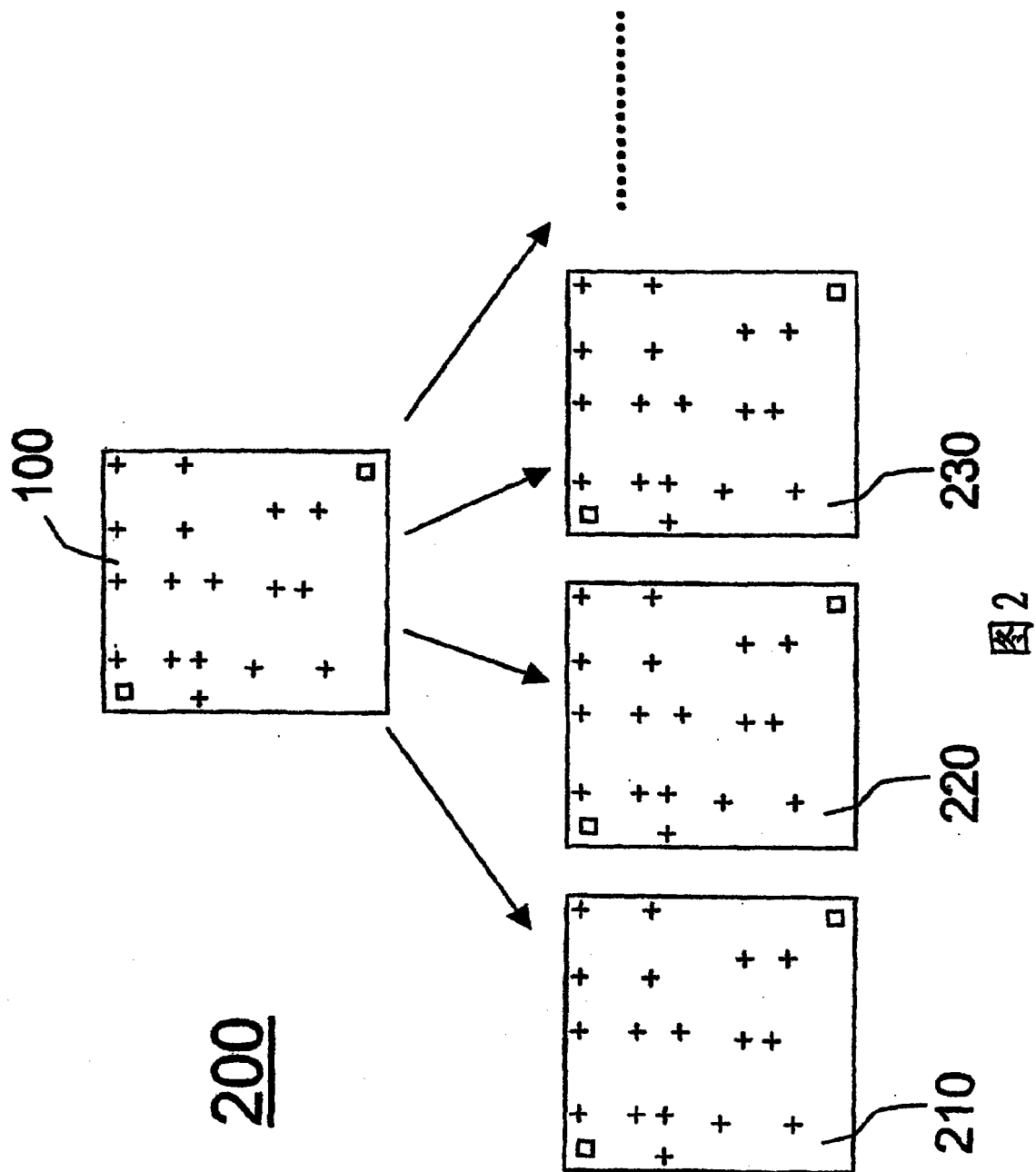
[0053] 注意，不必将参考图案严格地安排在网格图案或用于此的任意预定图案内，而是可以具有适合于正构造的芯片或设备的任意图案。

[0054] 虽然已经根据若干示例实施例描述了本发明，本领域的技术人员将认识到，可以用所附权利要求的精神和范围内的修改实现本发明。

[0055] 另外注意，申请人旨在包括所有权利要求元素的等同物，即使以后在申请进展程序 (prosecution) 中被修改。

[0056] 特别注意，在本说明书中使用术语“对准标记”或“对准特征”来指用于执行后续对准的任意标记或特征。十字线、“L”图案、框等是典型的形式，但是不意味着是无遗漏的。





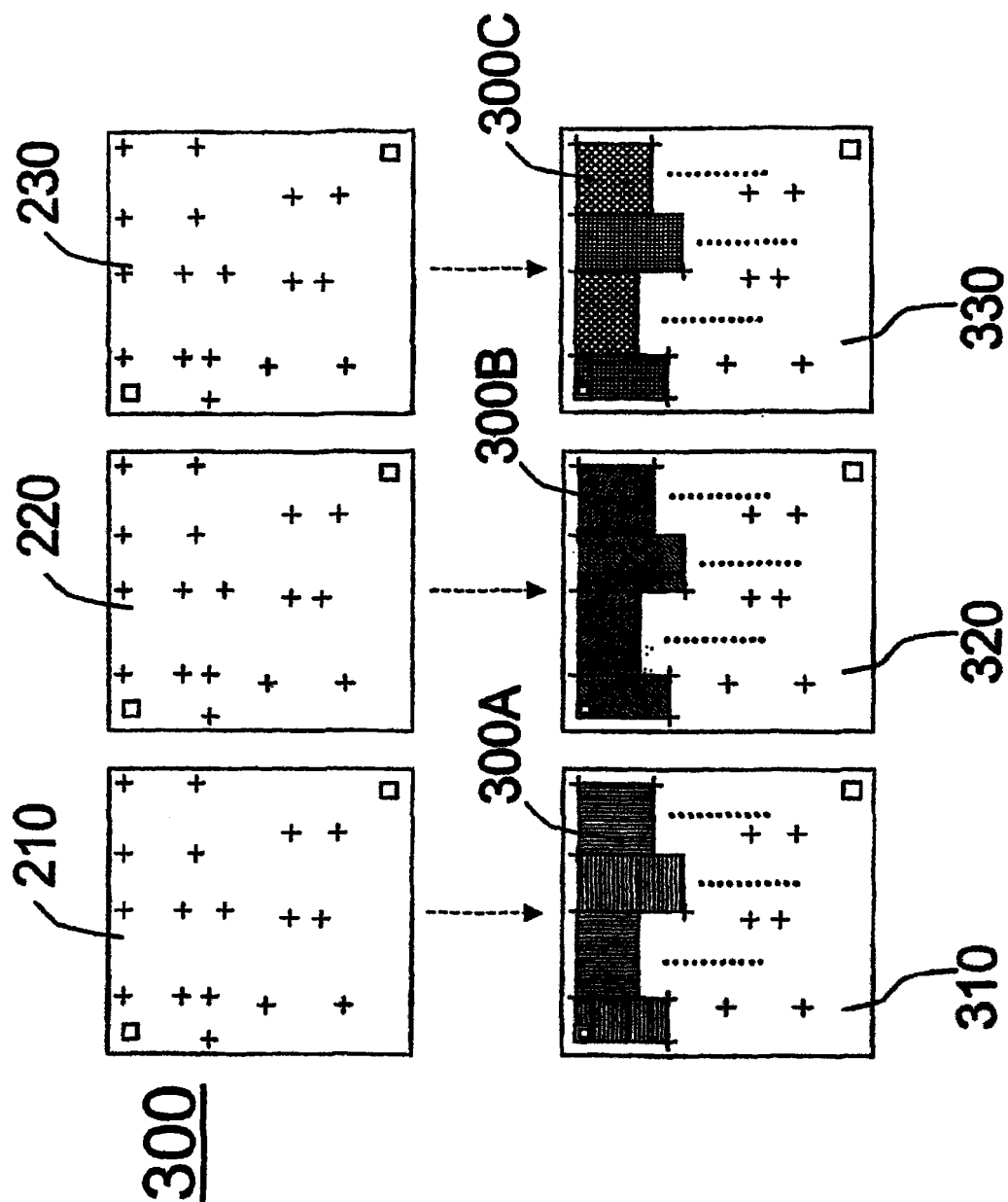


图3

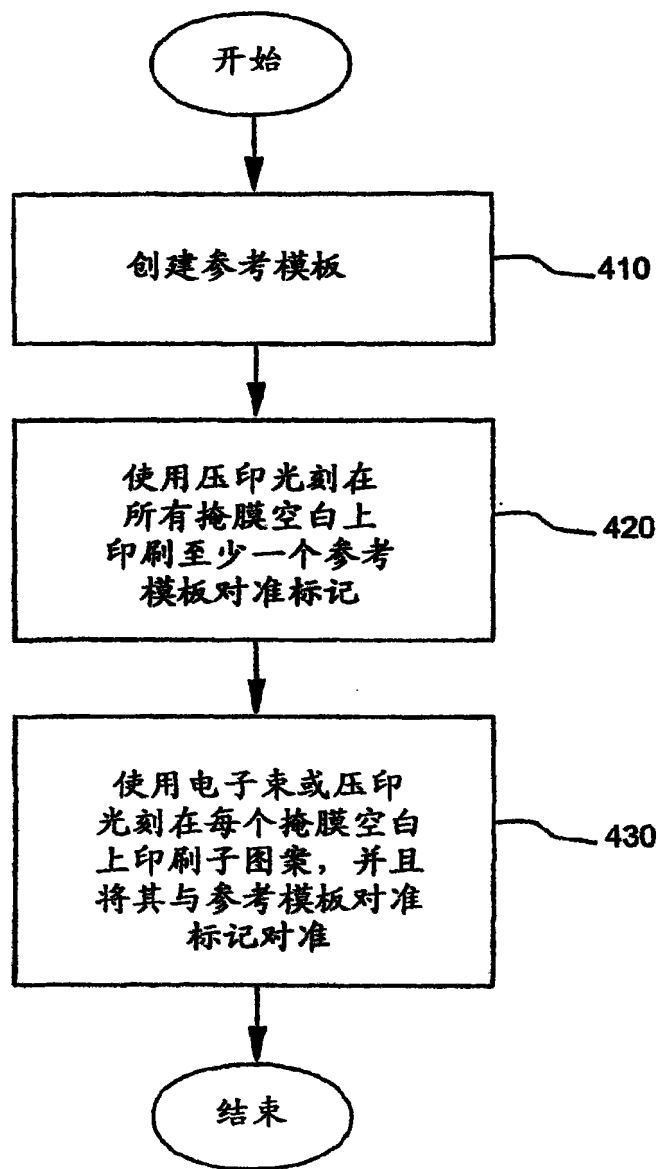
400

图 4

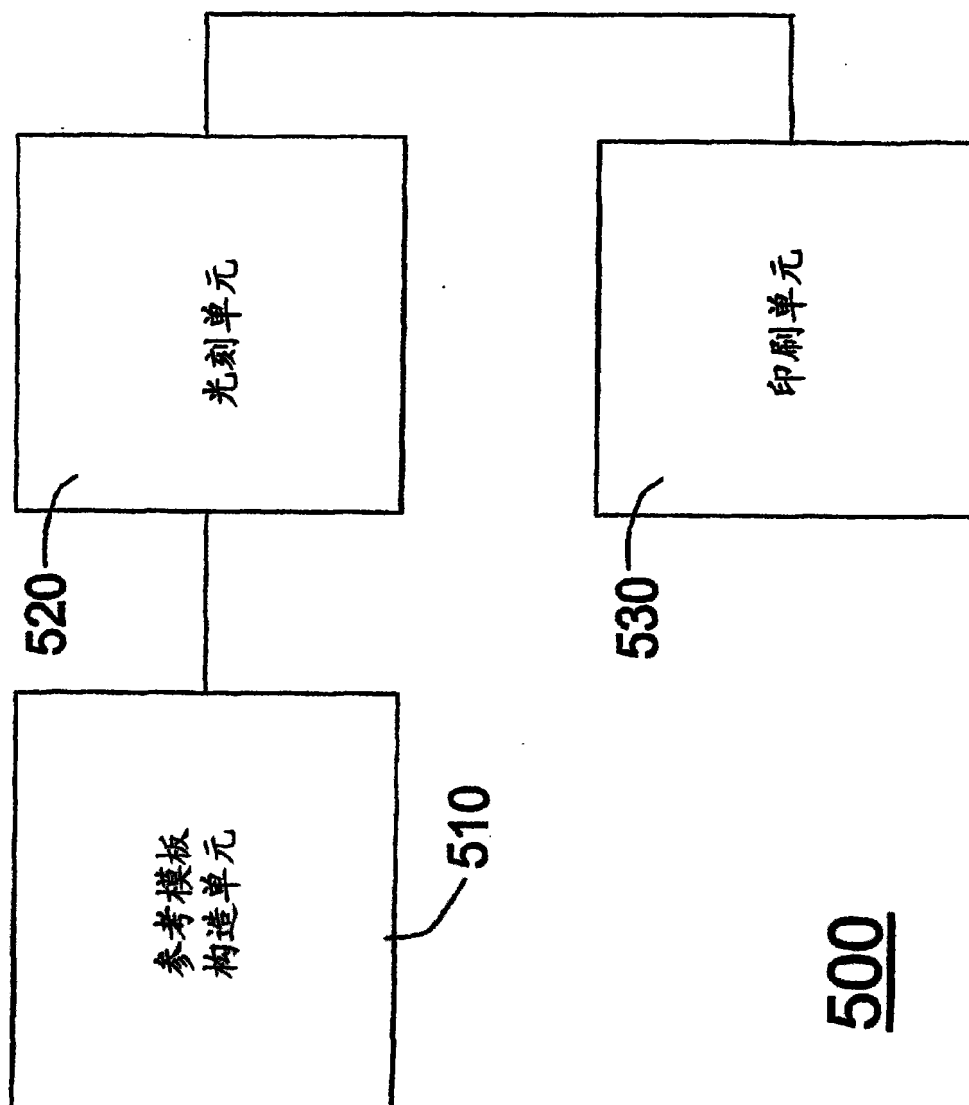


图5