

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2020年2月27日(27.02.2020)



(10) 国際公開番号

WO 2020/039996 A1

(51) 国際特許分類:  
H01L 21/8244 (2006.01) H01L 27/102 (2006.01)  
H01L 21/28 (2006.01) H01L 27/11 (2006.01)  
H01L 21/8229 (2006.01) H01L 29/417 (2006.01)

(21) 国際出願番号: PCT/JP2019/031825

(22) 国際出願日: 2019年8月13日(13.08.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2018-155658 2018年8月22日(22.08.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 富田 学(TOMITA Manabu); 〒2430014  
神奈川県厚木市旭町四丁目14番1号  
ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

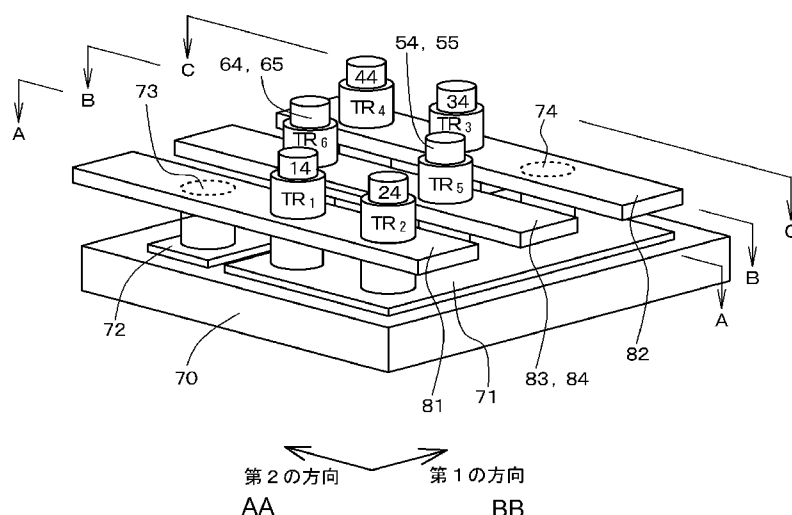
(74) 代理人: 山本 孝久, 外(YAMAMOTO Takahisa et al.); 〒1410032 東京都品川区大崎4丁目3番2号 秋葉ビル301号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: MEMORY CELL AND CMOS INVERTER CIRCUIT

(54) 発明の名称: メモリセル及びCMOSインバータ回路

図1



AA Second direction  
BB First direction

(57) Abstract: A memory cell configured of: a flip flop circuit configured of a first CMOS inverter circuit that comprises a first A transistor TR<sub>1</sub> and a first B transistor TR<sub>2</sub>, and a second inverter circuit that comprises a second A transistor TR<sub>3</sub> and a second B transistor TR<sub>4</sub>; and two transfer transistors TR<sub>5</sub>, TR<sub>6</sub>. The first A transistor TR<sub>1</sub> and the second A transistor TR<sub>2</sub> are connected to a common first power supply line 91, and the first B transistor TR<sub>3</sub> and the second B transistor TR<sub>4</sub> are connected to a common second power supply line 92.

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,  
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

---

(57) 要約: メモリセルは、第1Aトランジスタ $TR_1$ 及び第1Bトランジスタ $TR_2$ から成る第1のCMOSインバータ回路、及び、第2Aトランジスタ $TR_3$ 及び第2Bトランジスタ $TR_4$ から成る第2のインバータ回路から構成されたフリップフロップ回路、並びに、2つの転送トランジスタ $TR_5$ ,  $TR_6$ から構成されており、第1Aトランジスタ $TR_1$ 及び第2Aトランジスタ $TR_2$ は共通の第1の電源線91に接続されており、第1Bトランジスタ $TR_3$ 及び第2Bトランジスタ $TR_4$ は共通の第2の電源線92に接続されている。

## 明 細 書

発明の名称： メモリセル及びCMOSインバータ回路

### 技術分野

[0001] 本開示は、メモリセル、具体的にはSRAM (Static Random Access Memory) から成るメモリセル及びCMOSインバータ回路に関する。

### 背景技術

[0002] ナノワイヤー又はナノチューブから構成されたチャネル形成領域を有するpMOSトランジスタ及びnMOSトランジスタから構成されたCMOSインバータ回路を備えた半導体装置が、例えば、特開2008-205168号公報から周知である。この特許公開公報に開示されたCMOSインバータ回路において、nMOSトランジスタ及びpMOSトランジスタのドレインは、それぞれ、半導体基板表面に形成されたn型不純物領域及びp型不純物領域から成り、n型不純物領域とp型不純物領域との間は、n型不純物領域とp型不純物領域とをオーミック接続する接続領域を介してオーミック接続され、ナノワイヤー又はナノチューブは、n型不純物領域及びp型不純物領域上にそれぞれ立設され、nMOSトランジスタ及びpMOSトランジスタのソースは、ナノワイヤー又はナノチューブの上端に形成され、nMOSトランジスタ及びpMOSトランジスタのゲート電極は、ゲート電極配線によって接続されている。ここで、ゲート電極は、ナノワイヤー又はナノチューブの周囲をゲート絶縁膜を介して覆う導電薄膜から成り、ゲート電極からゲート電極配線が延在し、ゲート電極配線上にゲート電極配線と接続されるビアが形成されている。

[0003] また、この特許公開公報には、このCMOSインバータ回路を備えたSRAMメモリセルも開示されている。そして、この特許公開公報の図10(b)には、トランジスタ及びビアの配置が表示されており、トランジスタ及びビアの占める領域の面積を $\Delta^2$ としたとき、1つのSRAMメモリセルの占める領域の面積は、図52Aに示すように、 $36\Delta^2 (= 6\Delta \times 6\Delta)$ となる。

尚、「 $\Delta$ 」のサイズを明示するために図5 2 A及び図5 2 Bにグリッドを併記した。また、図5 2 A及び図5 2 Bにおける参照記号「TR 1」、「TR 2」、「TR 3」、「TR 4」、「TR 5」及び「TR 6」は、後述する本開示における第1 AトランジスタTR<sub>1</sub>、第1 BトランジスタTR<sub>2</sub>、第2 AトランジスタTR<sub>3</sub>、第2 BトランジスタTR<sub>4</sub>、第1の転送トランジスタTR<sub>5</sub>及び第2の転送トランジスタTR<sub>6</sub>と同じトランジスタを意味し、符号「A」は、後述する本開示のメモリセルにおける第1のゲート電極・接続部7 3に相当し、符号「B」は、後述する本開示のメモリセルにおける第2のゲート電極・接続部7 4に相当し、符号「C」は、後述する本開示のメモリセルにおける接続孔5 4, 5 5に相当し、符号「D」は、後述する本開示のメモリセルにおける接続孔6 4, 6 5に相当する。

## 先行技術文献

## 特許文献

[0004] 特許文献1：特開2 0 0 8－2 0 5 1 6 8号公報

## 発明の概要

## 発明が解決しようとする課題

[0005] ところで、図5 2 Aあるいはこの特許公開公報の図1 0 (b)に図示されているように、ゲート電極配線1 5 A, 1 5 B, 1 5 C, 1 5 Dの一部は斜め方向に形成されている。しかしながら、現実には、トランジスタの微細化に伴い、このような斜め方向の配線の形成は困難となる。図5 2 Aあるいはこの特許公開公報の図1 0 (b)に図示されたゲート電極配線1 5 A, 1 5 B, 1 5 C, 1 5 Dを縦方向及び横方向に延びるような現実的に形成可能な配線とした場合、図5 2 Bに示すように、1つのSRAMメモリセルの占める領域の面積は、 $48\Delta^2 (=6\Delta \times 8\Delta)$ となる。ここで、SRAMメモリセルの高集積化のために、SRAMメモリセルの面積を更に一層縮小することに対する強い要望がある。また、図5 2 Bに示す構成においては、1本のワード線、2本のビット線、1本のV<sub>dd</sub>電源線及び1本のV<sub>ss</sub>電源線を設ける

と、これらの配線を設けるための配線層が、4層、必要とされるが、配線層の数をより少なくすることに対する強い要望もある。

[0006] 従って、本開示の目的は、面積を一層縮小することが可能な、あるいは又、配線層の数をより少なくすることが可能なメモリセル、及び、係るメモリセルを構成するCMOSインバータ回路を提供することにある。

### 課題を解決するための手段

[0007] 上記の目的を達成するための本開示のメモリセルは、

第1のCMOSインバータ回路及び第2のインバータ回路から構成されたフリップフロップ回路、並びに、2つの転送トランジスタから構成されたメモリセルであって、

第1のCMOSインバータ回路は、ドレイン領域、チャネル形成領域及びソース領域が積層され、ゲート電極層を備えたpMOSトランジスタから成る第1Aトランジスタ、並びに、ドレイン領域、チャネル形成領域及びソース領域が積層され、ゲート電極層を備えたnMOSトランジスタから成る第1Bトランジスタから構成されており、

第2のCMOSインバータ回路は、ドレイン領域、チャネル形成領域及びソース領域が積層され、ゲート電極層を備えたpMOSトランジスタから成る第2Aトランジスタ、並びに、ドレイン領域、チャネル形成領域及びソース領域が積層され、ゲート電極層を備えたnMOSトランジスタから成る第2Bトランジスタから構成されており、

転送トランジスタのそれぞれは、一方のソース／ドレイン領域、チャネル形成領域及び他方のソース／ドレイン領域が積層され、ゲート電極層を備えて成り、

第1Aトランジスタのドレイン領域及び第1Bトランジスタのドレイン領域は、共通の第1のドレイン領域・接続部に接続されており、

第2Aトランジスタのドレイン領域及び第2Bトランジスタのドレイン領域は、共通の第2のドレイン領域・接続部に接続されており、

第1Aトランジスタ及び第1Bトランジスタに共通のゲート電極層（第1

のゲート電極層)は、第1のゲート電極・接続部を介して、第2のドレイン領域・接続部に接続されており、

第2 Aトランジスタ及び第2 Bトランジスタに共通のゲート電極層(第2のゲート電極層)は、第2のゲート電極・接続部を介して、第1のドレイン領域・接続部に接続されており、

第1 Aトランジスタのソース領域及び第2 Aトランジスタのソース領域は、共通の第1の電源線に接続されており、

第1 Bトランジスタのソース領域及び第2 Bトランジスタのソース領域は、共通の第2の電源線に接続されている。

[0008] 上記の目的を達成するための本開示のCMOSインバータ回路は、

ドレイン領域、チャネル形成領域及びソース領域が積層され、ゲート電極層を備えたpMOSトランジスタ、並びに、ドレイン領域、チャネル形成領域及びソース領域が積層され、ゲート電極層を備えたnMOSトランジスタから構成されたCMOSインバータ回路であって、

pMOSトランジスタのドレイン領域及びnMOSトランジスタのドレイン領域は、共通のドレイン領域・接続部に接続されており、

pMOSトランジスタ及びnMOSトランジスタに共通のゲート電極層は、ゲート電極・接続部を介して、基体に形成された共通のゲート配線部に接続されており、

pMOSトランジスタのソース領域は、第1の電源線に接続されており、

nMOSトランジスタのソース領域は、第2の電源線に接続されている。

## 図面の簡単な説明

[0009] [図1]図1は、実施例1のメモリセルの一部分の模式的な斜視図である。

[図2]図2は、実施例1のメモリセルの等価回路図である。

[図3]図3 A及び図3 Bは、実施例1のCMOSインバータ回路の一部分の模式的な斜視図、及び、実施例1のCMOSインバータ回路の等価回路図である。

[図4]図4 A、図4 B及び図4 Cは、実施例1のメモリセルの図1及び図5の

矢印 A－A、矢印 B－B 及び矢印 C－C に沿った模式的な一部断面図である。

[図5]図 5 は、図 4 A の矢印 A－A を含む仮想水平面で実施例 1 のメモリセルを切断したときの実施例 1 のメモリセルを構成する構成要素の配置状態の概念図である。

[図6]図 6 は、図 4 A の矢印 B－B を含む仮想水平面で実施例 1 のメモリセルを切断したときの実施例 1 のメモリセルを構成する構成要素の配置状態の概念図である。

[図7]図 7 は、図 4 A の矢印 C－C を含む仮想水平面で実施例 1 のメモリセルを切断したときの実施例 1 のメモリセルを構成する構成要素の配置状態の概念図である。

[図8]図 8 は、図 4 A の矢印 D－D を含む仮想水平面で実施例 1 のメモリセルを切断したときの実施例 1 のメモリセルを構成する構成要素の配置状態の概念図である。

[図9]図 9 は、図 4 A の矢印 E－E を含む仮想水平面で実施例 1 のメモリセルを切断したときの実施例 1 のメモリセルを構成する構成要素の配置状態の概念図である。

[図10]図 10 は、図 4 A の矢印 F－F を含む仮想水平面で実施例 1 のメモリセルを切断したときの実施例 1 のメモリセルを構成する構成要素の配置状態の概念図である。

[図11]図 11 は、図 4 A の矢印 A－A を含む仮想水平面で実施例 1 のメモリセルの第 1 変形例を切断したときの実施例 1 のメモリセルの第 1 変形例を構成する構成要素の配置状態の概念図であり、図 5 と同様の概念図である。

[図12]図 12 は、図 4 A の矢印 A－A を含む仮想水平面で実施例 1 のメモリセルの第 2 変形例を切断したときの実施例 1 のメモリセルの第 2 変形例を構成する構成要素の配置状態の概念図であり、図 5 と同様の概念図である。

[図13]図 13 A 及び図 13 B は、実施例 2 のメモリセルの図 15 の矢印 A－A 及び矢印 B－B に沿った模式的な一部断面図である。

[図14]図14は、実施例2のメモリセルの等価回路図である。

[図15]図15は、図13Aの矢印A-Aを含む仮想水平面で実施例2のメモリセルを切断したときの実施例2のメモリセルを構成する構成要素の配置状態の概念図である。

[図16]図16は、図13Aの矢印B-Bを含む仮想水平面で実施例2のメモリセルを切断したときの実施例2のメモリセルを構成する構成要素の配置状態の概念図である。

[図17]図17は、図13Aの矢印C-Cを含む仮想水平面で実施例2のメモリセルを切断したときの実施例2のメモリセルを構成する構成要素の配置状態の概念図である。

[図18]図18は、図13Aの矢印D-Dを含む仮想水平面で実施例2のメモリセルを切断したときの実施例2のメモリセルを構成する構成要素の配置状態の概念図である。

[図19]図19は、図13Aの矢印E-Eを含む仮想水平面で実施例2のメモリセルを切断したときの実施例2のメモリセルを構成する構成要素の配置状態の概念図である。

[図20]図20は、図13Aの矢印F-Fを含む仮想水平面で実施例2のメモリセルを切断したときの実施例2のメモリセルを構成する構成要素の配置状態の概念図である。

[図21]図21A、図21B及び図21Cは、実施例3のメモリセルの図24の矢印A-A、矢印B-B及び矢印C-Cに沿った模式的な一部断面図である。

[図22]図22A及び図22Bは、実施例3のメモリセルの図24の矢印D-D及び矢印E-Eに沿った模式的な一部断面図である。

[図23]図23は、実施例3のメモリセルの等価回路図である。

[図24]図24は、図21Aの矢印A-Aを含む仮想水平面で実施例3のメモリセルを切断したときの実施例3のメモリセルを構成する構成要素の配置状態の概念図である。

[図25]図25は、図21Aの矢印B-Bを含む仮想水平面で実施例3のメモリセルを切断したときの実施例3のメモリセルを構成する構成要素の配置状態の概念図である。

[図26]図26は、図21Aの矢印C-Cを含む仮想水平面で実施例3のメモリセルを切断したときの実施例3のメモリセルを構成する構成要素の配置状態の概念図である。

[図27]図27は、図21Aの矢印D-Dを含む仮想水平面で実施例3のメモリセルを切断したときの実施例3のメモリセルを構成する構成要素の配置状態の概念図である。

[図28]図28は、図21Aの矢印E-Eを含む仮想水平面で実施例3のメモリセルを切断したときの実施例3のメモリセルを構成する構成要素の配置状態の概念図である。

[図29]図29は、図25Aの矢印A-Aを含む仮想水平面で実施例3のメモリセルの第1変形例を切断したときの実施例3のメモリセルの第1変形例を構成する構成要素の配置状態の概念図である。

[図30]図30A及び図30Bは、実施例4のメモリセルの図32の矢印A-A及び矢印B-Bに沿った模式的な一部断面図である。

[図31]図31は、実施例4のメモリセルの等価回路図である。

[図32]図32は、図30Aの矢印A-Aを含む仮想水平面で実施例4のメモリセルを切断したときの実施例4のメモリセルを構成する構成要素の配置状態の概念図である。

[図33]図33は、図30Aの矢印B-Bを含む仮想水平面で実施例4のメモリセルを切断したときの実施例4のメモリセルを構成する構成要素の配置状態の概念図である。

[図34]図34は、図30Aの矢印C-Cを含む仮想水平面で実施例4のメモリセルを切断したときの実施例4のメモリセルを構成する構成要素の配置状態の概念図である。

[図35]図35は、図30Aの矢印D-Dを含む仮想水平面で実施例4のメモ

リセルを切断したときの実施例４のメモリセルを構成する構成要素の配置状態の概念図である。

[図36]図３６は、図３０Ａの矢印Ｅ－Ｅを含む仮想水平面で実施例４のメモリセルを切断したときの実施例４のメモリセルを構成する構成要素の配置状態の概念図である。

[図37]図３７は、図３０Ａの矢印Ｆ－Ｆを含む仮想水平面で実施例４のメモリセルを切断したときの実施例４のメモリセルを構成する構成要素の配置状態の概念図である。

[図38]図３８Ａ、図３８Ｂ及び図３８Ｃは、実施例１のメモリセルの第３変形例の図３９の矢印Ａ－Ａ、矢印Ｂ－Ｂ及び矢印Ｃ－Ｃに沿った模式的な一部断面図である。

[図39]図３９は、図３８Ａの矢印Ａ－Ａを含む仮想水平面で実施例１のメモリセルの第３変形例を切断したときの実施例１のメモリセルの第３変形例を構成する構成要素の配置状態の概念図である。

[図40]図４０は、図３８Ａの矢印Ｂ－Ｂを含む仮想水平面で実施例１のメモリセルの第３変形例を切断したときの実施例１のメモリセルの第３変形例を構成する構成要素の配置状態の概念図である。

[図41]図４１は、図３８Ａの矢印Ｃ－Ｃを含む仮想水平面で実施例１のメモリセルの第３変形例を切断したときの実施例１のメモリセルの第３変形例を構成する構成要素の配置状態の概念図である。

[図42]図４２は、図３８Ａの矢印Ｄ－Ｄを含む仮想水平面で実施例１のメモリセルの第３変形例を切断したときの実施例１のメモリセルの第３変形例を構成する構成要素の配置状態の概念図である。

[図43]図４３は、図３８Ａの矢印Ｅ－Ｅを含む仮想水平面で実施例１のメモリセルの第３変形例を切断したときの実施例１のメモリセルの第３変形例を構成する構成要素の配置状態の概念図である。

[図44]図４４は、図３８Ａの矢印Ｆ－Ｆを含む仮想水平面で実施例１のメモリセルの第３変形例を切断したときの実施例１のメモリセルの第３変形例を

構成する構成要素の配置状態の概念図である。

[図45]図45は、図38Aの矢印A-Aを含む仮想水平面と同様の仮想水平面で実施例1のメモリセルの第3変形例を切断したときの実施例1のメモリセルの第3変形例を構成する構成要素の配置状態の概念図である。

[図46]図46は、図38Aの矢印B-Bを含む仮想水平面と同様の仮想水平面で実施例1のメモリセルの第3変形例を切断したときの実施例1のメモリセルの第3変形例を構成する構成要素の配置状態の概念図である。

[図47]図47は、図38Aの矢印C-Cを含む仮想水平面と同様の仮想水平面で実施例1のメモリセルの第3変形例を切断したときの実施例1のメモリセルの第3変形例を構成する構成要素の配置状態の概念図である。

[図48]図48は、図38Aの矢印D-Dを含む仮想水平面と同様の仮想水平面で実施例1のメモリセルの第3変形例を切断したときの実施例1のメモリセルの第3変形例を構成する構成要素の配置状態の概念図である。

[図49]図49は、図38Aの矢印E-Eを含む仮想水平面と同様の仮想水平面で実施例1のメモリセルの第3変形例を切断したときの実施例1のメモリセルの第3変形例を構成する構成要素の配置状態の概念図である。

[図50]図50は、図38Aの矢印F-Fを含む仮想水平面と同様の仮想水平面で実施例1のメモリセルの第3変形例を切断したときの実施例1のメモリセルの第3変形例を構成する構成要素の配置状態の概念図である。

[図51]図51は、図17に示したと同様の仮想水平面で実施例2のメモリセルの第1変形例を切断したときの実施例2のメモリセルの第1変形例を構成する構成要素の配置状態の概念図である。

[図52]図52A及び図52Bは、特開2008-205168号公報に開示されたSRAMメモリセルの大きさを説明するための模式図である。

### 発明を実施するための形態

[0010] 以下、図面を参照して、実施例に基づき本開示を説明するが、本開示は実施例に限定されるものではなく、実施例における種々の数値や材料は例示である。尚、説明は、以下の順序で行う。

1. 本開示のメモリセル及びCMOSインバータ回路、全般に関する説明
2. 実施例1（本開示のメモリセル及びCMOSインバータ回路、本開示の第1の形態のメモリセル、本開示の第1の構成のメモリセル）
3. 実施例2（実施例1の変形、本開示の第1の形態のメモリセル、本開示の第2の構成のメモリセル）
4. 実施例3（実施例1の別の変形、本開示の第2の形態のメモリセル、本開示の第1の構成のメモリセル）
5. 実施例4（実施例2の変形、本開示の第2の形態のメモリセル、本開示の第2の構成のメモリセル）
6. その他

[0011] 〈本開示のメモリセル及びCMOSインバータ回路、全般に関する説明〉

本開示のメモリセルにおいて、

第1Aトランジスタ、第1Bトランジスタ、第2Aトランジスタ及び第2Bトランジスタのドレイン領域、並びに、第1の転送トランジスタ及び第2の転送トランジスタの一方のソース／ドレイン領域は、基体上（具体的には、基体の直上）に形成されており、

第1のドレイン領域・接続部及び第2のドレイン領域・接続部は、基体（具体的には、基体の頂面部分）に形成されている形態とすることができる。尚、このような形態の本開示のメモリセルを、便宜上、『本開示の第1の形態のメモリセル』と呼ぶ場合がある。そして、この場合、第1のドレイン領域・接続部及び第2のドレイン領域・接続部は、基体に形成された高濃度不純物領域又は導電材料層（例えば、シリサイド層やサリサイド層、あるいは、周知の導電材料から成る層）から成る形態とすることができる。また、第1の電源線や第2の電源線は、周知の配線材料から構成すればよい。

[0012] あるいは又、本開示のメモリセルにおいて、

第1Aトランジスタ、第1Bトランジスタ、第2Aトランジスタ及び第2Bトランジスタのソース領域、並びに、第1の転送トランジスタ及び第2の転送トランジスタの他方のソース／ドレイン領域は、基体上（具体的には、

基体の直上)に形成されており、

第1の電源線及び第2の電源線は、基体(具体的には、基体の頂面部分)に形成されている形態とすることができる。尚、このような形態の本開示のメモリセルを、便宜上、『本開示の第2の形態のメモリセル』と呼ぶ場合がある。そして、この場合、第1の電源線及び第2の電源線は、基体に形成された高濃度不純物領域又は導電材料層(例えば、シリサイド層やサリサイド層、あるいは、周知の導電材料から成る層)から成る形態とすることができる。また、第1のドレイン領域・接続部や第2のドレイン領域・接続部は、周知の配線材料から構成すればよい。

[0013] 以上に説明した各種の好ましい形態を含む本開示のメモリセルにおいて、  
第1の転送トランジスタの他方のソース／ドレイン領域は、第1のビット線に接続されており、

第2の転送トランジスタの他方のソース／ドレイン領域は、第2のビット線に接続されており、

第1の転送トランジスタの一方のソース／ドレイン領域は、第1のドレイン領域・接続部に接続されており、

第2の転送トランジスタの一方のソース／ドレイン領域は、第2のドレイン領域・接続部に接続されている形態とすることができる。そして、この場合、第1の電源線、第2の電源線、第1のビット線及び第2のビット線は、第1の方向に延びている形態とすることができる。第1のビット線や第2のビット線は、周知の配線材料から構成すればよい。

[0014] 更には、以上に説明した各種の好ましい形態を含む本開示のメモリセルにおいて、第1の電源線、第2の電源線、第1のビット線及び第2のビット線の延びる方向を第1の方向、第1の方向と直交する方向を第2の方向としたとき、隣接するメモリセルは、境界線(第1の方向に延びる境界線、又は、第2の方向に延びる境界線、又は、第1の方向及び第2の方向に延びる境界線)に対して線対称に配置されている形態とすることができる。

[0015] 更には、以上に説明した各種の好ましい形態を含む本開示のメモリセルに

において、第1のCMOSインバータ回路及び第2のインバータ回路は、メモリセルの中心軸に対して2回対称に配置されている形態とすることができる。メモリセルの中心軸は基体の法線方向と平行な直線である。

[0016] 更には、以上に説明した各種の好ましい形態を含む本開示のメモリセルにおいて、

第1の転送トランジスタ及び第2の転送トランジスタに共通のゲート電極層（第3のゲート電極層）は、ワード線を兼ねており、

第1の電源線、第2の電源線、第1のビット線及び第2のビット線が延びる第1の方向とは異なる第2の方向（具体的には、例えば、第1の方向と直交する第2の方向）にワード線は延びている構成とすることができる。尚、このような形態の本開示のメモリセルを、便宜上、『本開示の第1の構成のメモリセル』と呼ぶ場合がある。そして、この場合、

第1の電源線の正射影像は、第1Aトランジスタのソース領域の正射影像の一部分と重なっており、且つ、第2Aトランジスタのソース領域の正射影像の一部分と重なっており、

第2の電源線の正射影像は、第1Bトランジスタのソース領域の正射影像の一部分と重なっており、且つ、第2Bトランジスタのソース領域の正射影像の一部分と重なっている構成とすることができる。更には、これらの構成において、

[A] 第1の方向に垂直な仮想平面（仮想垂直面）への、第1Aトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像

[B] 第1の方向に垂直な仮想平面（仮想垂直面）への、第1Bトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像

[C] 第1の方向に垂直な仮想平面（仮想垂直面）への、第2Aトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像

[D] 第1の方向に垂直な仮想平面（仮想垂直面）への、第2Bトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像

[E] 第1の方向に垂直な仮想平面（仮想垂直面）への、第1の転送トラン

ジスタを構成する一方のソース／ドレイン領域、チャネル形成領域及び他方のソース／ドレイン領域の正射影像、並びに、

[F] 第1の方向に垂直な仮想平面（仮想垂直面）への、第2の転送トランジスタを構成する一方のソース／ドレイン領域、チャネル形成領域及び他方のソース／ドレイン領域の正射影像

は、実質的に重なっていない構成とすることができる。更には、これらの構成において、

第2の方向に垂直な仮想平面（仮想垂直面）への、第1 Aトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、並びに、第2の方向に垂直な仮想平面（仮想垂直面）への、第1 Bトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像は、実質的に重なっており、

第2の方向に垂直な仮想平面（仮想垂直面）への、第2 Aトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、並びに、第2の方向に垂直な仮想平面（仮想垂直面）への、第2 Bトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像は、実質的に重なっており、

第2の方向に垂直な仮想平面（仮想垂直面）への、第1の転送トランジスタを構成する一方のソース／ドレイン領域、チャネル形成領域及び他方のソース／ドレイン領域の正射影像、並びに、第2の方向に垂直な仮想平面（仮想垂直面）への、第2の転送トランジスタを構成する一方のソース／ドレイン領域、チャネル形成領域及び他方のソース／ドレイン領域の正射影像は、実質的に重なっている構成とすることができる。更には、これらの構成において、

第1の電源線と第2の電源線とは、第1レベルに配設されており、

第1のビット線と第2のビット線とは、第1レベルとは異なる第2レベルに配設されている構成とすることができる。第1レベルが第2レベルよりも基体側に位置してもよいし、第2レベルが第1レベルよりも基体側に位置し

てもよい。ワード線は、第1の転送トランジスタ及び第2の転送トランジスタに共通の第3のゲート電極層の延在部に相当し、この第3のゲート電極層と同じ材料から構成されている。正射影像が実質的に重なっている、重なっていないとは、各種トランジスタの製造上のバラツキを考慮したものであり、正射影像が若干重なっていなくとも重なっているとすし、正射影像が若干重なっていても重なっていないとする。以下の説明においても同様である。

[0017] 本開示の第1の構成のメモリセルにおいて、一のメモリセルを構成する第1 Bトランジスタのソース領域が接続された第2の電源線は、この一のメモリセルに第2の方向に沿って隣接したメモリセル（第1の方向に延びる境界線を挟んで位置するメモリセル）を構成する第2 Bトランジスタのソース領域に接続されている形態とすることができる。即ち、一のメモリセルを構成する第1 Bトランジスタのソース領域と、この一のメモリセルに第2の方向に沿って隣接したメモリセルを構成する第2 Bトランジスタのソース領域とは、同じ第2の電源線に接続されている形態とすることができる。第1の電源線には、例えば、 $V_{dd}$ が印加され、第2の電源線には、例えば、 $V_{ss}$ が印加される。

[0018] あるいは又、以上に説明した各種の好ましい形態を含む本開示のメモリセルにおいて、

第1の転送トランジスタのゲート電極層及び第2の転送トランジスタのゲート電極層は、ワード線に接続されており、

第1の電源線、第2の電源線、第1のビット線及び第2のビット線が延びる第1の方向とは異なる第2の方向（具体的には、例えば、第1の方向と直交する第2の方向）にワード線は延びている構成とすることができる。尚、このような形態の本開示のメモリセルを、便宜上、『本開示の第2の構成のメモリセル』と呼ぶ場合がある。そして、この場合、

[a] 第2の方向に垂直な仮想平面（仮想垂直面）への、第1 Aトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像

[b] 第2の方向に垂直な仮想平面（仮想垂直面）への、第1 Bトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、並びに、

[c] 第2の方向に垂直な仮想平面（仮想垂直面）への、第1の転送トランジスタを構成する一方のソース／ドレイン領域、チャネル形成領域及び他方のソース／ドレイン領域の正射影像  
は、実質的に重なっており、

[d] 第2の方向に垂直な仮想平面（仮想垂直面）への、第2 Aトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像

[e] 第2の方向に垂直な仮想平面（仮想垂直面）への、第2 Bトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、並びに、

[f] 第2の方向に垂直な仮想平面（仮想垂直面）への、第2の転送トランジスタを構成する一方のソース／ドレイン領域、チャネル形成領域及び他方のソース／ドレイン領域の正射影像  
は、実質的に重なっている構成とすることができる。更には、これらの構成において、

第1の電源線と第2の電源線と第1のビット線と第2のビット線とは、第1レベルに配設されており、

ワード線は、第1レベルとは異なる第2レベルに配設されている構成とすることができる。第1レベルが第2レベルよりも基体側に位置してもよいし、第2レベルが第1レベルよりも基体側に位置してもよい。

[0019] 更には、以上に説明した各種の好ましい形態を含む本開示のメモリセルにおいて、第1の転送トランジスタ及び第2の転送トランジスタの上方には、第1の電源線及び第2の電源線が設けられていない形態とすることができる。

[0020] 本開示のCMOSインバータ回路において、  
pMOSトランジスタのドレイン領域及びnMOSトランジスタのドレイ

ン領域は、基体上に形成されており、

共通のドレイン領域・接続部は基体に形成されている形態とすることができるし、あるいは又、

pMOSトランジスタのソース領域及びnMOSトランジスタのソース領域は、基体上に形成されており、

第1の電源線及び第2の電源線は基体に形成されている形態とすることができる。

[0021] 以上に説明した各種の好ましい形態、構成を含む本開示のメモリセルあるいはCMOSインバータ回路（以下、これらを総称して、『本開示のメモリセル等』と呼ぶ場合がある）において、基体として、シリコン半導体基板やSOI（Si On Insulator）基板、SGOI（SiGe On Insulator）基板を挙げることができる。

[0022] 本開示のメモリセル等において、各種のトランジスタは、ナノワイヤー構造又はナノシート構造又はナノチューブ構造を有する形態とすることができる。そして、チャネル形成領域の全外周はゲート絶縁膜で覆われ、ゲート絶縁膜と接して（即ち、ゲート絶縁膜上に）ゲート電極層が形成されている形態とすることができる。即ち、各種のトランジスタは、GAA（Gate-All-Around）構造を有する縦型構造のトランジスタである。各種のトランジスタにおいて、ドレイン領域、チャネル形成領域及びソース領域の積層体を、便宜上、『チャネル構造部』と呼ぶ場合がある。本開示のメモリセル等における各種のトランジスタにおいて、1つのトランジスタを構成するチャネル構造部の数は1、あるいは、2以上であればよい。チャネル構造部の形成方法として、エピタキシャルCVD法、プラズマCVD法、アトミックレイヤーCVD法を挙げることができる。

[0023] nMOSトランジスタ及びpMOSトランジスタのチャネル構造部を構成する材料として、SiあるいはSiGe、Ge、InGaAsを挙げることができる。具体的には、本開示のメモリセル等において、nMOSトランジスタにあってはチャネル構造部はシリコン（Si）から成り、pMOSトラ

ンジスタにあってはチャネル構造部はシリコンーゲルマニウム (SiGe)、ゲルマニウム (Ge) 又は InGaAs から成る形態とすることができる。

[0024] 但し、これに限定するものではなく、

nMOSトランジスタのチャネル構造部は、シリコンーゲルマニウム (SiGe) から成り、

pMOSトランジスタのチャネル構造部は、シリコン (Si)、ゲルマニウム (Ge) 又は InGaAs から成る形態とすることができるし、

nMOSトランジスタのチャネル構造部は、ゲルマニウム (Ge) から成り、

pMOSトランジスタのチャネル構造部は、シリコン (Si)、シリコンーゲルマニウム (SiGe) 又は InGaAs から成る形態とすることができるし、

nMOSトランジスタのチャネル構造部は、InGaAs から成り、

pMOSトランジスタのチャネル構造部は、シリコン (Si)、シリコンーゲルマニウム (SiGe) 又はゲルマニウム (Ge) から成る形態とすることができる。

[0025] ここで、MOSトランジスタがnチャネル型であるかpチャネル型であるかは、それぞれに最適な仕事関数を得るといった観点から、専ら、ゲート電極層を構成する材料の選択によって決定される。チャネル構造部をSiから構成し、半導体装置をnチャネル型とする場合、ゲート電極層を構成する材料としてTiN、Ta<sub>2</sub>N<sub>5</sub>、Al、TiAl、Wを挙げることができる。一方、チャネル構造部をSiGeから構成し、半導体装置をpチャネル型とする場合、ゲート電極層を構成する材料としてTiN、Wを挙げることができる。ゲート絶縁膜を構成する材料として、SiN、SiON、SiO<sub>2</sub>を挙げることができるし、高誘電率材料 (所謂High-k材料)、例えば、HfO<sub>2</sub>、HfAlON、Y<sub>2</sub>O<sub>3</sub>を挙げることでもある。

[0026] あるいは又、nMOSトランジスタ及びpMOSトランジスタのチャネル

構造部を、シリコン（Si）から構成することができる。そして、この場合、nMOSトランジスタのゲート電極層を構成する材料として、Ti、V、Cr、Zr、Nb、Mo、Hf、Ta、W及びこれらの金属を含む化合物を挙げることができるし、pMOSトランジスタのゲート電極層を構成する材料として、Fe、Co、Ni、Cu、Ru、Rh、Pd、Ag、Os、Ir、Pt、Au及びこれらの金属を含む化合物を挙げることができる。

[0027] ナノワイヤー構造あるいはナノチューブ構造にあっては、直径が、例えば、5 nm乃至10 nmのワイヤー状あるいはチューブ状のチャネル形成領域の両端から、ドレイン領域及びソース領域（あるいは又、一方及び他方のソース／ドレイン領域）が延びている。また、ナノシート構造にあっては、幅×厚さが、例えば、（10 nm乃至50 nm）×（5 nm乃至10 nm）の断面形状が略矩形のチャネル形成領域の両端から、ドレイン領域及びソース領域（あるいは又、一方及び他方のソース／ドレイン領域）が延びている。

[0028] 導電材料や配線材料として、例えば、シリコン（Si）、アルミニウムあるいはアルミニウム系合金（例えば、純アルミニウム、Al-Si、Al-Cu、Al-Si-Cu、Al-Ge、Al-Si-Ge）、ポリシリコン、銅、銅合金、タングステン、タングステン合金、チタン、チタン合金（TiW、TiNW、TiN、TiAlを含む）、 $WSi_2$ 、 $MoSi_2$ 、 $TaN$ を挙げることができる。また、基体をシリコン半導体基板から構成する場合、基体の上あるいは上方には複数の絶縁層や層間絶縁層が設けられているが、絶縁層や層間絶縁層を構成する材料として、 $SiO_2$ 、NSG（ノンドープ・シリケート・ガラス）、BPSG（ホウ素・リン・シリケート・ガラス）、PSG、BSG、AsSG、SbSG、PbSG、SOG（スピノングラス）、LTO（Low Temperature Oxide、低温CVD- $SiO_2$ ）、低融点ガラス、ガラスペースト等の $SiO_x$ 系材料（シリコン系酸化膜を構成する材料）；SiNやSiONといったSiON系材料を含むSiN系材料；SiOC；SiOF；SiCNを挙げることができるし、あるいは又、酸化チタン（ $TiO_2$ ）、酸化タンタル（ $Ta_2O_5$ ）、酸化アルミニウム（ $Al_2O_3$ ）、酸化

マグネシウム ( $\text{MgO}$ )、酸化クロム ( $\text{CrO}_x$ )、酸化ジルコニウム ( $\text{ZrO}_2$ )、酸化ニオブ ( $\text{Nb}_2\text{O}_5$ )、酸化スズ ( $\text{SnO}_2$ )、酸化バナジウム ( $\text{VO}_x$ ) といった無機絶縁材料を挙げることができるし、あるいは又、ポリイミド系樹脂、エポキシ系樹脂、アクリル樹脂といった各種樹脂や、 $\text{SiOCH}$ 、有機  $\text{SiOG}$ 、フッ素系樹脂といった低誘電率絶縁材料（例えば、誘電率  $k (= \epsilon / \epsilon_0)$  が例えば 3.5 以下の材料であり、具体的には、例えば、フルオロカーボン、シクロパーフルオロカーボンポリマー、ベンゾシクロブテン、環状フッ素樹脂、ポリテトラフルオロエチレン、アモルファステトラフルオロエチレン、ポリアリールエーテル、フッ化アリールエーテル、フッ化ポリイミド、アモルファスカーボン、パリレン（ポリパラキシリレン）、フッ化フラーレン）を挙げることができるし、 $\text{SiI k}$ （The Dow Chemical Co. の商標であり、塗布型低誘電率層間絶縁膜材料）、 $\text{Flare}$ （Honeywell Electronic Materials Co. の商標であり、ポリアリールエーテル（ $\text{PAE}$ ）系材料）を例示することもできる。そして、これらを、単独あるいは適宜組み合わせ使用することができる。絶縁層や層間絶縁層は、各種  $\text{CVD}$  法、各種塗布法、スパッタリング法や真空蒸着法を含む各種  $\text{PVD}$  法、スクリーン印刷法といった各種印刷法、メッキ法、電着法、浸漬法、ゾルーゲル法等の公知の方法に基づき形成することができる。

[0029] 本開示のメモリセル等において、各種トランジスタのゲート電極層に印加される電圧は、例えば、0.5 ボルト乃至 0.8 ボルトである。本開示のメモリセルや  $\text{CMOS}$  インバータ回路は、例えば、ロジック回路等のデジタル回路に適用することができるし、例えば、撮像装置の制御を行うロジック回路や撮像装置を構成する撮像素子（受光素子）の駆動回路に適用することができるが、これらに限定するものではない。

## 実施例 1

[0030] 実施例 1 は、本開示のメモリセル及び  $\text{CMOS}$  インバータ回路に関し、具体的には、本開示の第 1 の形態のメモリセル及び本開示の第 1 の構成のメモリセルに関する。

[0031] 実施例1のメモリセルの一部分の模式的な斜視図を図1に示し、実施例1のメモリセルの等価回路図を図2に示す。また、実施例1のメモリセルの図1及び図5の矢印A-Aに沿った模式的な一部断面図を図4Aに示し、図1及び図5の矢印B-Bに沿った模式的な一部断面図を図4Bに示し、図1及び図5の矢印C-Cに沿った模式的な一部断面図を図4Cに示す。更には、実施例1のメモリセルの図4Aの矢印A-Aを含む仮想水平面、矢印B-Bを含む仮想水平面、矢印C-Cを含む仮想水平面、矢印D-Dを含む仮想水平面、矢印E-Eを含む仮想水平面、及び、矢印F-Fを含む仮想水平面で実施例1のメモリセルを切断したときの実施例1のメモリセルを構成する構成要素の配置状態の概念図を図5、図6、図7、図8、図9及び図10に示す。また、実施例1のCMOSインバータ回路の一部分の模式的な斜視図を図3Aに示し、等価回路図を図3Bに示す。尚、図4A、図4B及び図4Cにおいて、ハッチング線の一部を省略している。また、図5、図6、図7、図8、図9及び図10においては9つのメモリセルを図示し、メモリセルの境界線を一点鎖線で示している。

[0032] 実施例1あるいは後述する実施例2～実施例4のメモリセルは、第1のCMOSインバータ回路及び第2のインバータ回路から構成されたフリップフロップ回路、並びに、2つの転送トランジスタ $TR_5$ 、 $TR_6$ から構成されたメモリセルである。第1のCMOSインバータ回路は、第1Aトランジスタ $TR_1$ 及び第1Bトランジスタ $TR_2$ から構成されており、第2のCMOSインバータ回路は、第2Aトランジスタ $TR_3$ 及び第2Bトランジスタ $TR_4$ から構成されている。ここで、第1Aトランジスタ $TR_1$ は、ドレイン領域11、チャネル形成領域12及びソース領域13が積層され、ゲート電極層81を備えたpMOSトランジスタから成る。また、第1Bトランジスタ $TR_2$ は、ドレイン領域21、チャネル形成領域22及びソース領域23が積層され、ゲート電極層81を備えたnMOSトランジスタから成る。更には、第2Aトランジスタ $TR_3$ は、ドレイン領域31、チャネル形成領域32及びソース領域33が積層され、ゲート電極層82を備えたpMOSトランジスタから成る。

。また、第2 Bトランジスタ $TR_4$ は、ドレイン領域4 1、チャネル形成領域4 2及びソース領域4 3が積層され、ゲート電極層8 2を備えたnMOSトランジスタから成る。転送トランジスタ $TR_5$ 、 $TR_6$ のそれぞれは、一方のソース／ドレイン領域5 1、6 1、チャネル形成領域5 2、6 2及び他方のソース／ドレイン領域5 3、6 3が積層され、ゲート電極層8 3を備えて成り、nMOSトランジスタから構成されている。但し、転送トランジスタ $TR_5$ 、 $TR_6$ のそれぞれをpMOSトランジスタから構成することもできる。

[0033] そして、実施例1あるいは後述する実施例2～実施例4のメモリセルにおいて、第1 Aトランジスタ $TR_1$ のドレイン領域1 1及び第1 Bトランジスタ $TR_2$ のドレイン領域2 1は、共通の第1のドレイン領域・接続部7 1に接続されており、

第2 Aトランジスタ $TR_3$ のドレイン領域3 1及び第2 Bトランジスタ $TR_4$ のドレイン領域4 1は、共通の第2のドレイン領域・接続部7 2に接続されており、

第1 Aトランジスタ $TR_1$ 及び第1 Bトランジスタ $TR_2$ に共通のゲート電極層（第1のゲート電極層）8 1は、第1のゲート電極・接続部（ビアあるいは接続孔）7 3を介して、第2のドレイン領域・接続部7 2に接続されており、

第2 Aトランジスタ $TR_3$ 及び第2 Bトランジスタ $TR_4$ に共通のゲート電極層（第2のゲート電極層）8 2は、第2のゲート電極・接続部（ビアあるいは接続孔）7 4を介して、第1のドレイン領域・接続部7 1に接続されており、

第1 Aトランジスタ $TR_1$ のソース領域1 3及び第2 Aトランジスタ $TR_3$ のソース領域3 3は、共通の第1の電源線9 1に接続されており、

第1 Bトランジスタ $TR_2$ のソース領域2 3及び第2 Bトランジスタ $TR_4$ のソース領域4 3は、共通の第2の電源線9 2に接続されている。

[0034] あるいは又、実施例1あるいは後述する実施例2のメモリセルにおいて、第1 Aトランジスタ $TR_1$ のソース領域1 3及び第2 Aトランジスタ $TR_3$ のソ

ース領域 33 は、接続孔 14, 34 を介して共通の第 1 の電源線 91 に接続されており、第 1 B トランジスタ  $T_{R2}$  のソース領域 23 及び第 2 B トランジスタ  $T_{R4}$  のソース領域 43 は、接続孔 24, 44 を介して共通の第 2 の電源線 92 に接続されている。

[0035] また、実施例 1 あるいは後述する実施例 2～実施例 4 の CMOS インバータ回路は、

ドレイン領域 11、チャネル形成領域 12 及びソース領域 13 が積層され、ゲート電極層 81 を備えた pMOS トランジスタ  $T_{R1}$ 、並びに、ドレイン領域 21、チャネル形成領域 22 及びソース領域 23 が積層され、ゲート電極層 81 を備えた nMOS トランジスタ  $T_{R2}$  から構成されており、

pMOS トランジスタ  $T_{R1}$  のドレイン領域 11 及び nMOS トランジスタ  $T_{R2}$  のドレイン領域 21 は、共通のドレイン領域・接続部 71 に接続されており、

pMOS トランジスタ  $T_{R1}$  及び nMOS トランジスタ  $T_{R2}$  に共通のゲート電極層 81 は、ゲート電極・接続部（ビアあるいは接続孔）73 を介して、基体 70（具体的には、基体 70 の頂面部分）に形成された共通のゲート配線部 72 に接続されており、

pMOS トランジスタ  $T_{R1}$  のソース領域 13 は、第 1 の電源線 91 に接続されており、

nMOS トランジスタ  $T_{R2}$  のソース領域 23 は、第 2 の電源線 92 に接続されている。

[0036] あるいは又、実施例 1 あるいは後述する実施例 2～実施例 4 の CMOS インバータ回路は、

ドレイン領域 31、チャネル形成領域 32 及びソース領域 33 が積層され、ゲート電極層 82 を備えた pMOS トランジスタ  $T_{R3}$ 、並びに、ドレイン領域 41、チャネル形成領域 42 及びソース領域 43 が積層され、ゲート電極層 82 を備えた nMOS トランジスタ  $T_{R4}$  から構成されており、

pMOS トランジスタ  $T_{R3}$  のドレイン領域 31 及び nMOS トランジスタ

TR<sub>4</sub>のドレイン領域41は、共通のドレイン領域・接続部72に接続されており、

pMOSトランジスタTR<sub>3</sub>及びnMOSトランジスタTR<sub>4</sub>に共通のゲート電極層82は、ゲート電極・接続部（ビアあるいは接続孔）74を介して、基体70（具体的には、基体70の頂面部分）に形成された共通のゲート配線部71に接続されており、

pMOSトランジスタTR<sub>3</sub>のソース領域33は、第1の電源線91に接続されており、

nMOSトランジスタTR<sub>4</sub>のソース領域43は、第2の電源線92に接続されている。

[0037] そして、実施例1あるいは後述する実施例2のCMOSインバータ回路において、pMOSトランジスタTR<sub>1</sub>、TR<sub>3</sub>のドレイン領域11、31及びnMOSトランジスタTR<sub>2</sub>、TR<sub>4</sub>のドレイン領域21、41は、基体70上（具体的には、基体70の直上）に形成されており、共通のドレイン領域・接続部71、72は基体70（具体的には、基体70の頂面部分）に形成されている。

[0038] また、実施例1あるいは後述する実施例2のメモリセルにおいて、第1AトランジスタTR<sub>1</sub>、第1BトランジスタTR<sub>2</sub>、第2AトランジスタTR<sub>3</sub>及び第2BトランジスタTR<sub>4</sub>のドレイン領域11、21、31、41、並びに、第1の転送トランジスタTR<sub>5</sub>及び第2の転送トランジスタTR<sub>6</sub>の一方のソース／ドレイン領域51、61は、基体70上（具体的には、基体70の直上）に形成されており、第1のドレイン領域・接続部71及び第2のドレイン領域・接続部72は、基体70（具体的には、基体70の頂面部分）に形成されている。第1のドレイン領域・接続部71及び第2のドレイン領域・接続部72は、基体70（具体的には、基体70の頂面部分）に形成された高濃度不純物領域又は導電材料層から成り、あるいは又、拡散抵抗層等の抵抗成分を有する層や、絶縁材料層で囲まれ、周囲から絶縁された金属材料層から成る。

[0039] 実施例1のメモリセルにおいて、第1の転送トランジスタ $TR_5$ の他方のソース／ドレイン領域53は、接続孔54, 55を介して第1のビット線93 (BL) に接続されており、第2の転送トランジスタ $TR_6$ の他方のソース／ドレイン領域63は、接続孔64, 65を介して第2のビット線94 (BL') に接続されている。第1の転送トランジスタ $TR_5$ の一方のソース／ドレイン領域51は、第1のドレイン領域・接続部71に接続されており、第2の転送トランジスタ $TR_6$ の一方のソース／ドレイン領域61は、第2のドレイン領域・接続部72に接続されている。第1の電源線91、第2の電源線92、第1のビット線93及び第2のビット線94は、第1の方向に延びており、周知の配線材料から構成されている。尚、第2のビット線94は、通常、BLの上に「-」を付した記号で表されるが、本明細書では「BL' 」と表現する場合がある。

[0040] 実施例1あるいは後述する実施例3のメモリセルにおいて、第1のCMOSインバータ回路及び第2のインバータ回路は、メモリセルの中心軸に対して2回対称に配置されている。図5あるいは図15において、1つのメモリセルの中心軸を黒丸「CA」で表している。

[0041] 実施例1あるいは後述する実施例3のメモリセルにおいて、第1の転送トランジスタ $TR_5$ 及び第2の転送トランジスタ $TR_6$ に共通のゲート電極層（第3のゲート電極層）83はワード線WLを兼ねている。ワード線WLは、第1の方向とは異なる第2の方向（具体的には、例えば、第1の方向と直交する第2の方向）に延びており、周辺回路に接続されている。図9に示すように、第1の電源線91の正射影像は、第1Aトランジスタ $TR_1$ のソース領域13の正射影像の一部分と重なっており、且つ、第2Aトランジスタ $TR_3$ のソース領域33の正射影像の一部分と重なっている。第2の電源線92の正射影像は、第1Bトランジスタ $TR_2$ のソース領域23の正射影像の一部分と重なっており、且つ、第2Bトランジスタ $TR_4$ のソース領域43の正射影像の一部分と重なっている。また、

[A] 第1の方向に垂直な仮想垂直面への、第1Aトランジスタ $TR_1$ を構成

するドレイン領域 1 1、チャネル形成領域 1 2 及びソース領域 1 3（以下、『第 1 A トランジスタ  $T R_1$  のチャネル構造部』と呼ぶ場合がある）の正射影像

[B] 第 1 の方向に垂直な仮想垂直面への、第 1 B トランジスタ  $T R_2$  を構成するドレイン領域 2 1、チャネル形成領域 2 2 及びソース領域 2 3（以下、『第 1 B トランジスタ  $T R_2$  のチャネル構造部』と呼ぶ場合がある）の正射影像

[C] 第 1 の方向に垂直な仮想垂直面への、第 2 A トランジスタ  $T R_3$  を構成するドレイン領域 3 1、チャネル形成領域 3 2 及びソース領域 3 3（以下、『第 2 A トランジスタ  $T R_3$  のチャネル構造部』と呼ぶ場合がある）の正射影像

[D] 第 1 の方向に垂直な仮想垂直面への、第 2 B トランジスタ  $T R_4$  を構成するドレイン領域 4 1、チャネル形成領域 4 2 及びソース領域 4 3（以下、『第 2 B トランジスタ  $T R_4$  のチャネル構造部』と呼ぶ場合がある）の正射影像

[E] 第 1 の方向に垂直な仮想垂直面への、第 1 の転送トランジスタ  $T R_5$  を構成する一方のソース／ドレイン領域 5 1、チャネル形成領域 5 2 及び他方のソース／ドレイン領域 5 3（以下、『第 1 の転送トランジスタ  $T R_5$  のチャネル構造部』と呼ぶ場合がある）の正射影像、並びに、

[F] 第 1 の方向に垂直な仮想垂直面への、第 2 の転送トランジスタ  $T R_6$  を構成する一方のソース／ドレイン領域 6 1、チャネル形成領域 6 2 及び他方のソース／ドレイン領域 6 3（以下、『第 2 の転送トランジスタ  $T R_6$  のチャネル構造部』と呼ぶ場合がある）の正射影像

は、実質的に重なっていない。ここで、仮想水平面、仮想垂直面とは、基体表面に対して水平な仮想平面、垂直な仮想平面を意味する。

[0042] また、実施例 1 あるいは後述する実施例 3 のメモリセルにおいて、

第 2 の方向に垂直な仮想垂直面への第 1 A トランジスタ  $T R_1$  のチャネル構造部の正射影像及び第 1 B トランジスタ  $T R_2$  のチャネル構造部の正射影像は

、実質的に重なっており、

第2の方向に垂直な仮想垂直面への第2Aトランジスタ $TR_3$ のチャネル構造部の正射影像及び第2Bトランジスタ $TR_4$ のチャネル構造部の正射影像は、実質的に重なっており、

第2の方向に垂直な仮想垂直面への第1の転送トランジスタ $TR_5$ のチャネル構造部の正射影像及び第2のトランジスタ $TR_6$ のチャネル構造部の正射影像は、実質的に重なっている。

[0043] 更には、実施例1のメモリセルにおいて、第1の電源線91と第2の電源線92とは、第1レベルに配設されており、第1のビット線93と第2のビット線94とは、第1レベルとは異なる第2レベルに配設されている。図示した例では、第1レベルが第2レベルよりも基体側に位置しているが、第2レベルが第1レベルよりも基体側に位置してもよい。

[0044] また、実施例1あるいは後述する実施例3のメモリセルにおいて、或るメモリセルを構成する第1Bトランジスタ $TR_2$ のソース領域23が接続された第2の電源線92は、この或るメモリセルに第2の方向に沿って隣接したメモリセル（第1の方向に延びる境界線を挟んで位置するメモリセル）を構成する第2Bトランジスタ $TR_4$ のソース領域43に接続されている。即ち、一のメモリセルを構成する第1Bトランジスタ $TR_2$ のソース領域23と、この一のメモリセルに第2の方向に沿って隣接したメモリセルを構成する第2Bトランジスタ $TR_4$ のソース領域43とは、同じ第2の電源線92に接続されている。第1の電源線91には $V_{dd}$ が印加され、第2の電源線92には $V_{ss}$ が印加される。第1の転送トランジスタ $TR_5$ 及び第2の転送トランジスタ $TR_6$ の上方には、第1の電源線91及び第2の電源線92は設けられていない。

[0045] 実施例1あるいは後述する実施例2～実施例4において、トランジスタ $TR_1$ ,  $TR_2$ ,  $TR_3$ ,  $TR_4$ ,  $TR_5$ ,  $TR_6$ （以下、これらのトランジスタを総称して、便宜上、『トランジスタ $TR_1$ 等』と呼ぶ場合がある）は、ナノワイヤー構造を有する。チャネル形成領域12, 22, 32, 42, 52, 62の全外周はゲート絶縁膜84で覆われ、ゲート絶縁膜84と接して（即ち、ゲ

ート絶縁膜84上に)ゲート電極層81, 82, 83が形成されている。基体70は、例えば、シリコン半導体基板から成る。トランジスタTR<sub>1</sub>等において、1つのトランジスタを構成するチャネル構造部の数は1、あるいは、2以上であればよい。nMOSトランジスタTR<sub>2</sub>, TR<sub>4</sub>, TR<sub>5</sub>, TR<sub>6</sub>のチャネル構造部はシリコン(Si)から成り、pMOSトランジスタTR<sub>1</sub>, TR<sub>3</sub>のチャネル構造部はシリコン-ゲルマニウム(SiGe)から成る。nMOSトランジスタTR<sub>2</sub>, TR<sub>4</sub>, TR<sub>5</sub>, TR<sub>6</sub>のゲート電極層81, 83、及び、pMOSトランジスタTR<sub>1</sub>, TR<sub>3</sub>のゲート電極層82を構成する材料として、TiNを用いることができる。ゲート絶縁膜84を構成する材料として、SiN、SiON、SiO<sub>2</sub>を挙げることができるし、高誘電率材料(所謂High-k材料)、例えば、HfO<sub>2</sub>、HfAlON、Y<sub>2</sub>O<sub>3</sub>を挙げることにもできる。

[0046] 以下、実施例1のメモリセルの製造方法の概略を説明するが、メモリセルの製造方法は、以下に説明する方法に限定するものではない。

[0047] [工程-100]

先ず、活性化領域が短絡しないように、シリコン半導体基板から成る基体70の所定の領域に、STI(Shallow Trench Isolation)構造を有する素子分離領域(図示せず)を周知の方法に基づき形成する。

[0048] [工程-110]

次いで、ウエル形成のために、基体70の所定の領域にイオン注入を行う。その後、基体70に、周知のイオン注入法に基づき、高濃度不純物領域から成る第1のドレイン領域・接続部71及び第2のドレイン領域・接続部72を形成する。次に、全面に絶縁層79Aを周知の方法に基づき形成した後、第1のドレイン領域・接続部71及び第2のドレイン領域・接続部72の上方の絶縁層79Aに、第2のゲート電極・接続部(ビアあるいは接続孔)74及び第1のゲート電極・接続部(ビアあるいは接続孔)73を形成する。

[0049] [工程-120]

そして、第1 Aトランジスタ $TR_1$ のドレイン領域1 1及び第2 Aトランジスタ $TR_3$ のドレイン領域3 1を形成すべき絶縁層7 9 Aの部分に開口部を形成する。次いで、エピタキシャル成長法に基づき、p型不純物を含むSiGeから成るこれらのトランジスタ $TR_1$ のドレイン領域1 1, 3 1を形成し、引き続き、SiGeから成るこれらのトランジスタ $TR_1$ のチャンネル形成領域1 2, 3 2を形成し、引き続き、p型不純物を含むSiGeから成るこれらのトランジスタ $TR_1$ のソース領域1 3, 3 3を形成する。そして、第1 Aトランジスタ $TR_1$ 及び第2 Aトランジスタ $TR_3$ のチャンネル形成領域1 2, 3 2及びソース領域1 3, 3 3を適切なマスク材料で被覆する。

[0050] [工程－1 3 0]

次に、第1 Bトランジスタ $TR_2$ のドレイン領域2 1、第2 Bトランジスタ $TR_4$ のドレイン領域4 1、第1の転送トランジスタ $TR_5$ の一方のソース／ドレイン領域5 1及び第2の転送トランジスタ $TR_6$ の一方のソース／ドレイン領域6 1を形成すべき絶縁層7 9 Aの部分に開口部を形成する。そして、エピタキシャル成長法に基づき、n型不純物を含むSiから成るこれらのトランジスタのドレイン領域2 1, 4 1、一方のソース／ドレイン領域5 1, 6 1を形成し、引き続き、Siから成るこれらのトランジスタのチャンネル形成領域2 2, 4 2, 5 2, 6 2を形成し、引き続き、n型不純物を含むSiから成るこれらのトランジスタのソース領域2 3, 4 3、他方のソース／ドレイン領域5 3, 6 3を形成する。その後、マスク材料を除去する。

[0051] [工程－1 4 0]

次いで、絶縁層7 9 A上に突出した第1 Aトランジスタ $TR_1$ のチャンネル形成領域1 2、第1 Bトランジスタ $TR_2$ のチャンネル形成領域2 2、第2 Aトランジスタ $TR_3$ のチャンネル形成領域3 2、第2 Bトランジスタ $TR_4$ のチャンネル形成領域4 2、第1の転送トランジスタ $TR_5$ のチャンネル形成領域5 2及び第2の転送トランジスタ $TR_6$ のチャンネル形成領域6 2の外面に、周知の方法に基づき、ゲート絶縁膜8 4を形成する。これらのトランジスタのソース領域1 3, 2 3, 3 3, 4 3, 5 3, 6 3の外面にもゲート絶縁膜8 4が形成さ

れるが、これらの部分のゲート絶縁膜 84 を残しておいても問題はない。また、これらの部分のゲート絶縁膜の図示は省略した。

[0052] [工程－１５０]

その後、絶縁層 79A 上に突出した第 1A トランジスタ  $TR_1$ 、第 1B トランジスタ  $TR_2$ 、第 2A トランジスタ  $TR_3$ 、第 2B トランジスタ  $TR_4$ 、第 1 の転送トランジスタ  $TR_5$  及び第 2 の転送トランジスタ  $TR_6$  のチャネル形成領域 12, 22, 32, 42, 52, 62 の外面に形成されたゲート絶縁膜 84 を囲むように、絶縁層 79A 上に、周知の方法に基づき、TiN から成るゲート電極層 81, 82, 83 を形成する。

[0053] [工程－１６０]

次いで、全面に絶縁層 79B を形成し、平坦化処理を行うことで、絶縁層 79B の頂面に、第 1A トランジスタ  $TR_1$ 、第 1B トランジスタ  $TR_2$ 、第 2A トランジスタ  $TR_3$ 、第 2B トランジスタ  $TR_4$  のソース領域 13, 23, 33, 43 の頂面、並びに、第 1 の転送トランジスタ  $TR_5$  及び第 2 の転送トランジスタ  $TR_6$  の他方のソース／ドレイン領域 53, 63 の頂面を露出させる。

[0054] [工程－１７０]

その後、全面に層間絶縁層 79C を形成し、第 1A トランジスタ  $TR_1$ 、第 1B トランジスタ  $TR_2$ 、第 2A トランジスタ  $TR_3$  及び第 2B トランジスタ  $TR_4$  のソース領域 13, 23, 33, 43 の上方の層間絶縁層 79C の部分に開口部を形成し、これらの開口部内を含む層間絶縁層 79C 上に接続孔 14, 24, 34, 44 並びに第 1 の電源線 91 及び第 2 の電源線 92 を形成する。加えて、第 1 の転送トランジスタ  $TR_5$ 、第 2 の転送トランジスタ  $TR_6$  のソース領域 53, 63 の上方の層間絶縁層 79C の部分に開口部を形成し、これらの開口部内に、接続孔 54, 64 を形成する。

[0055] [工程－１８０]

次に、全面に層間絶縁層 79D を形成し、接続孔 54, 64 の上方の層間絶縁層 79D の部分に開口部を形成し、これらの開口部内を含む層間絶縁層

79D上に、接続孔55、65並びに第1のビット線93及び第2のビット線94を形成する。こうして、実施例1のメモリセルを得ることができる。

[0056] 実施例1のメモリセルにおいては、第1Aトランジスタ $TR_1$ 、第1Bトランジスタ $TR_2$ のドレイン領域11、21は共通の第1のドレイン領域・接続部71に接続されており、第2Aトランジスタ $TR_3$ 、第2Bトランジスタ $TR_4$ のドレイン領域31、41は共通の第2のドレイン領域・接続部72に接続されており、第1Aトランジスタ $TR_1$ 及び第1Bトランジスタ $TR_2$ に共通の第1のゲート電極層81は第1のゲート電極・接続部73を介して第2のドレイン領域・接続部72に接続されており、第2Aトランジスタ $TR_3$ 及び第2Bトランジスタ $TR_4$ に共通の第2のゲート電極層82は第2のゲート電極・接続部74を介して第1のドレイン領域・接続部71に接続されており、第1Aトランジスタ $TR_1$ 及び第2Aトランジスタ $TR_3$ のソース領域13、33は共通の第1の電源線91に接続されており、第1Bトランジスタ $TR_2$ 及び第2Bトランジスタ $TR_4$ のソース領域23、43は共通の第2の電源線92に接続されている。それ故、メモリセルの面積の縮小化を図ることができる。尚、メモリセルの面積は $36\Delta^2$  ( $6\Delta \times 6\Delta$ ) である。また、1つのメモリセルに対して、1本のワード線WL、2本のビット線93、94、1本の第1の電源線91及び1本の第2の電源線92が設けられているが、これらの配線を設けるための配線層は3層でよく、従来よりも配線層の数を少なくすることができる。しかも、実施例1のCMOSインバータ回路において、pMOSトランジスタ $TR_1$ 、 $TR_3$ のドレイン領域11、31及びnMOSトランジスタ $TR_2$ 、 $TR_4$ のドレイン領域21、41は共通のドレイン領域・接続部71、72に接続されており、pMOSトランジスタ $TR_1$ 、 $TR_3$ 及びnMOSトランジスタ $TR_2$ 、 $TR_4$ に共通のゲート電極層82はゲート電極・接続部73、74を介して基体70（具体的には、基体70の頂面部分）に形成された共通のゲート配線部72、71に接続されている。それ故、CMOSインバータ回路の面積の縮小化を図ることができる。

[0057] 図11及び図12に、図4Aの矢印A-Aを含む仮想水平面で実施例1の

メモリセルの第1変形例及び第2変形例を切断したときの実施例1のメモリセルの第1変形例及び第2変形例を構成する構成要素の配置状態の概念図を示すが、隣接するメモリセルは、第1の方向に延びる境界線に対して線対称に配置されている形態とすることもできるし(図11参照)、隣接するメモリセルは、第2の方向に延びる境界線に対して線対称に配置されている形態とすることもできる(図12参照)。尚、図11及び図12は、図5と同様の概念図である。

## 実施例 2

[0058] 実施例2は、実施例1の変形であり、本開示の第1の形態のメモリセル及び本開示の第2の構成のメモリセルに関する。

[0059] 実施例2のメモリセルの図15の矢印A-Aに沿った模式的な一部断面図を図13Aに示し、図15の矢印B-Bに沿った模式的な一部断面図を図13Bに示し、等価回路図を図14に示す。また、実施例2のメモリセルの図13Aの矢印A-Aを含む仮想水平面、矢印B-Bを含む仮想水平面、矢印C-Cを含む仮想水平面、矢印D-Dを含む仮想水平面、矢印E-Eを含む仮想水平面及び矢印F-Fを含む仮想水平面で実施例2のメモリセルを切断したときの実施例2のメモリセルを構成する構成要素の配置状態の概念図を図15、図16、図17、図18、図19及び図20に示す。尚、図13A及び図13Bにおいて、ハッチング線の一部を省略しており、図13Bにおいて、ワード線(WL)95の側面を図示している。また、図15、図16、図17、図18、図19及び図20においては8つのメモリセルを図示し、メモリセルの境界線を一点鎖線で示している。

[0060] 実施例2あるいは後述する実施例4のメモリセルにおいて、第1の転送トランジスタ $TR_5$ のゲート電極層85及び第2の転送トランジスタ $TR_6$ のゲート電極層86は、ワード線(WL)95に接続されている。ワード線WLは、第1の電源線91、第2の電源線92、第1のビット線(BL)93及び第2のビット線(BL')94が延びる第1の方向とは異なる第2の方向(具体的には、例えば、第1の方向と直交する第2の方向)に延びており、周

辺回路に接続されている。

[0061] 具体的には、実施例2あるいは後述する実施例4のメモリセルにおいて、第1の転送トランジスタ $T R_5$ のゲート電極層85は、層間絶縁層79Cに形成された接続孔87を介してワード線95に接続されている。一方、第2の転送トランジスタ $T R_6$ のゲート電極層86は、層間絶縁層79Cに形成された接続孔88、配線部96を介してワード線95に接続されている。ワード線95及び配線部96は、層間絶縁層79D上に形成されており、接続孔87、88は、絶縁層79B及び層間絶縁層79C、79Dに設けられている。

[0062] 実施例2のメモリセルにおいて、第1の転送トランジスタ $T R_5$ の他方のソース／ドレイン領域53は、層間絶縁層79Cに設けられた接続孔54を介して第1のビット線93（BL）に接続されており、第2の転送トランジスタ $T R_6$ の他方のソース／ドレイン領域63は、層間絶縁層79Cに設けられた接続孔64を介して第2のビット線94（BL'）に接続されている。第1Aトランジスタ $T R_1$ のソース領域13及び第2Aトランジスタ $T R_3$ のソース領域33は、層間絶縁層79Cに形成された接続孔14、34を介して共通の第1の電源線91に接続されている。第1Bトランジスタ $T R_2$ 及び第2Bトランジスタ $T R_4$ のソース領域23、43は、層間絶縁層79Cに形成された接続孔24、44を介して共通の第2の電源線92に接続されている。第1Aトランジスタ $T R_1$ のドレイン領域11、第1Bトランジスタ $T R_2$ のドレイン領域21及び第1の転送トランジスタ $T R_5$ の一方のソース／ドレイン領域51は、第1のドレイン領域・接続部71に接続されており、第2Aトランジスタ $T R_3$ のドレイン領域31、第2Bトランジスタ $T R_4$ のドレイン領域41及び第2の転送トランジスタ $T R_6$ の一方のソース／ドレイン領域61は、第2のドレイン領域・接続部72に接続されている。第1の転送トランジスタ $T R_5$ 及び第2の転送トランジスタ $T R_6$ の上方には、第1の電源線91及び第2の電源線92は設けられていない。第1の電源線91、第2の電源線92、第1のビット線93及び第2のビット線94は、層間絶縁層79C

上に形成されている。

[0063] また、実施例2あるいは後述する実施例4のメモリセルにおいて、隣接するメモリセルは、第1の方向に延びる境界線、又は、第2の方向に延びる境界線、又は、第1の方向及び第2の方向に延びる境界線に対して線対称に配置されている。図示した例では、隣接するメモリセルは、第1の方向に延びる境界線及び第2の方向に延びる境界線に対して線対称に配置されている。更には、第1のCMOSインバータ回路及び第2のインバータ回路は、メモリセルの中心軸に対して2回対称に配置されている。図15及び図36において、1つのメモリセルの中心軸を黒丸「CA」で表している。

[0064] そして、実施例2あるいは後述する実施例4のメモリセルにおいて、

- [a] 第2の方向に垂直な仮想垂直面への、第1Aトランジスタ $TR_1$ のチャネル構造部の正射影像
- [b] 第2の方向に垂直な仮想垂直面への、第1Bトランジスタ $TR_2$ のチャネル構造部の正射影像、並びに、
- [c] 第2の方向に垂直な仮想垂直面への、第1の転送トランジスタ $TR_5$ のチャネル構造部の正射影像

は、実質的に重なっており、

- [d] 第2の方向に垂直な仮想垂直面への、第2Aトランジスタ $TR_3$ のチャネル構造部の正射影像
- [e] 第2の方向に垂直な仮想垂直面への、第2Bトランジスタ $TR_4$ のチャネル構造部の正射影像、並びに、
- [f] 第2の方向に垂直な仮想垂直面への、第2の転送トランジスタ $TR_6$ のチャネル構造部の正射影像

は、実質的に重なっている。

[0065] 更には、実施例2のメモリセルにおいて、第1の電源線91と第2の電源線92と第1のビット線93と第2のビット線94とは、第1レベルに配設されており、ワード線95は、第1レベルとは異なる第2レベルに配設されている。図示した例では、第1レベルが第2レベルよりも基体側に位置して

いるが、第2レベルが第1レベルよりも基体側に位置してもよい。

[0066] 以上に説明した点を除き、実施例2のメモリセルは、実質的に実施例1のメモリセルの構成、構造と同様とすることができるので、詳細な説明は省略する。

### 実施例 3

[0067] 実施例3も、実施例1の変形であるが、本開示の第2の形態のメモリセル及び本開示の第1の構成のメモリセルに関する。

[0068] 実施例3のメモリセルの図24の矢印A-Aに沿った模式的な一部断面図を図21Aに示し、図24の矢印B-Bに沿った模式的な一部断面図を図21Bに示し、図24の矢印C-Cに沿った模式的な一部断面図を図21Cに示し、図24の矢印D-Dに沿った模式的な一部断面図を図22Aに示し、図24の矢印E-Eに沿った模式的な一部断面図を図22Bに示す。また、実施例3のメモリセルの等価回路図を図23に示す。更には、実施例3のメモリセルの図21Aの矢印A-Aを含む仮想水平面、矢印B-Bを含む仮想水平面、矢印C-Cを含む仮想水平面、矢印D-Dを含む仮想水平面及び矢印E-Eを含む仮想水平面を含む仮想水平面で実施例3のメモリセルを切断したときの実施例3のメモリセルを構成する構成要素の配置状態の概念図を図24、図25、図26、図27、図28に示す。尚、図21A、図21B、図21C、図22A及び図22Bにおいて、ハッチング線の一部を省略している。また、図24、図25、図26、図27及び図28においては6つのメモリセルを図示し、メモリセルの境界線を一点鎖線で示している。

[0069] 実施例3のメモリセルにおいて、第1Aトランジスタ $TR_1$ 、第1Bトランジスタ $TR_2$ 、第2Aトランジスタ $TR_3$ 及び第2Bトランジスタ $TR_4$ のソース領域13、23、33、43、並びに、第1の転送トランジスタ $TR_5$ 及び第2の転送トランジスタ $TR_6$ の他方のソース／ドレイン領域53、63は、基体70上（具体的には、基体70の直上）に形成されており、第1の電源線91及び第2の電源線92は、基体70（具体的には、基体70の頂面部分）に形成されている。第1の電源線91及び第2の電源線92は、基体70

（具体的には、基体 70 の頂面部分）に形成された高濃度不純物領域又は導電材料層から成り、あるいは又、絶縁材料層で囲まれ、周囲から絶縁された金属材料層から成る。

[0070] 第 1 A トランジスタ  $TR_1$ 、第 1 B トランジスタ  $TR_2$ 、第 2 A トランジスタ  $TR_3$ 、第 2 B トランジスタ  $TR_4$ 、第 1 の転送トランジスタ  $TR_5$ 、第 2 の転送トランジスタ  $TR_6$  は層間絶縁層 79 C で覆われており、層間絶縁層 79 C 上には層間絶縁層 79 D が形成されている。

[0071] 第 1 A トランジスタ  $TR_1$  のソース領域 13 及び第 2 A トランジスタ  $TR_3$  のソース領域 33 は、共通の第 1 の電源線 91 に接続されており、第 1 B トランジスタ  $TR_2$  のソース領域 23 及び第 2 B トランジスタ  $TR_4$  のソース領域 43 は、共通の第 2 の電源線 92 に接続されている。

[0072] また、第 1 A トランジスタ  $TR_1$  のドレイン領域 11 は、層間絶縁層 79 C に設けられた接続孔 14 を介して第 1 のドレイン領域・接続部 71 に接続され、第 1 B トランジスタ  $TR_2$  のドレイン領域 21 は、層間絶縁層 79 C に設けられた接続孔 24 を介して第 1 のドレイン領域・接続部 71 に接続されている。第 1 の転送トランジスタ  $TR_5$  の一方のソース／ドレイン領域 51 は、層間絶縁層 79 C に設けられた接続孔 54 を介して第 1 のドレイン領域・接続部 71 に接続されている。第 2 A トランジスタ  $TR_3$  のドレイン領域 31 は、層間絶縁層 79 C に設けられた接続孔 34 を介して第 2 のドレイン領域・接続部 72 に接続され、第 2 B トランジスタ  $TR_4$  のドレイン領域 41 は、層間絶縁層 79 C に設けられた接続孔 44 を介して第 2 のドレイン領域・接続部 72 に接続されている。第 2 の転送トランジスタ  $TR_6$  の一方のソース／ドレイン領域 61 は、層間絶縁層 79 C に設けられた接続孔 64 を介して第 2 のドレイン領域・接続部 72 に接続されている。

[0073] 第 1 の転送トランジスタ  $TR_5$  の他方のソース／ドレイン領域 53 は、基体 70（具体的には、基体 70 の頂面部分）に設けられた高濃度不純物領域又は導電材料層から成る接続部 75、接続部 75 に接続され、絶縁層 79 A、79 B 及び層間絶縁層 79 C、79 D に設けられた接続孔 76 を介して、層

間絶縁層 79D 上に設けられた第 1 のビット線 93 に接続されている。第 2 の転送トランジスタ  $TR_6$  の他方のソース／ドレイン領域 63 は、基体 70（具体的には、基体 70 の頂面部分）に設けられた高濃度不純物領域又は導電材料層から成る接続部 77、接続部 77 に接続され、絶縁層 79A, 79B 及び層間絶縁層 79C, 79D に設けられた接続孔 78 を介して、層間絶縁層 79D 上に設けられた第 2 のビット線 94 に接続されている。

[0074] 第 1 A トランジスタ  $TR_1$  及び第 1 B トランジスタ  $TR_2$  に共通の第 1 のゲート電極層 81 は、絶縁層 79B、層間絶縁層 79C に設けられた第 1 のゲート電極・接続部 73 を介して第 2 のドレイン領域・接続部 72 に接続されており、第 2 A トランジスタ  $TR_3$  及び第 2 B トランジスタ  $TR_4$  に共通の第 2 のゲート電極層 82 は、絶縁層 79B、層間絶縁層 79C に設けられた第 2 のゲート電極・接続部 74 を介して第 1 のドレイン領域・接続部 71 に接続されている。

[0075] 第 1 の電源線 91、第 2 の電源線 92、第 1 のビット線 93 及び第 2 のビット線 94 は、第 1 の方向に延びており、第 1 の転送トランジスタ  $TR_5$  及び第 2 の転送トランジスタ  $TR_6$  に共通のゲート電極層（第 3 のゲート電極層）83 はワード線 WL を兼ねており、第 2 の方向に延びている。

[0076] また、実施例 3 の CMOS インバータ回路にあっては、pMOS トランジスタ  $TR_1$ ,  $TR_3$  のソース領域 13, 33 及び nMOS トランジスタ  $TR_2$ ,  $TR_4$  のソース領域 23, 43 は、基体 70 上（具体的には、基体 70 の直上）に形成されており、第 1 の電源線 91 及び第 2 の電源線 92 は基体 70（具体的には、基体 70 の頂面部分）に形成されている。

[0077] 以上に説明した点を除き、実施例 3 のメモリセルは、実質的に実施例 1 のメモリセルの構成、構造と同様とすることができるので、詳細な説明は省略する。尚、実施例 3 のメモリセルの面積は  $48 \Delta^2$  にあり、図 52B に示した従来の SRAM メモリセルの占める領域の面積と同じであるが、配線層の数の減少が図られている。

[0078] 図 29 に実施例 3 の第 1 変形例の、図 25 と同様の概念図を示すように、

隣接するメモリセルは、第1の方向に延びる境界線に対して線対称に配置されている形態とすることもできる。

#### 実施例 4

[0079] 実施例4は、実施例2の変形であり、本開示の第2の形態のメモリセル及び本開示の第2の構成のメモリセルに関する。

[0080] 実施例4のメモリセルの図36の矢印A-Aに沿った模式的な一部断面図を図30Aに示し、図36の矢印B-Bに沿った模式的な一部断面図を図30Bに示し、等価回路図を図31に示す。また、実施例4のメモリセルの図30Aの矢印A-Aを含む仮想水平面、矢印B-Bを含む仮想水平面、矢印C-Cを含む仮想水平面、矢印D-Dを含む仮想水平面、矢印E-Eを含む仮想水平面及び矢印F-Fを含む仮想水平面で実施例4のメモリセルを切断したときの実施例4のメモリセルを構成する構成要素の配置状態の概念図を図32、図33、図34、図35、図36及び図37に示す。尚、図30A及び図30Bにおいて、ハッチング線の一部を省略しており、図30Bにおいて、ワード線(WL)95の側面を図示している。また、図32、図33、図34、図35、図36及び図37においては8つのメモリセルを図示し、メモリセルの境界線を一点鎖線で示している。

[0081] 実施例4のメモリセルにおいて、第1Aトランジスタ $TR_1$ 、第1Bトランジスタ $TR_2$ 、第2Aトランジスタ $TR_3$ 及び第2Bトランジスタ $TR_4$ のソース領域13, 23, 33, 43、並びに、第1の転送トランジスタ $TR_5$ 及び第2の転送トランジスタ $TR_6$ の他方のソース／ドレイン領域53, 63は、基体70上（具体的には、基体70の直上）に形成されており、第1の電源線91、第2の電源線92、第1のビット線93及び第2のビット線94は、基体70（具体的には、基体70の頂面部分）に形成されている。第1の電源線91、第2の電源線92、第1のビット線93及び第2のビット線94は、基体70（具体的には、基体70の頂面部分）に形成された高濃度不純物領域又は導電材料層から成り、あるいは又、絶縁材料層で囲まれ、周囲から絶縁された金属材料層から成る。

[0082] 実施例4のメモリセルにおいて、第1の転送トランジスタ $TR_5$ の他方のソース／ドレイン領域53は、第1のビット線93（BL）に接続されており、第2の転送トランジスタ $TR_6$ の他方のソース／ドレイン領域63は、第2のビット線94（BL'）に接続されている。第1Aトランジスタ $TR_1$ のソース領域13及び第2Aトランジスタ $TR_3$ のソース領域33は、共通の第1の電源線91に接続されている。第1Bトランジスタ $TR_2$ 及び第2Bトランジスタ $TR_4$ のソース領域23, 43は、共通の第2の電源線92に接続されている。第1Aトランジスタ $TR_1$ のドレイン領域11、第1Bトランジスタ $TR_2$ のドレイン領域21及び第1の転送トランジスタ $TR_5$ の一方のソース／ドレイン領域51は、接続孔14, 24, 54を介して第1のドレイン領域・接続部71に接続されており、第2Aトランジスタ $TR_3$ のドレイン領域31、第2Bトランジスタ $TR_4$ のドレイン領域41及び第2の転送トランジスタ $TR_6$ の一方のソース／ドレイン領域61は、接続孔34, 44, 64を介して第2のドレイン領域・接続部72に接続されている。第1のドレイン領域・接続部71及び第2のドレイン領域・接続部72は層間絶縁層79C上に設けられている。第1の転送トランジスタ $TR_5$ 及び第2の転送トランジスタ $TR_6$ の上方には、第1の電源線91及び第2の電源線92は設けられていない。

[0083] 第1Aトランジスタ $TR_1$ 及び第1Bトランジスタ $TR_2$ に共通の第1のゲート電極層81は、絶縁層79B、層間絶縁層79Cに設けられた第1のゲート電極・接続部73を介して第2のドレイン領域・接続部72に接続されており、第2Aトランジスタ $TR_3$ 及び第2Bトランジスタ $TR_4$ に共通のゲート電極層（第2のゲート電極層）82は、絶縁層79B、層間絶縁層79Cに設けられた第2のゲート電極・接続部74を介して第1のドレイン領域・接続部71に接続されている。

[0084] 以上に説明した点を除き、実施例4のメモリセルは、実質的に実施例2のメモリセルの構成、構造と同様とすることができるので、詳細な説明は省略する。

[0085] 以上、本開示を好ましい実施例に基づき説明したが、実施例において説明したメモリセルあるいはCMOSインバータ回路の構成、構造、メモリセルあるいはCMOSインバータ回路を構成する材料、メモリセルあるいはCMOSインバータ回路の製造方法は例示であり、適宜、変更することができる。また、実施例1において説明したメモリセルの製造方法における工程順序は、所望に応じて、適宜、変更することができる。実施例においては、チャネル構造部を専らナノワイヤー構造に基づき説明したが、ナノシート構造あるいはナノチューブ構造とすることもできる。基体として、シリコン半導体基板の代わりにSOI基板を用いることもできる。

[0086] 本開示のメモリセル（SRAM）を、2-Port-SRAM、デュアルPort-SRAMに適用することができる。

[0087] 実施例1のメモリセルの第3変形例の図39の矢印A-A、矢印B-B及び矢印C-Cに沿った模式的な一部断面図を、図38A、図38B及び図38Cに示す。また、図38Aの矢印A-Aを含む仮想水平面、矢印B-Bを含む仮想水平面、矢印C-Cを含む仮想水平面、矢印D-Dを含む仮想水平面、矢印E-Eを含む仮想水平面及び矢印F-Fを含む仮想水平面で実施例1のメモリセルの第3変形例を切断したときの実施例1のメモリセルの第3変形例を構成する構成要素の配置状態の図39、図40、図41、図42、図43及び図44の概念図に示す。この実施例1の第3変形例のメモリセルにあっては、実施例1において説明したメモリセルとは異なり、前述した、

[A] 第1の方向に垂直な仮想平面（仮想垂直面）への、第1Aトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、及び、

[C] 第1の方向に垂直な仮想平面（仮想垂直面）への、第2Aトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像が重なっており、しかも、

[B] 第1の方向に垂直な仮想平面（仮想垂直面）への、第1Bトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像と

、

[D'] この第1 Bトランジスタ $TR_2$ に隣接する第2 Bトランジスタ $TR_4$ であって、第1の方向に垂直な仮想平面（仮想垂直面）への、この第2 Bトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、

との間に隙間が設けられている。第1の電源線91は、第1 Aトランジスタ $TR_1$ 及び第1 Bトランジスタ $TR_2$ の上方に位置している。一方、第2の電源線92は、第1 Bトランジスタ $TR_2$ と、この第1 Bトランジスタ $TR_2$ に隣接する第2 Bトランジスタ $TR_4$ との間の領域の上方に位置している。即ち、第1の電源線91の正射影像は、第1 Aトランジスタ $TR_1$ 及び第1 Bトランジスタ $TR_2$ の正射影像と重なっているが、第2の電源線92は、第1 Bトランジスタ $TR_2$ 及び第2 Bトランジスタ $TR_4$ の正射影像と重なっていない。第1のビット線93は、第1 Bトランジスタ $TR_2$ 側に、第1の転送トランジスタ $TR_5$ からずれた上方に位置しているし、第2のビット線94は、第2 Bトランジスタ $TR_4$ 側に、第2の転送トランジスタ $TR_6$ からずれた上方に位置している。具体的には、第1のビット線93及び第2のビット線94は、第1の電源線91と第2の電源線92の間に位置する領域の上方に設けられており、第1のビット線93及び第2のビット線94の正射影像は、第1の電源線91及び第2の電源線92の正射影像と重なっていない。

[0088] また、図38Aの矢印A-Aを含む仮想水平面、矢印B-Bを含む仮想水平面、矢印C-Cを含む仮想水平面、矢印D-Dを含む仮想水平面、矢印E-Eを含む仮想水平面及び矢印F-Fを含む仮想水平面と同様の仮想水平面で実施例1のメモリセルの第4変形例を切断したときの実施例1のメモリセルの第4変形例を構成する構成要素の配置状態の図45、図46、図47、図48及び図49及び図50の概念図に示す。この実施例1の第4変形例のメモリセルにあっては、実施例1において説明したメモリセルとは異なり、前述した、

[A] 第1の方向に垂直な仮想平面（仮想垂直面）への、第1 Aトランジス

タを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、及び、

[C] 第1の方向に垂直な仮想平面（仮想垂直面）への、第2 Aトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像が重なっておらず、しかも、これらの正射影像の間に隙間が設けられている。第1の電源線91は、第1 Aトランジスタ $TR_1$ と第1 Bトランジスタ $TR_2$ との間の領域の上方に位置しているし、第2の電源線92は、第1 Bトランジスタ $TR_2$ と、この第1 Bトランジスタ $TR_2$ に隣接する第2 Bトランジスタ $TR_4$ との間の領域の上方に位置している。第1の電源線91の正射影像は、第1 Aトランジスタ $TR_1$ 及び第1 Bトランジスタ $TR_2$ の正射影像と重なっていないし、第2の電源線92は、第1 Bトランジスタ $TR_2$ 及び第2 Bトランジスタ $TR_4$ の正射影像と重なっていない。第1のビット線93は、第1の転送トランジスタ $TR_5$ の上方に位置しているし、第2のビット線94は、第2の転送トランジスタ $TR_6$ の上方に位置している。

[0089] 図17に示したと同様の仮想水平面で実施例2のメモリセルの第1変形例を切断したときの実施例2のメモリセルの第1変形例を構成する構成要素の配置状態の概念図を図51に示すように、接続孔87, 88の位置を変えてもよい。

[0090] 実施例においては、第1の電源線を、第1 Aトランジスタのソース領域及び第2 Aトランジスタのソース領域に共通とし、第2の電源線を、第1 Bトランジスタのソース領域及び第2 Bトランジスタのソース領域に共通としたが、場合によっては、第1の電源線を、第1 Aトランジスタのソース領域及び第2 Aトランジスタのソース領域に共通とし、2本の第2の電源線を、第1 Bトランジスタのソース領域及び第2 Bトランジスタのソース領域のそれぞれに接続してもよいし、2本の第1の電源線を、第1 Aトランジスタのソース領域及び第2 Aトランジスタのソース領域のそれぞれに接続し、第2の電源線を、第1 Bトランジスタのソース領域及び第2 Bトランジスタのソース領域に共通としてもよい。

[0091] 尚、本開示は、以下のような構成を取ることもできる。

[A O 1] 《メモリセル》

第1のCMOSインバータ回路及び第2のインバータ回路から構成されたフリップフロップ回路、並びに、2つの転送トランジスタから構成されたメモリセルであって、

第1のCMOSインバータ回路は、ドレイン領域、チャネル形成領域及びソース領域が積層され、ゲート電極層を備えたpMOSトランジスタから成る第1Aトランジスタ、並びに、ドレイン領域、チャネル形成領域及びソース領域が積層され、ゲート電極層を備えたnMOSトランジスタから成る第1Bトランジスタから構成されており、

第2のCMOSインバータ回路は、ドレイン領域、チャネル形成領域及びソース領域が積層され、ゲート電極層を備えたpMOSトランジスタから成る第2Aトランジスタ、並びに、ドレイン領域、チャネル形成領域及びソース領域が積層され、ゲート電極層を備えたnMOSトランジスタから成る第2Bトランジスタから構成されており、

転送トランジスタのそれぞれは、ドレイン領域、チャネル形成領域及びソース領域が積層され、ゲート電極層を備えて成り、

第1Aトランジスタのドレイン領域及び第1Bトランジスタのドレイン領域は、共通の第1のドレイン領域・接続部に接続されており、

第2Aトランジスタのドレイン領域及び第2Bトランジスタのドレイン領域は、共通の第2のドレイン領域・接続部に接続されており、

第1Aトランジスタ及び第1Bトランジスタに共通のゲート電極層は、第1のゲート電極・接続部を介して、第2のドレイン領域・接続部に接続されており、

第2Aトランジスタ及び第2Bトランジスタに共通のゲート電極層は、第2のゲート電極・接続部を介して、第1のドレイン領域・接続部に接続されており、

第1Aトランジスタのソース領域及び第2Aトランジスタのソース領域は

、共通の第1の電源線に接続されており、

第1 Bトランジスタのソース領域及び第2 Bトランジスタのソース領域は、共通の第2の電源線に接続されているメモリセル。

[A 0 2] 第1 Aトランジスタ、第1 Bトランジスタ、第2 Aトランジスタ及び第2 Bトランジスタのドレイン領域、並びに、第1の転送トランジスタ及び第2の転送トランジスタの一方のソース／ドレイン領域は、基体上に形成されており、

第1のドレイン領域・接続部及び第2のドレイン領域・接続部は、基体に形成されている[A 0 1]に記載のメモリセル。

[A 0 3] 第1のドレイン領域・接続部及び第2のドレイン領域・接続部は、基体に形成された高濃度不純物領域又は導電材料層から成る[A 0 2]に記載のメモリセル。

[A 0 4] 第1 Aトランジスタ、第1 Bトランジスタ、第2 Aトランジスタ及び第2 Bトランジスタのソース領域、並びに、第1の転送トランジスタ及び第2の転送トランジスタの一方のソース／ドレイン領域は、基体上に形成されており、

第1の電源線及び第2の電源線は、基体に形成されている[A 0 1]に記載のメモリセル。

[A 0 5] 第1の電源線及び第2の電源線は、基体に形成された高濃度不純物領域又は導電材料層から成る[A 0 4]に記載のメモリセル。

[A 0 6] 第1の転送トランジスタの他方のソース／ドレイン領域は、第1のビット線に接続されており、

第2の転送トランジスタの他方のソース／ドレイン領域は、第2のビット線に接続されており、

第1の転送トランジスタの一方のソース／ドレイン領域は、第1のドレイン領域・接続部に接続されており、

第2の転送トランジスタの一方のソース／ドレイン領域は、第2のドレイン領域・接続部に接続されている[A 0 1]乃至[A 0 5]のいずれか1項

に記載のメモリセル。

[A 0 7] 第 1 の電源線、第 2 の電源線、第 1 のビット線及び第 2 のビット線は、第 1 の方向に延びている [A 0 6] に記載のメモリセル。

[A 0 8] 第 1 の電源線、第 2 の電源線、第 1 のビット線及び第 2 のビット線の延びる方向を第 1 の方向、第 1 の方向と直交する方向を第 2 の方向としたとき、隣接するメモリセルは、第 1 の方向に延びる境界線、又は、第 2 の方向に延びる境界線、又は、第 1 の方向及び第 2 の方向に延びる境界線に対して線対称に配置されている [A 0 1] 乃至 [A 0 7] のいずれか 1 項に記載のメモリセル。

[A 0 9] 第 1 の CMOS インバータ回路及び第 2 のインバータ回路は、メモリセルの中心軸に対して 2 回対称に配置されている [A 0 1] 乃至 [A 0 8] のいずれか 1 項に記載のメモリセル。

[A 1 0] 第 1 の転送トランジスタ及び第 2 の転送トランジスタに共通のゲート電極層は、ワード線を兼ねており、

ワード線は、第 1 の電源線、第 2 の電源線、第 1 のビット線及び第 2 のビット線が延びる第 1 の方向とは異なる第 2 の方向に延びている [A 0 1] 乃至 [A 0 9] のいずれか 1 項に記載のメモリセル。

[A 1 1] 第 1 の電源線の正射影像は、第 1 A トランジスタのソース領域の正射影像の一部分と重なっており、且つ、第 2 A トランジスタのソース領域の正射影像の一部分と重なっており、

第 2 の電源線の正射影像は、第 1 B トランジスタのソース領域の正射影像の一部分と重なっており、且つ、第 2 B トランジスタのソース領域の正射影像の一部分と重なっている [A 1 0] に記載のメモリセル。

[A 1 2] 第 1 の方向に垂直な仮想平面への、第 1 A トランジスタを構成するドレイン領域、チャネル形成領域及びソース領域、第 1 B トランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、第 1 の方向に垂直な仮想平面への、第 2 A トランジスタを構成するドレイン領域、チャネル形成領域及びソース領域、第 2 B トランジスタを構成するドレイ

ン領域、チャネル形成領域及びソース領域の正射影像、第1の方向に垂直な仮想平面への、第1の転送トランジスタを構成する一方のソース／ドレイン領域、チャネル形成領域及び他方のソース／ドレイン領域の正射影像、並びに、第1の方向に垂直な仮想平面への、第2の転送トランジスタを構成する一方のソース／ドレイン領域、チャネル形成領域及び他方のソース／ドレイン領域の正射影像は、実質的に重なっていない[A10]又は[A11]に記載のメモリセル。

[A13] 第2の方向に垂直な仮想平面への、第1Aトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、並びに、第2の方向に垂直な仮想平面への、第1Bトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像は、実質的に重なっており、

第2の方向に垂直な仮想平面への、第2Aトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、並びに、第2の方向に垂直な仮想平面への、第2Bトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像は、実質的に重なっており、

第2の方向に垂直な仮想平面への、第1の転送トランジスタを構成する一方のソース／ドレイン領域、チャネル形成領域及び他方のソース／ドレイン領域の正射影像、並びに、第2の方向に垂直な仮想平面への、第2の転送トランジスタを構成する一方のソース／ドレイン領域、チャネル形成領域及び他方のソース／ドレイン領域の正射影像は、実質的に重なっている[A10]乃至[A12]のいずれか1項に記載のメモリセル。

[A14] 第1の電源線と第2の電源線とは、第1レベルに配設されており、

第1のビット線と第2のビット線とは、第1レベルとは異なる第2レベルに配設されている[A10]乃至[A13]のいずれか1項に記載のメモリセル。

[A15] 第1の転送トランジスタ及び第2の転送トランジスタに共通のゲ

ート電極層は、ワード線に接続されており、

ワード線は、第1の電源線、第2の電源線、第1のビット線及び第2のビット線が延びる第1の方向とは異なる第2の方向に延びている[A01]乃至[A09]のいずれか1項に記載のメモリセル。

[A16] 第2の方向に垂直な仮想平面への、第1Aトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、第2の方向に垂直な仮想平面への、第1Bトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、並びに、第1の転送トランジスタを構成する一方のソース／ドレイン領域、チャネル形成領域及び他方のソース／ドレイン領域の正射影像は、実質的に重なっており、

第2の方向に垂直な仮想平面への、第2Aトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、第2の方向に垂直な仮想平面への、第2Bトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、並びに、第2の転送トランジスタを構成する一方のソース／ドレイン領域、チャネル形成領域及び他方のソース／ドレイン領域の正射影像は、実質的に重なっている[A15]に記載のメモリセル。

[A17] 第1の電源線と第2の電源線と第1のビット線と第2のビット線とは、第1レベルに配設されており、

ワード線は、第1レベルとは異なる第2レベルに配設されている[A15]又は[A16]に記載のメモリセル。

[A18] 第1の転送トランジスタ及び第2の転送トランジスタの上方には、第1の電源線及び第2の電源線が設けられていない[A01]乃至[A17]のいずれか1項に記載のメモリセル。

[B01] 《CMOSインバータ回路》

ドレイン領域、チャネル形成領域及びソース領域が積層され、ゲート電極層を備えたpMOSトランジスタ、並びに、ドレイン領域、チャネル形成領域及びソース領域が積層され、ゲート電極層を備えたnMOSトランジスタ

から構成されたCMOSインバータ回路であって、

pMOSトランジスタのドレイン領域及びnMOSトランジスタのドレイン領域は、共通のドレイン領域・接続部に接続されており、

pMOSトランジスタ及びnMOSトランジスタに共通のゲート電極層は、ゲート電極・接続部を介して、基体に形成された共通のゲート配線部に接続されており、

pMOSトランジスタのソース領域は、第1の電源線に接続されており、  
nMOSトランジスタのソース領域は、第2の電源線に接続されているCMOSインバータ回路。

[B02] pMOSトランジスタのドレイン領域及びnMOSトランジスタのドレイン領域は、基体上に形成されており、

共通のドレイン領域・接続部は基体に形成されている[B01]に記載のCMOSインバータ回路。

[B03] pMOSトランジスタのソース領域及びnMOSトランジスタのソース領域は、基体上に形成されており、

第1の電源線及び第2の電源線は基体に形成されている[B01]に記載のCMOSインバータ回路。

## 符号の説明

[0092]  $TR_1$ ・・・第1Aトランジスタ、 $TR_2$ ・・・第1Bトランジスタ、 $TR_3$ ・・・第2Aトランジスタ、 $TR_4$ ・・・第2Bトランジスタ、 $TR_5$ ・・・第1の転送トランジスタ、 $TR_6$ ・・・第2の転送トランジスタ、11, 21, 31, 41・・・ドレイン領域、51, 61・・・一方のソース／ドレイン領域、12, 22, 32, 42, 52, 62・・・チャネル形成領域、13, 23, 33, 43・・・ソース領域、53, 63・・・他方のソース／ドレイン領域、14, 24, 34, 44, 54, 55, 64, 65, 76, 78, 87, 88・・・接続孔、70・・・基体、71・・・第1のドレイン領域・接続部（ゲート配線部）、72・・・第2のドレイン領域・接続部（ゲート配線部）、73・・・第1のゲート電極・接続部（ビアあるいは接続孔）

、 74・・・第2のゲート電極・接続部（ビアあるいは接続孔）、75, 77・・・接続部、79A, 79B・・・絶縁層、79C, 79D・・・層間絶縁層、81・・・ゲート電極層（第1のゲート電極層）、82・・・ゲート電極層（第2のゲート電極層）、83・・・ゲート電極層（第3のゲート電極層）、84・・・ゲート絶縁膜、85・・・第1の転送トランジスタのゲート電極層、86・・・第2の転送トランジスタのゲート電極層、91・・・第1の電源線、92・・・第2の電源線、93・・・第1のビット線、94・・・第2のビット線（BL'）、95・・・ワード線、96・・・配線部

## 請求の範囲

### [請求項1]

第1のCMOSインバータ回路及び第2のインバータ回路から構成されたフリップフロップ回路、並びに、2つの転送トランジスタから構成されたメモリセルであって、

第1のCMOSインバータ回路は、ドレイン領域、チャネル形成領域及びソース領域が積層され、ゲート電極層を備えたpMOSトランジスタから成る第1Aトランジスタ、並びに、ドレイン領域、チャネル形成領域及びソース領域が積層され、ゲート電極層を備えたnMOSトランジスタから成る第1Bトランジスタから構成されており、

第2のCMOSインバータ回路は、ドレイン領域、チャネル形成領域及びソース領域が積層され、ゲート電極層を備えたpMOSトランジスタから成る第2Aトランジスタ、並びに、ドレイン領域、チャネル形成領域及びソース領域が積層され、ゲート電極層を備えたnMOSトランジスタから成る第2Bトランジスタから構成されており、

転送トランジスタのそれぞれは、ドレイン領域、チャネル形成領域及びソース領域が積層され、ゲート電極層を備えて成り、

第1Aトランジスタのドレイン領域及び第1Bトランジスタのドレイン領域は、共通の第1のドレイン領域・接続部に接続されており、

第2Aトランジスタのドレイン領域及び第2Bトランジスタのドレイン領域は、共通の第2のドレイン領域・接続部に接続されており、

第1Aトランジスタ及び第1Bトランジスタに共通のゲート電極層は、第1のゲート電極・接続部を介して、第2のドレイン領域・接続部に接続されており、

第2Aトランジスタ及び第2Bトランジスタに共通のゲート電極層は、第2のゲート電極・接続部を介して、第1のドレイン領域・接続部に接続されており、

第1Aトランジスタのソース領域及び第2Aトランジスタのソース領域は、共通の第1の電源線に接続されており、

第1 Bトランジスタのソース領域及び第2 Bトランジスタのソース領域は、共通の第2の電源線に接続されているメモリセル。

[請求項2] 第1 Aトランジスタ、第1 Bトランジスタ、第2 Aトランジスタ及び第2 Bトランジスタのドレイン領域、並びに、第1の転送トランジスタ及び第2の転送トランジスタの一方のソース／ドレイン領域は、基体上に形成されており、

第1のドレイン領域・接続部及び第2のドレイン領域・接続部は、基体に形成されている請求項1に記載のメモリセル。

[請求項3] 第1のドレイン領域・接続部及び第2のドレイン領域・接続部は、基体に形成された高濃度不純物領域又は導電材料層から成る請求項2に記載のメモリセル。

[請求項4] 第1 Aトランジスタ、第1 Bトランジスタ、第2 Aトランジスタ及び第2 Bトランジスタのソース領域、並びに、第1の転送トランジスタ及び第2の転送トランジスタの一方のソース／ドレイン領域は、基体上に形成されており、

第1の電源線及び第2の電源線は、基体に形成されている請求項1に記載のメモリセル。

[請求項5] 第1の電源線及び第2の電源線は、基体に形成された高濃度不純物領域又は導電材料層から成る請求項4に記載のメモリセル。

[請求項6] 第1の転送トランジスタの他方のソース／ドレイン領域は、第1のビット線に接続されており、

第2の転送トランジスタの他方のソース／ドレイン領域は、第2のビット線に接続されており、

第1の転送トランジスタの一方のソース／ドレイン領域は、第1のドレイン領域・接続部に接続されており、

第2の転送トランジスタの一方のソース／ドレイン領域は、第2のドレイン領域・接続部に接続されている請求項1に記載のメモリセル

。

- [請求項7] 第1の電源線、第2の電源線、第1のビット線及び第2のビット線は、第1の方向に延びている請求項6に記載のメモリセル。
- [請求項8] 第1の電源線、第2の電源線、第1のビット線及び第2のビット線の延びる方向を第1の方向、第1の方向と直交する方向を第2の方向としたとき、隣接するメモリセルは、第1の方向に延びる境界線、又は、第2の方向に延びる境界線、又は、第1の方向及び第2の方向に延びる境界線に対して線対称に配置されている請求項1に記載のメモリセル。
- [請求項9] 第1のCMOSインバータ回路及び第2のインバータ回路は、メモリセルの中心軸に対して2回対称に配置されている請求項1に記載のメモリセル。
- [請求項10] 第1の転送トランジスタ及び第2の転送トランジスタに共通のゲート電極層は、ワード線を兼ねており、  
ワード線は、第1の電源線、第2の電源線、第1のビット線及び第2のビット線が延びる第1の方向とは異なる第2の方向に延びている請求項1に記載のメモリセル。
- [請求項11] 第1の電源線の正射影像は、第1Aトランジスタのソース領域の正射影像の一部分と重なっており、且つ、第2Aトランジスタのソース領域の正射影像の一部分と重なっており、  
第2の電源線の正射影像は、第1Bトランジスタのソース領域の正射影像の一部分と重なっており、且つ、第2Bトランジスタのソース領域の正射影像の一部分と重なっている請求項10に記載のメモリセル。
- [請求項12] 第1の方向に垂直な仮想平面への、第1Aトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域、第1Bトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、第1の方向に垂直な仮想平面への、第2Aトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域、第2Bトラン

ジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、第1の方向に垂直な仮想平面への、第1の転送トランジスタを構成する一方のソース／ドレイン領域、チャネル形成領域及び他方のソース／ドレイン領域の正射影像、並びに、第1の方向に垂直な仮想平面への、第2の転送トランジスタを構成する一方のソース／ドレイン領域、チャネル形成領域及び他方のソース／ドレイン領域の正射影像は、実質的に重なっていない請求項10に記載のメモリセル。

[請求項13] 第2の方向に垂直な仮想平面への、第1Aトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、並びに、第2の方向に垂直な仮想平面への、第1Bトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像は、実質的に重なっており、

第2の方向に垂直な仮想平面への、第2Aトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、並びに、第2の方向に垂直な仮想平面への、第2Bトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像は、実質的に重なっており、

第2の方向に垂直な仮想平面への、第1の転送トランジスタを構成する一方のソース／ドレイン領域、チャネル形成領域及び他方のソース／ドレイン領域の正射影像、並びに、第2の方向に垂直な仮想平面への、第2の転送トランジスタを構成する一方のソース／ドレイン領域、チャネル形成領域及び他方のソース／ドレイン領域の正射影像は、実質的に重なっている請求項10に記載のメモリセル。

[請求項14] 第1の電源線と第2の電源線とは、第1レベルに配設されており、  
第1のビット線と第2のビット線とは、第1レベルとは異なる第2レベルに配設されている請求項10に記載のメモリセル。

[請求項15] 第1の転送トランジスタ及び第2の転送トランジスタに共通のゲート電極層は、ワード線に接続されており、

ワード線は、第1の電源線、第2の電源線、第1のビット線及び第2のビット線が延びる第1の方向とは異なる第2の方向に延びている請求項1に記載のメモリセル。

[請求項16]

第2の方向に垂直な仮想平面への、第1 Aトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、第2の方向に垂直な仮想平面への、第1 Bトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、並びに、第1の転送トランジスタを構成する一方のソース／ドレイン領域、チャネル形成領域及び他方のソース／ドレイン領域の正射影像は、実質的に重なっており、

第2の方向に垂直な仮想平面への、第2 Aトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、第2の方向に垂直な仮想平面への、第2 Bトランジスタを構成するドレイン領域、チャネル形成領域及びソース領域の正射影像、並びに、第2の転送トランジスタを構成する一方のソース／ドレイン領域、チャネル形成領域及び他方のソース／ドレイン領域の正射影像は、実質的に重なっている請求項15に記載のメモリセル。

[請求項17]

第1の電源線と第2の電源線と第1のビット線と第2のビット線とは、第1レベルに配設されており、

ワード線は、第1レベルとは異なる第2レベルに配設されている請求項15に記載のメモリセル。

[請求項18]

ドレイン領域、チャネル形成領域及びソース領域が積層され、ゲート電極層を備えたp MOSトランジスタ、並びに、ドレイン領域、チャネル形成領域及びソース領域が積層され、ゲート電極層を備えたn MOSトランジスタから構成されたCMOSインバータ回路であって、

p MOSトランジスタのドレイン領域及びn MOSトランジスタのドレイン領域は、共通のドレイン領域・接続部に接続されており、

p MOS トランジスタ及び n MOS トランジスタに共通のゲート電極層は、ゲート電極・接続部を介して、基体に形成された共通のゲート配線部に接続されており、

p MOS トランジスタのソース領域は、第 1 の電源線に接続されており、

n MOS トランジスタのソース領域は、第 2 の電源線に接続されている CMOS インバータ回路。

[請求項19] p MOS トランジスタのドレイン領域及び n MOS トランジスタのドレイン領域は、基体上に形成されており、

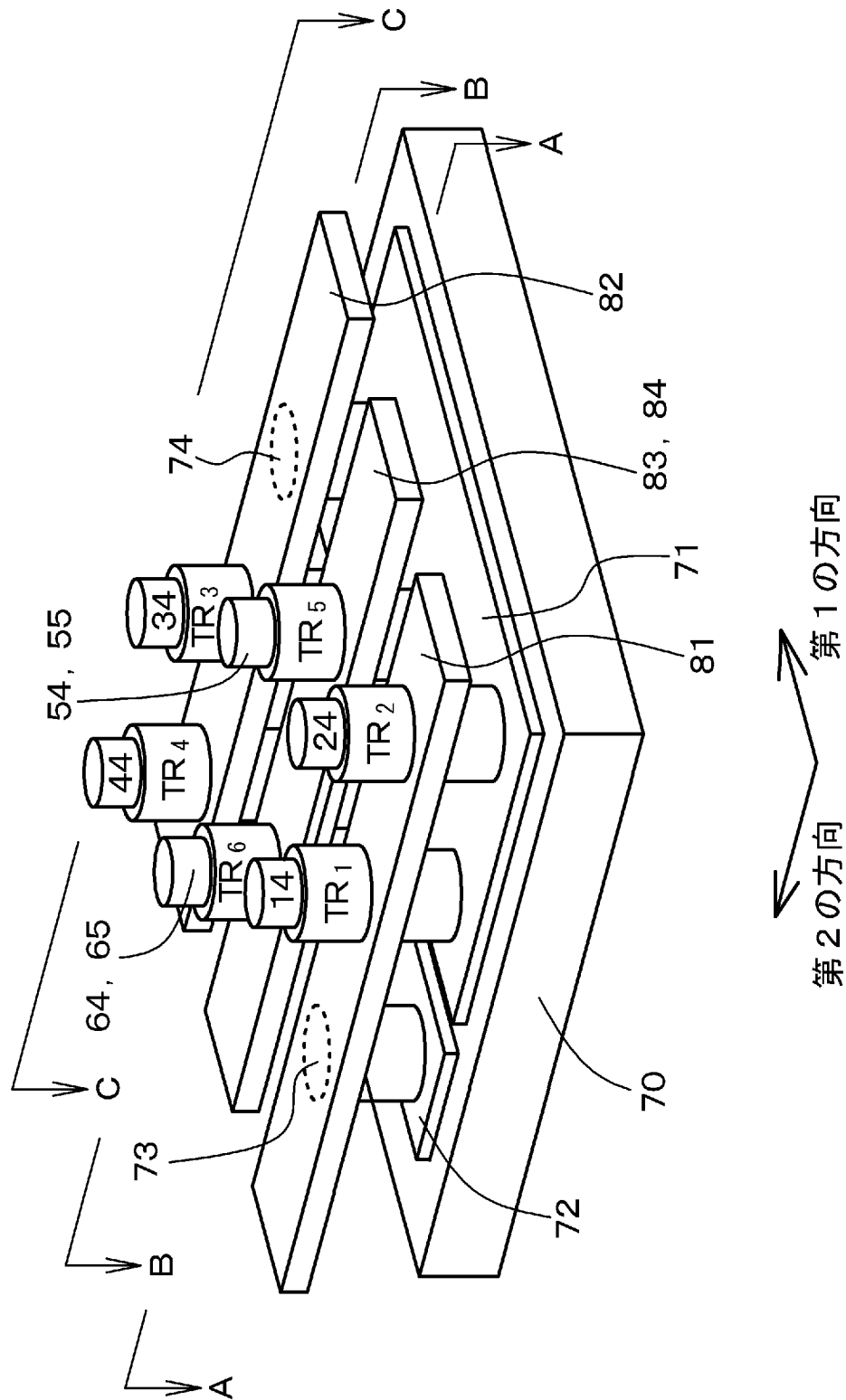
共通のドレイン領域・接続部は基体に形成されている請求項 18 に記載の CMOS インバータ回路。

[請求項20] p MOS トランジスタのソース領域及び n MOS トランジスタのソース領域は、基体上に形成されており、

第 1 の電源線及び第 2 の電源線は基体に形成されている請求項 18 に記載の CMOS インバータ回路。

[図1]

図 1



[図2]

図 2

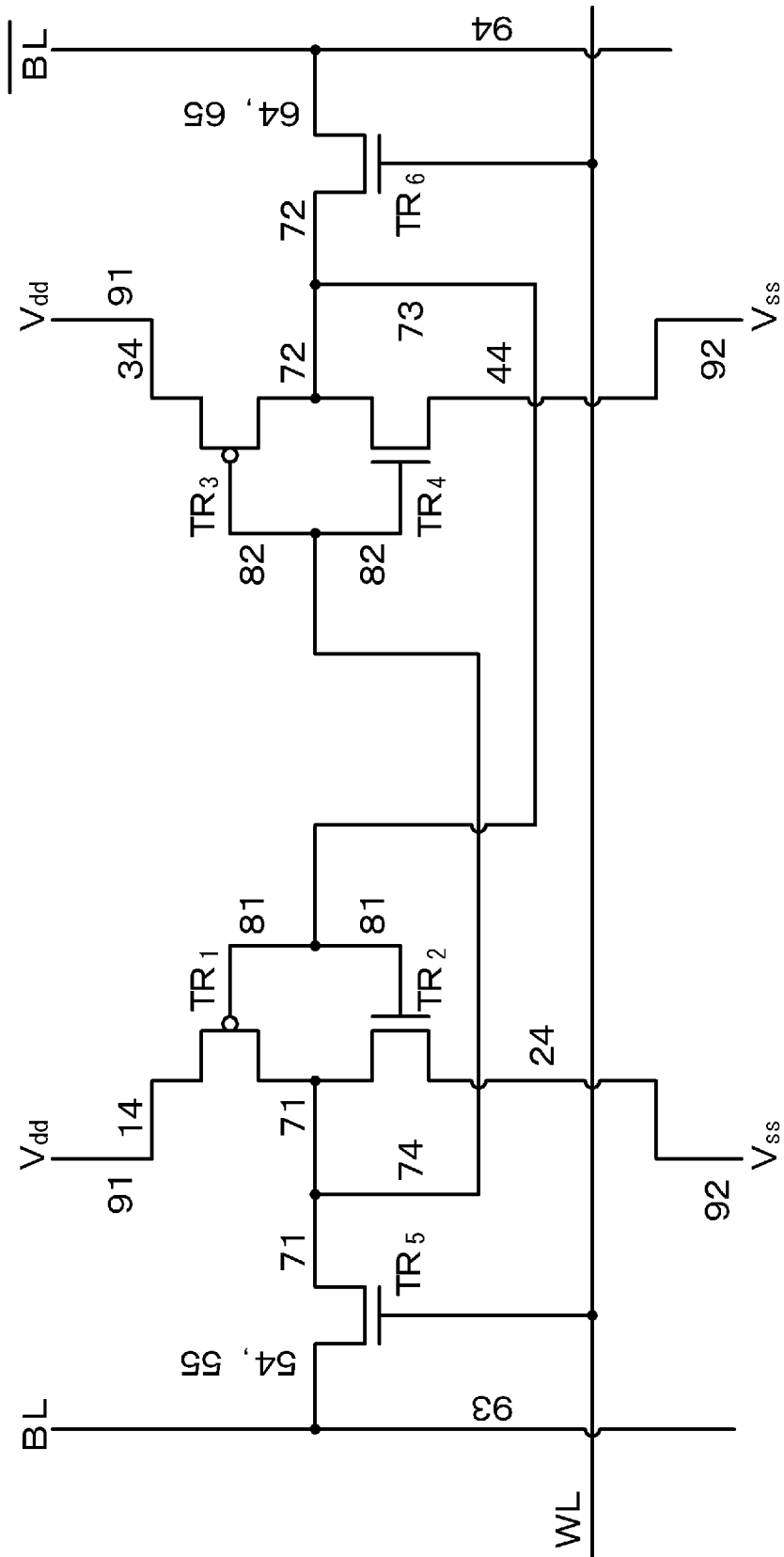
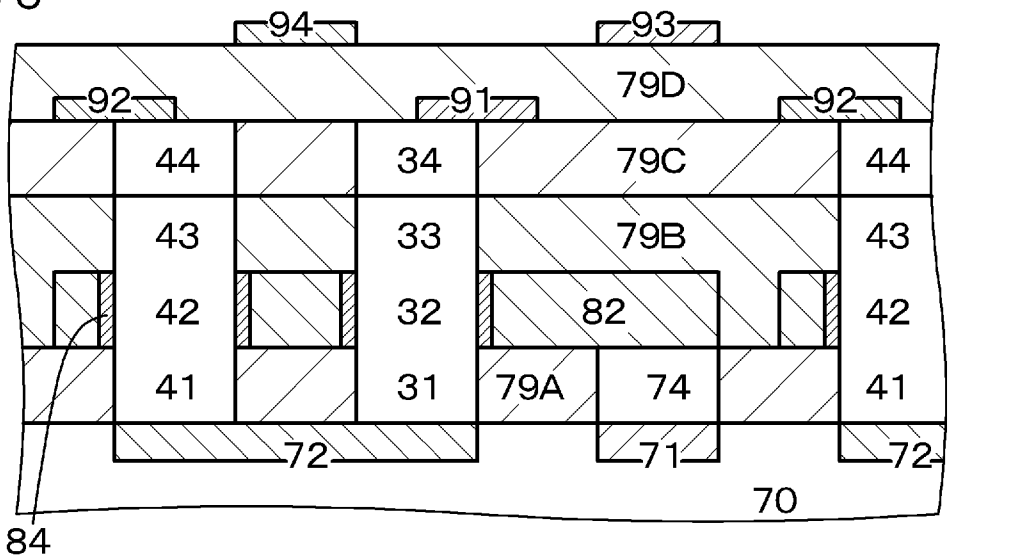
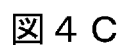
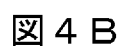


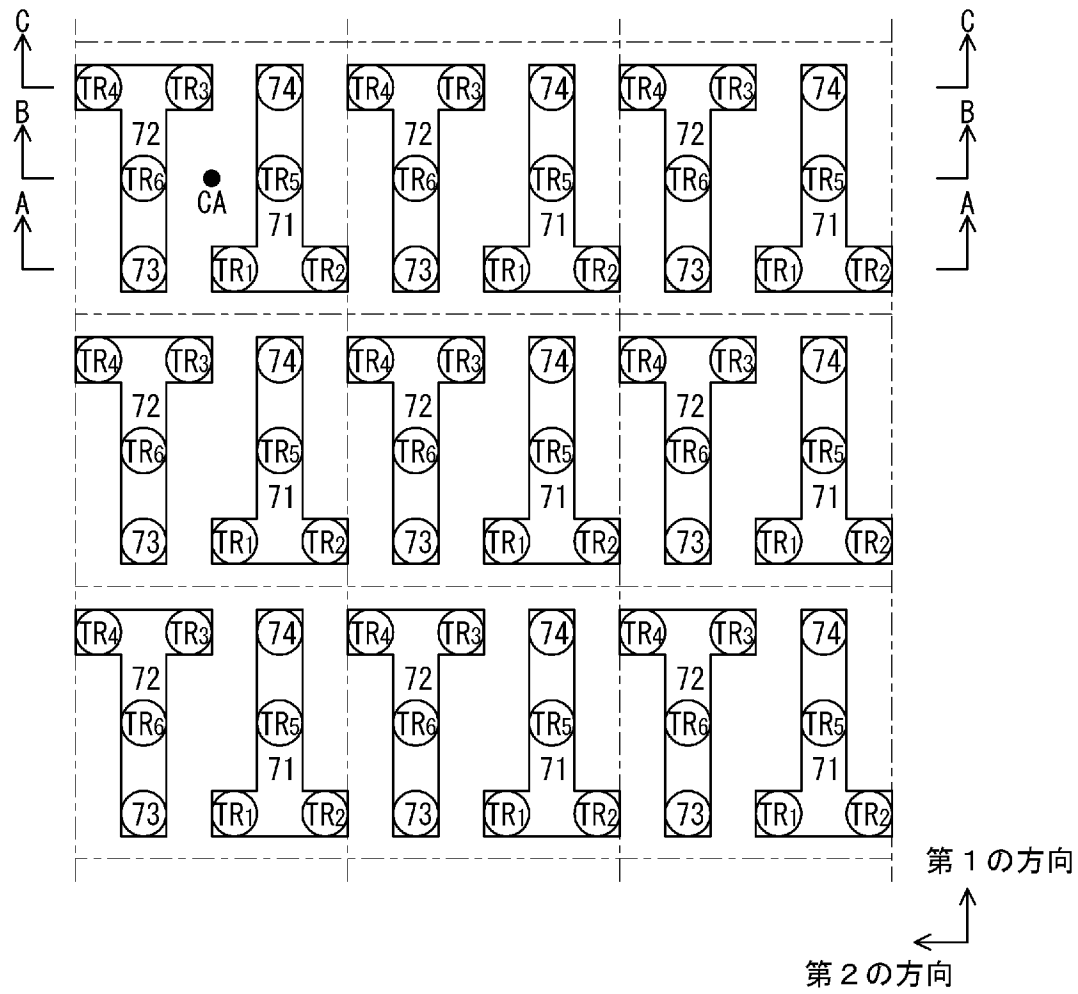


图 4 A



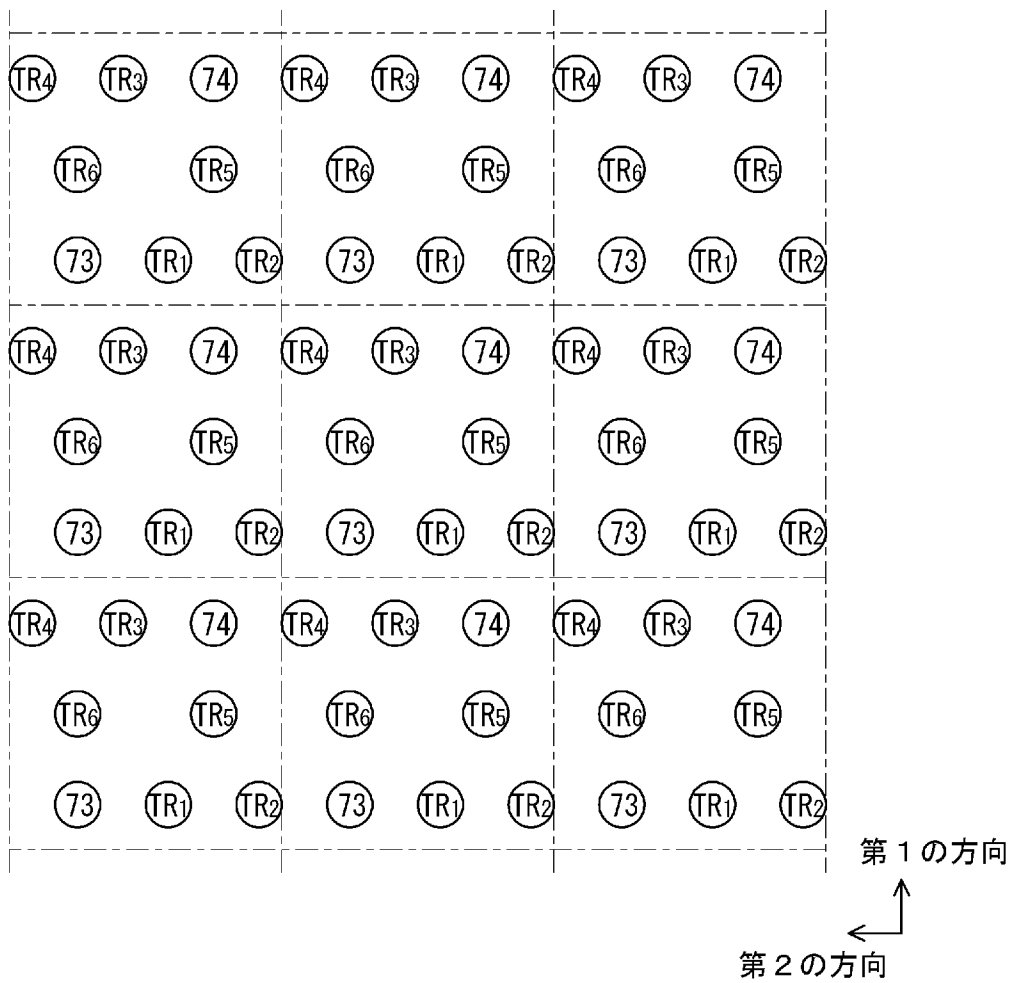
[図5]

図 5



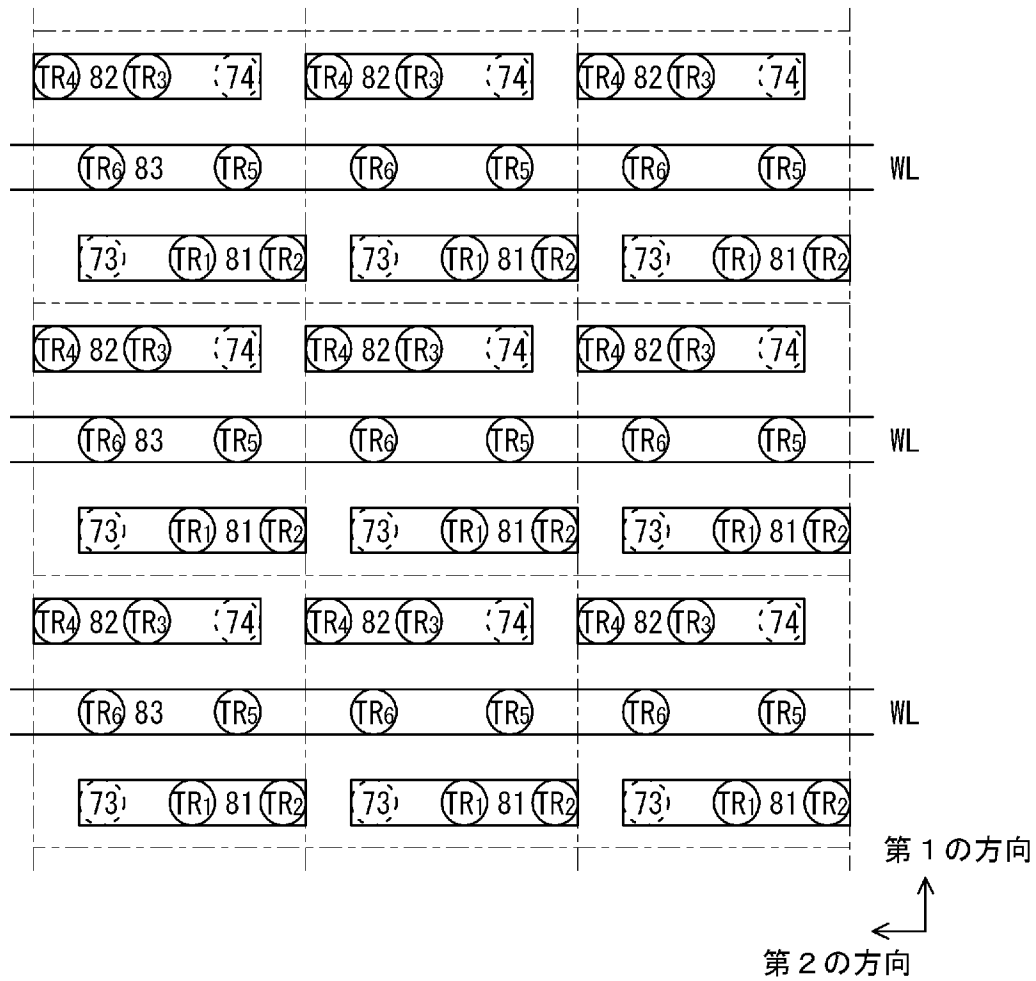
[図6]

図 6



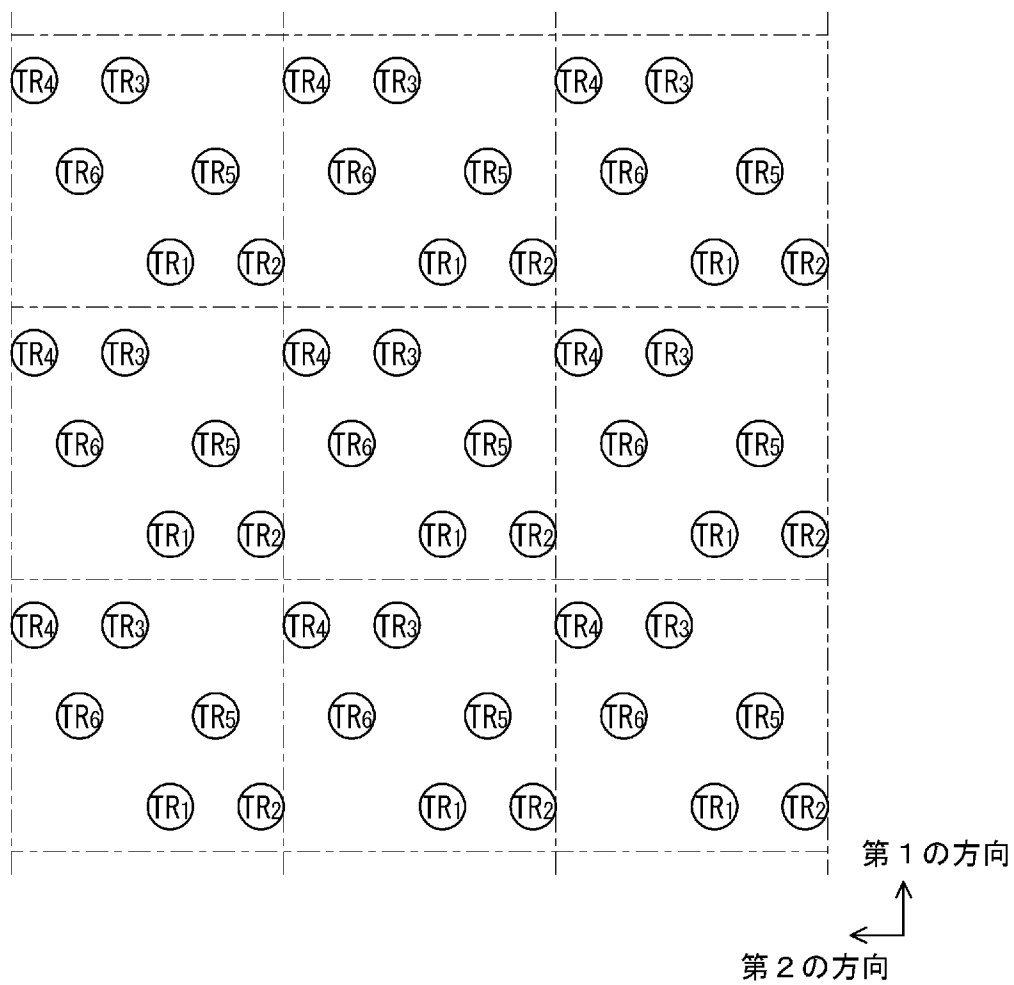
[図7]

図 7



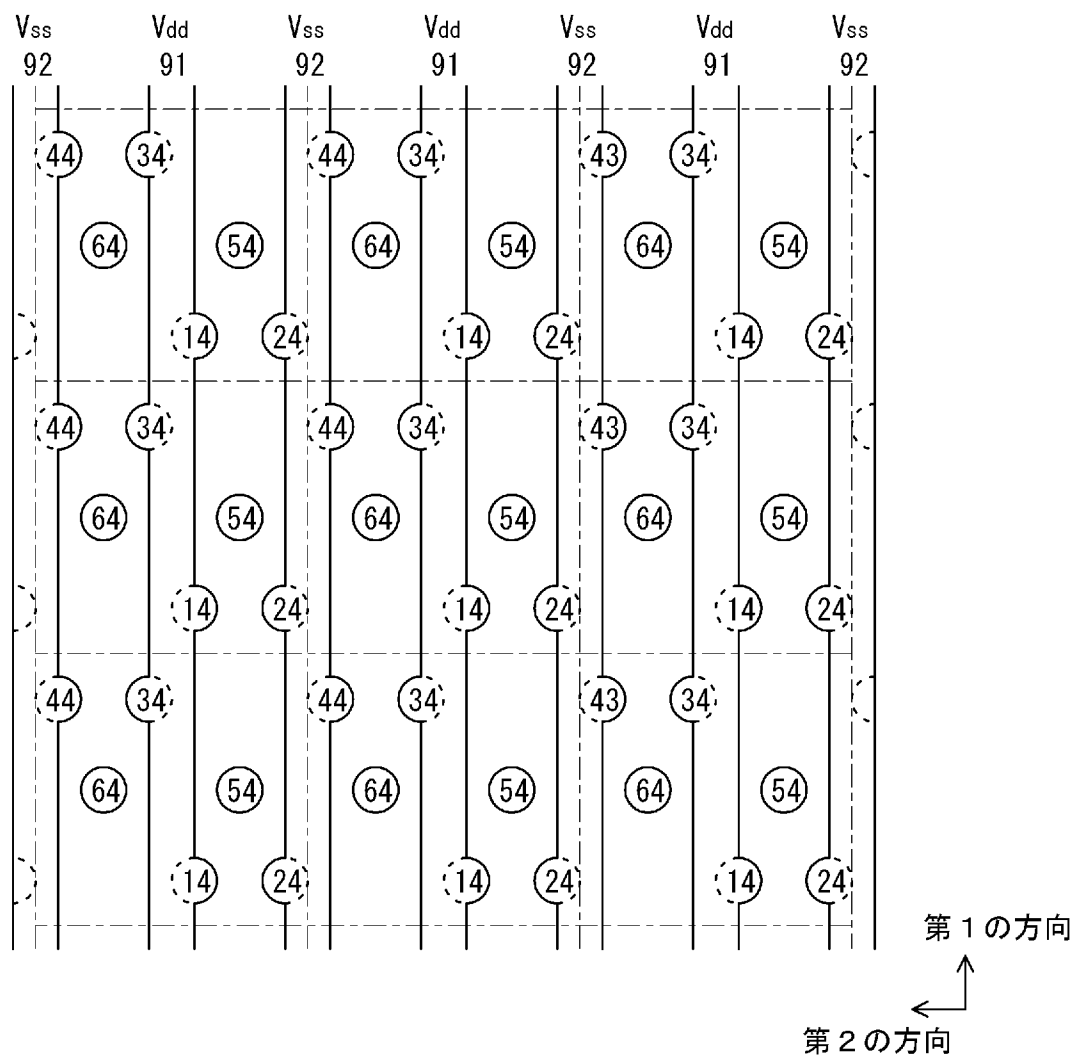
[図8]

図 8



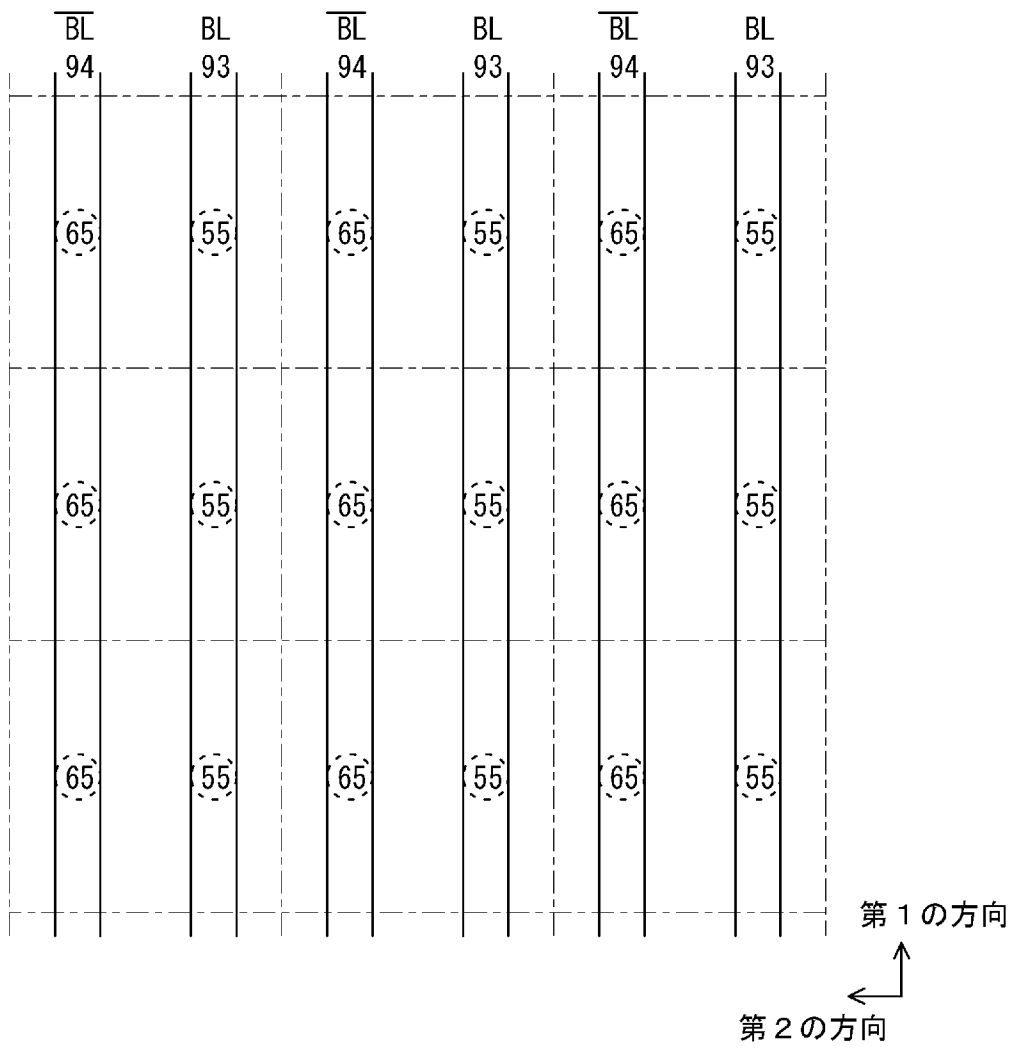
[図9]

図 9



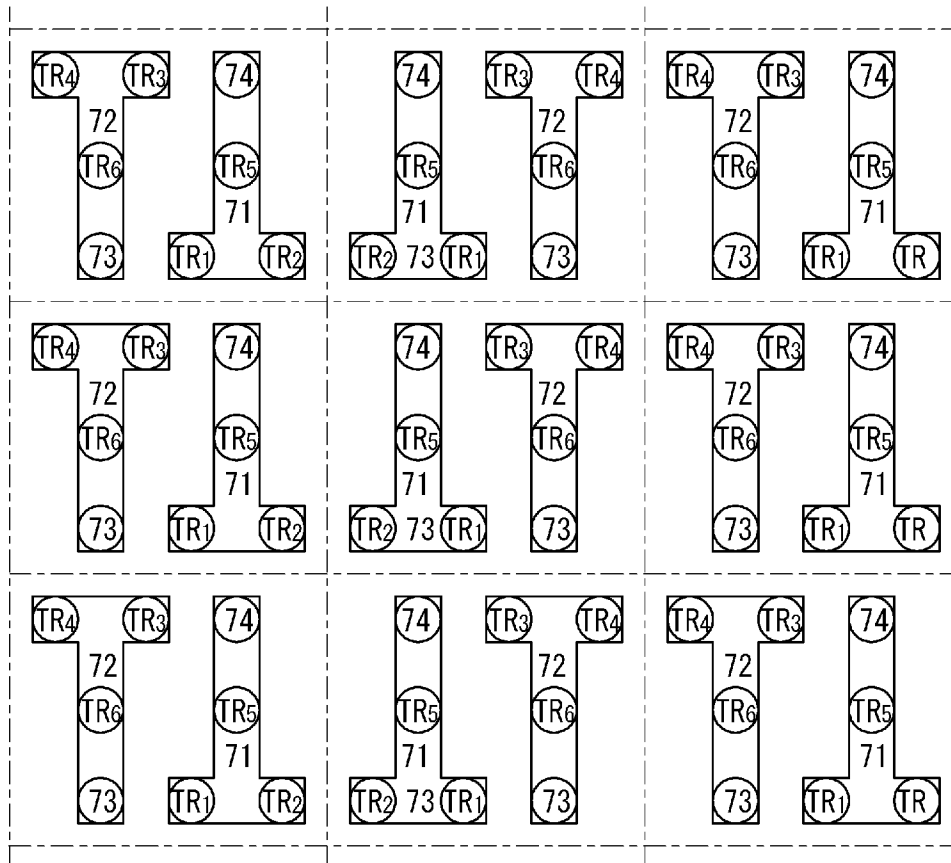
[図10]

図 10



[図11]

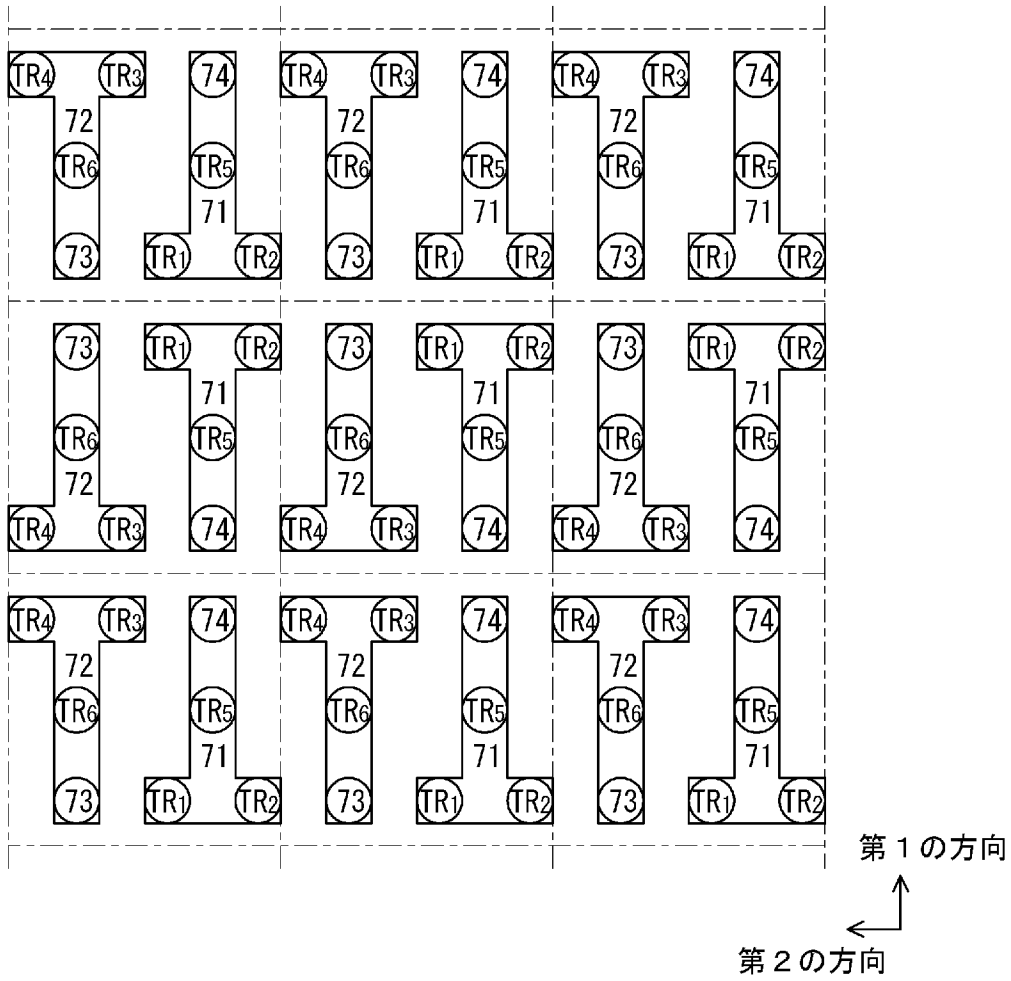
図 1 1



第 1 の方向  
↑  
第 2 の方向  
←

[図12]

図 1 2



[図13]

図 1 3 A

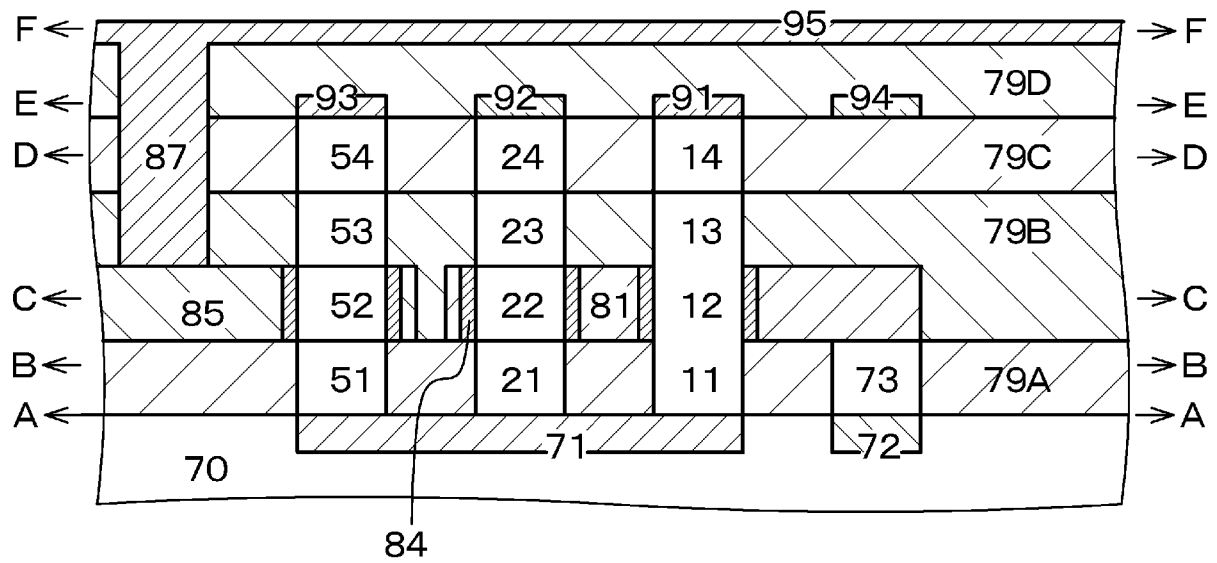


図 1 3 B

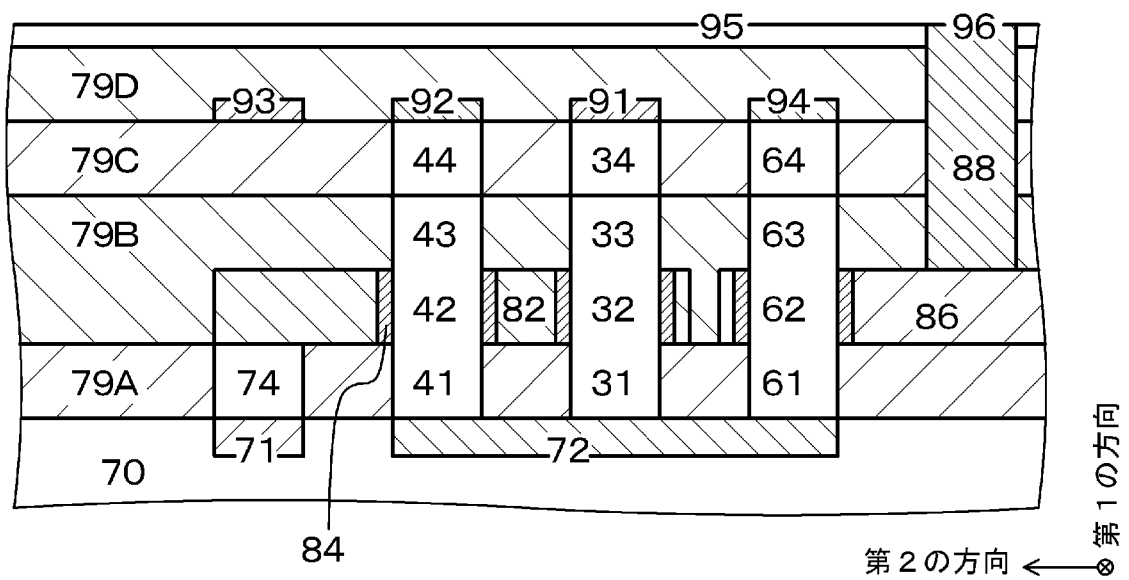
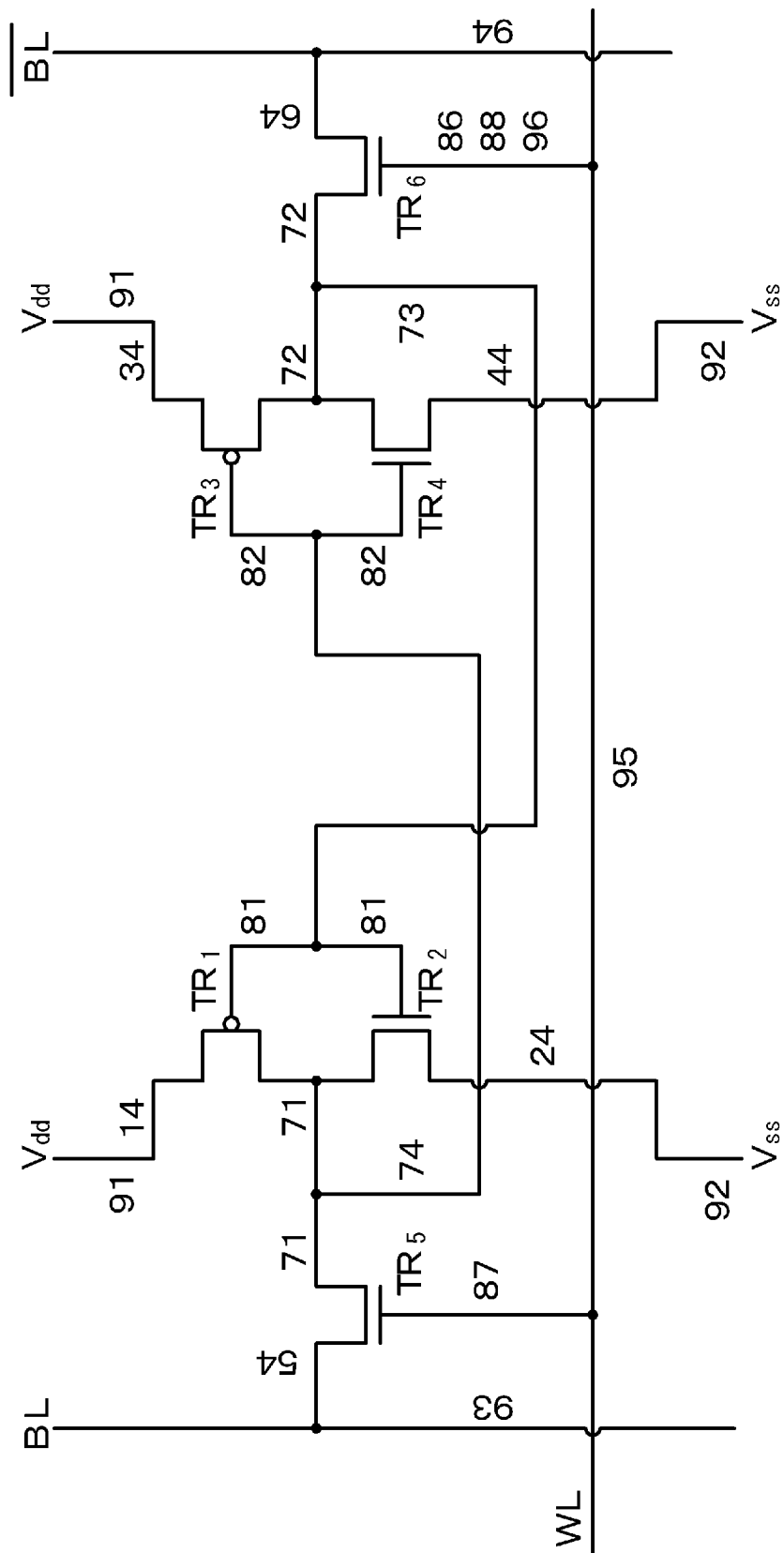
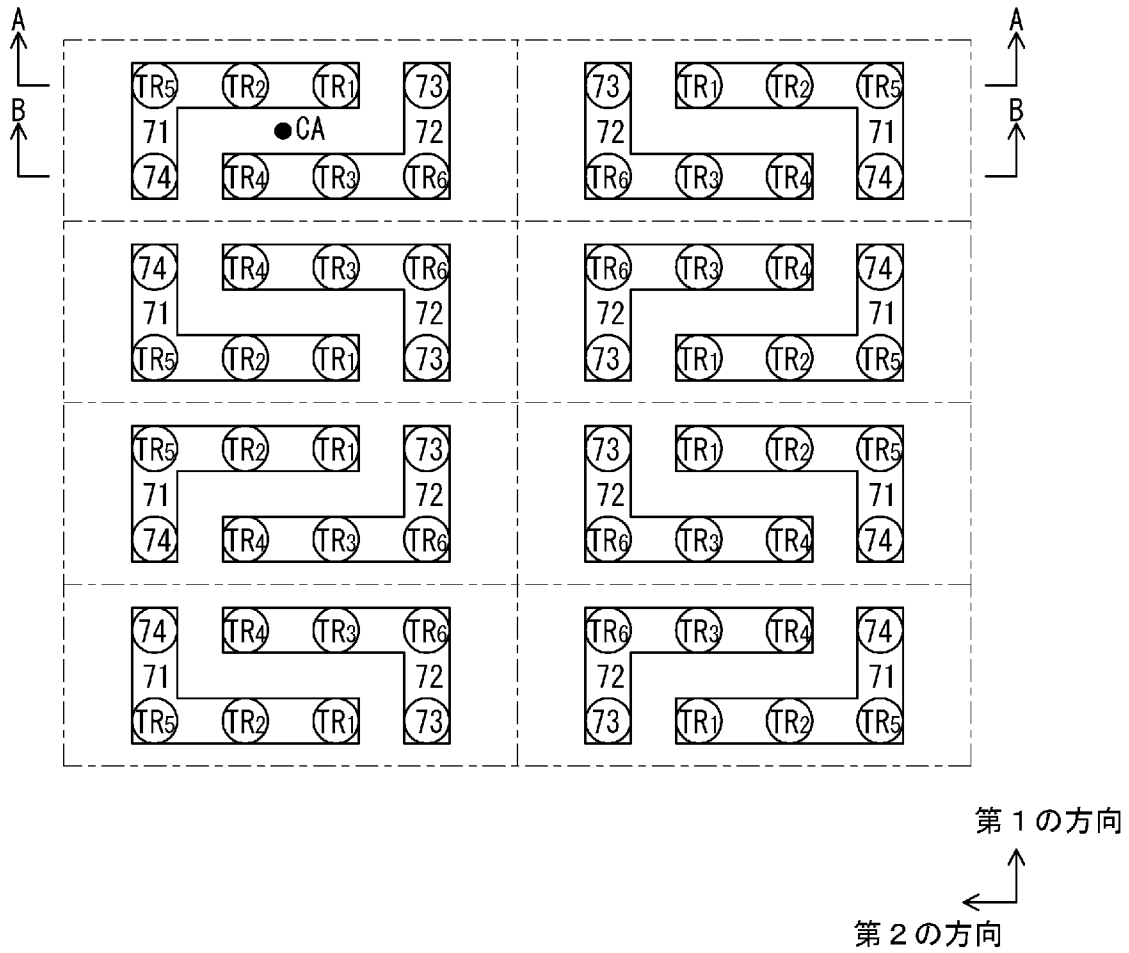


图 14



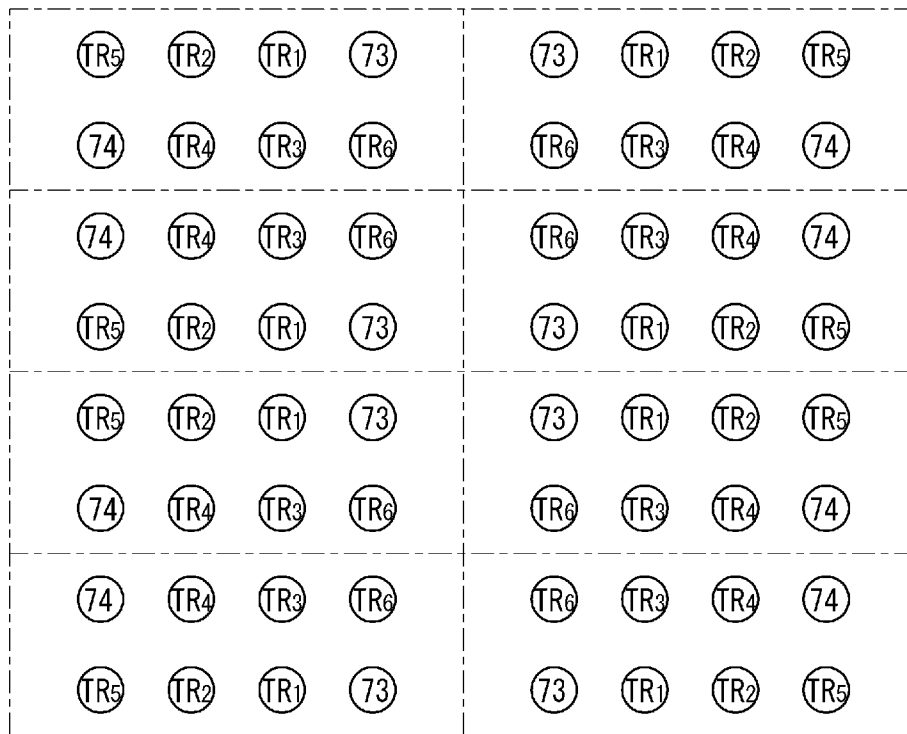
[図15]

図 1 5



[図16]

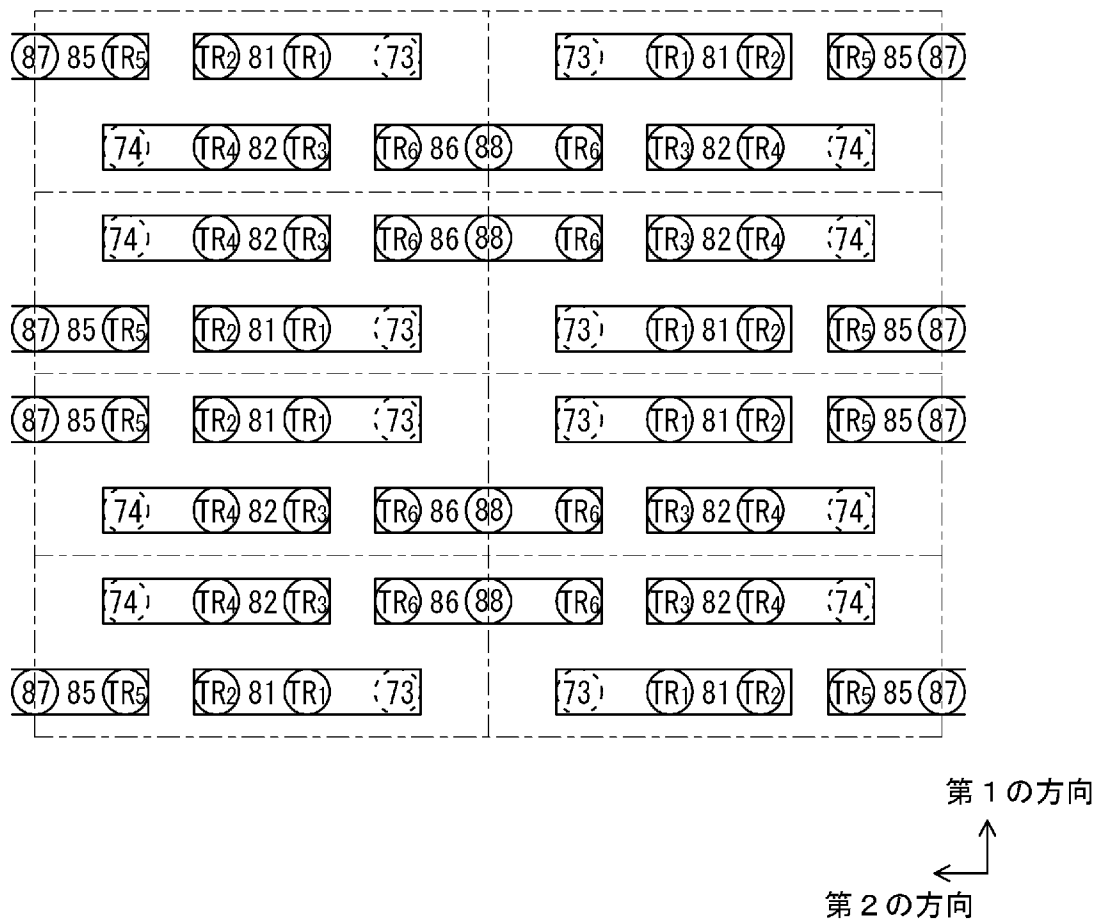
図 1 6



第1の方向  
↑  
← 第2の方向

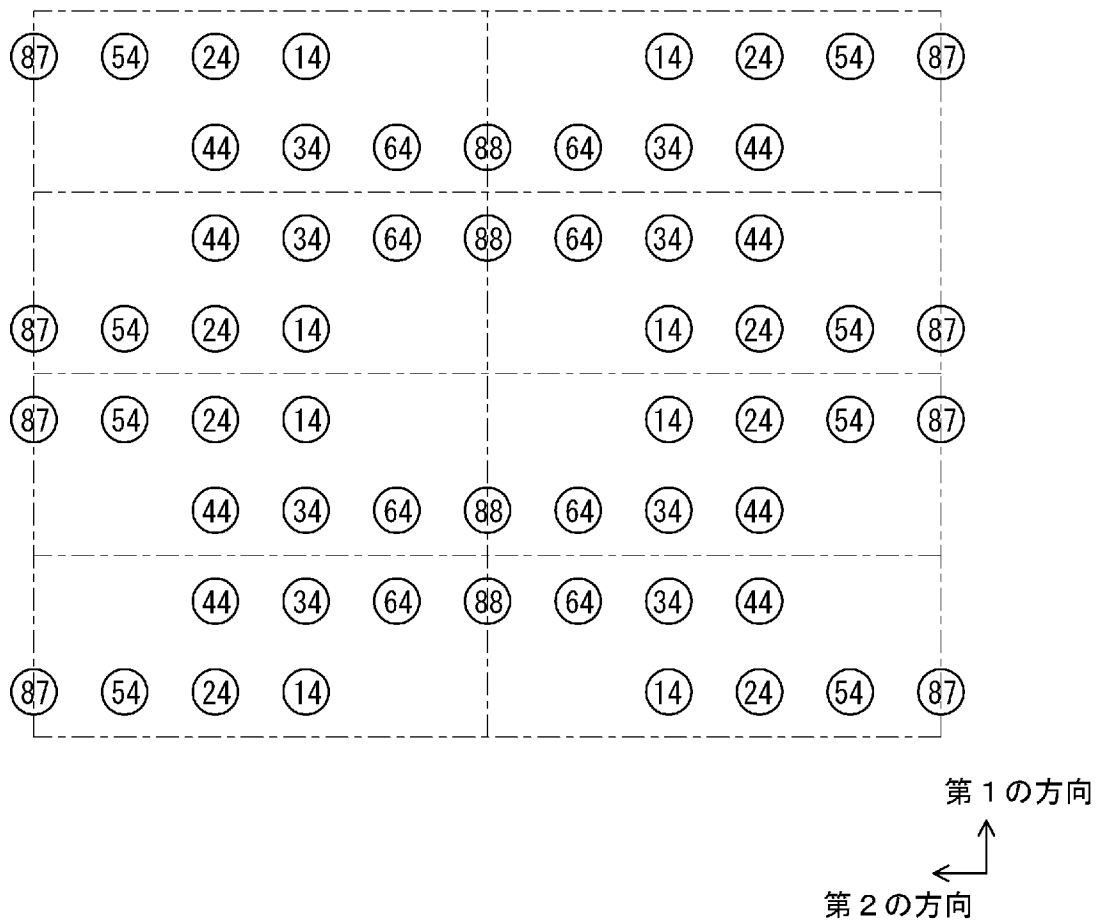
[図17]

図 17



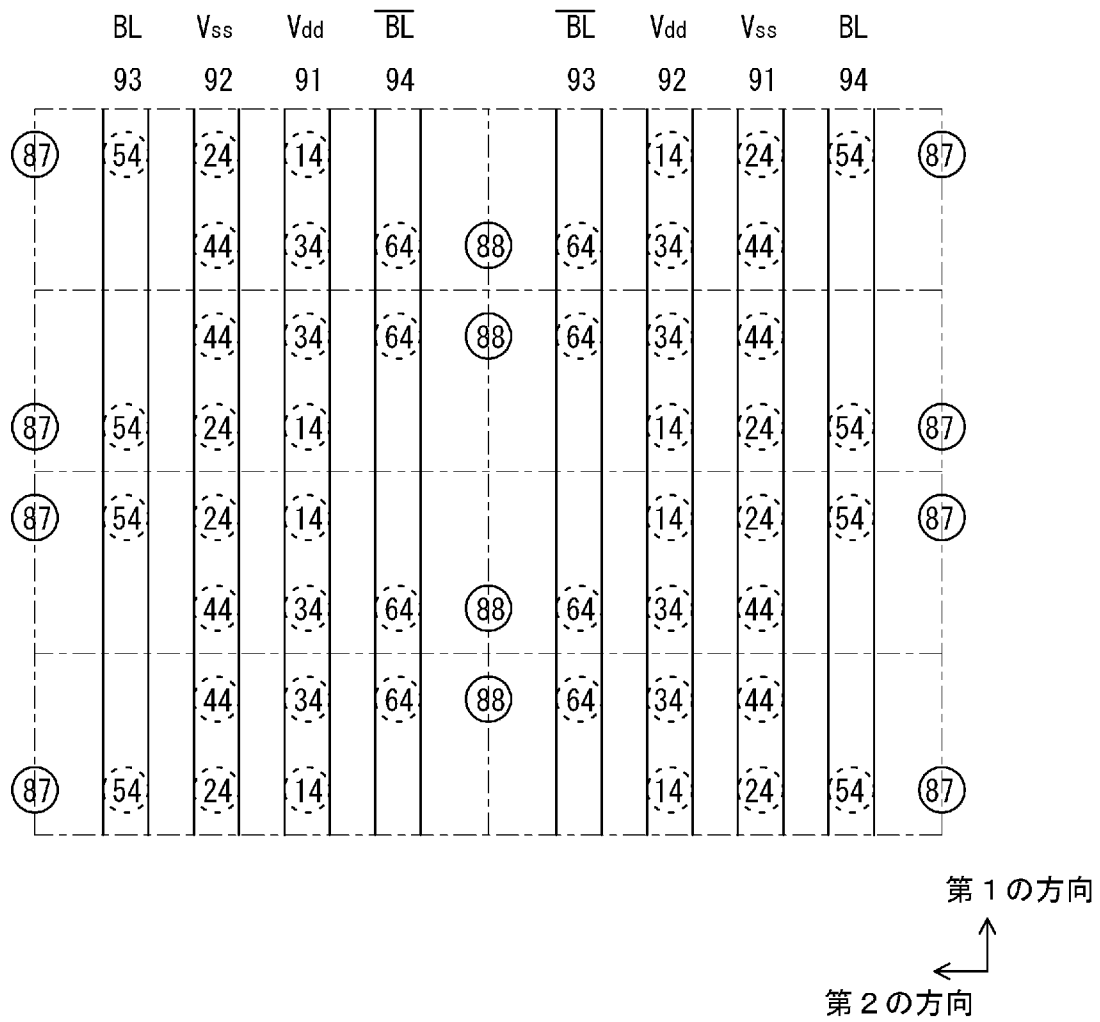
[図18]

図 18



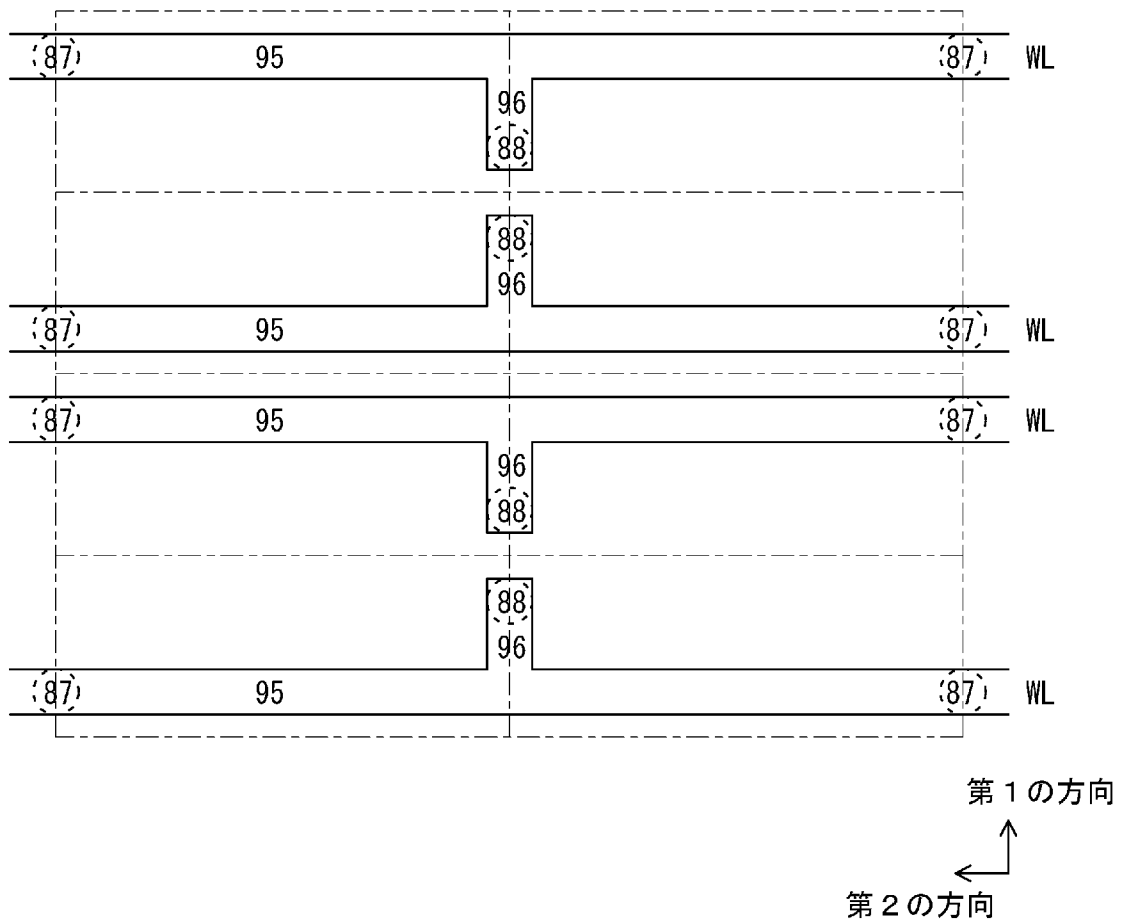
[図19]

図 19



[図20]

図 20



[図21]

図 2 1 A

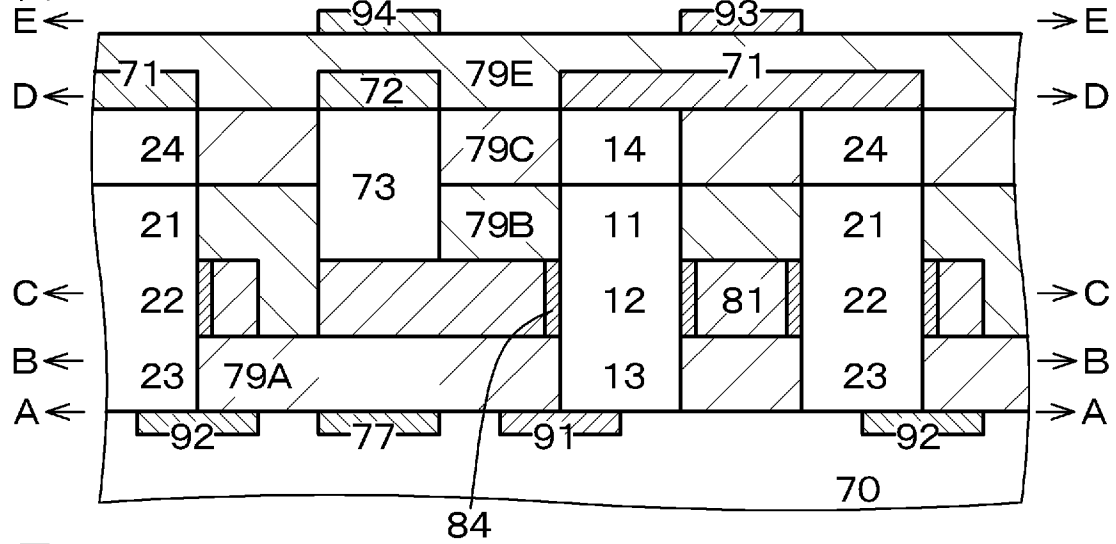


図 2 1 B

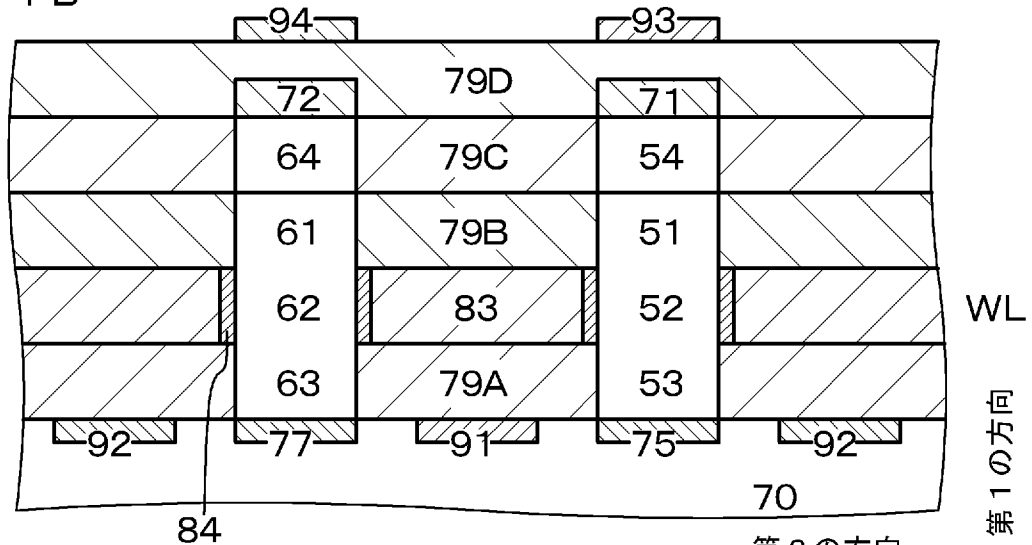
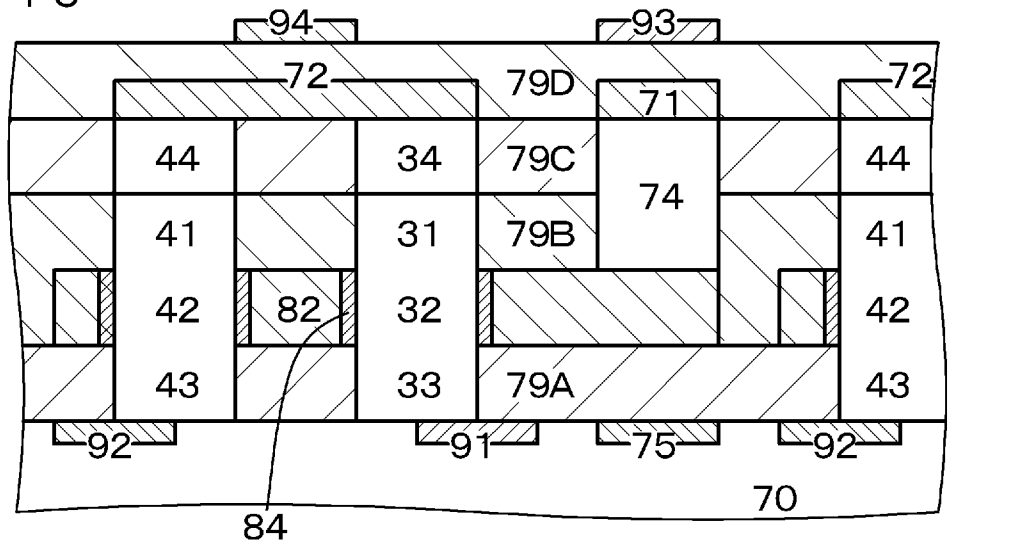


図 2 1 C





[図23]

図 23

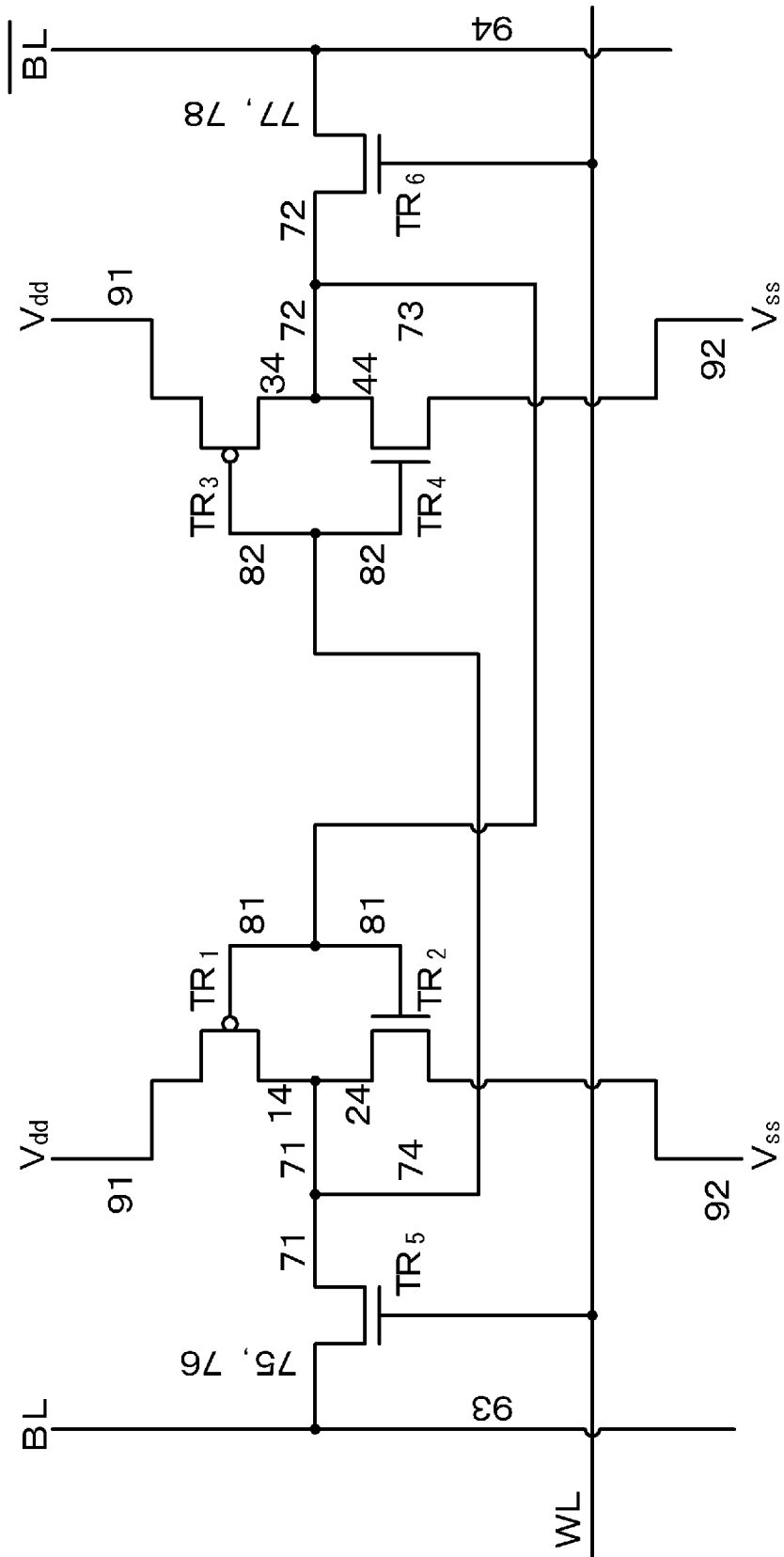
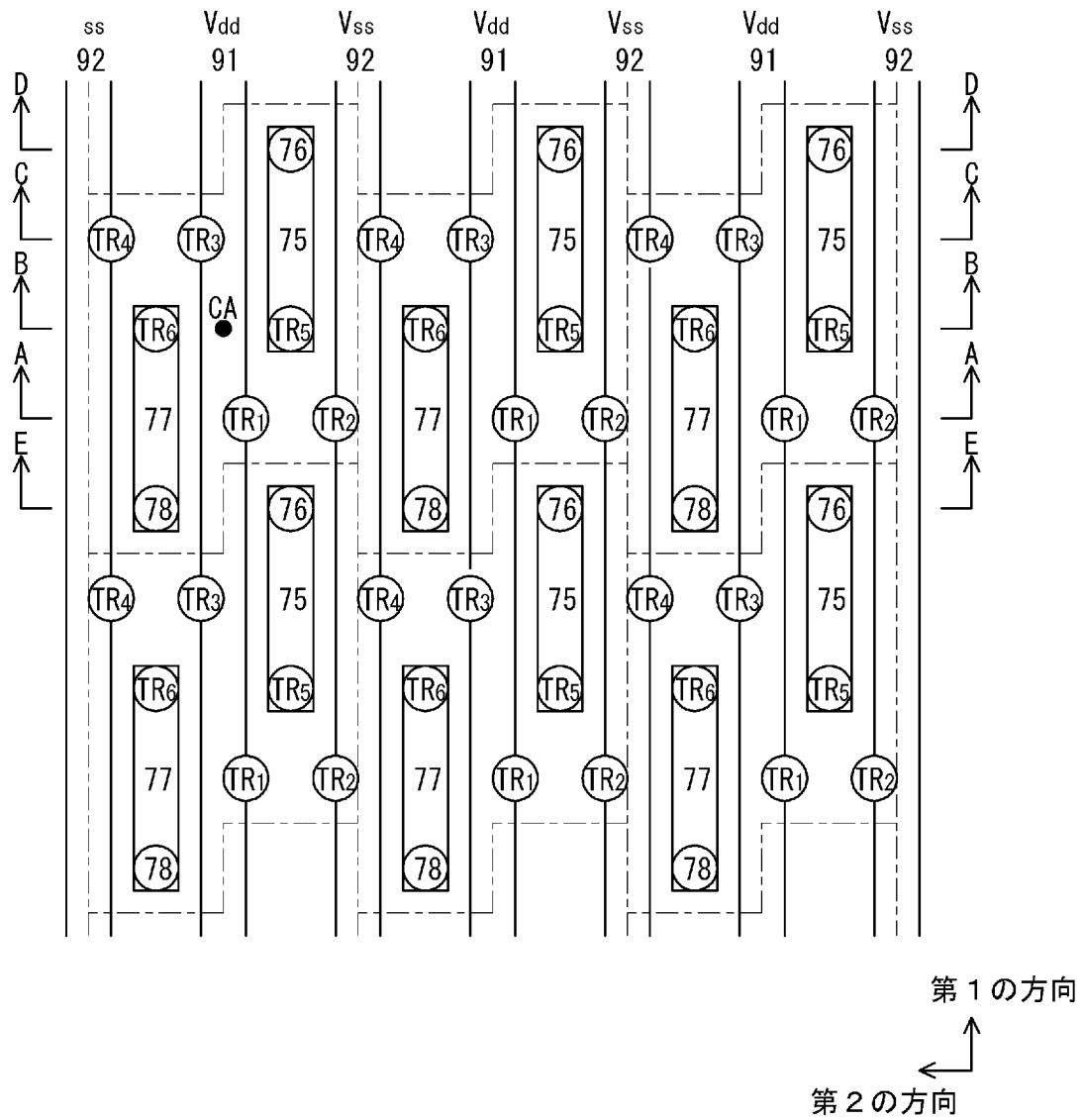


图 24



[図25]

図 25

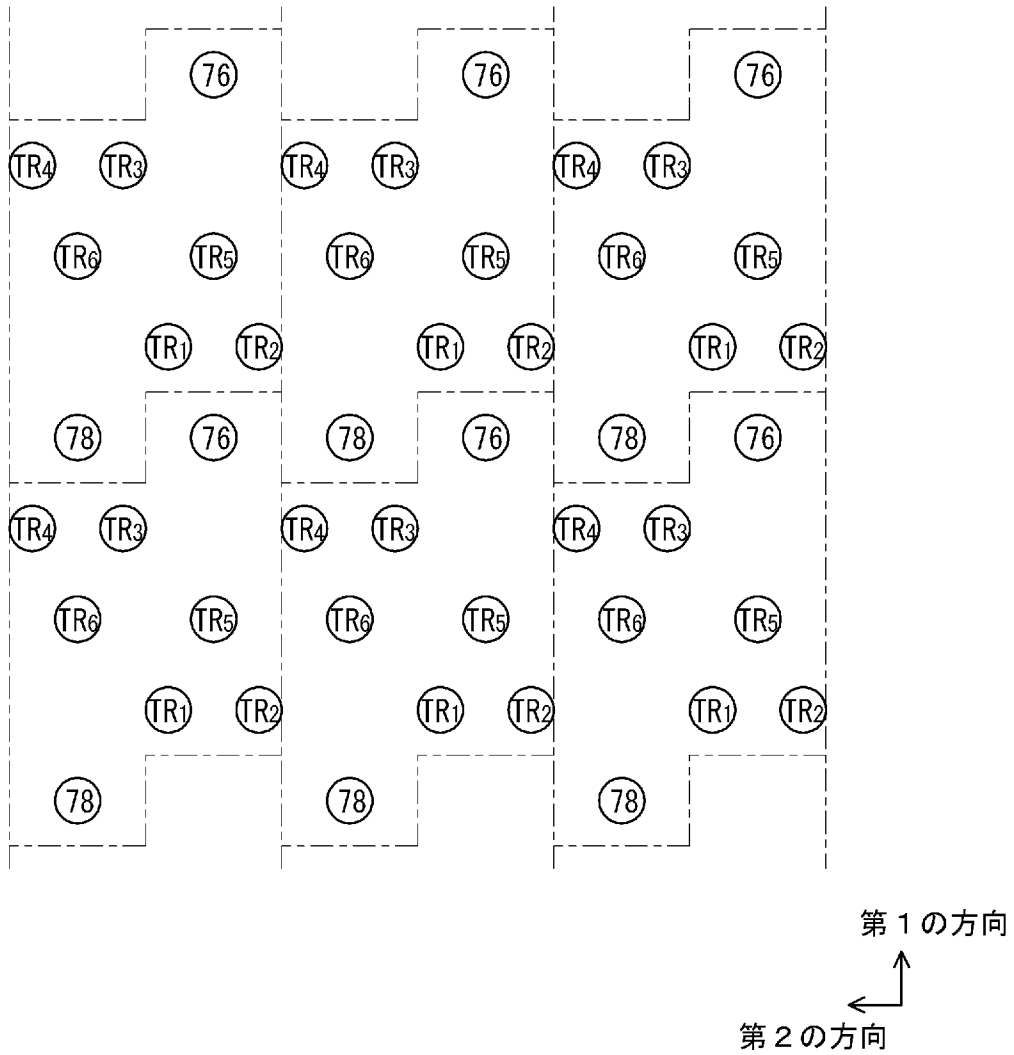
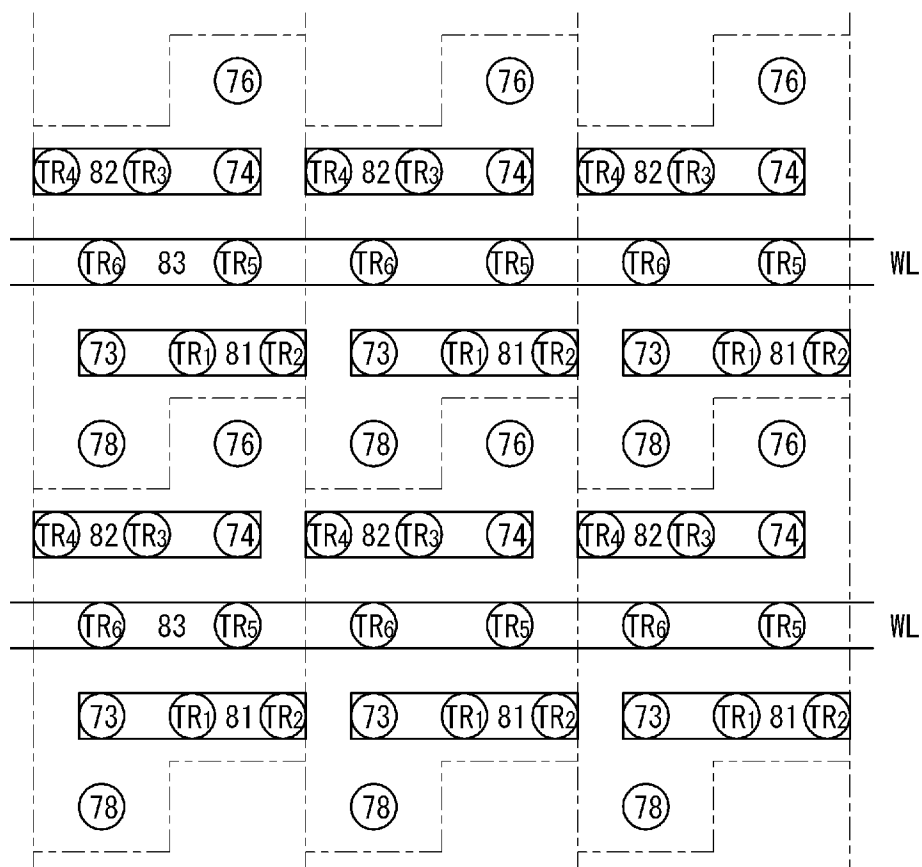


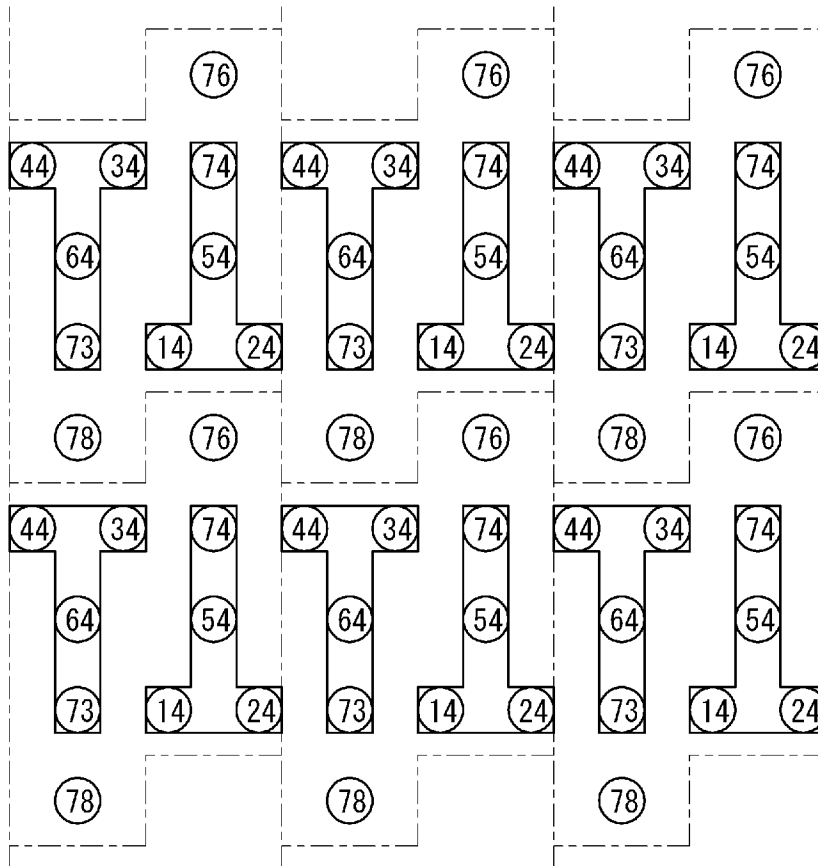
图 26



第 1 の方向  
↑  
← 第 2 の方向

[図27]

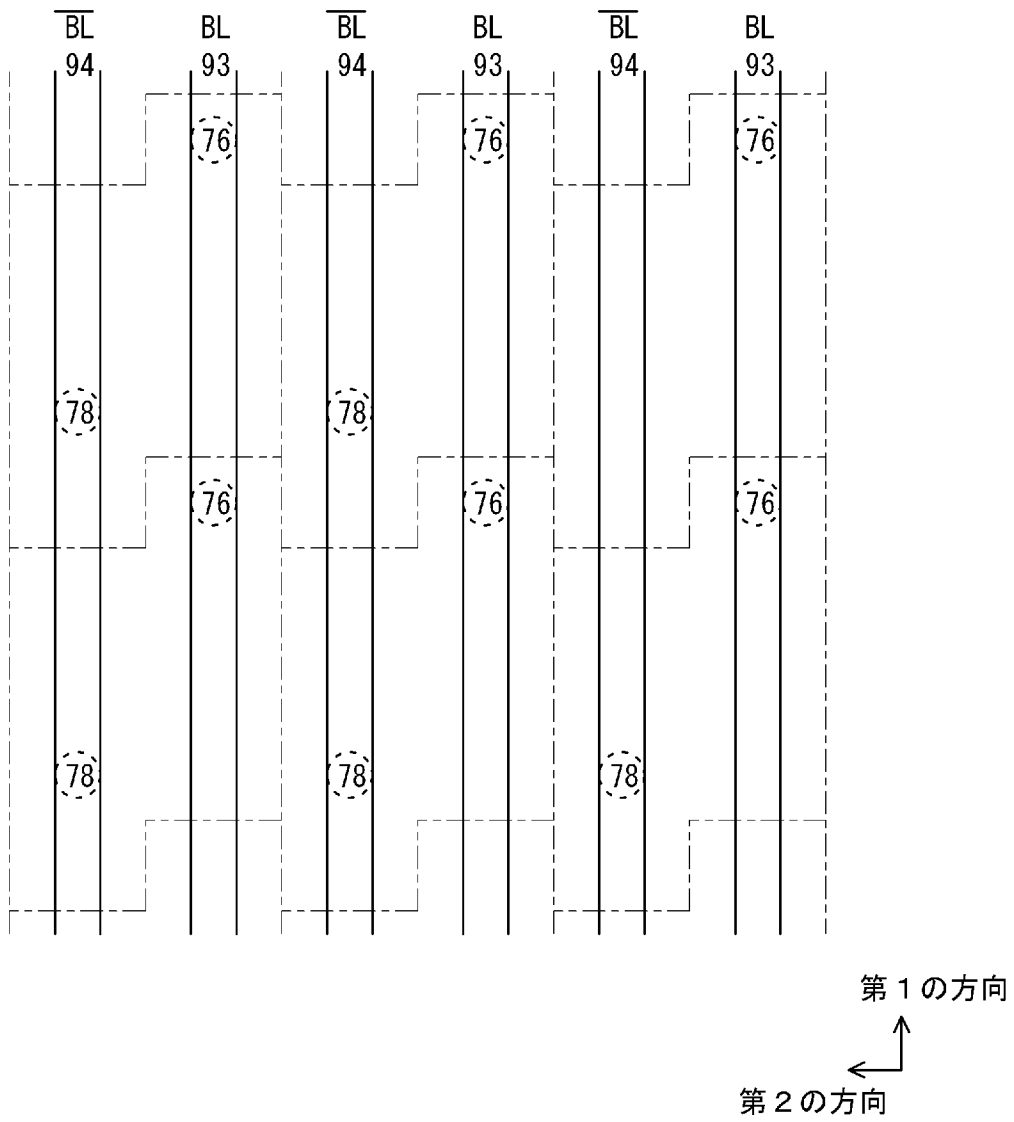
図 27



第 1 の方向  
↑  
第 2 の方向  
←

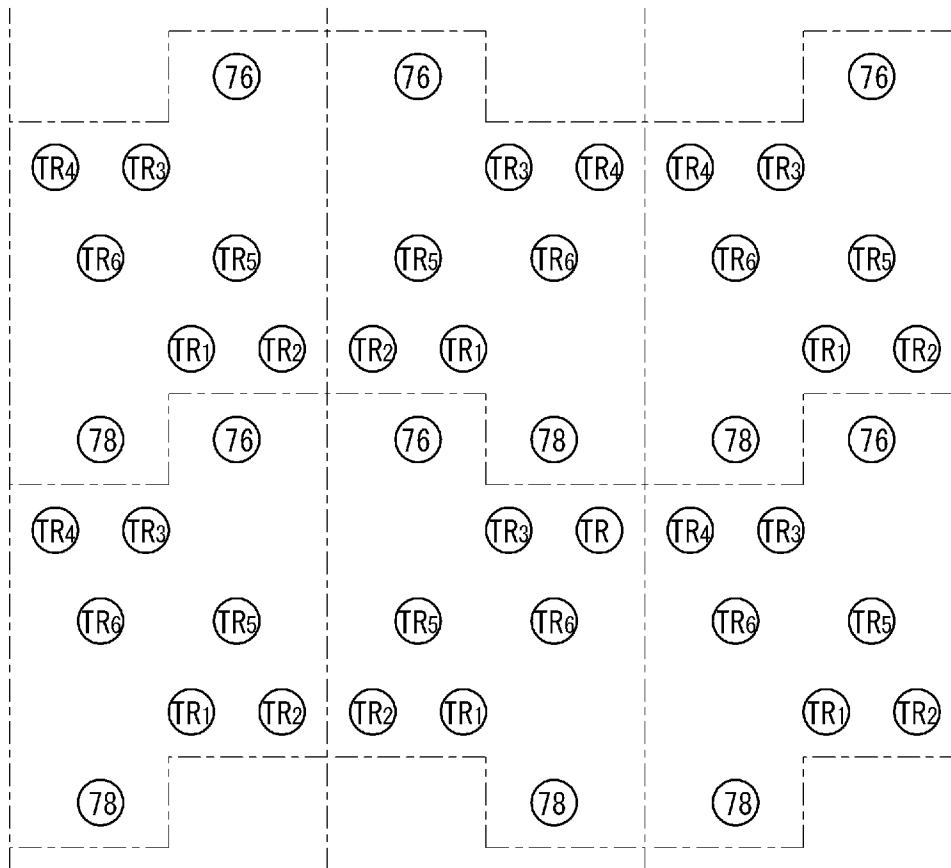
[図28]

図 28



[図29]

図 29



第 1 の方向  
↑  
第 2 の方向  
←

[図30]

図30A

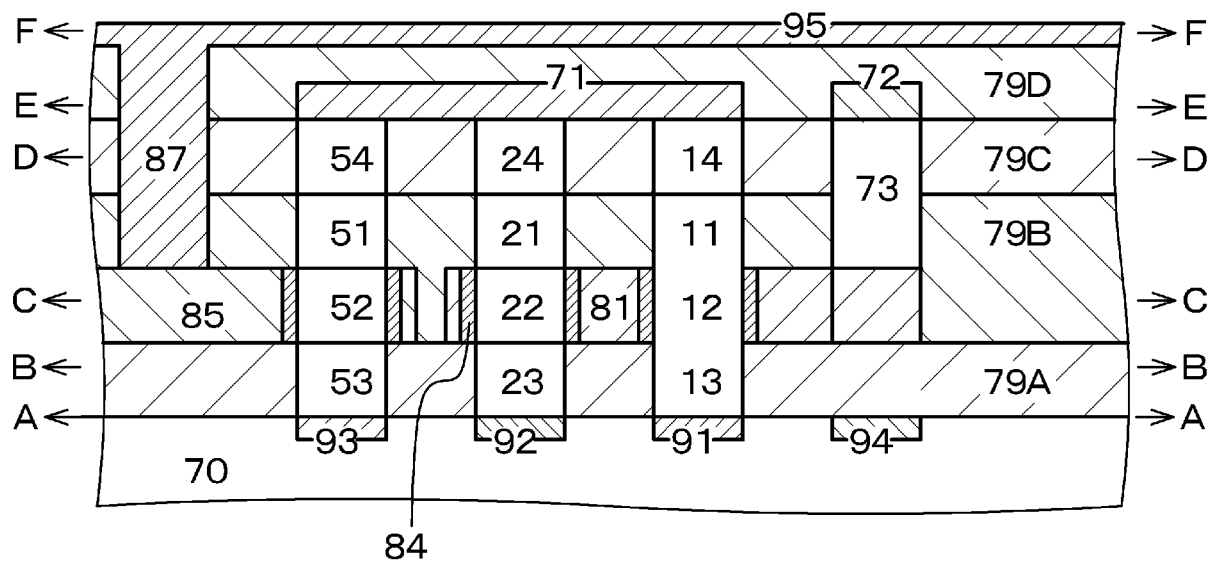
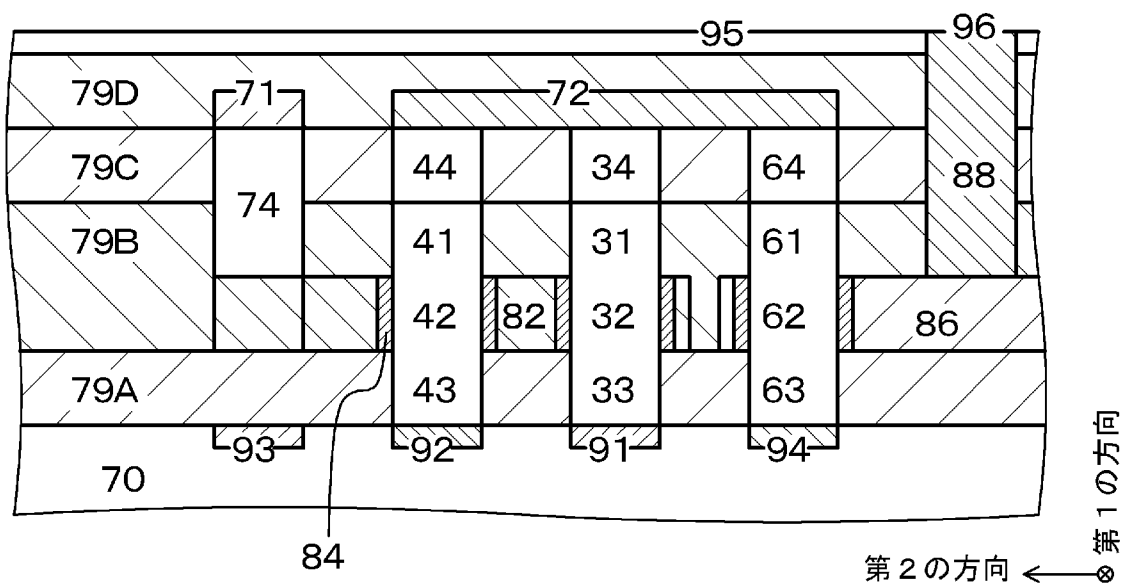
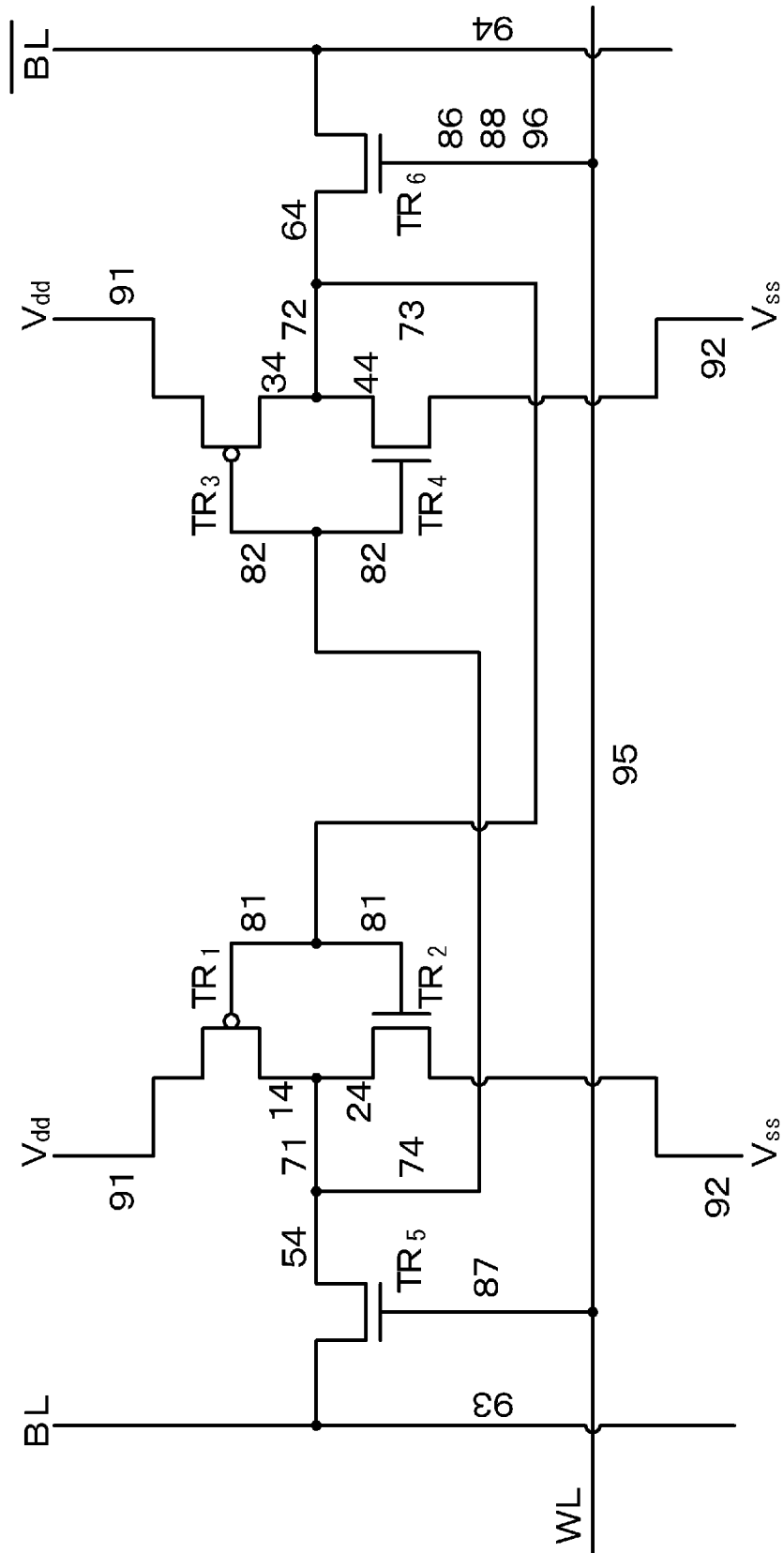


図30B



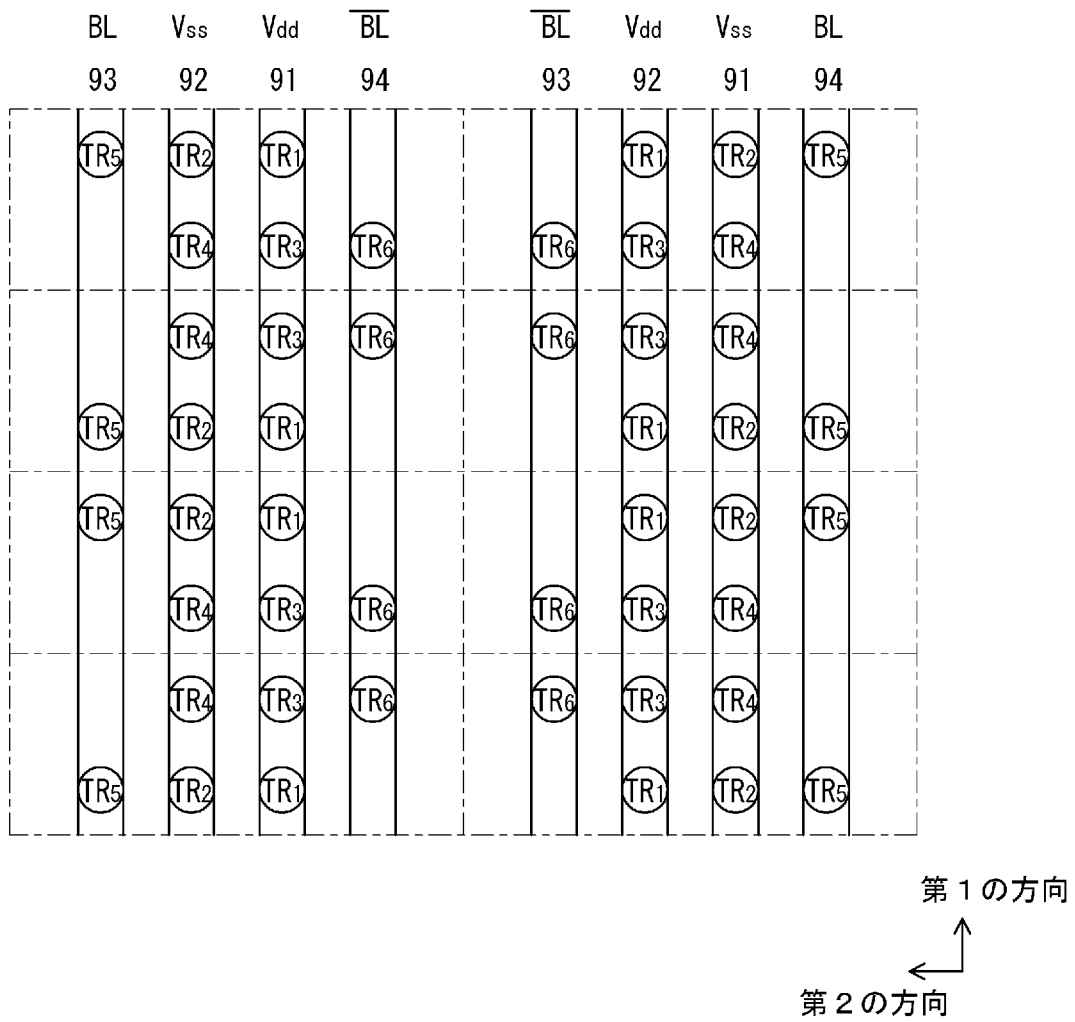
[図31]

図 3 1



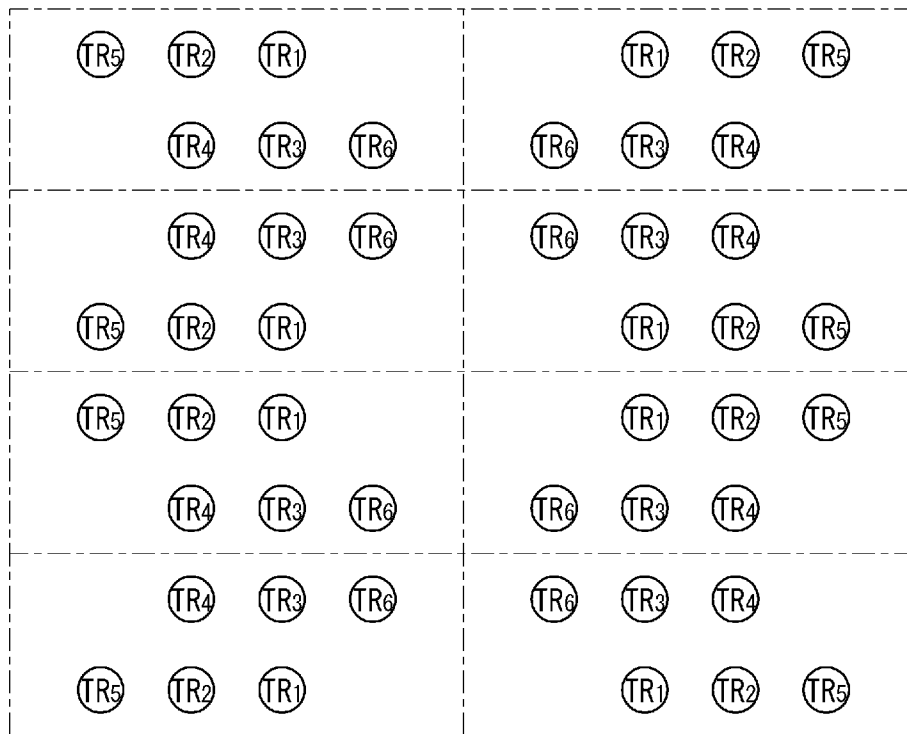
[図32]

図 3 2



[図33]

図 3 3



第 1 の方向  
↑  
第 2 の方向  
←

[図34]

図 3 4

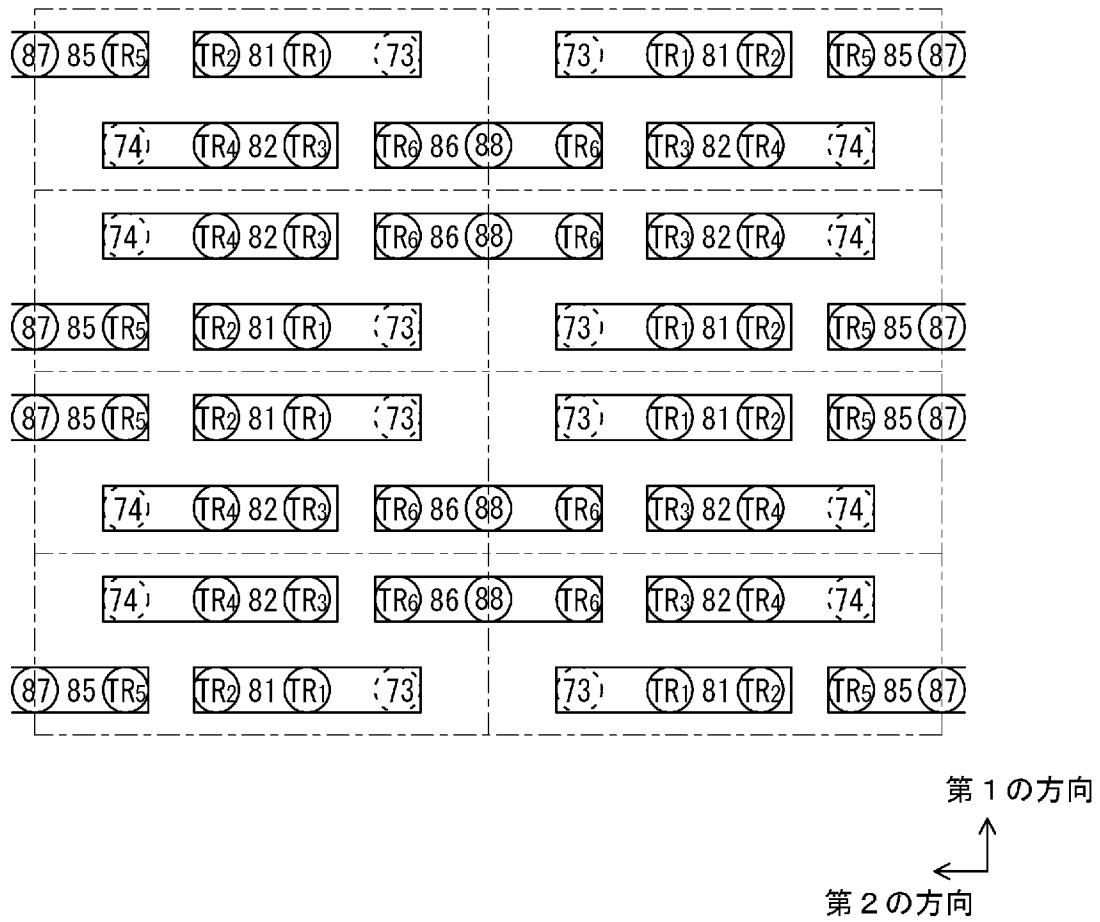
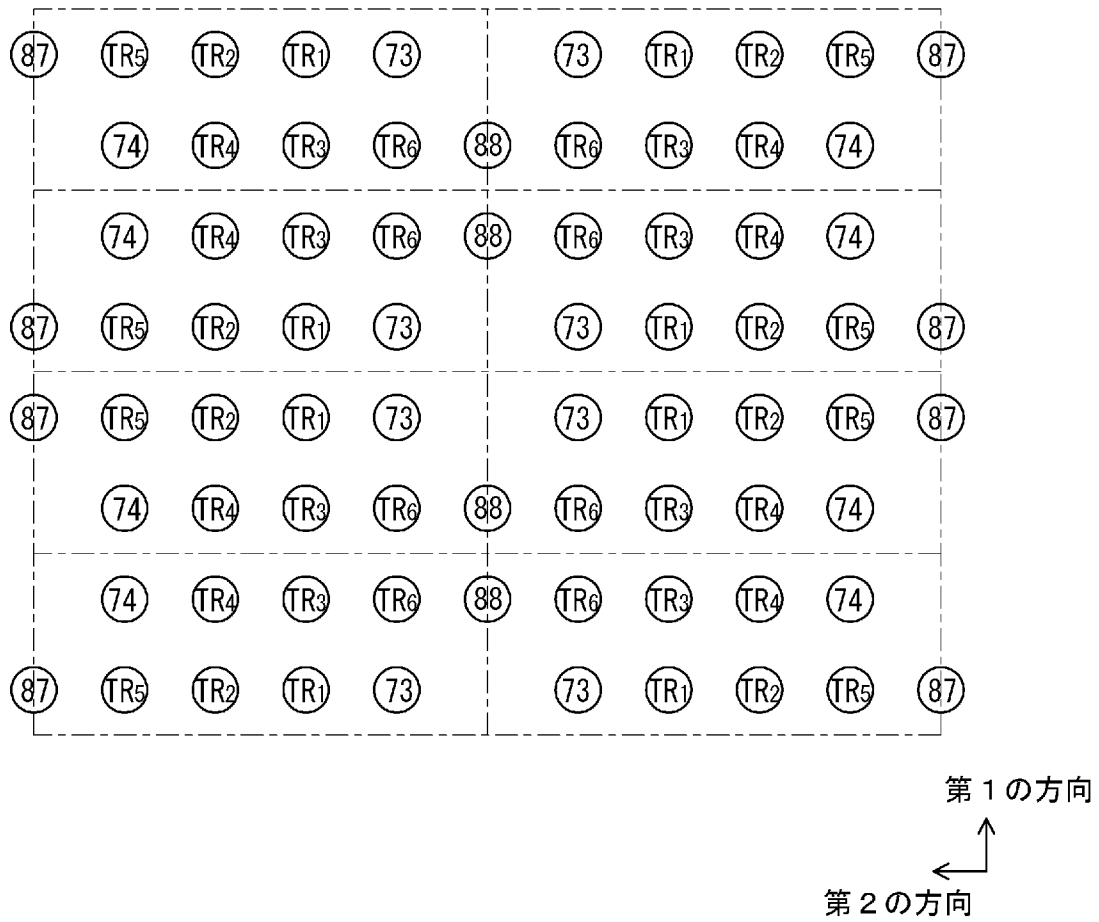
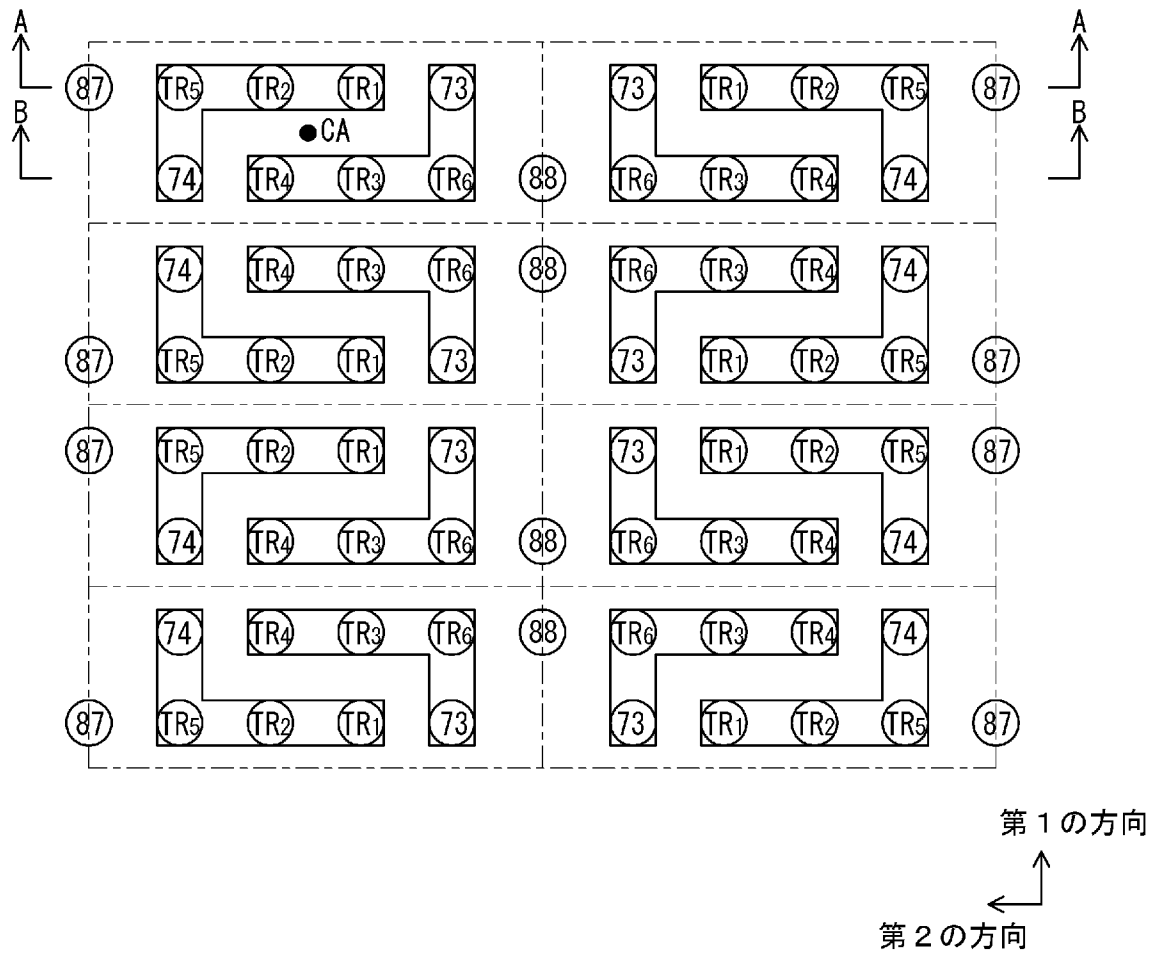


図 3 5



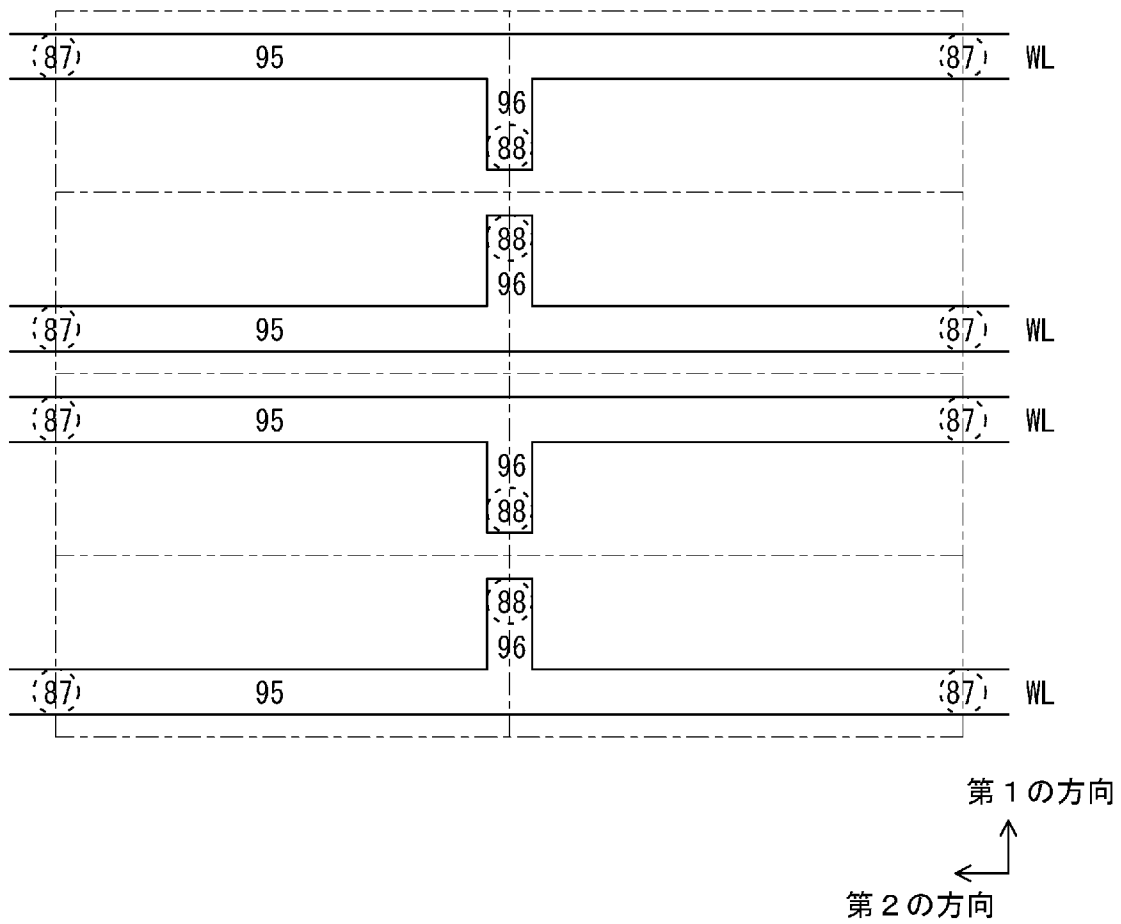
[図36]

図 3 6



[図37]

図 3 7



[図38]

図38A

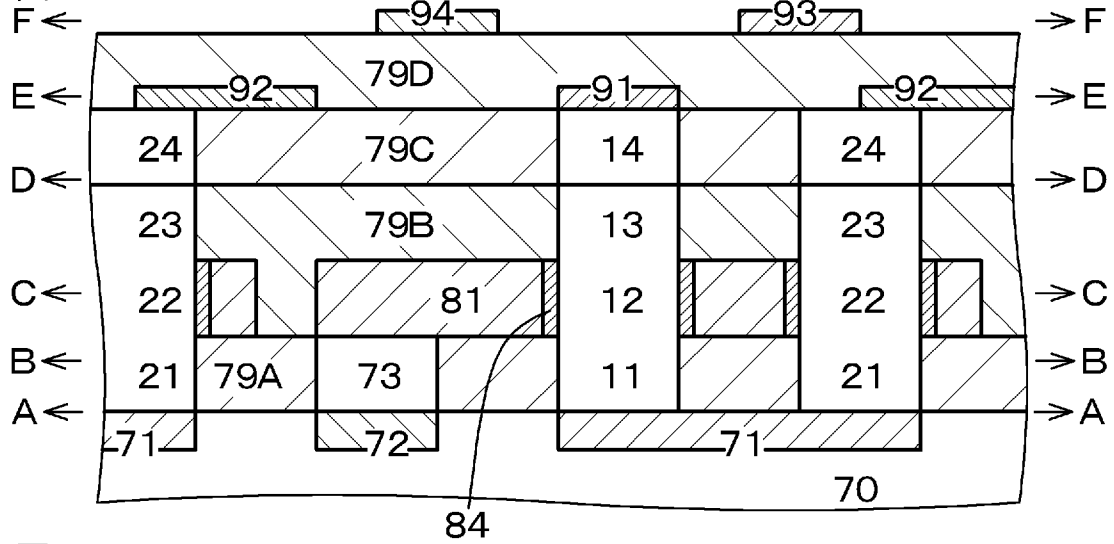


図38B

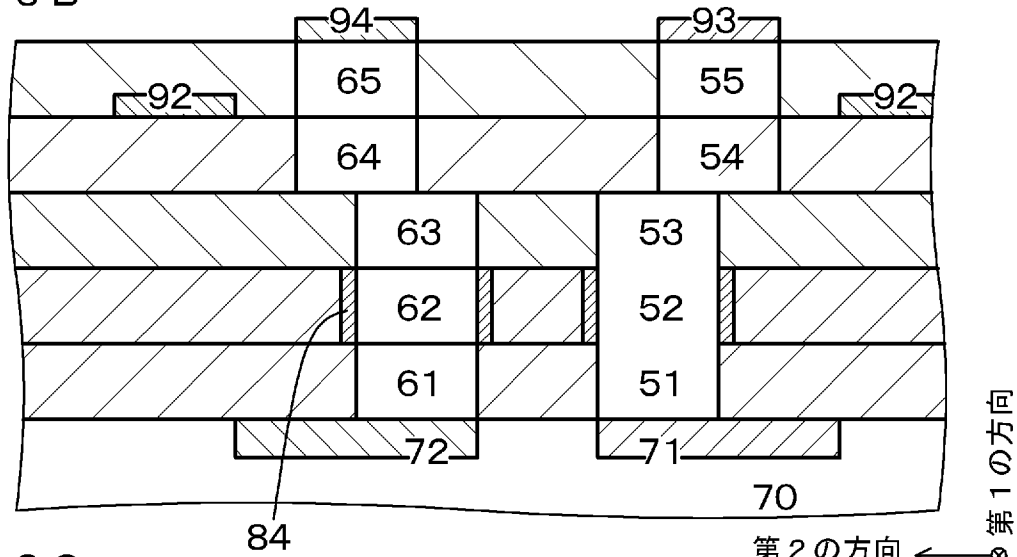
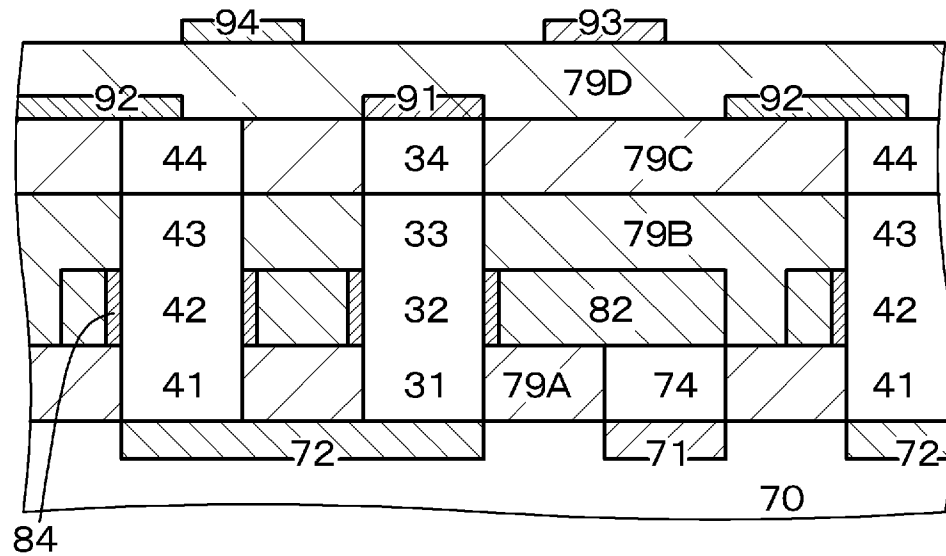
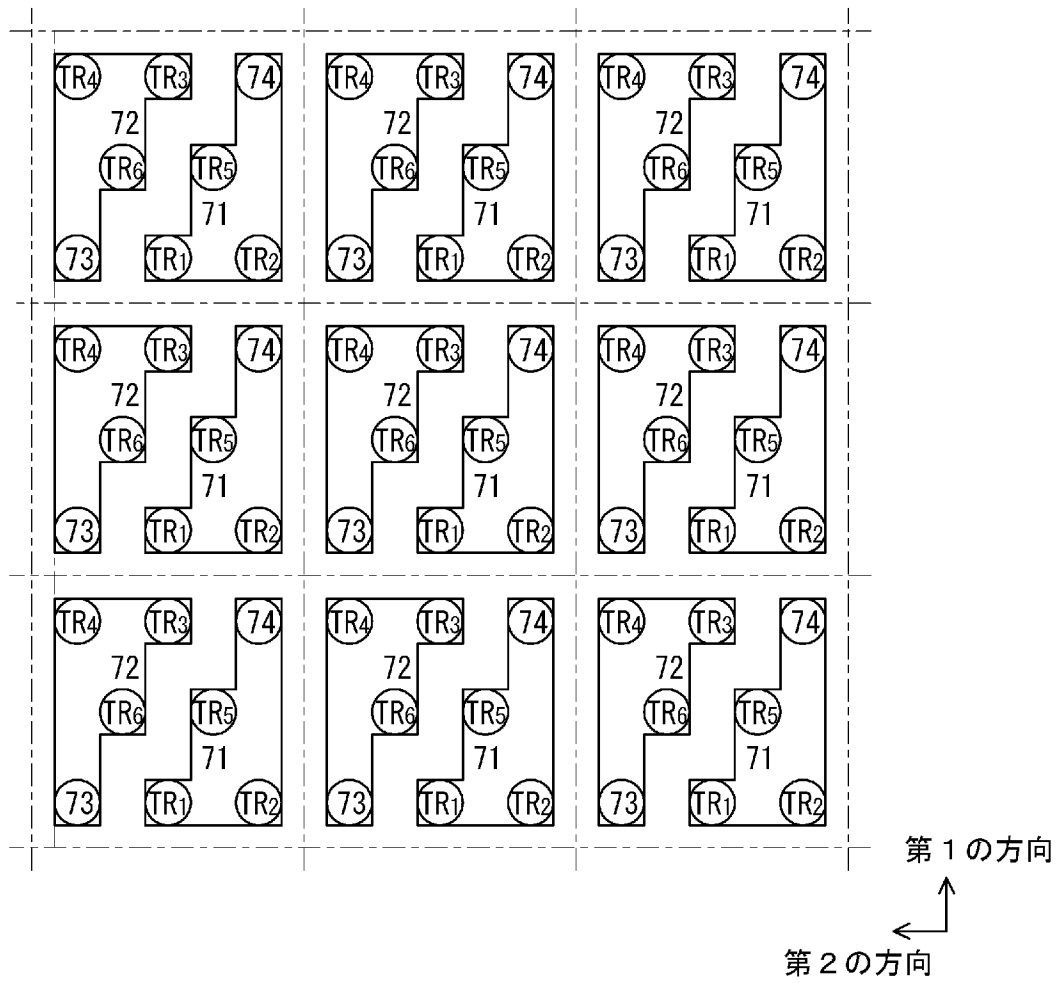


図38C



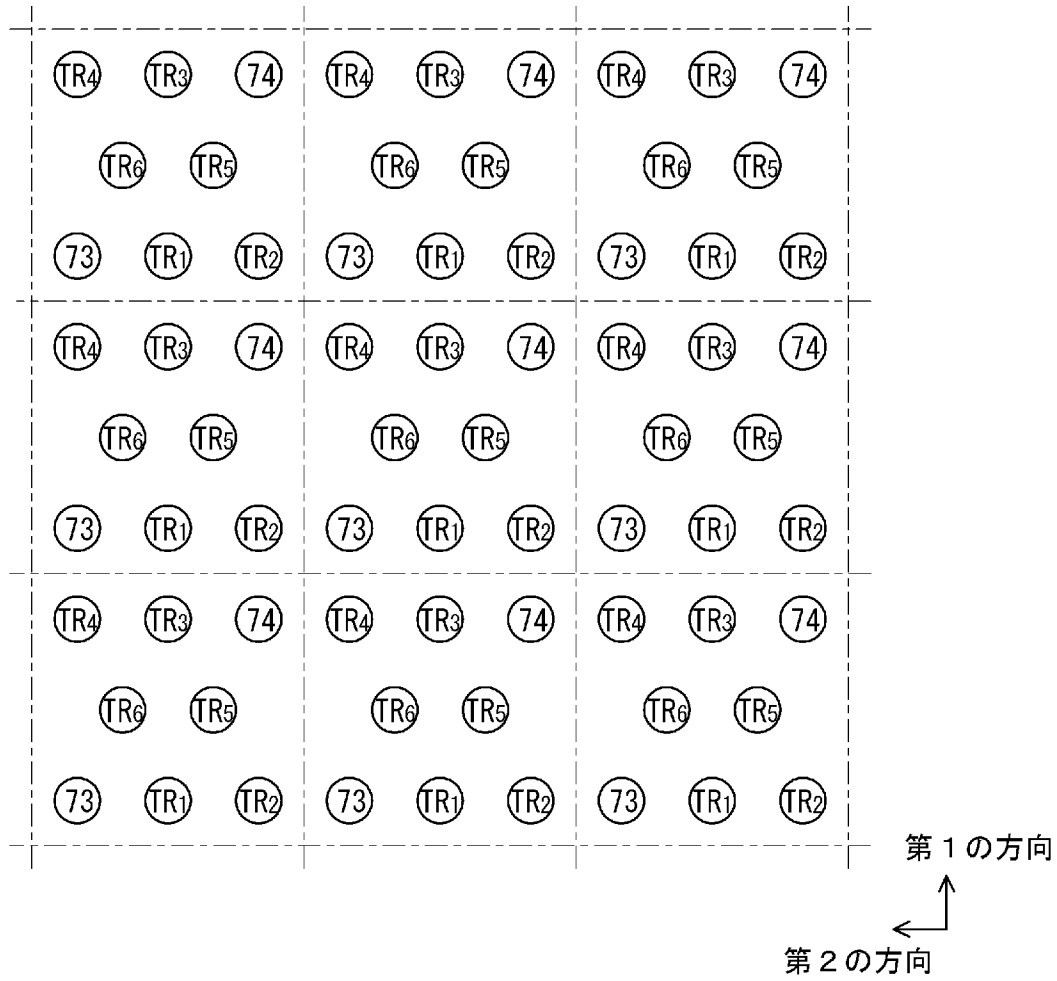
[図39]

図 3 9



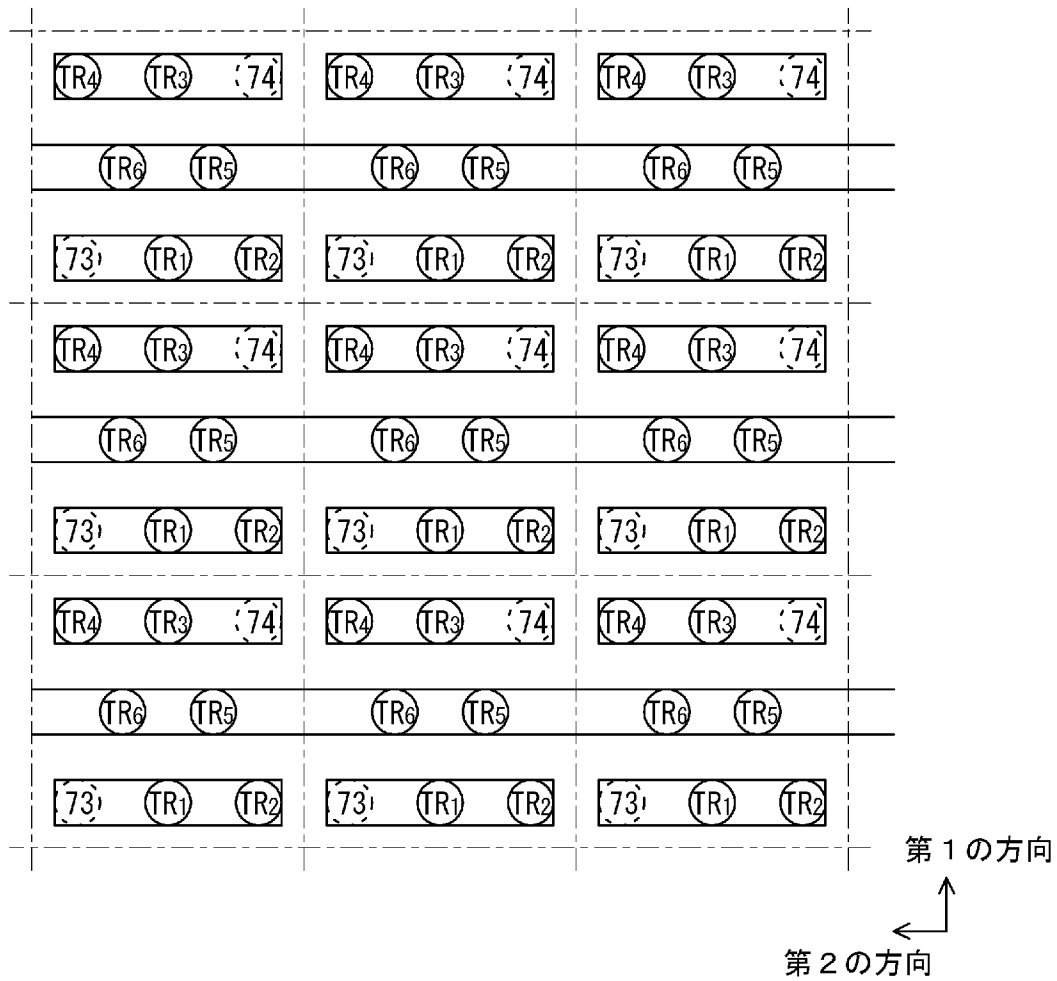
[図40]

図 40



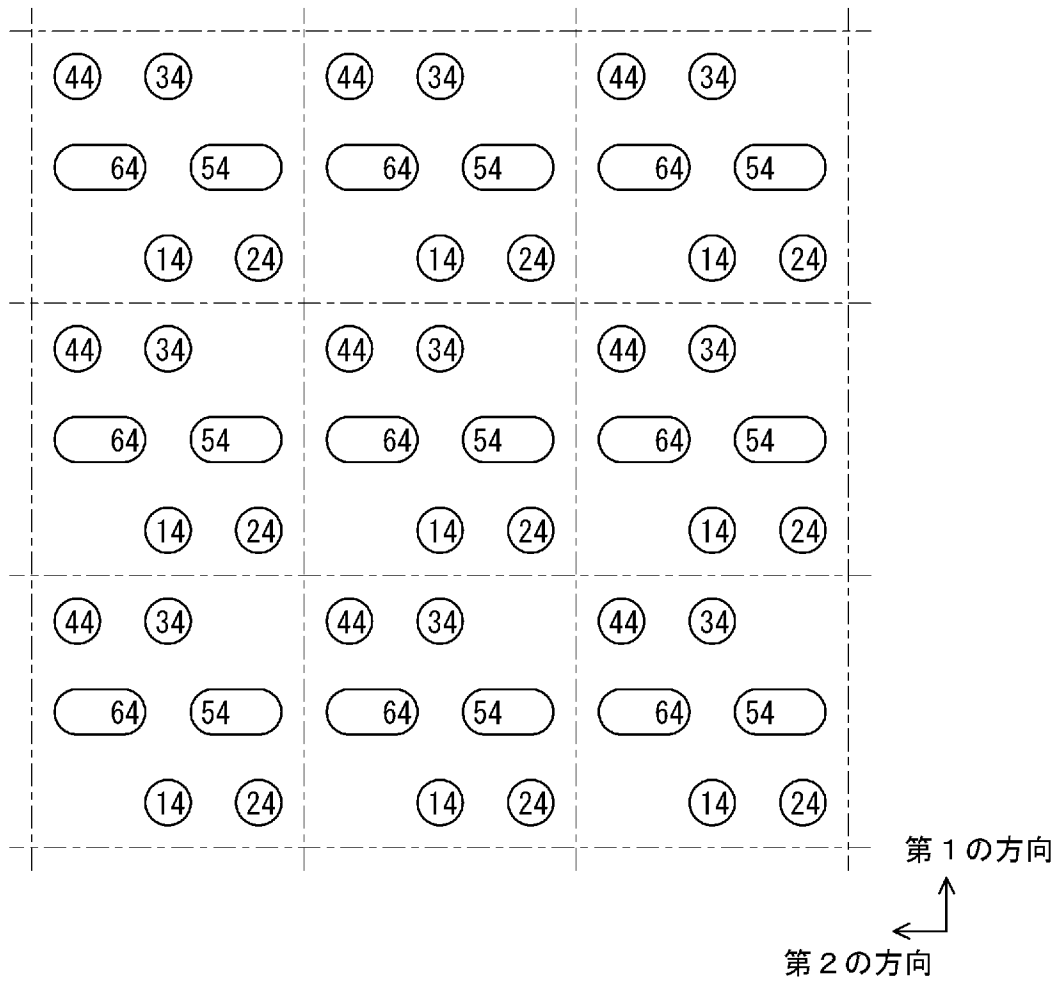
[図41]

図 4 1



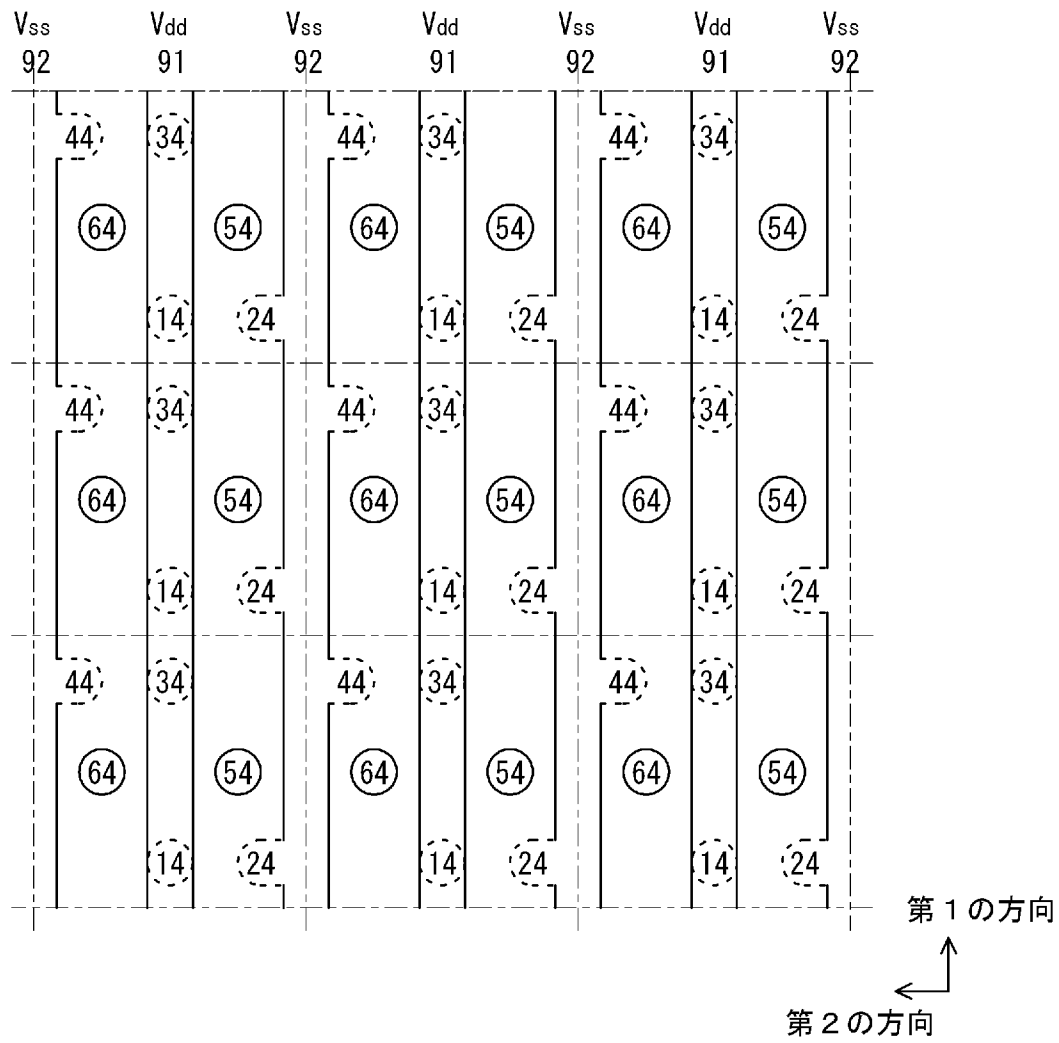
[図42]

図 4 2



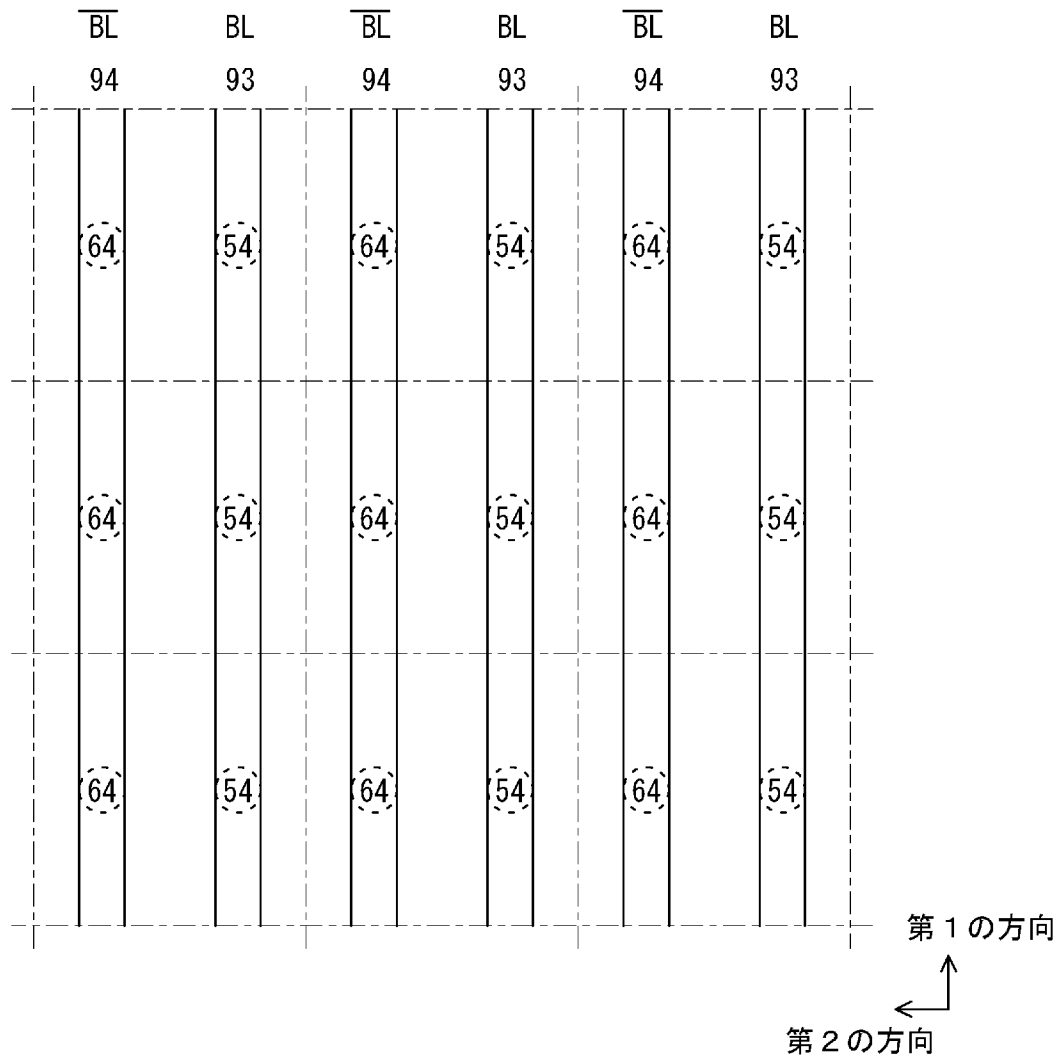
[図43]

図 4 3



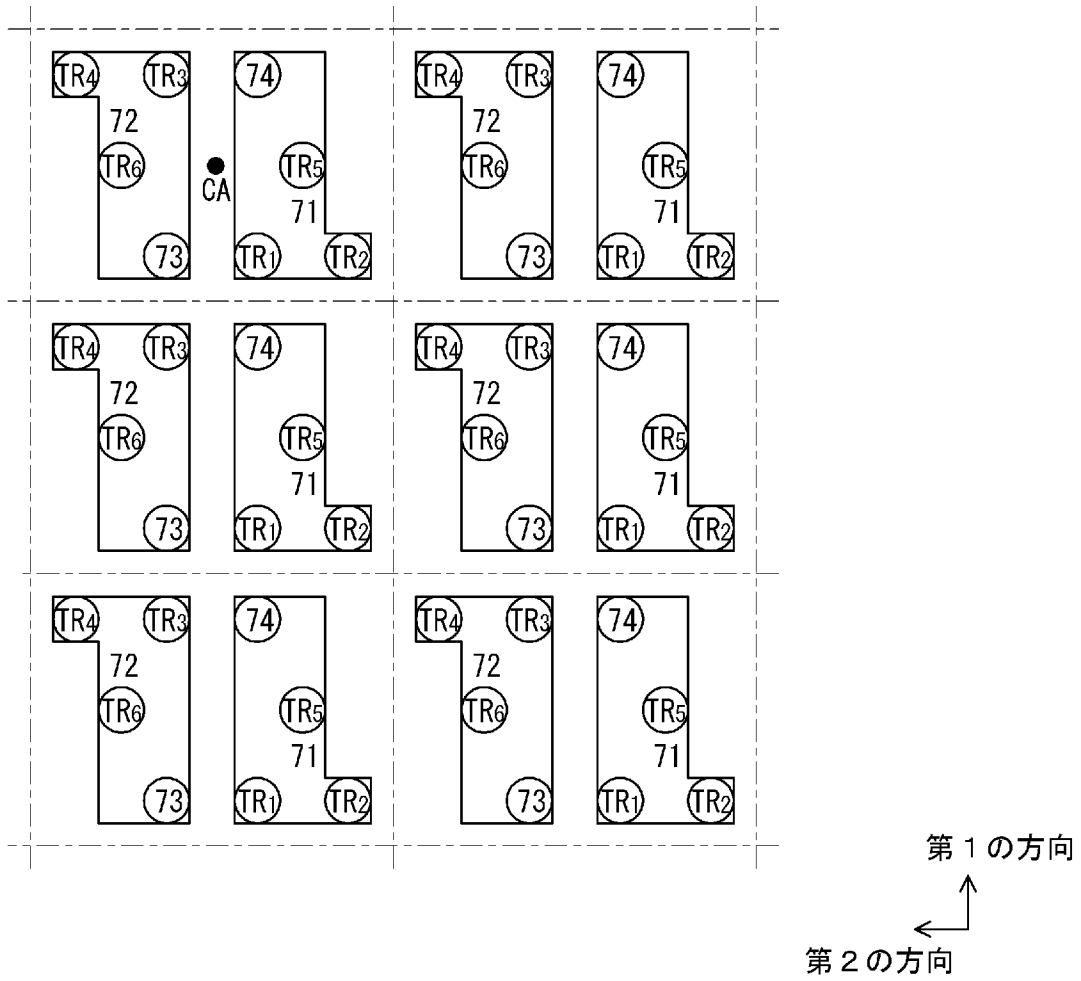
[図44]

図 4 4



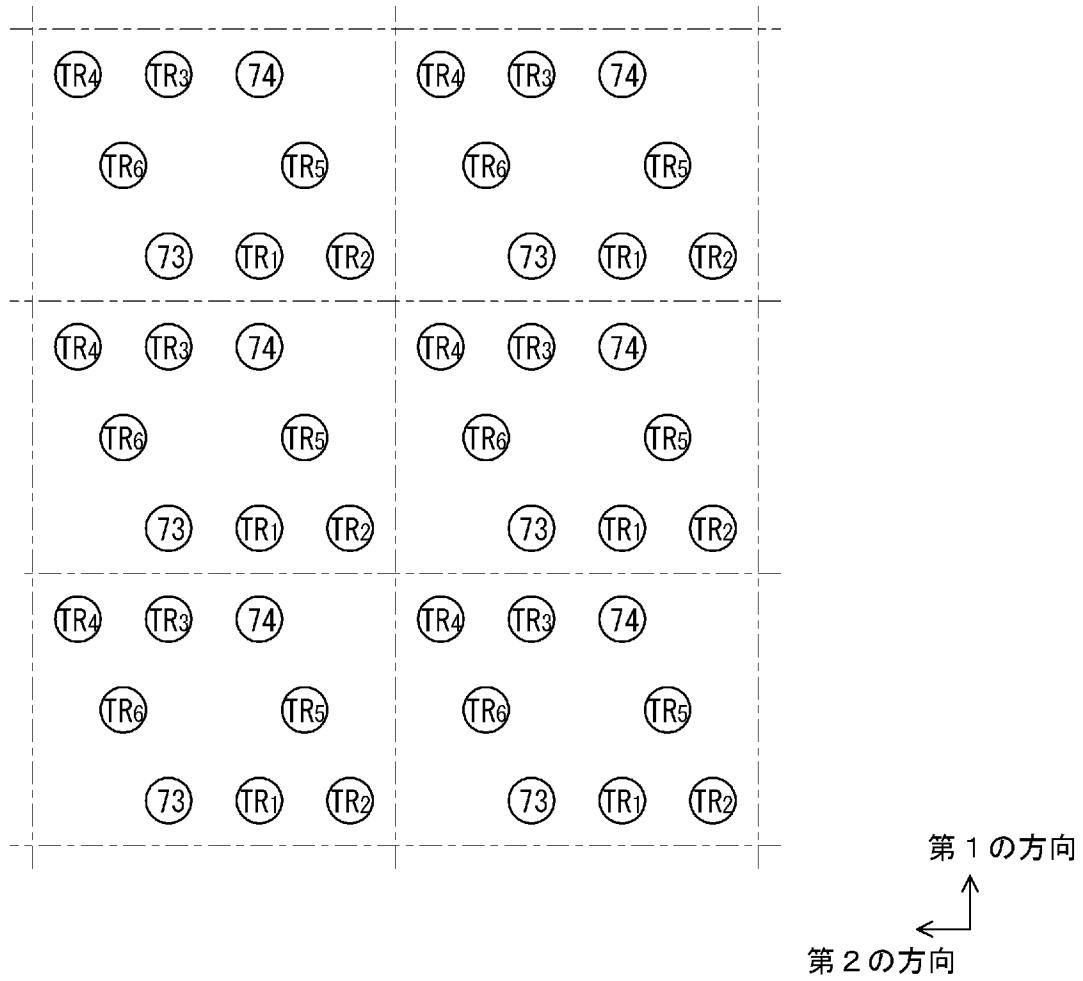
[図45]

図 4 5



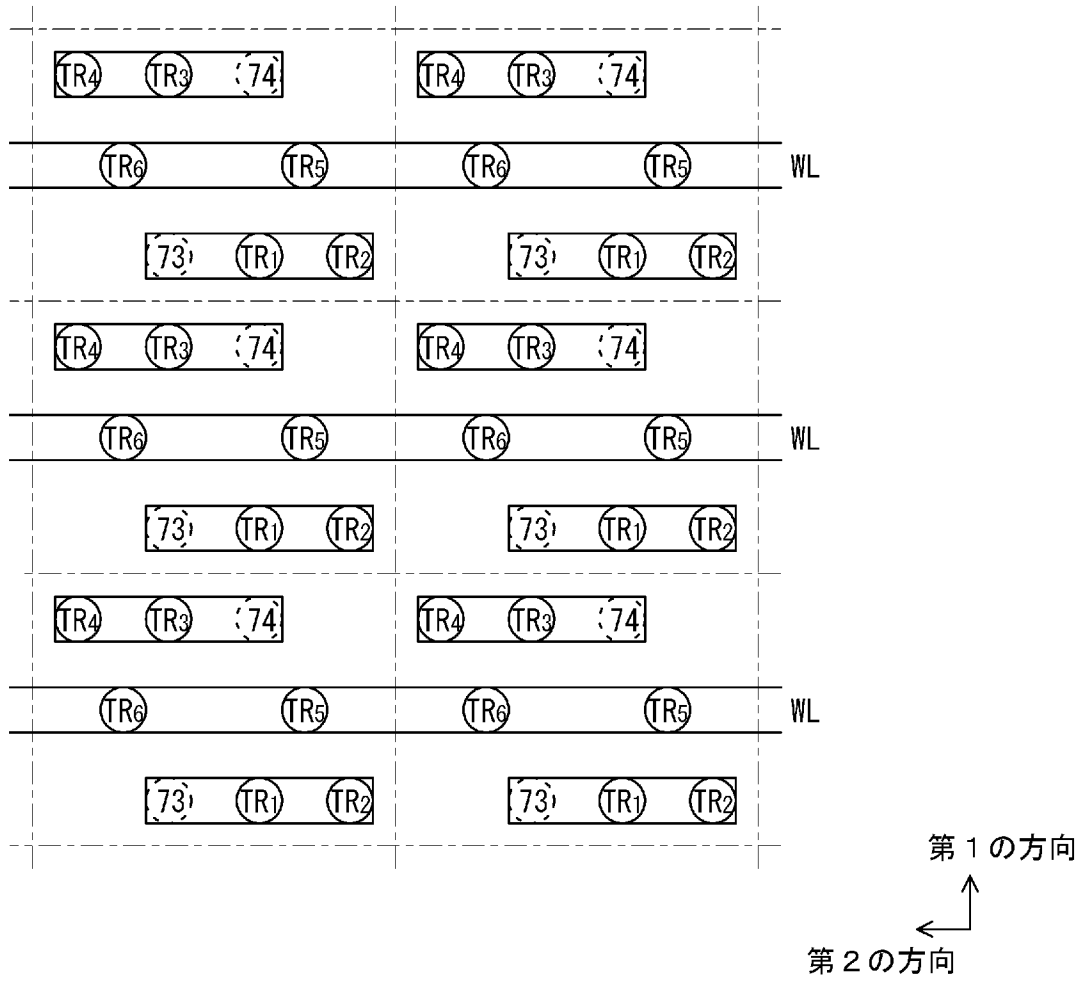
[図46]

図 4 6



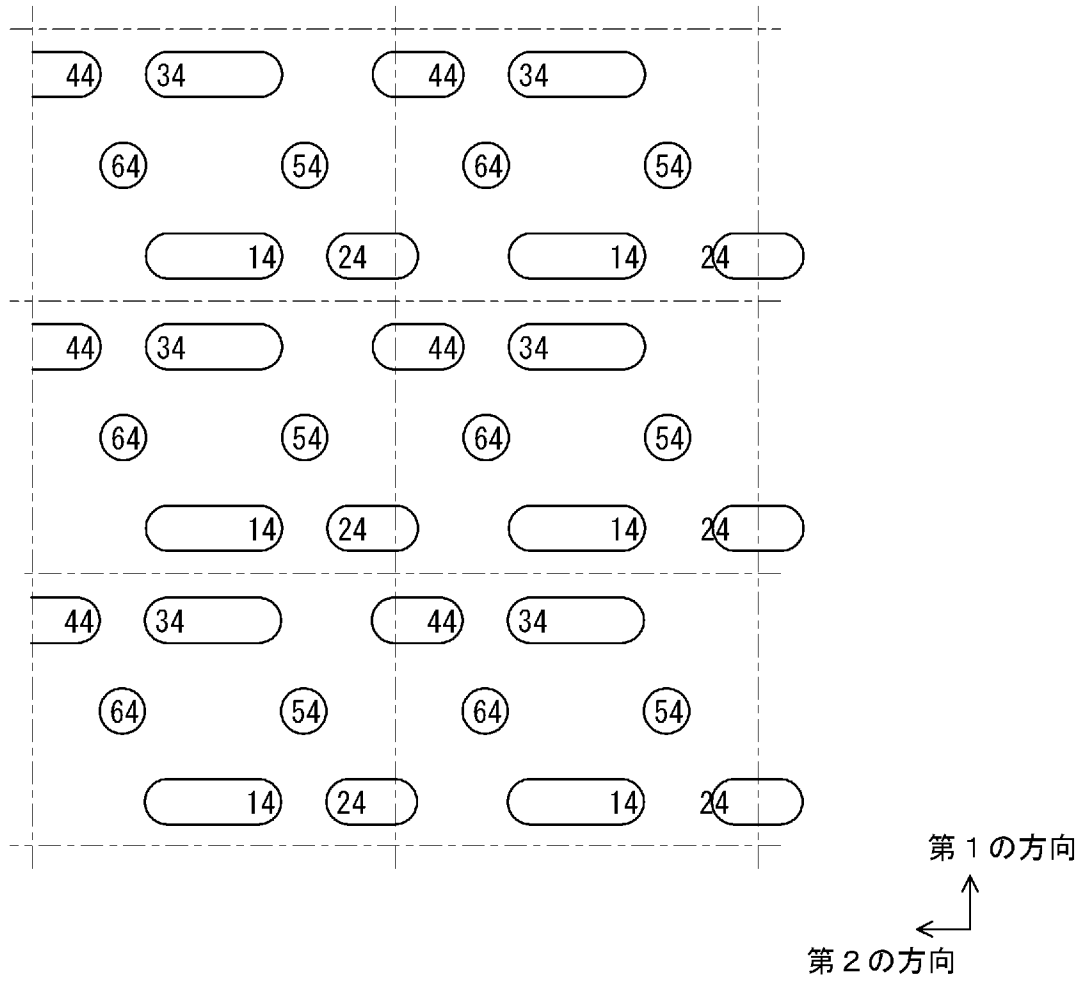
[図47]

図 47



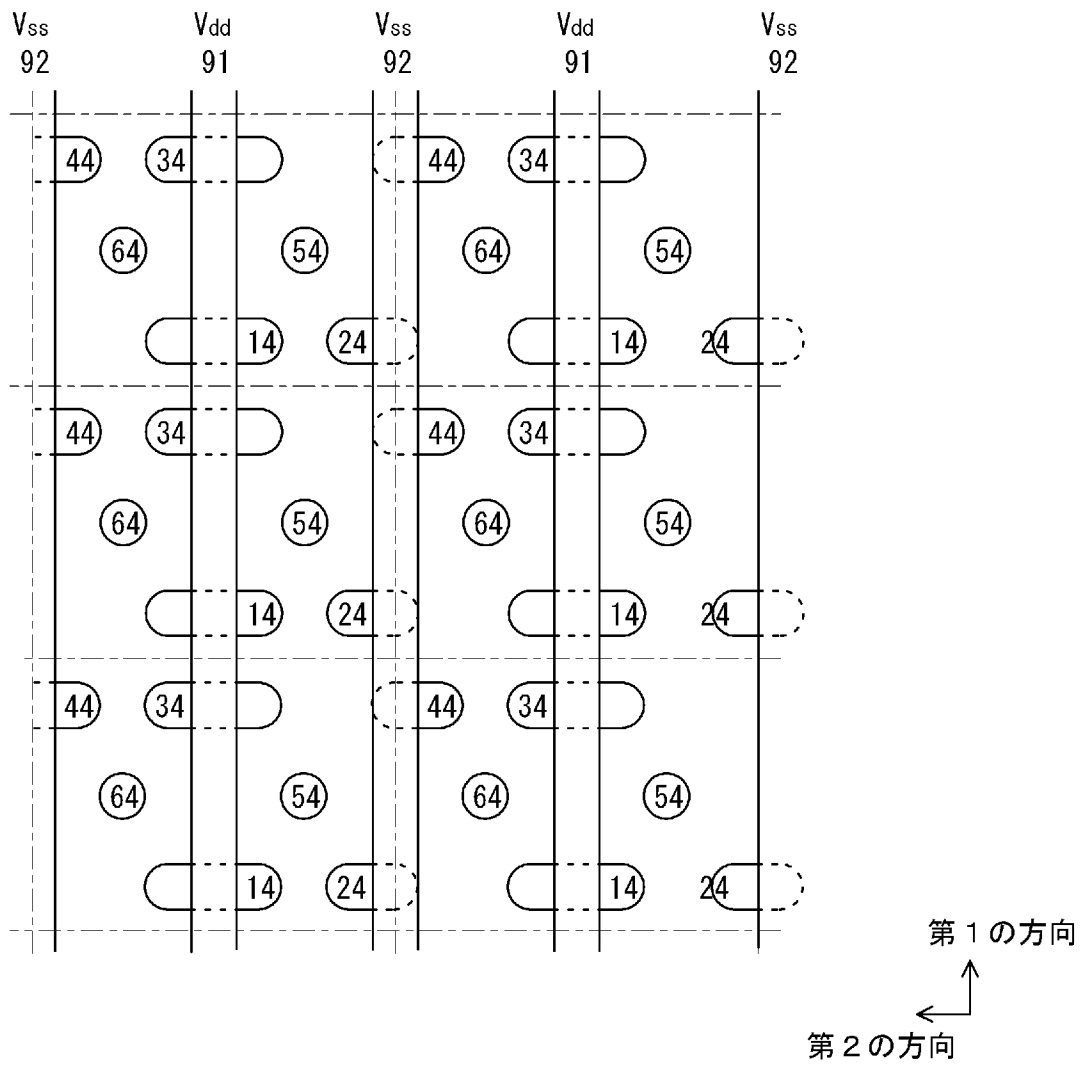
[図48]

図 48



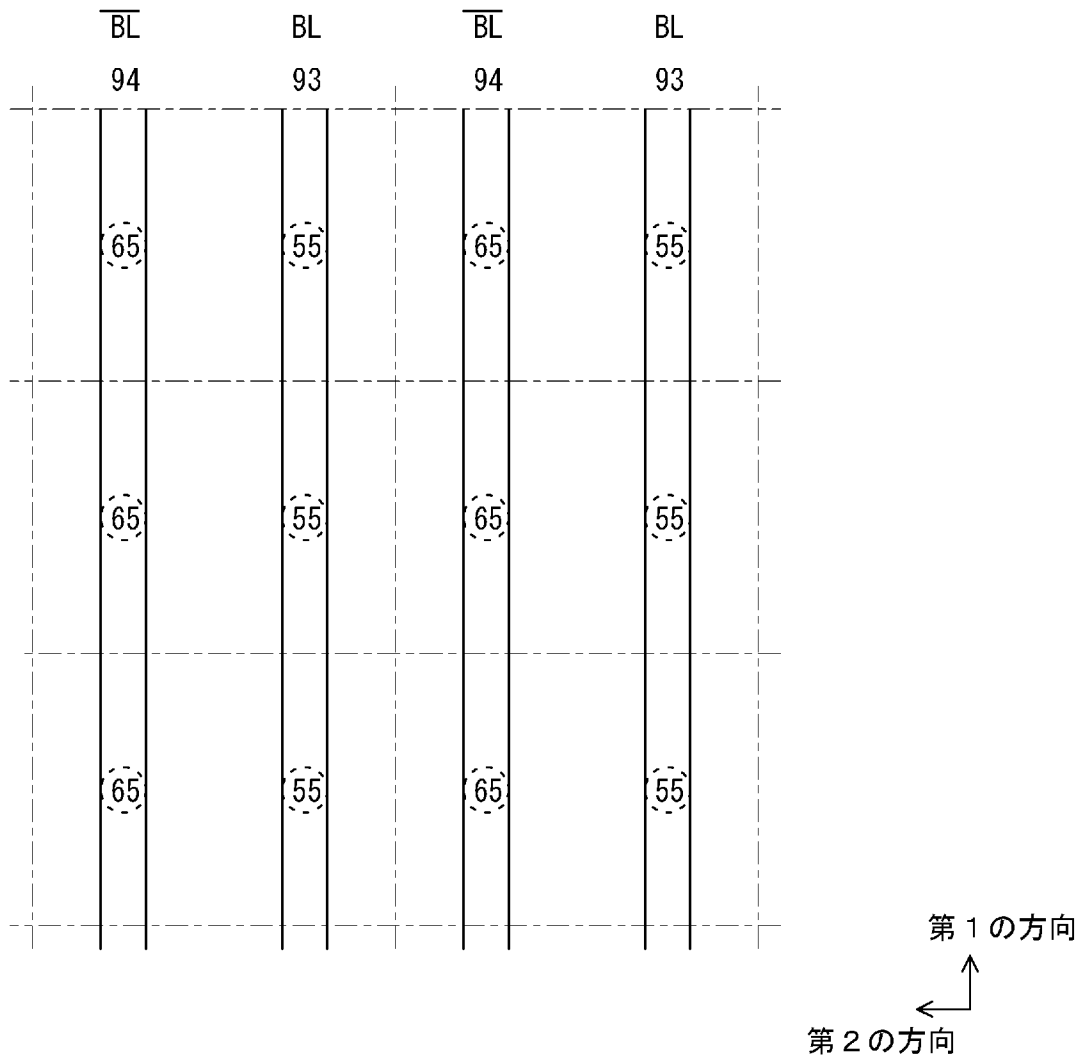
[図49]

図 4 9



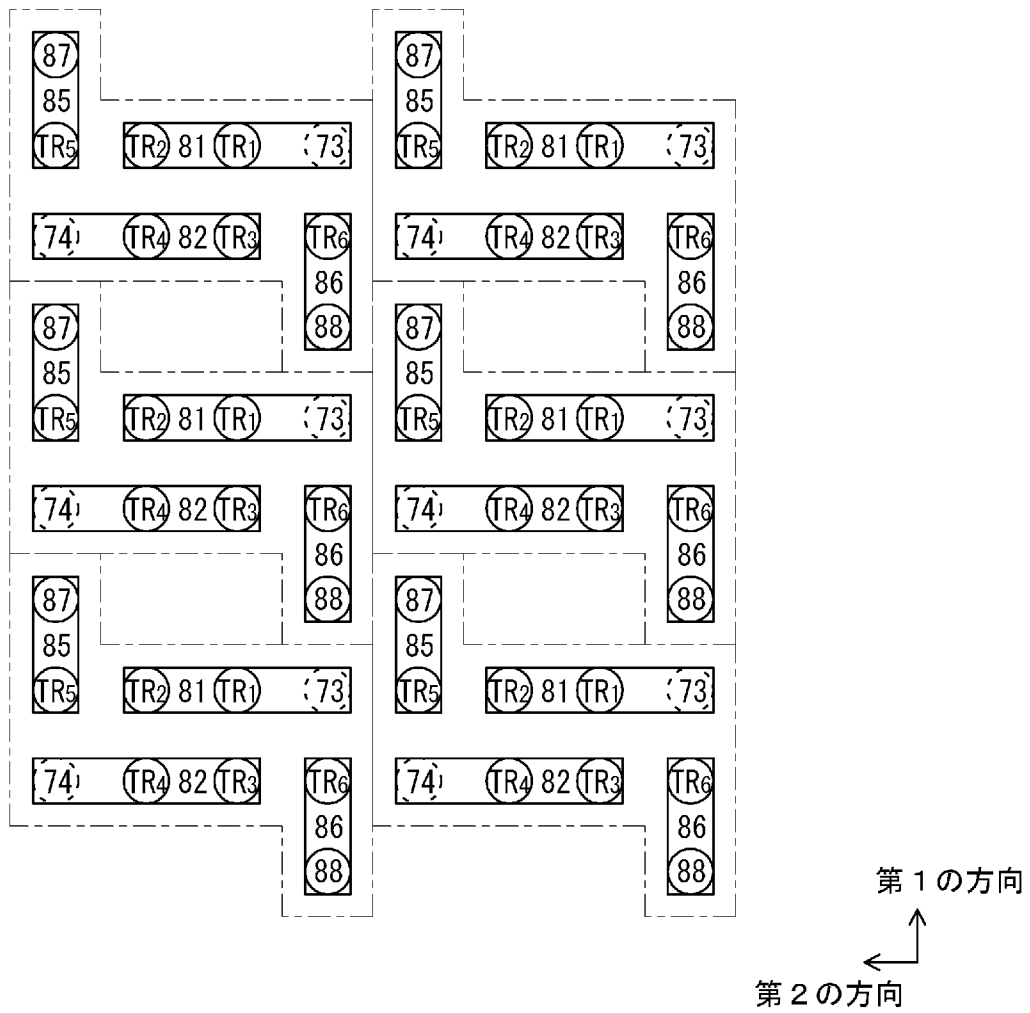
[図50]

図 50



[図51]

図 5 1



[図52]

図52A

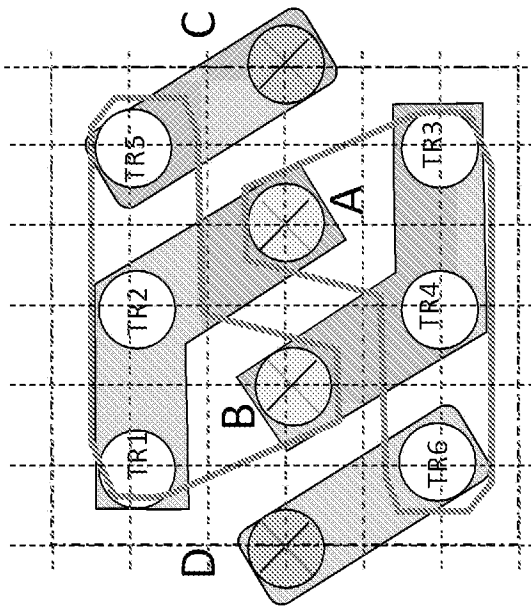
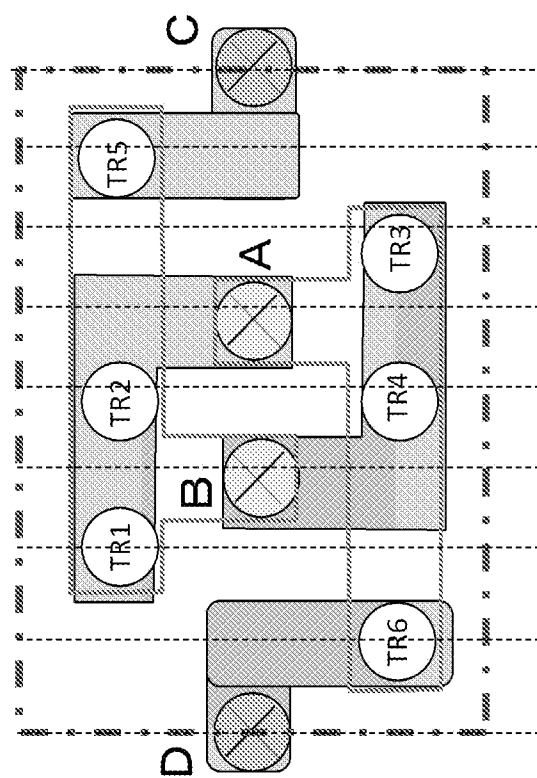


図52B



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/031825

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/8244 (2006.01) i, H01L21/28 (2006.01) i,  
H01L21/8229 (2006.01) i, H01L27/102 (2006.01) i,  
H01L27/11 (2006.01) i, H01L29/417 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/8244, H01L21/28, H01L21/8229, H01L27/102, H01L27/11,  
H01L29/417

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                                                          |           |
|----------------------------------------------------------|-----------|
| Published examined utility model applications of Japan   | 1922-1996 |
| Published unexamined utility model applications of Japan | 1971-2019 |
| Registered utility model specifications of Japan         | 1996-2019 |
| Published registered utility model applications of Japan | 1994-2019 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                                                                       | Relevant to claim No.      |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------|
| X<br>A    | WO 2009/128450 A1 (NEC CORP.) 22 October 2009, paragraphs [0072], [0073], [0079], [0083], [0111]-[0117], [0147]-[0150], fig. 3, 4, 10a-10d, 20, 21a, 21b & US 2011/0024828 A1, paragraphs [0179], [0180], [0186], [0190], [0219]-[0225], [0256]-[0259], fig. 3, 4, 10a-10d, 20, 21a, 21b | 1-3, 6, 8<br>4, 5, 7, 9-20 |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
16 October 2019 (16.10.2019)

Date of mailing of the international search report  
29 October 2019 (29.10.2019)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/031825

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                                                                                                              | Relevant to claim No.       |
|-----------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------|
| X<br>A    | WO 2009/096465 A1 (UNISANTIS-ELECTRONICS (JAPAN) LTD.) 06 August 2009, paragraphs [0009]-[0021], [0041], [0045], fig. 1, 3a-3d, 24 & JP 2014-3325 A & US 2010/0219483 A1, paragraphs [0053]-[0073], [0096]-[0099], [0111]-[0114], fig. 1, 3a-3d, 24 & WO 2009/095998 A1 & EP 2239771 A1 & KR 10-2010-0101008 A & CN 101933136 A | 1, 6<br>2-5, 7-20           |
| X<br>A    | JP 7-99311 A (MITSUBISHI ELECTRIC CORP.) 11 April 1995, paragraphs [0232]-[0251], fig. 72, 74-79 & US 5994735 A, column 39, line 1 to column 41, line 21, fig. 72, 74-79 & US 6127209 A & US 2002/0195652 A1 & US 6420751 B1                                                                                                    | 1, 4-7, 9<br>2, 3, 8, 10-20 |
| A         | JP 2008-205168 A (FUJITSU LTD.) 04 September 2008, entire text, all drawings (Family: none)                                                                                                                                                                                                                                     | 1-20                        |

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/8244(2006.01)i, H01L21/28(2006.01)i, H01L21/8229(2006.01)i, H01L27/102(2006.01)i, H01L27/11(2006.01)i, H01L29/417(2006.01)i

## B. 調査を行った分野

## 調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/8244, H01L21/28, H01L21/8229, H01L27/102, H01L27/11, H01L29/417

## 最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2019年 |
| 日本国実用新案登録公報 | 1996-2019年 |
| 日本国登録実用新案公報 | 1994-2019年 |

## 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                         | 関連する<br>請求項の番号 |
|-----------------|---------------------------------------------------------------------------------------------------------------------------|----------------|
| X               | WO 2009/128450 A1（日本電気株式会社）2009.10.22, 段落[0072], [0073], [0079], [0083], [0111] - [0117], [0147] - [0150], 図              | 1-3, 6, 8      |
| A               | 3, 4, 10a - 10d, 20, 21a, 21b & US 2011/0024828 A1, 段落[0179], [0180], [0186], [0190], [0219] - [0225], [0256] - [0259], 図 | 4, 5, 7, 9-20  |
|                 | 3, 4, 10a - 10d, 20, 21a, 21b                                                                                             |                |

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

16.10.2019

国際調査報告の発送日

29.10.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宮本 博司

5 F

6313

電話番号 03-3581-1101 内線 3516

| C (続き) . 関連すると認められる文献 |                                                                                                                                                                                                                                                                                                    |                             |
|-----------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                                                                                                                                                  | 関連する<br>請求項の番号              |
| X<br>A                | WO 2009/096465 A1 (日本ユニサンティスエレクトロニクス株式会社) 2009.08.06, 段落[0009] - [0021], [0041], [0045], 図 1, 3a - 3d, 24 & JP 2014-3325 A & US 2010/0219483 A1, 段落[0053] - [0073], [0096] - [0099], [0111] - [0114], 図 1, 3a - 3d, 24 & WO 2009/095998 A1 & EP 2239771 A1 & KR 10-2010-0101008 A & CN 101933136 A | 1, 6<br>2-5, 7-20           |
| X<br>A                | JP 7-99311 A (三菱電機株式会社) 1995.04.11, 段落[0232] - [0251], 図 72, 74 - 79 & US 5994735 A, 第 39 欄第 1 行 - 第 41 欄第 21 行, 図 72, 74 - 79 & US 6127209 A & US 2002/0195652 A1 & US 6420751 B1                                                                                                                 | 1, 4-7, 9<br>2, 3, 8, 10-20 |
| A                     | JP 2008-205168 A (富士通株式会社) 2008.09.04, 全文, 全図 (ファミリーなし)                                                                                                                                                                                                                                            | 1-20                        |