

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局(43) 国际公布日
2012 年 1 月 5 日 (05.01.2012)(10) 国际公布号
W O 2012/000442 A I

- (51) 国际分类号：
H01L 27/115 (2006.01) H01L 21/8247 (2006.01)
- (21) 国际申请号：
PCT/CN201 1/076632
- (22) 国际申请日：
2011 年 6 月 30 日 (0.06.2011)
- (25) 申请语言：
中文
- (26) 公布语言：
中文
- (30) 优先权：
201010223356.3 2010 年 6 月 30 日 (0.06.2010) CN
201010223354.4 2010 年 6 月 30 日 (0.06.2010) CN
- (71) 申请人 (对除美国外的所有指定国)：中国科学院
微电子研究所 (INSTITUTE OF MICROELECTRONICS,
CHINESE ACADEMY OF SCIENCES)
[CN/CN]; 中国北京市朝阳区北土城西路 3 号, Bei-
jing 100029 (CN)。
- (72) 发明人 及
- (75) 发明人/申请人 (仅对美国) 刘明 (LIU, Ming) [CN/
CN]; 中国北京市朝阳区北土城西路 3 号 Beijing
100029 (CN)。朱晨昕 (ZHU, Chenxin) [CN/CN];
中国北京市朝阳区北土城西路 3 号, Beijing 100029
(CN)。霍宗亮 (HUO, Zongliang) [CN/CN]; 中国北
京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
闫锋 (YAN, Feng) [CN/CN]; 中国北京市朝阳区北
土城西路 3 号, Beijing 100029 (CN)。王琴
- (54) 指定国 (除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB,
BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR,
CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP,
KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL,
PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV,
SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL,
PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,

[见续页]

- (54) Title: THREE DIMENSIONAL AND MULTI-VALUED NONVOLATILE MEMORY DEVICE AND MANUFACTURING METHOD THEREOF
- (54) 发明名称 三维多值非挥发存储器及其制备方法

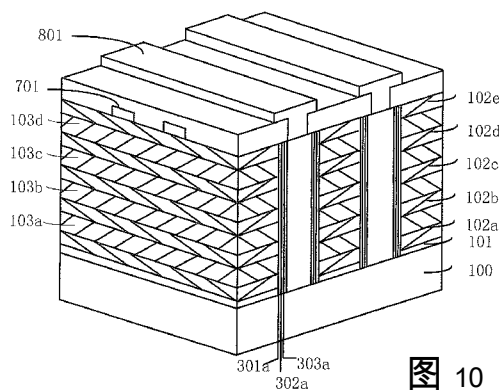


图 10 / Fig. 10

(57) Abstract: A three dimensional and multi-valued nonvolatile memory device and a manufacturing method thereof involve the field of microelectronics manufacturing and memory technology. The memory device has multiple storage cells, which constitute a memory array. The memory array includes a stacked gate structure, a stacked gate region and a channel region arranged periodically, a gate dielectric layer (302a) with charge discretely stored, a symmetric source/drain doped region, and a bitline (701) and a wordline (801) led out from the positions of the source/drain doped region and the stacked gate region. The physical storage point of the memory device is provided by the gate dielectric layer to realize single- or multi-bit operation, and thereby high density storage is obtained. By utilizing the charge localization storage feature of the charge trapped layer and the characteristics of the vertical structure memory which has increased effective channel length and density, the single storage cell has multiple physical storage points; therefore, the storage density is increased while the high speed storage performance is guaranteed.

[见续页]



CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, 本国际公布：

0)°

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：

一种三维多值非挥发存储器及其制备方法，涉及微电子制造及存储器技术领域。该存储器具有多个存储单元，该多个存储单元构成存储阵列，该存储阵列具有栅极叠层结构、周期性交替排列的栅极叠层区和沟道区空间，电荷分立存储栅介质层(302a)、对称的源掺杂区与漏掺杂区、以及分别由该源掺杂区与漏掺杂区位置及该栅极叠层区引出位线(701)及字线(801)，该存储器由该栅介质层提供物理存储点，实现单位或多位操作，获得高存储密度。利用电荷俘获层的电荷局域化存储性质及垂直结构存储器有效沟道长度增加和密度提高的特性，使单个存储单元具有多个物理存储点，在保证高速的存储性能的同时，提高了存储密度。

三维多值非挥发存储器及其制备方法

技术领域

本发明涉及微电子制造及存储器技术领域，尤其涉及一种具有三维集成特性、局域化存储电荷的三维多值非挥发存储器及其制备方法。

5

背景技术

目前的微电子产品主要分为逻辑器件与存储器件两大类，而现今几乎所有的电子产品中都需要用到存储器件，因而存储器件在微电子领域占有非常重要的地位。存储器件一般可分为挥发性存储器与非挥发存储器。非挥发性存储器的主要特点是在不加电的情况下也能够长期保持存储的信息。它既有只读存储器（ROM）的特点，又有很高的存取速度，而且易于擦除和重写，功耗较小。

随着多媒体应用、移动通信等对大容量、低功耗存储的需要，非挥发性存储器，特别是闪速存储器（Flash），所占半导体器件的市场份额变得越来越大，也越来越成为一种相当重要的存储器类型。

传统的Flash存储器是采用多晶硅薄膜浮栅结构的硅基非挥发存储器，该存储器的隧穿介质层一般是氧化层，其上的一个缺陷即会形成致命的放电通道。而电荷俘获型存储器利用俘获层的电荷局域化存储特性，实现分立电荷存储，隧穿介质层上的缺陷只会造成局部的电荷泄漏，而不会形成致命的放电通道，这样使电荷保持更加稳定。更为重要的是，利用这种电荷局域化存储特性，可在单个器件中实现多个相对独立的物理存储点，从而实现多位存储，提高存储密度。传统的Flash存储器采用平面结构，垂直结构存储器可以有效利用侧墙表面，形成垂直沟道，增大沟道面积，从而获得更优的器件性能。

随着微电子技术的迅猛发展，半导体器件的尺寸进一步按比例缩小，除了对非挥发存储器的编程、擦除、保持性能的要求不断提高外，实现高密度

存储从而获得更低的成本成为非挥发存储器发展中的重点。三维集成技术是提高存储密度的有效方法之一。专利 US5825296 描述了一种三维结构只读存储器,专利 US20080023747 公开了基于多叠层结构的半导体存储器件阵列的构成与制备方法,但是这两个专利中所述存储阵列存储密度相对于实际需求
5 仍然偏低,如何提高存储密度仍是非挥发存储器领域研究的重要方向。

发明内容

有鉴于此,本发明的主要目的在于提供一种三维多值非挥发存储器及其制备方法,以提高存储密度,获得性能优的多值存储器。

10 为达到上述目的,本发明提供了一种三维多值非挥发存储器,该存储器具有多个存储单元,该多个存储单元进一步构成存储阵列,该存储阵列具有栅极叠层结构、周期性交替排列的栅极叠层区和沟道区空间、电荷分立存储栅介质层、周期性的沟道区、对称的源掺杂区与漏掺杂区,以及分别由该源掺杂区与漏掺杂区位置及该栅极叠层区引出位线及字线,该存储器由该电荷
15 分立存储栅介质层提供物理存储点,实现单位或多位操作,获得高存储密度。

上述方案中,所述栅极叠层结构由隔离介质层与导电栅极层依次堆叠而成,其中栅隔离介质层采用的材料为二氧化硅,导电栅极层采用多晶硅、金属、金属硅化物或由多层材料堆叠而成的结构。

20 上述方案中,所述周期性交替排列的栅极叠层区和沟道区空间是通过刻蚀该栅极叠层结构形成的,由光刻胶或硬质掩模定义栅极叠层区的图形,然后刻蚀该栅极叠层结构直至露出介质层,刻蚀后形成了周期性交替排列的栅极叠层区和沟道区空间。

25 上述方案中,所述电荷分立存储栅介质层位于沟道区两侧的栅极叠层区侧墙上,由自栅极叠层区侧墙向外依次形成的电荷阻挡层、电荷存储层和隧穿介质层构成。所述电荷阻挡层采用的材料为二氧化硅、金属氧化物或由多层材料堆叠而成的结构,所述电荷存储层采用的材料为氮化硅、高 k 材料或堆叠结构,所述隧穿介质层采用的材料为二氧化硅、高 k 材料或由多层材料堆叠而成的结构。该存储器采用沟道热电子注入 CHE 方式完成编程操作,此

时电子将从衬底进入到栅极下方的所述电荷存储层中。所述存储单元采用 FN 栅擦除操作使得存储电子从所述电荷存储层隧穿进入存储阵列的栅极叠层结构，或者采用带带隧穿热空穴注入 BBTH 方式使得热空穴从衬底进入所述电荷存储层完成与电子的复合，从而实现擦除操作。

5 上述方案中，所述周期性的沟道区是通过在相邻的两个隧穿介质层之间的沟道区空间淀积多晶硅，并完全填充该沟道区空间而形成的。

上述方案中，所述对称的源掺杂区和漏掺杂区的掺杂类型与所述沟道区的掺杂类型相反，且所述对称的源掺杂区与漏掺杂区是重掺杂区域，其掺杂条件与所述沟道区的掺杂条件相同，该对称的源掺杂区与漏掺杂区沿所述沟道区周期性分布。所述对称的源掺杂区与漏掺杂区采用的材料为掺杂多晶硅或金属硅化物。

为达到上述目的，本发明还提供了一种制备三维多值非挥发存储器的方法，包括：在半导体衬底上形成栅极叠层结构；刻蚀该栅极叠层结构形成周期性交替排列的栅极叠层区和沟道区空间；自该栅极叠层区的侧墙依次淀积电荷阻挡层、电荷存储层和隧穿介质层，形成电荷分立存储栅介质层；在相邻的两个隧穿介质层之间的沟道区空间淀积多晶硅形成周期性的沟道区；沿垂直于该沟道区的方向刻蚀该沟道区形成多个周期性排列的源掺杂区与漏掺杂区位置；在该源掺杂区与漏掺杂区位置中淀积源/漏掺杂材料，形成对称的源掺杂区与漏掺杂区；以及分别由该源掺杂区与漏掺杂区位置及该栅极叠层区引出位线及字线，形成非挥发的三维多值非挥发存储器。

上述方案中，所述在半导体衬底上形成栅极叠层结构包括：采用化学气相沉积在半导体衬底上沉积起缓冲隔离作用的介质层；采用化学气相沉积在该介质层上依次交错沉积隔离介质层与导电栅极层，形成栅极叠层结构。

上述方案中，所述半导体衬底为硅片、锗硅片或是包含外延硅层、锗硅层的多层衬底材料；所述介质层为二氧化硅；所述栅极叠层结构由隔离介质层与导电栅极层依次堆叠而成，所述隔离介质层采用的材料为二氧化硅，所述导电栅极层采用的材料为多晶硅、金属、金属硅化物或由多层材料堆叠具有类似性质的结构。

上述方案中，所述刻蚀该栅极叠层结构形成周期性交替排列的栅极叠层

区和沟道区空间，包括：由光刻胶或硬质掩模定义栅极叠层区的图形，刻蚀该栅极叠层结构直至露出介质层，刻蚀后形成了周期性交替排列的栅极叠层区和沟道区空间。

上述方案中，所述自该栅极叠层区的侧墙依次淀积电荷阻挡层、电荷存储层和隧穿介质层，形成电荷分立存储栅介质层，包括：在刻蚀形成有交替排列的栅极叠层区和沟道区空间的该栅极叠层结构上依次淀积电荷阻挡层、电荷存储层和隧穿介质层；刻蚀在该栅极叠层区及介质层之上淀积电荷阻挡层、电荷存储层和隧穿介质层，经刻蚀后露出最上层隔离介质层及衬底，进而保留沿该栅极叠层区侧墙依次形成的电荷阻挡层、电荷存储层和隧穿介质层，形成电荷分立存储栅介质层。

上述方案中，所述在相邻的两个隧穿介质层之间的沟道区空间淀积多晶硅形成周期性的沟道区，包括：在相邻的两个隧穿介质层之间的沟道区空间淀积多晶硅，完全填充该沟道区空间，形成周期性的沟道区。

上述方案中，所述沿垂直于该沟道区的方向刻蚀该沟道区形成多个周期性排列的源掺杂区与漏掺杂区位置，包括：采用光刻胶或硬质掩模来定义源掺杂区与漏掺杂区位置的图形，然后沿垂直于该沟道区的方向刻蚀该沟道区直至露出衬底，在沟道区上形成多个周期性排列的方形孔洞，该方形孔洞即是源掺杂区与漏掺杂区位置。

上述方案中，所述在该源掺杂区与漏掺杂区位置中淀积源/漏掺杂材料，形成对称的源掺杂区与漏掺杂区，包括：在该源掺杂区与漏掺杂区位置中淀积源/漏掺杂材料，并通过化学机械抛光对表面进行平坦化，形成沿沟道区周期分布的对称的源掺杂区和漏掺杂区。

上述方案中，所述形成对称的源掺杂区与漏掺杂区之后，还包括：进行热处理工艺，将沟道区以及源掺杂区与漏掺杂区均形成单晶硅。

上述方案中，所述分别由该源掺杂区与漏掺杂区位置及该栅极叠层区引出位线及字线，形成非挥发的三维多值非挥发存储器的步骤中，是由源掺杂区与漏掺杂区引出位线，且该位线沿与沟道区垂直方向设置，并由该栅极叠层区引出字线，且该字线沿与沟道区平行方向设置。

上述方案中，所述位线采用的材料为多晶硅、金属、金属硅化物或由多

层材料堆叠具有类似性质的结构，所述字线采用的材料为多晶硅、金属、金属硅化物或由多层材料堆叠具有类似性质的结构。

从上述技术方案可以看出，本发明具有以下有益效果：

5 1、本发明提供的三维多值非挥发存储器及其制备方法，综合利用了电荷俘获层的电荷局域化存储性质及垂直结构存储器有效沟道长度增加和密度提高的特性，使单个存储结构单元具有多个物理存储点，从而在实现多位存储的基础上，进行存储器阵列的三维集成，在保证高速等较优的存储性能的同时，从根本上提高了存储密度。

10 2、本发明提供的三维多值非挥发存储器及其制备方法，其制备工艺与传统的硅平面 CMOS 工艺兼容，可采用传统存储器阵列结构集成，利于广泛应用。

附图说明

图 1 是依照本发明实施例在半导体衬底上形成栅极叠层结构的示意图；

15 图 2 是依照本发明实施例刻蚀该栅极叠层结构的示意图；

图 3 是依照本发明实施例在刻蚀叠层结构后淀积电荷分立存储栅介质层的示意图；

图 4 是依照本发明实施例刻蚀栅极叠层区及介质层之上淀积电荷分立存储栅介质层的示意图；

20 图 5 是依照本发明实施例在相邻的两个隧穿介质层之间的沟道区空间淀积多晶硅形成周期性的沟道区的示意图；

图 6 是依照本发明实施例通过刻蚀方式定义源/漏掺杂区位置的示意图；

图 7 为依照本发明实施例在源/漏掺杂区位置淀积源/漏掺杂材料形成源/漏掺杂区的示意图；

25 图 8 为依照本发明实施例对沟道区、源/漏掺杂区进行单晶化的示意图；

图 9 为依照本发明实施例从源/漏掺杂区引出位线的示意图；

图 10 为依照本发明实施例从栅极叠层区引出字线的示意图；

图 11 是依照本发明实施例的三维多值非挥发存储器的单层等效电路示

意图；

图 12 是依照本发明实施例的三维多值非挥发存储器的三维等效电路示意图。

5 具体实施方式

为使本发明的目的、技术方案和优点更加清楚明白，以下结合具体实施例，并参照附图，对本发明进一步详细说明。

图 1 至图 10 示出了依照本发明实施例的制备三维多值非挥发存储器的示意图，具体制备过程如下：

10 图 1 是依照本发明实施例在半导体衬底上形成栅极叠层结构的示意图。半导体衬底 100 为硅片、锗硅片、其他类似半导体材料或是包含外延硅层、锗硅层的多层衬底材料。介质层 101 为二氧化硅或其它具有类似性质的材料，起缓冲隔离的作用。102a、102b、102c、102d、102e 为隔离介质层，采用的材料为二氧化硅或其它具有类似性质的材料，103a、103b、103c、103d 为导电栅极层，采用的材料为多晶硅、金属、金属硅化物或由多层材料堆叠具有类似性质的结构。如图所示，隔离介质层与导电栅极层依次堆叠，形成栅极叠层结构。其工艺方法为化学气相沉积(CVD)等。

图 2 是依照本发明实施例刻蚀该栅极叠层结构的示意图。由光刻胶或硬质掩模等定义栅极叠层区 201 的图形，刻蚀栅极叠层结构直至露出介质层 101，刻蚀后形成了周期性的栅极叠层区 201 及刻蚀后打开的沟道区空间 202。

图 3 是依照本发明实施例在刻蚀叠层结构后淀积电荷分立存储栅介质层的示意图。自栅极叠层区 201 的侧墙依次淀积电荷阻挡层 301、电荷存储层 302 和隧穿介质层 303，形成电荷分立存储栅介质层。其中电荷阻挡层 301 采用的材料是二氧化硅、金属氧化物、其它具有类似性质的材料或由多层材料堆叠具有类似性质的结构，电荷存储层 302 采用的材料为氮化硅、高 k 材料、其它具有电荷存储能力的材料或堆叠结构，隧穿介质层 303 采用的材料为二氧化硅、高 k 材料、其它具有类似性质的材料或由多层材料堆叠具有类似性质的结构。制备方法及各薄层厚度可根据所用材料不同调整。

图 4 是依照本发明实施例刻蚀栅极叠层区 201 及介质层 101 之上淀积电荷分立存储栅介质层的示意图,经刻蚀后露出最上层隔离介质层 102e 及衬底 100,而保留了沿栅极叠层区侧墙依次形成的电荷阻挡层 301、电荷存储层 302 和隧穿介质层 303。

图 5 是依照本发明实施例在相邻的两个隧穿介质层 303 之间的沟道区空间 202 淀积多晶硅形成周期性的沟道区的示意图。在相邻的两个隧穿介质层 303 之间的沟道区空间 202 淀积多晶硅,完全填充该沟道区空间 202,形成周期性的沟道区 401。

图 6 是依照本发明实施例通过刻蚀方式定义源/漏掺杂区位置的示意图。首先用光刻胶或硬质掩模等定义源/漏掺杂区位置 502 的图形,然后沿垂直于沟道区 401 的方向刻蚀沟道区 401 直至露出衬底 100,在沟道区 401 上形成多个周期性排列的方形孔洞 502,该方形孔洞 502 即是源/漏掺杂区位置。另外,在沟道区 401 中还剩下未被刻蚀的沟道区域 501。

图 7 为依照本发明实施例在源/漏掺杂区位置 502 淀积源/漏掺杂材料形成源/漏掺杂区的示意图。在源/漏掺杂区位置 502 中淀积源/漏掺杂材料,形成源/漏掺杂区 601,该源/漏掺杂材料是与沟道区掺杂类型相反的重掺杂多晶硅。淀积完源/漏掺杂区材料后,该源/漏掺杂材料填充了刻蚀所打开的源/漏掺杂区位置 502,然后通过化学机械抛光对器件表面进行平坦化。由于源/漏掺杂区掺杂条件相同,即形成了对称的源掺杂区与漏掺杂区 601a,且源掺杂区与漏掺杂区沿沟道区 401 周期分布。

图 8 为依照本发明实施例对沟道区、源/漏掺杂区进行单晶化的示意图。经热处理工艺后,沟道区及源/漏掺杂区均形成单晶硅。

图 9 为依照本发明实施例从源/漏掺杂区引出位线的示意图。位线 701 由源/漏掺杂区引出,沿与沟道区垂直方向设置,如图 9 所示,位线 701 的材料为多晶硅、金属、金属硅化物或由多层材料堆叠具有类似性质的结构。

图 10 为依照本发明实施例从栅极叠层区引出字线的示意图。字线 801 由栅极叠层区引出,沿与沟道区平行方向设置,如图 10 所示,字线 801 的材料为多晶硅、金属、金属硅化物或由多层材料堆叠具有类似性质的结构。

至此,完成了三维多值非挥发存储器的制备,得到了三维多值非挥发存

存储器。图 11 进一步示出了依照本发明实施例的三维多值非挥发存储器的单层等效电路示意图,图 12 进一步示出了依照本发明实施例的三维多值非挥发存储器的三维等效电路示意图。与传统的平面结构相比,三维结构大大提高了存储密度。通过对字线 WLi 、 WL_{i+1} 、 WL_{i+2} ...及位线 BLj 、 BL_{j+1} 、 BL_{j+2} 的操作可实现对图中单个存储单元的编程、擦除、读取等操作。而在每个存储单元内,又可以实现多位操作,进一步提高存储密度。

再次参照图 10,在本发明的实施例中,三维多值非挥发存储器具有多个存储单元,该多个存储单元进一步构成存储阵列,该存储阵列具有栅极叠层结构、周期性交替排列的栅极叠层区和沟道区空间、电荷分立存储栅介质层、周期性的沟道区、对称的源掺杂区与漏掺杂区,以及分别由该源掺杂区与漏掺杂区位置及该栅极叠层区引出位线及字线,该存储器由该电荷分立存储栅介质层提供物理存储点,实现单位或多位操作,获得高存储密度。

其中,栅极叠层结构由隔离介质层与导电栅极层依次堆叠而成,其中栅极隔离介质层采用的材料为二氧化硅,导电栅极层采用多晶硅、金属、金属硅化物或由多层材料堆叠而成的结构。

对称的源掺杂区和漏掺杂区的掺杂类型与所述沟道区的掺杂类型相反,且所述对称的源掺杂区与漏掺杂区是重掺杂区域,其掺杂条件与所述沟道区的掺杂条件相同,该对称的源掺杂区与漏掺杂区沿所述沟道区周期性分布。对称的源掺杂区与漏掺杂区采用的材料为掺杂多晶硅或金属硅化物。

电荷分立存储栅介质层位于沟道区两侧的栅极叠层区侧墙上,由自栅极叠层区侧墙向外依次形成的电荷阻挡层、电荷存储层和隧穿介质层构成。电荷阻挡层采用的材料为二氧化硅、金属氧化物或由多层材料堆叠而成的结构,所述电荷存储层采用的材料为氮化硅、高 k 材料或堆叠结构,所述隧穿介质层采用的材料为二氧化硅、高 k 材料或由多层材料堆叠而成的结构。

在本发明的实施例中,三维多值非挥发存储器的制备工艺包括化学气相淀积工艺、溅射工艺、原子层淀积工艺、热蒸发工艺、脉冲激光淀积工艺、电子束蒸发工艺或其它可实现结构的工艺,如光刻、刻蚀、表面平坦化、退火等传统方法。

在本发明的实施例中,该存储器采用沟道热电子注入 (CHE) 方式完成

编程操作，此时电子将从衬底进入到栅极下方的电荷存储层中。该存储器中的各存储单元采用 FN 栅擦除操作使得存储电子从电荷存储层隧穿进入存储阵列的栅极叠层结构，或者采用带带隧穿热空穴注入 (BBTH) 方式使得热空穴从衬底进入所述电荷存储层完成与电子的复合，从而实现擦除操作。

5 在本发明的实施例中，器件信息的读取操作可以通过反向读取方式 (Reverse read) 完成，即靠近存储栅极的漏区加低电压，而远离存储栅极的源区加高电压来完成。为适应特别应用，本发明指出的结构也可以采用其他，如直接隧穿、FN 隧穿、带带隧穿热空穴注入 (BBTH) 等各种方式实现编程、擦除操作。由于电荷存储层中电荷分立存储的特性及对称源/漏结构设计，可
10 在单个器件中获得多个物理存储点，并根据上述方式实现对各个存储点的编程、擦除、读取操作，从而实现多位操作，提高存储密度

 在本发明的实施例中，多值非挥发存储器具有立体结构，基于电荷局域存储的特性，每个单元具有多个物理存储点，从而实现多值存储的特性。基于单个器件的立体结构，可以实现存储器阵列三维集成，从而大幅度提高存
15 储密度。本发明三维多值非挥发存储器密度高、易集成，采用现有存储器制造工艺即可实现，有利于本发明的推广和应用。

 在本发明的实施例中，综合利用了电荷俘获层中电荷局域化存储的性质和垂直堆叠结构的特性，在单个器件中获得多个物理存储点，实现多值存储，在存储器件阵列上形成三维集成，从而根本上提高了存储密度。同时
20 本发明存储器可获得较优的编程、擦除、保持等器件性能。本发明电荷俘获型多值非挥发存储器制备工艺与传统的硅平面 CMOS 工艺兼容，可采用传统存储器阵列结构集成，利于广泛应用。

 以上所述的具体实施例，对本发明的目的、技术方案和有益效果进行了进一步详细说明，所应理解的是，以上所述仅为本发明的具体实施例而已，
25 并不用于限制本发明，凡在本发明的精神和原则之内，所做的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

权 利 要 求

1、一种三维多值非挥发存储器，其特征在于，该存储器具有多个存储单元，该多个存储单元进一步构成存储阵列，该存储阵列具有栅极叠层结构、周期性交替排列的栅极叠层区和沟道区空间、电荷分立存储栅介质层、周期性的沟道区、对称的源掺杂区与漏掺杂区，以及分别由该源掺杂区与漏掺杂区位置及该栅极叠层区引出位线及字线，该存储器由该电荷分立存储栅介质层提供物理存储点，实现单位或多位操作，获得高存储密度。

2、根据权利要求1所述的三维多值非挥发存储器，其特征在于，所述栅极叠层结构由隔离介质层与导电栅极层依次堆叠而成，其中栅隔离介质层采用的材料为二氧化硅，导电栅极层采用多晶硅、金属、金属硅化物或由多层材料堆叠而成的结构。

3、根据权利要求1所述的三维多值非挥发存储器，其特征在于，所述周期性交替排列的栅极叠层区和沟道区空间是通过刻蚀该栅极叠层结构形成的，由光刻胶或硬质掩模定义栅极叠层区的图形，然后刻蚀该栅极叠层结构直至露出介质层，刻蚀后形成了周期性交替排列的栅极叠层区和沟道区空间。

4、根据权利要求1所述的三维多值非挥发存储器，其特征在于，所述电荷分立存储栅介质层位于沟道区两侧的栅极叠层区侧墙上，由自栅极叠层区侧墙向外依次形成的电荷阻挡层、电荷存储层和隧穿介质层构成。

5、根据权利要求4所述的三维多值非挥发存储器，其特征在于，所述电荷阻挡层采用的材料为二氧化硅、金属氧化物或由多层材料堆叠而成的结构，所述电荷存储层采用的材料为氮化硅、高k材料或堆叠结构，所述隧穿介质层采用的材料为二氧化硅、高k材料或由多层材料堆叠而成的结构。

6、根据权利要求4所述的三维多值非挥发存储器，其特征在于，该存储器采用沟道热电子注入CHE方式完成编程操作，此时电子将从衬底进入到栅极下方的所述电荷存储层中。

7、根据权利要求4所述的三维多值非挥发存储器，其特征在于，所述存储单元采用FN栅擦除操作使得存储电子从所述电荷存储层隧穿进入存储阵列的栅极叠层结构，或者采用带带隧穿热空穴注入BBTH方式使得热空穴从

衬底进入所述电荷存储层完成与电子的复合，从而实现擦除操作。

8、根据权利要求1所述的三维多值非挥发存储器，其特征在于，所述周期性的沟道区是通过在相邻的两个隧穿介质层之间的沟道区空间淀积多晶硅，并完全填充该沟道区空间而形成的。

5 9、根据权利要求1所述的三维多值非挥发存储器，其特征在于，所述对称的源掺杂区和漏掺杂区的掺杂类型与所述沟道区的掺杂类型相反，且所述对称的源掺杂区与漏掺杂区是重掺杂区域，其掺杂条件与所述沟道区的掺杂条件相同，该对称的源掺杂区与漏掺杂区沿所述沟道区周期性分布。

10 10、根据权利要求9所述的三维多值非挥发存储器，其特征在于，所述对称的源掺杂区与漏掺杂区采用的材料为掺杂多晶硅或金属硅化物。

11、一种制备权利要求1所述三维多值非挥发存储器的方法，其特征在于，包括：

在半导体衬底上形成栅极叠层结构；

刻蚀该栅极叠层结构形成周期性交替排列的栅极叠层区和沟道区空间；

15 自该栅极叠层区的侧墙依次淀积电荷阻挡层、电荷存储层和隧穿介质层，形成电荷分立存储栅介质层；

在相邻的两个隧穿介质层之间的沟道区空间淀积多晶硅形成周期性的沟道区；

20 沿垂直于该沟道区的方向刻蚀该沟道区形成多个周期性排列的源掺杂区与漏掺杂区位置；

在该源掺杂区与漏掺杂区位置中淀积源/漏掺杂材料，形成对称的源掺杂区与漏掺杂区；以及

分别由该源掺杂区与漏掺杂区位置及该栅极叠层区引出位线及字线，形成非挥发的三维多值非挥发存储器。

25 12、根据权利要求11所述的制备三维多值非挥发存储器的方法，其特征在于，所述在半导体衬底上形成栅极叠层结构包括：

采用化学气相沉积在半导体衬底上沉积起缓冲隔离作用的介质层；

采用化学气相沉积在该介质层上依次交错沉积隔离介质层与导电栅极层，形成栅极叠层结构。

13、根据权利要求 12 所述的制备三维多值非挥发存储器的方法，其特征在于，

所述半导体衬底为硅片、锗硅片或是包含外延硅层、锗硅层的多层衬底材料；所述介质层为二氧化硅；

5 所述栅极叠层结构由隔离介质层与导电栅极层依次堆叠而成，所述隔离介质层采用的材料为二氧化硅，所述导电栅极层采用的材料为多晶硅、金属、金属硅化物或由多层材料堆叠具有类似性质的结构。

14、根据权利要求 11 所述的制备三维多值非挥发存储器的方法，其特征在于，所述刻蚀该栅极叠层结构形成周期性交替排列的栅极叠层区和沟道区空间，包括：

由光刻胶或硬质掩模定义栅极叠层区的图形，刻蚀该栅极叠层结构直至露出介质层，刻蚀后形成了周期性交替排列的栅极叠层区和沟道区空间。

15、根据权利要求 11 所述的制备三维多值非挥发存储器的方法，其特征在于，所述自该栅极叠层区的侧墙依次淀积电荷阻挡层、电荷存储层和隧穿介质层，形成电荷分立存储栅介质层，包括：

在刻蚀形成有交替排列的栅极叠层区和沟道区空间的该栅极叠层结构上依次淀积电荷阻挡层、电荷存储层和隧穿介质层；

刻蚀在该栅极叠层区及介质层之上淀积电荷阻挡层、电荷存储层和隧穿介质层，经刻蚀后露出最上层隔离介质层及衬底，进而保留沿该栅极叠层区侧墙依次形成的电荷阻挡层、电荷存储层和隧穿介质层，形成电荷分立存储栅介质层。

16、根据权利要求 11 所述的制备三维多值非挥发存储器的方法，其特征在于，所述在相邻的两个隧穿介质层之间的沟道区空间淀积多晶硅形成周期性的沟道区，包括：

25 在相邻的两个隧穿介质层之间的沟道区空间淀积多晶硅，完全填充该沟道区空间，形成周期性的沟道区。

17、根据权利要求 11 所述的制备三维多值非挥发存储器的方法，其特征在于，所述沿垂直于该沟道区的方向刻蚀该沟道区形成多个周期性排列的源掺杂区与漏掺杂区位置，包括：

采用光刻胶或硬质掩模来定义源掺杂区与漏掺杂区位置的图形，然后沿垂直于该沟道区的方向刻蚀该沟道区直至露出衬底，在沟道区上形成多个周期性排列的方形孔洞，该方形孔洞即是源掺杂区与漏掺杂区位置。

18、根据权利要求 11 所述的制备三维多值非挥发存储器的方法，其特征在于，所述在该源掺杂区与漏掺杂区位置中淀积源/漏掺杂材料，形成对称的源掺杂区与漏掺杂区，包括：

在该源掺杂区与漏掺杂区位置中淀积源/漏掺杂材料，并通过化学机械抛光对表面进行平坦化，形成沿沟道区周期分布的对称的源掺杂区和漏掺杂区。

19、根据权利要求 11 所述的制备三维多值非挥发存储器的方法，其特征在于，所述形成对称的源掺杂区与漏掺杂区之后，还包括：

进行热处理工艺，将沟道区以及源掺杂区与漏掺杂区均形成单晶硅。

20、根据权利要求 11 所述的制备三维多值非挥发存储器的方法，其特征在于，所述分别由该源掺杂区与漏掺杂区位置及该栅极叠层区引出位线及字线，形成非挥发的三维多值非挥发存储器的步骤中，是由源掺杂区与漏掺杂区引出位线，且该位线沿与沟道区垂直方向设置，并由该栅极叠层区引出字线，且该字线沿与沟道区平行方向设置。

21、根据权利要求 20 所述的制备三维多值非挥发存储器的方法，其特征在于，所述位线采用的材料为多晶硅、金属、金属硅化物或由多层材料堆叠具有类似性质的结构，所述字线采用的材料为多晶硅、金属、金属硅化物或由多层材料堆叠具有类似性质的结构。

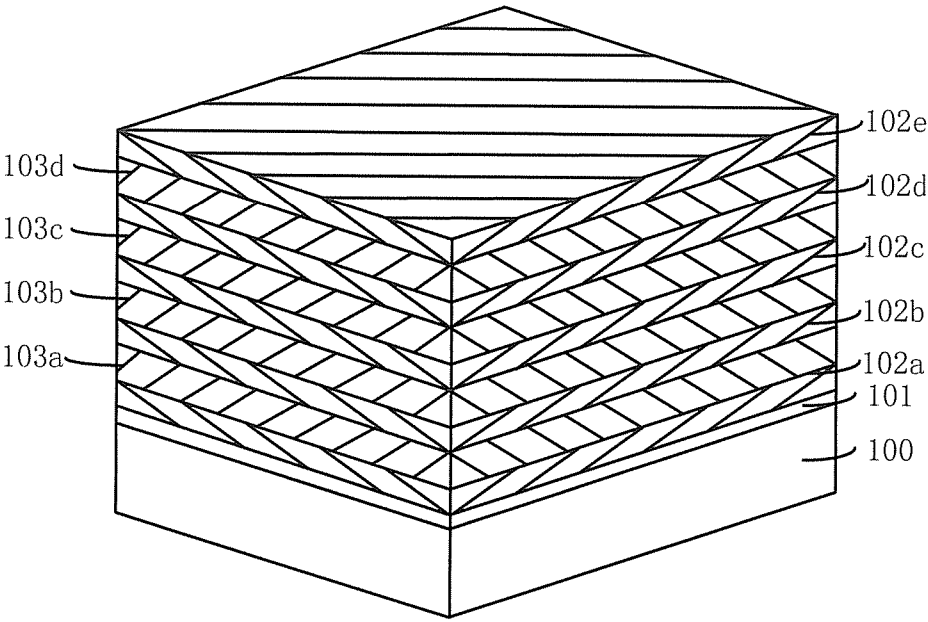


图 1

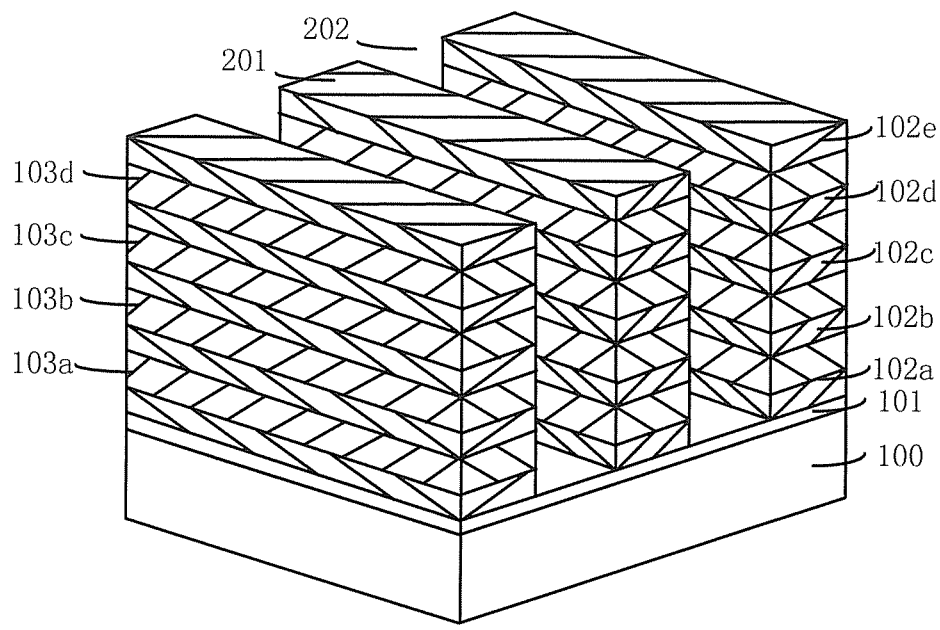


图 2

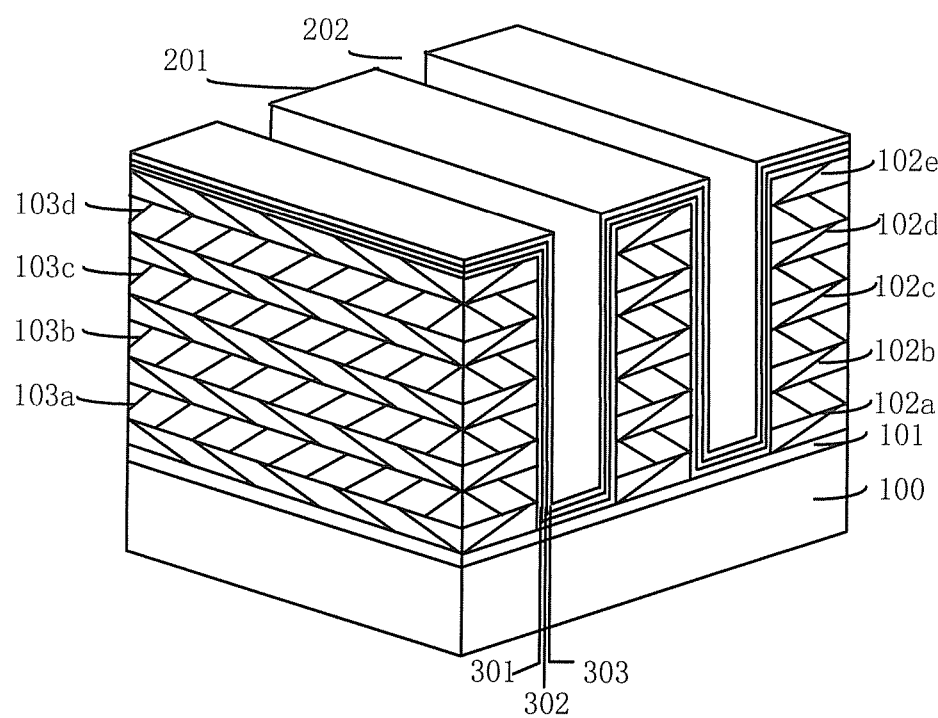


图 3

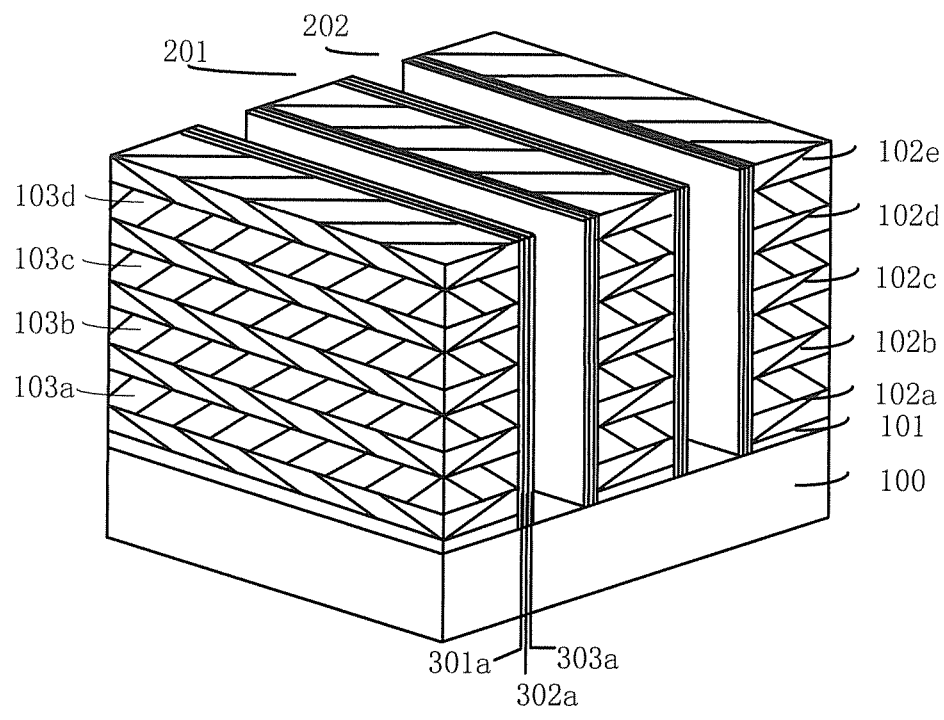


图 4

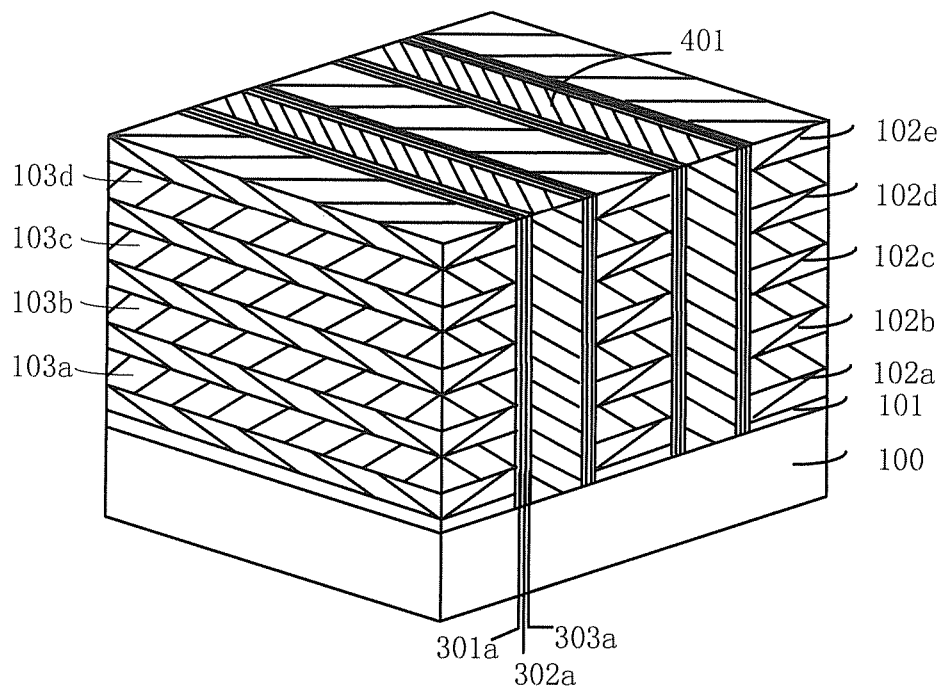


图 5

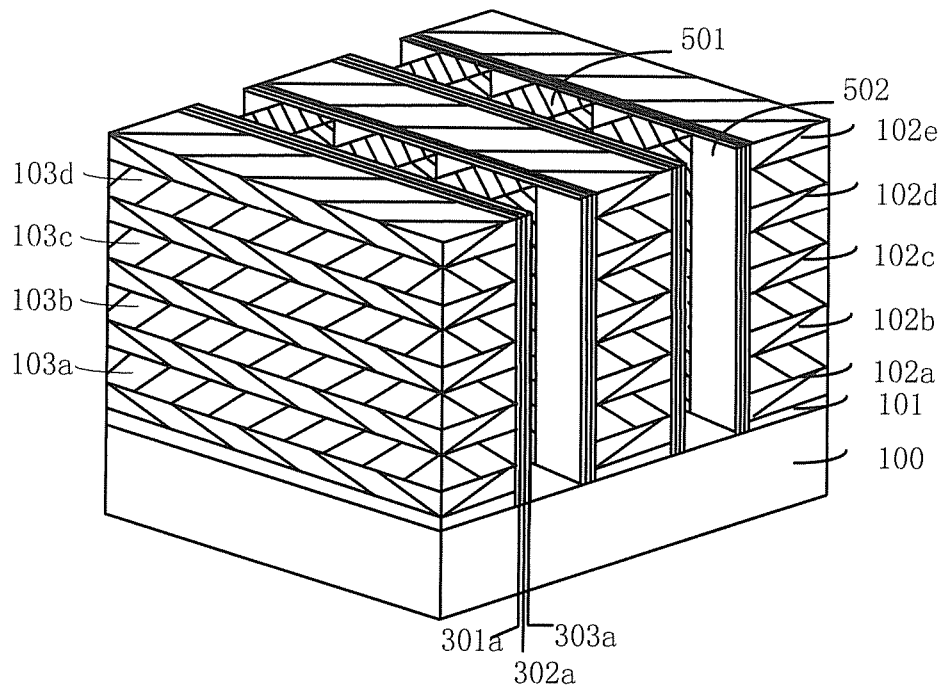


图 6

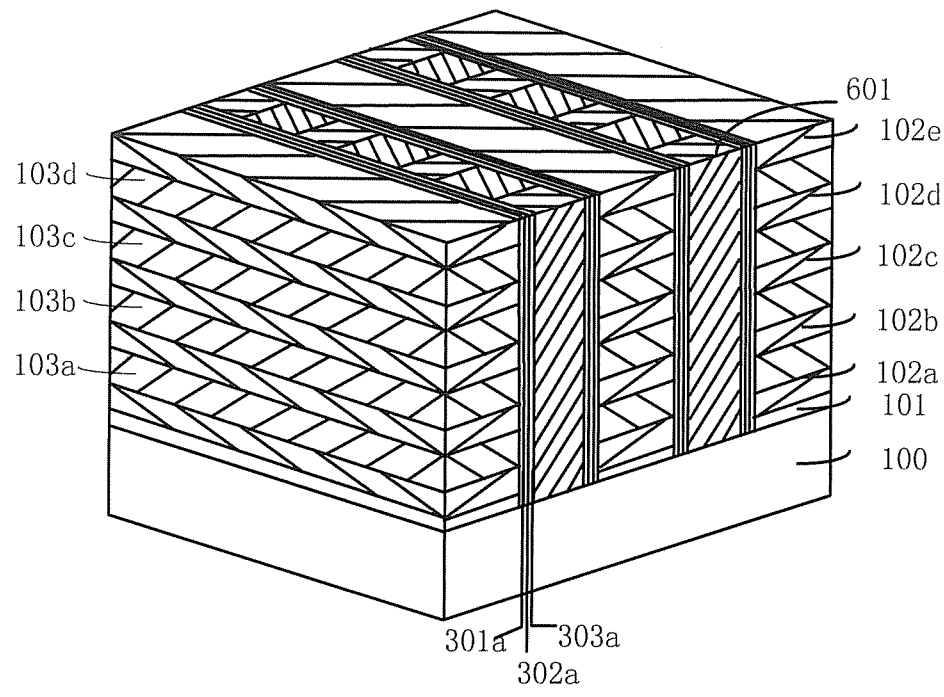


图 7

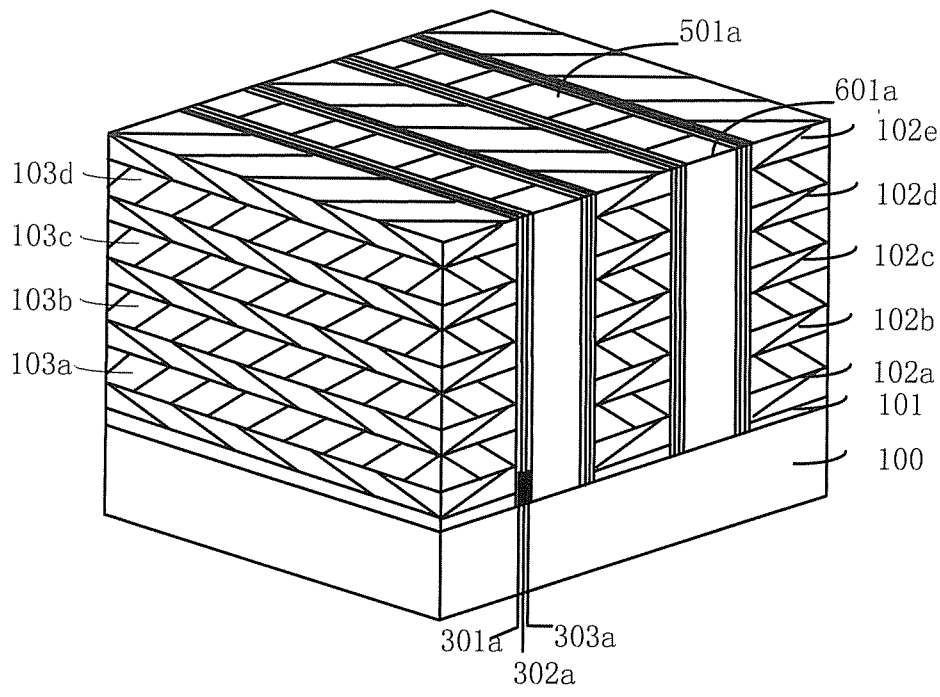


图 8

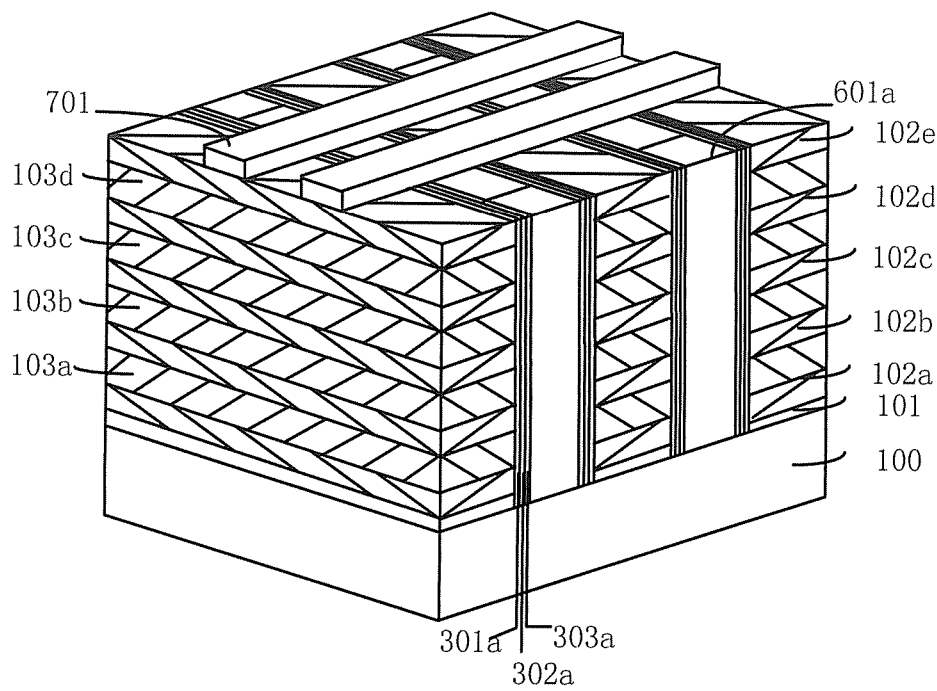


图 9

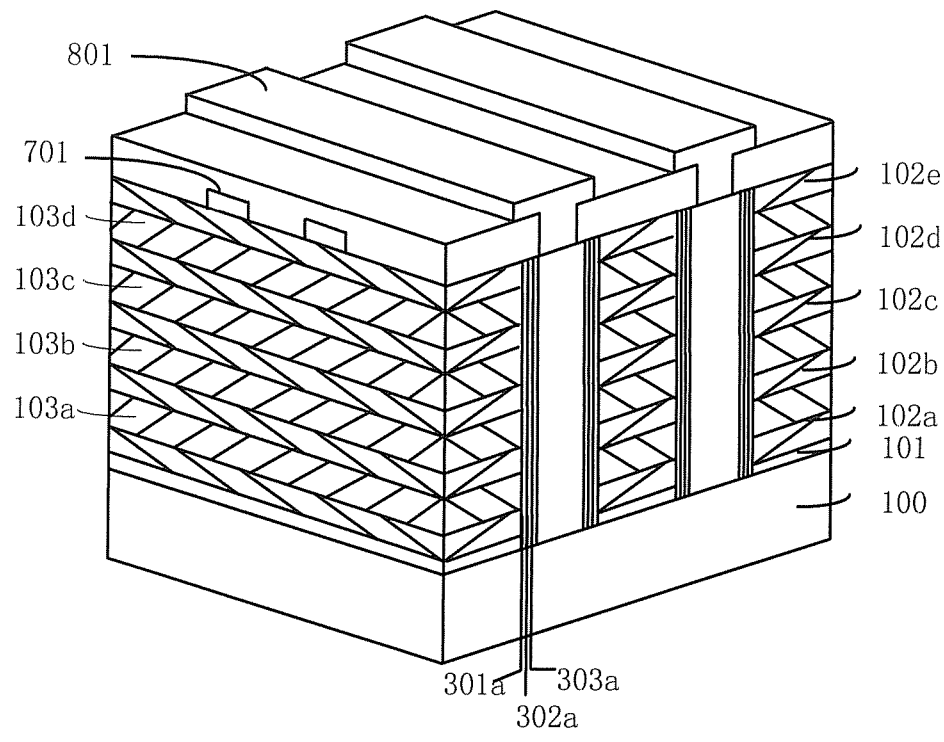


图 10

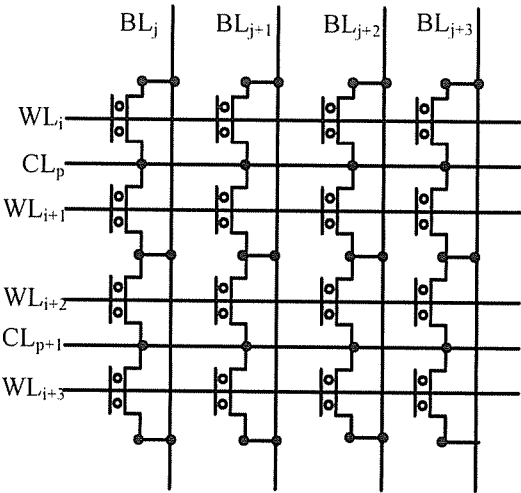


图 11

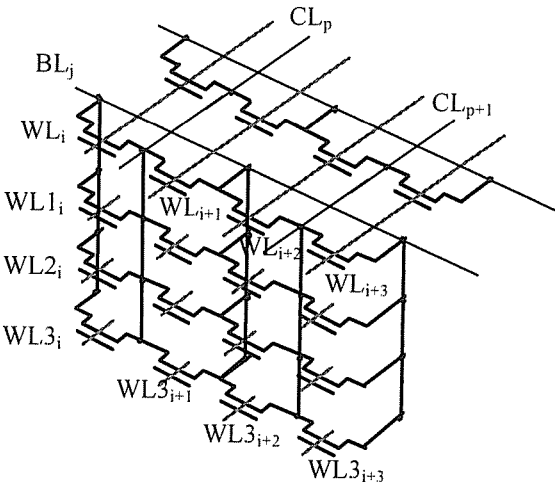


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN20 11/076632

A. CLASSIFICATION OF SUBJECT MATTER

see the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

ICPRS, CNKI, WPI, EPODOC: nvm, nonvolatile, non volatile, memory, storage, 3d, three dimensional, tridimensional, vertical, source, drain, gate, stack+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US2010/0159657A1(KABUSHIKI KAISHA TOSHIBA)24 Jun.2010	I - 10
A	(24.06.2010) Par. 0095 to Par. 0107 of the description, Figs. 1-5	II-21
P, X	US2010/0171 163A1 (SAMSUNG ELECTRONICS CO. LTD) 08 Jul.2010	1-10
	(08.07.2010) Par.0023 to Par.0041 of the description, Figs. 1-2	
P, X	CN101859778A (SAMSUNG ELECTRONICS CO. LTD) 13 Oct.2010	1-10
	(13. 10.2010) Par.0033 to Par.0044 of the description, Figs. 2A-2E	

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&" document member of the same patent family

Date of the actual completion of the international search
09 Sep. 2011 (09.09.2011)

Date of mailing of the international search report
13 Oct. 2011 (13.10.2011)

Name and mailing address of the ISA/CN
The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088
Facsimile No. 86-10-62019451

Authorized officer
ZHANG, Jian
Telephone No. (86-10) 62412094

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN20 11/076632

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US6191444B 1(MICRON TECHNOLOGY, INC.)20 Feb.2001 (20.02.2001) the whole document	1-21

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN201 1/076632

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US2010159657A1	24.06.2010	NONE	
US2010171 163A1	08.07.2010	KR20100081 113A	14.07.2010
CN101859778A	13. 10.2010	US2010258947A1	14. 10.2010
		KR201001 12862A	20. 10.2010
US6191444B 1	20.02.2001	NONE	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN20 11/076632

Continuation of: second sheet

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/1 15 (2006.01) i

H01L 21/8247(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称,和使用的检索词(如使用))

CPRS, CNKI, WPI, EPODOC: 非挥发, 非易失, 存储, 三维, 立体, 栅, 源, 漏, 叠, 垂直, nvm, nonvolatile, nonvolatile, memory, storage, 3d, three dimensional, tridimensional, vertical, source, drain, gate, stack+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US2010/0159657A1(KABUSHIKI KAISHA TOSHIBA)24.6 月 2010	1-10
A	(24.06.2010) 说明书第 0095 段至第 0107 段、附图 1-5	11-21
P, X	US2010/0171 163A1 (SAMSUNG ELECTRONICS CO. LTD) 08.7 月 2010	1-10
	(08.07.2010) 说明书第 0023 段至第 0041 段、附图 1-2	
P, X	CN101859778A (三星电子株式会社) 13.10 月 2010 (13.10.2010)	1-10
	说明书第 0033 段至第 0044 段、附图 2A-2E	
A	US6191444B1(MICRON TECHNOLOGY, INC.)20.2 月 2001 (20.02.2001)	1-21
	全文	



其余文件在 C 栏的续页中列出。

因 见同族专利附件。

* 引用文件的具体类型:

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请J%4%

"L" 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期

09.9 月 201 1 (09.09.201 1)

国际检索报告邮寄日期

13.10 月 2011 (13.10.2011)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

张健

电话号码: (86-10) 62412094

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/076632

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2010159657A1	24.06.2010	无	
US2010171 163A1	08.07.2010	KR2010008 1113A	14.07.2010
CN101859778A	13. 10.2010	US2010258947A1	14. 10.2010
		KR201001 12862A	20. 10.2010
US6191444B1	20.02.2001	无	

续 第 二 页：

A. 主题的分类

H01L 27/1 15 (2006. 01) i

H01L 21/8247 (2006. 01) i

按照国际专利分类表 (IPC) 或者同时按照国家分类和 IPC 两种分类