

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-169468

(P2012-169468A)

(43) 公開日 平成24年9月6日(2012.9.6)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 25/065 (2006.01)	HO 1 L 25/08 Z	
HO 1 L 25/07 (2006.01)	HO 1 L 25/00 B	
HO 1 L 25/18 (2006.01)	HO 1 L 25/04 Z	
HO 1 L 25/00 (2006.01)	HO 1 L 25/00 A	
HO 1 L 25/04 (2006.01)		

審査請求 未請求 請求項の数 23 O L (全 27 頁)

(21) 出願番号 特願2011-29514 (P2011-29514)
 (22) 出願日 平成23年2月15日 (2011.2.15)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100089071
 弁理士 玉村 静世
 (72) 発明者 吉川 泰弘
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内
 (72) 発明者 諏訪 元大
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内
 (72) 発明者 平沼 和彦
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内

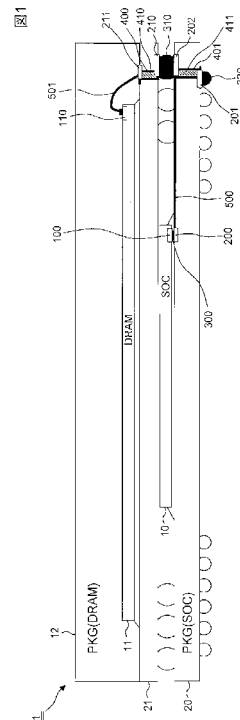
(54) 【発明の名称】 半導体装置及び電子装置

(57) 【要約】

【課題】電源ノイズの状態が相違される異なるチップ間で基準電位を伝達するための信号経路に対するバイパスコンデンサによるノイズ抑圧を常に適正化することが容易な半導体装置を提供する。

【解決手段】実装基板に搭載されたコントロールチップとメモリチップとを接続する信号経路として、コントロールチップで生成した基準電位を伝達する所定の信号経路を備えるとき、当該所定の信号経路に前記バイパスコンデンサを接続する接続箇所（接続点）の位置を、コントロールチップの基準電位用パッドから前記所定の信号経路に沿って前記接続箇所に至るまでの距離が、メモリチップの基準電位用パッドから前記基信号経路に沿って前記接続箇所に至るまでの距離よりも短くなる位置のみに制限する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

上面、前記上面に形成された複数のコントロールチップ用電極、前記上面に形成された複数のメモリチップ用電極、前記上面とは反対側の下面、前記下面に形成された複数の外部端子用電極、前記上面と前記下面との間に形成された複数のビア、および前記複数のビア内にそれぞれ形成され、かつ、前記複数のコントロールチップ用電極および前記複数のメモリチップ用電極と前記複数の外部端子用電極とをそれぞれ電氣的に接続する複数のビア内配線を有する配線基板と、

基準電位発生回路、チップ表面、前記チップ表面に形成された複数の電極パッド、および前記チップ表面とは反対側のチップ裏面を有し、前記配線基板の前記上面に搭載されたコントロールチップと、

前記コントロールチップの前記複数の電極パッドと前記複数のコントロールチップ用電極とをそれぞれ電氣的に接続する複数の導電性部材と、

前記配線基板の前記複数の外部端子用電極のそれぞれに接続された複数の外部端子と、を含み、

前記複数の電極パッドは、前記基準電位発生回路と電氣的に接続された第 1 基準電位用パッドを有し、

前記複数のコントロールチップ用電極は、前記コントロールチップの前記第 1 基準電位用パッドと電氣的に接続される第 1 基準電位用電極とを有し、

前記複数のメモリチップ用電極は、メモリチップの第 2 基準電位用パッドと電氣的に接続される第 2 基準電位用電極を有し、

前記複数の外部端子用電極のうち、バイパスコンデンサと電氣的に接続される基準電位端子用電極は、前記配線基板に形成された複数の配線のうちの基準電位用配線および前記複数のビア内配線のうちの基準電位用ビア内配線を介して、前記第 1 基準電位用電極および前記第 2 基準電位用電極とそれぞれ電氣的に接続され、

前記基準電位用ビア内配線と前記基準電位用配線との接続箇所は、前記基準電位用配線における前記接続箇所から前記第 2 基準電位用電極までの距離が、前記基準電位用配線における前記接続箇所から前記第 1 基準電位用電極までの距離よりも短くなる位置のみであることを特徴とする半導体装置。

【請求項 2】

前記第 1 基準電位用パッドは、前記基準電位発生回路で生成される基準電位を出力する出力回路の出力端子に接続された第 1 基準電位用出力パッド、及び前記第 1 基準電位用出力パッドと隣り合って結合され入力回路の入力端子に接続された第 1 基準電位用入力パッドである、請求項 1 記載の半導体装置。

【請求項 3】

前記電極パッドとしてデータ系信号のデータ系パッドを有し、

前記第 1 基準電位用パッドは前記データ系パッドを介して入出力されるデータ系信号の論理値判定レベルを提供する、請求項 2 記載の半導体装置。

【請求項 4】

前記電極パッドとしてコマンド及びアドレス系信号のコマンドアドレス系パッドを有し

、前記第 1 基準電位用パッドは前記コマンドアドレス系パッドを介して出力されるコマンド及びアドレス系信号の論理値判定レベルを提供する、請求項 3 記載の半導体装置。

【請求項 5】

コントロールチップ用電極、メモリインタフェース用電極及び外部端子用電極を有する実装基板と、

前記コントロールチップ用電極に接続されたコントロールチップ用パッド及び基準電位発生回路を有し、前記実装基板に搭載されたコントロールチップと、

前記メモリインタフェース用電極に導電部材を介して接続されたメモリチップ用電極を有し、前記コントロールチップの上に重ねられて前記実装基板の上に搭載されたメモリ基

10

20

30

40

50

板と、

前記コントロールチップの制御を受け、前記メモリチップ用電極に導電部材を介して接続されたメモリチップ用パッドを有し、前記メモリ基板に搭載されたメモリチップと、を含み、

前記コントロールチップ用パッドは前記基準電位発生回路と電氣的に接続された第1基準電位用パッドを含み、

前記メモリインタフェース用電極は前記第1基準電位用パッドと電氣的に接続された第1基準電位用電極を含み、

前記メモリチップ用パッドは第2基準電位用パッドを含み、

前記メモリチップ用電極は、前記メモリチップの第2基準電位用パッドと電氣的に接続された第2基準電位用電極を含み、

前記外部端子用電極は、バイパスコンデンサと電氣的に接続される基準電位端子用電極を含み、

前記基準電位端子用電極は、前記第1基準電位用パッドと前記第2基準電位用パッドとを接続する信号経路の所定の接続箇所にもみ接続され、

前記第2基準電位用パッドから前記信号経路に沿って前記接続箇所に至る距離は、前記第1基準電位用パッドから前記信号経路に沿って前記接続箇所に至る距離よりも短いことを特徴とする半導体装置。

【請求項6】

前記第1基準電位用パッドは、前記基準電位発生回路で生成される基準電位を出力する出力回路の出力端子に接続された第1基準電位用出力パッド、及び前記第1基準電位用出力パッドと隣り合って結合され入力回路の入力端子に接続された第1基準電位用入力パッドである、請求項5記載の半導体装置。

【請求項7】

前記コントロールチップ用パッドとしてデータ系信号のデータ系パッドを有し、

前記第1基準電位用パッドは前記データ系パッドを介して入出力されるデータ系信号の論理値判定レベルを提供する、請求項6記載の半導体装置。

【請求項8】

前記コントロールチップ用パッドとしてコマンド及びアドレス系信号のコマンドアドレス系パッドを有し、

前記第1基準電位用パッドは前記コマンドアドレス系パッドを介して出力されるコマンド及びアドレス系信号の論理値判定レベルを提供する、請求項7記載の半導体装置。

【請求項9】

コントロールチップ用電極、メモリチップ用電極及び外部端子用電極を有する実装基板と、

前記コントロールチップ用電極に導電部材を介して接続されたコントロールチップ用パッド及び基準電位発生回路を有し、前記実装基板に搭載されたコントロールチップと、

前記コントロールチップの制御を受け、前記メモリチップ用電極に導電部材を介して接続されたメモリチップ用パッドを有し、前記コントロールチップに重ねて前記実装基板に搭載されたメモリチップと、を含み、

前記コントロールチップ用パッドは前記基準電位発生回路と電氣的に接続された第1基準電位用パッドを含み、

前記コントロールチップ用電極は前記第1基準電位用パッドと電氣的に接続される第1基準電位用電極を含み、

前記メモリチップ用パッドは第2基準電位用パッドを含み、

前記メモリチップ用電極は、メモリチップの第2基準電位用パッドと電氣的に接続される第2基準電位用電極を含み、

前記外部端子用電極は、バイパスコンデンサと電氣的に接続される基準電位端子用電極を含み、

前記基準電位端子用電極は、前記第1基準電位用パッドと前記第2基準電位用パッドと

10

20

30

40

50

を接続する信号経路の所定の接続箇所にもみ接続され、

前記第 2 基準電位用パッドから前記信号経路に沿って前記接続箇所に至る距離は、前記第 1 基準電位用パッドから前記信号経路に沿って前記接続箇所に至る距離よりも短いことを特徴とする半導体装置。

【請求項 10】

前記第 1 基準電位用パッドは、前記基準電位発生回路で生成される基準電位を出力する出力回路の出力端子に接続された第 1 基準電位用出力パッド、及び前記第 1 基準電位用出力パッドと隣り合って結合され入力回路の入力端子に接続された第 1 基準電位用入力パッドである、請求項 9 記載の半導体装置。

【請求項 11】

前記コントロールチップ用パッドとしてデータ系信号のデータ系パッドを有し、前記第 1 基準電位用パッドは前記データ系パッドを介して入出力されるデータ系信号の論理値判定レベルを提供する、請求項 10 記載の半導体装置。

【請求項 12】

前記コントロールチップ用パッドとしてコマンド及びアドレス系信号のコマンドアドレス系パッドを有し、

前記第 1 基準電位用パッドは前記コマンドアドレス系パッドを介して出力されるコマンド及びアドレス系信号の論理値判定レベルを提供する、請求項 11 記載の半導体装置。

【請求項 13】

マザーボードと、
基準電位発生回路を備えたコントロールチップを有し、前記マザーボードに搭載された第 1 半導体装置と、

前記コントロールチップの制御を受けるメモリチップを有し、前記マザーボード上で前記第 1 半導体装置の隣に搭載された第 2 半導体装置と、

前記マザーボードに形成され、かつ、前記第 1 半導体装置の第 1 基準電位用電極と前記第 2 半導体装置の第 2 基準電位用電極とを電氣的に接続する基準電位用信号経路と、

前記マザーボードに搭載され、かつ前記基準電位用信号経路に接続された基準電位用バイパスコンデンサとを含み、

前記基準電位用バイパスコンデンサは、前記基準電位用信号経路の所定の接続箇所にもみ接続され、

前記所定の接続箇所から前記基準電位用信号経路に沿って前記第 2 基準電位用電極を経由して前記メモリチップの第 2 基準電位用電極パッドに至るまでの距離が、前記所定の接続箇所から前記基準電位用信号経路に沿って前記第 1 基準電位用電極を経由して前記コントロールチップの第 1 基準電位用電極パッドに至るまでの距離よりも短いことを特徴とする電子装置。

【請求項 14】

前記第 1 基準電位用パッドは、前記基準電位発生回路で生成される基準電位を出力する出力回路の出力端子に接続された第 1 基準電位用出力パッド、及び前記第 1 基準電位用出力パッドと隣り合って結合され入力回路の入力端子に接続された第 1 基準電位用入力パッドである、請求項 13 記載の電子装置。

【請求項 15】

前記コントロールチップはデータ系信号のデータ系パッドを有し、前記第 1 基準電位用パッドは前記データ系パッドを介して入出力されるデータ系信号の論理値判定レベルを提供する、請求項 14 記載の電子装置。

【請求項 16】

前記コントロールチップはコマンド及びアドレス系信号のコマンドアドレス系パッドを有し、

前記第 1 基準電位用パッドは前記コマンドアドレス系パッドを介して出力されるコマンド及びアドレス系信号の論理値判定レベルを提供する、請求項 15 記載の電子装置。

【請求項 17】

10

20

30

40

50

前記基準電位発生回路は電源電圧の半分の基準電圧を生成し、

前記基準電位用バイパスコンデンサは、基準電位用信号経路と電源端子との間に配置された第1基準電位用バイパスコンデンサ及び基準電位用信号経路とグランド端子との間に配置された第2基準電位用バイパスコンデンサとから成る、請求項13記載の電子装置。

【請求項18】

前記基準電位用バイパスコンデンサは前記マザーボードの前記第1半導体装置及び第2半導体装置の搭載面に搭載されている、請求項17記載の電子装置。

【請求項19】

実装基板に搭載された複数の半導体チップと前記複数の半導体チップを接続するために形成された複数の信号経路とを有する電子装置であって、

前記複数の半導体チップは、単数又は複数のメモリチップと、前記メモリチップを制御するコントロールチップとを含み、

前記コントロールチップは基準電位発生回路と前記基準電位発生回路で発生される基準電位が印加される第1基準電位用パッドとを有し、

前記メモリチップは第2基準電位用パッドと信号パッドとを有し、前記信号パッドから入力された入力信号のレベル判定基準として前記第2基準電位用パッドに印加される基準電位を用い、

前記信号経路は、前記第1基準電位用パッドと第2基準電位用パッドとを接続すると共にバイパスコンデンサが接続される基準電位用信号経路を含み、

前記基準電位用信号経路に前記バイパスコンデンサが接続される所定の接続箇所の位置は、前記第2基準電位用パッドから前記基準電位用信号経路に沿って前記所定の接続箇所に至るまでの距離が、前記第1基準電位用パッドから前記基準電位用信号経路に沿って前記所定の接続箇所に至るまでの距離よりも短くなる位置のみであることを特徴とする電子装置。

【請求項20】

前記第1基準電位用パッドは、前記基準電位発生回路で生成される基準電位を出力する出力回路の出力端子に接続された第1基準電位用出力パッド、及び前記第1基準電位用出力パッドと隣り合って結合され入力回路の入力端子に接続された第1基準電位用入力パッドである、請求項19記載の電子装置。

【請求項21】

前記コントロールチップはデータ系信号のデータ系パッドを有し、

前記第1基準電位用パッドは前記データ系パッドを介して入出力されるデータ系信号の論理値判定レベルを提供する、請求項20記載の電子装置。

【請求項22】

前記コントロールチップはコマンド及びアドレス系信号のコマンドアドレス系パッドを有し、

前記第1基準電位用パッドは前記コマンドアドレス系パッドを介して出力されるコマンド及びアドレス系信号の論理値判定レベルを提供する、請求項21記載の電子装置。

【請求項23】

前記基準電位発生回路は電源電圧の半分の基準電圧を生成する、請求項19記載の電子装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の半導体チップのインタフェース信号に対する論理値判定レベルに基準電位を用い半導体装置、更には電子装置に関し、例えば、メモリチップとコントロールチップをSiP (System In Package) 又はPOP (Package On Package) 形態で搭載した半導体装置に適用して有効な技術に関する。

【背景技術】

【0002】

10

20

30

40

50

メモリチップやコントロールチップなどの複数の半導体チップのインタフェース信号に対する論理値の判定に基準電位を用いる場合に、その基準電位を、半導体チップの外部で電源電圧の抵抗分圧回路を用いて生成し、これを各半導体チップに与えることができる。しかしながら、半導体チップの外部でディスクリットデバイスなどを用いた抵抗分圧回路で基準電位を生成する場合には大きな貫通電流が流れ、バッテリー駆動される携帯端末などでは省電力に反する。この点に関し、特許文献1には半導体チップの内部に基準電位発生回路を設け、このチップから別のチップに基準電位を供給する構成が示される。特許文献2には、メモリコントローラに基準電位発生回路として論理閾値電圧出力回路を設け、これによって生成される基準電位をオンチップターミネーションされたDRAMチップに供給する構成が示される。特許文献3にはメモリチップとコントロールチップを搭載した半導体装置においてメモリチップとコントロールチップのそれぞれに対して別々に参照電位(基準電位)発生回路を設けた場合について記載される。特許文献4にはメモリの基準電位ピンの近傍にデカップリングコンデンサを配置したメモリモジュールが示される。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2008-293206号公報

【特許文献2】特開2004-62725号公報

【特許文献3】特開2008-4579号公報

【特許文献4】特開2006-173409号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本願発明者は一の半導体集積回路で生成した基準電位を他の半導体集積回路に供給する場合のノイズ抑圧について検討した。特許文献1では基準電位を伝達する信号経路に対するノイズの抑圧について考慮はない。信号経路のノイズを抑圧するには通常、特許文献2乃至4に例示されるようにバイパスコンデンサが用いられる。信号経路にはカップリングノイズや電源ノイズなどが重畳されるが、信号経路のどの位置でもそれらを抑圧することが最善とは限らない、ということが本発明者によって見出された。例えば、電源ノイズによって電源電圧が変動したとき、その電源変動を受けた信号を処理する場合には、その判定レベルである基準電位も同じレベル変動を受けていることが望ましい。ここで、一の半導体集積回路が出力バッファから基準電位を信号経路に出力して他の半導体集積回路に伝達するとともに、その信号経路の基準電位を当該一の半導体集積回路が遅延して入力端子から帰還入力する場合を想定する。そして、その信号経路の出力側に近いところにバイパスコンデンサを設けて基準電位の電源ノイズ成分を抑圧すると、帰還入力経路の入力バッファで同じ電源ノイズが重畳されることは期待できないから、帰還入力された基準電位が、基準電位の出力時における信号レベルの判定基準にならなくなる虞のあることが見出された。例えば、チップの外部に出力した基準電位を入力して検証するセルフテスト機能を有する半導体集積回路に基準電位を帰還入力するような場合である。

【0005】

本発明の目的は、電源ノイズの状態が相違される異なるチップ間で基準電位を伝達するための信号経路に対するバイパスコンデンサによるノイズ抑圧を常に適正化することが容易な半導体装置、更には電子装置を提供することにある。

【0006】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0007】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 0 8 】

すなわち、実装基板に搭載されたコントロールチップとメモリチップとを接続する信号経路として、コントロールチップで生成した基準電位を伝達する所定の信号経路を備えるとき、当該所定の信号経路に前記バイパスコンデンサを接続する接続箇所（接続点）の位置を、メモリチップの基準電位用パッドから前記基信号経路に沿って前記接続箇所に至るまでの距離が、コントロールチップの基準電位用パッドから前記所定の信号経路に沿って前記接続箇所に至るまでの距離よりも短くなる位置のみに制限する。

【 0 0 0 9 】

この制限により、基準電位に対するバイパスコンデンサによるノイズ抑圧の作用は、コントロールチップに対して電源ノイズの状態が異なるメモリチップ側で相対的に大きくされる。したがって、そのようなメモリチップ側では判定基準とされる基準電位に対する安定性が増し、コントロールチップ側で基準電位の帰還を受けて判定に用いる場合には帰還された基準電位に電源ノイズの痕跡とを留めさせて当該電源ノイズの影響を受けた信号に対する判定基準とすることを可能にする。

10

【 発明の効果 】

【 0 0 1 0 】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【 0 0 1 1 】

すなわち、バイパスコンデンサの配置制限により、電源ノイズの状態が相違される異なるチップ間で基準電位を伝達するための信号経路に対するバイパスコンデンサによるノイズ抑圧の適正化が容易に実現される。

20

【 図面の簡単な説明 】

【 0 0 1 2 】

【 図 1 】 図 1 は P O P 構造の半導体装置の縦断面構造の概略を例示する断面図である。

【 図 2 】 図 2 は 図 1 の半導体装置をマザーボードに搭載した電子回路を例示する断面図である。

【 図 3 】 図 3 は 第 1 基準電位パッド 1 0 0 から 第 2 基準電位パッド 1 1 0 に至る信号経路を模式的に示す説明図である。

【 図 4 】 図 4 は 4 層配線構造のベース基板 2 0 を用いて基準電位を伝達する信号経路を形成する例を平面的に示す説明図である。

30

【 図 5 】 図 5 は コントロールチップからメモリチップに基準電位を伝達する信号経路にバイパスコンデンサを接続する位置の制約による作用効果が例示する説明図である。

【 図 6 】 図 6 は データ系信号のための基準電位とコマンドアドレス系信号のための基準電位とを分けて設けた例を示す説明図である。

【 図 7 】 図 7 は 図 6 におけるコマンドアドレス系の基準電位を伝達する信号経路の概略を例示する平面図である。

【 図 8 】 図 8 は S I P 構造の半導体装置の縦断面構造の概略を例示する断面図である。

【 図 9 】 図 9 は S I P 構造の別の半導体装置の縦断面構造の概略を例示する断面図である。

40

【 図 1 0 】 図 1 0 は 第 1 基準電位パッド 1 0 0 から 第 2 基準電位パッド 1 1 0 に至る信号経路を模式的に示す説明図である。

【 図 1 1 】 図 1 1 は 個別のパッケージされたメモリデバイスとシステムオンチップのマイクロコンピュータデバイスをマザーボードに平置き実装した電子装置の縦断面構造の概略を例示する断面図である。

【 図 1 2 】 図 1 2 は 個別のパッケージされたメモリデバイスとシステムオンチップのマイクロコンピュータデバイスをマザーボードに平置き実装した別の電子装置の縦断面構造の概略を例示する断面図である。

【 図 1 3 】 図 1 3 は 第 1 基準電位パッド 1 0 0 から 第 2 基準電位パッド 1 1 0 に至る信号経路を模式的に示す説明図である。

50

【図14】図14は図12の電子装置5における基準電位を伝達する信号経路の概略を例示する説明図である。

【発明を実施するための形態】

【0013】

1. 実施の形態の概要

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面中の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

【0014】

〔1〕＜メモリチップ寄りにVref用バスコンを接続させるPOPのベース側半導体装置＞

10

本発明の代表的な実施の形態に係る半導体装置は、上面（チップ搭載面）、前記上面に形成された複数のコントロールチップ用電極、前記上面に形成された複数のメモリチップ用電極、前記上面とは反対側の下面（実装面）、前記下面に形成された複数の外部端子用電極、前記上面と前記下面との間に形成された複数のビア、および前記複数のビア内にそれぞれ形成され、かつ、前記複数のコントロールチップ用電極および前記複数のメモリチップ用電極と前記複数の外部端子用電極とをそれぞれ電氣的に接続する複数のビア内配線を有する配線基板（20：ベース基板、下段側基板）と、基準電位発生回路、チップ表面（表面、主面）、前記チップ表面に形成された複数の電極パッド（ボンディングパッド）、および前記チップ表面とは反対側のチップ裏面を有し、前記配線基板の前記上面に搭載されたコントロールチップ（10）と、前記コントロールチップの前記複数の電極パッド（100）と前記複数のコントロールチップ用電極（200）とをそれぞれ電氣的に接続する複数の導電性部材（300：パンプ電極）と、前記配線基板の前記複数の外部端子用電極のそれぞれに接続された複数の外部端子と、を含む。前記複数の電極パッドは、前記基準電位発生回路と電氣的に接続された第1基準電位用パッド（100）を有する。前記複数のコントロールチップ用電極は、前記コントロールチップの前記第1基準電位用パッドと電氣的に接続される第1基準電位用電極（200）とを有する。前記複数のメモリチップ用電極は、メモリチップの第2基準電位用パッド（110）と電氣的に接続される第2基準電位用電極（202）を有する。前記複数の外部端子用電極のうち、バイパスコンデンサと電氣的に接続される基準電位端子用電極は、前記配線基板に形成された複数の配線のうちの基準電位用配線（500）および前記複数のビア内配線のうちの基準電位用ビア内配線（411）を介して、前記第1基準電位用電極および前記第2基準電位用電極とそれぞれ電氣的に接続される。前記基準電位用ビア内配線と前記基準電位用配線との接続箇所は、前記基準電位用配線における前記接続箇所から前記第2基準電位用電極までの距離が、前記基準電位用配線における前記接続箇所から前記第1基準電位用電極までの距離よりも短くなる位置のみである。なお、本実施の形態では、コントロールチップの表面（電極パッドが形成される面）が配線基板の上面と対向するように、配線基板の上面に搭載される例について説明したが、コントロールチップの裏面が配線基板の上面と対向するように、配線基板の上面に搭載されてもよい。但し、この場合は、コントロールチップの複数の電極パッド（100）と複数のコントロールチップ用電極（200）とを、導電性部材

20

30

40

【0015】

上記半導体装置は例えばPOP構造のベース基板（下段）側を構成するものであり、メモリチップ用電極を介してその上にメモリチップを有する半導体装置（上段側の半導体装置）が配置（実装）されてPOP構造のマルチチップモジュールが構成される。バイパスコンデンサが接続される基準電位用ビア内配線と基準電位用配線との接続箇所から第1基準電位用電極までの距離に比べて、この接続箇所から第2基準電位用電極までの距離が短くなるように制限されている。この制限は、メモリチップを搭載した半導体装置を実装してマルチチップモジュールを構成したとき、バイパスコンデンサが接続される基準電位用ビア内配線と基準電位用配線との接続箇所からコントロールチップの第1基準電位用パッ

50

ドまでの距離に比べてメモリチップの第2基準電位用パッドまでの距離が短くなることを少なからず保証するものである。上記制限距離の関係が逆の場合にはそのような保証は得られない。この制限のもとでマルチチップモジュールが構成されると、基準電位に対するバイパスコンデンサによるノイズ抑圧の作用は、コントロールチップに対して電源ノイズの状態が異なるメモリチップ側で相対的に大きくされる。したがって、そのようなメモリチップ側では判定基準とされる基準電位に対する安定性が増し、コントロールチップ側で基準電位の帰還を受けて判定に用いる場合には帰還された基準電位に電源ノイズの痕跡とを留めさせて当該電源ノイズの影響を受けた信号に対する判定基準とすることを可能にする。すなわち、その配置制限により、電源ノイズの状態が相違される異なるチップ間で基準電位を伝達するための信号経路に対するバイパスコンデンサによるノイズ抑圧の適正化が容易に実現される。

10

【0016】

〔2〕＜Vref出力とVref入力の短絡＞

項1の半導体装置において、前記第1基準電位用パッドは、前記基準電位発生回路で生成される基準電位を出力する出力回路の出力端子に接続された第1基準電位用出力パッド(100__OUT)、及び前記第1基準電位用出力パッドと隣り合って結合され入力回路の入力端子に接続された第1基準電位用入力パッド(100__IN)である。

【0017】

コントロールチップ側で基準電位の帰還を受けて判定に用いる場合の一形態とされる。

20

【0018】

〔3〕＜DQ対応Vref＞

項2の半導体装置において、前記電極パッドとしてデータ系信号のデータ系パッドを有し、前記第1基準電位用パッド(100__IN__DQa, 100__OUT__DQa)は前記データ系パッドを介して入出力されるデータ信号の論理値判定レベルを提供する。

【0019】

例えばメモリチップから読み出されたデータを判定するためのタイミングの生成に基準電位の帰還信号を用いる。或いは、デバイステストにおいてデータ系信号の論理値判定レベルをループバックして検証するセルフテスト機能を支援する。

【0020】

〔4〕＜CA対応Vref＞

項3の半導体装置において、前記電極パッドとしてコマンド及びアドレス系信号のコマンドアドレス系パッドを有し、前記第1基準電位用パッド(100__IN__CA, 100__OUT__CA)は前記コマンドアドレス系パッドを介して出力されるコマンド及びアドレス系信号の論理値判定レベルを提供する。

30

【0021】

例えばデバイステストにおいてコマンド及びアドレス系信号の論理値判定レベルをループバックして検証するセルフテスト機能を支援する。

【0022】

〔5〕＜メモリチップ寄りにVref用バスコンを有するPOP＞

本発明の代表的な別の実施の形態に係る半導体装置(1)は、コントロールチップ用電極(200)、メモリインタフェース用電極(202)及び外部端子用電極(201)を有する実装基板(20)と、前記コントロールチップ用電極に接続されたコントロールチップ用パッド(100)及び基準電位発生回路を有し前記実装基板に搭載されたコントロールチップ(10)と、前記メモリインタフェース用電極に導電部材を介して接続されたメモリチップ用電極(211)を有し前記コントロールチップの上に重ねられて前記実装基板の上に搭載されたメモリ基板(21)と、前記コントロールチップの制御を受け前記メモリチップ用電極に導電部材を介して接続されたメモリチップ用パッド(110)を有し前記メモリ基板に搭載されたメモリチップ(11)と、を含む。前記コントロールチップ用パッドは前記基準電位発生回路と電氣的に接続された第1基準電位用パッド(100)を含む。前記コントロールチップ用電極は前記第1基準電位用パッドと電氣的に接続さ

40

50

れた第1基準電位用電極(200)を含む。前記メモリチップ用パッドは第2基準電位用パッド(110)を含む。前記メモリチップ用電極は、前記メモリチップの第2基準電位用パッドと電氣的に接続された第2基準電位用電極(211)を含む。前記外部端子用電極は、バイパスコンデンサと電氣的に接続される基準電位端子用電極(201)を含む。前記基準電位端子用電極は、前記第1基準電位用パッドと前記第2基準電位用パッドとを接続する信号経路の所定の接続箇所(接続点)にのみ接続され、前記第2基準電位用パッドから前記信号経路に沿って前記接続箇所に至る距離は、前記第1基準電位用パッドから前記信号経路に沿って前記接続箇所に至る距離よりも短い。

【0023】

上記半導体装置は例えばPOP構造を成すものである。基準電位端子用電極にはバイパスコンデンサが接続され、その基準電位端子用電極が基準電位の信号経路に接続する所定の接続箇所から第1基準電位用パッドまでの距離に比べて第2基準電位用パッドまでの距離が短くなるように制限されている。この制限により、基準電位に対するバイパスコンデンサによるノイズ抑圧の作用は、コントロールチップに対して電源ノイズの状態が異なるメモリチップ側で相対的に大きくされる。したがって、そのようなメモリチップ側では判定基準とされる基準電位に対する安定性が増し、コントロールチップ側で基準電位の帰還を受けて判定に用いる場合には帰還された基準電位に電源ノイズの痕跡とを留めさせて当該電源ノイズの影響を受けた信号に対する判定基準とすることを可能にする。すなわち、その配置制限により、電源ノイズの状態が相違される異なるチップ間で基準電位を伝達するための信号経路に対するバイパスコンデンサによるノイズ抑圧の適正化が容易に実現される。

10

20

【0024】

〔6〕<Vref出力とVref入力の短絡>

項5の半導体装置において、前記第1基準電位用パッドは、前記基準電位発生回路で生成される基準電位を出力する出力回路の出力端子に接続された第1基準電位用出力パッド、及び前記第1基準電位用出力パッドと隣り合って結合され入力回路の入力端子に接続された第1基準電位用入力パッドである。

【0025】

コントロールチップ側で基準電位の帰還を受けて判定に用いる場合の一形態とされる。

【0026】

〔7〕<DQ対応Vref>

項6の半導体装置において、前記コントロールチップ用パッドとしてデータ系信号のデータ系パッドを有し、前記第1基準電位用パッドは前記データ系パッドを介して入出力されるデータ系信号の論理値判定レベルを提供する。

30

【0027】

例えばメモリチップから読み出されたデータを判定するためのタイミングの生成に基準電位の帰還信号を用いる。或いは、デバイステストにおいてデータ系信号の論理値判定レベルをループバックして検証するセルフテスト機能を支援する。

【0028】

〔8〕<CA対応Vref>

項7の半導体装置において、前記コントロールチップ用パッドとしてコマンド及びアドレス系信号のコマンドアドレス系パッドを有し、前記第1基準電位用パッドは前記コマンドアドレス系パッドを介して出力されるコマンド及びアドレス系信号の論理値判定レベルを提供する。

40

【0029】

例えばデバイステストにおいてコマンド及びアドレス系信号の論理値判定レベルをループバックして検証するセルフテスト機能を支援する。

【0030】

〔9〕<メモリチップ寄りにVref用パスコンを有するSIP>

本発明の代表的な更に別の実施の形態に係る半導体装置は、コントロールチップ用電極

50

(200, 204)、メモリチップ用電極(203, 205)及び外部端子用電極を有する実装基板(22)と、前記コントロールチップ用電極に導電部材を介して接続されたコントロールチップ用パッド(100)及び基準電位発生回路を有し前記実装基板に搭載されたコントロールチップ(10)と、前記コントロールチップの制御を受け前記メモリチップ用電極に導電部材を介して接続されたメモリチップ用パッド(110)を有し前記コントロールチップに重ねて前記実装基板に搭載されたメモリチップ(11)と、を含む。前記コントロールチップ用パッドは前記基準電位発生回路と電氣的に接続された第1基準電位用パッド(100)を含む。前記コントロールチップ用電極は前記第1基準電位用パッドと電氣的に接続される第1基準電位用電極(200, 204)を含む。前記メモリチップ用パッドは第2基準電位用パッド(110)を含む。前記メモリチップ用電極は、メモリチップの第2基準電位用パッドと電氣的に接続される第2基準電位用電極(203, 205)を含む。前記外部端子用電極は、バイパスコンデンサと電氣的に接続される基準電位端子用電極(320)を含む。前記基準電位端子用電極は、前記第1基準電位用パッドと前記第2基準電位用パッドとを接続する信号経路の所定の接続箇所にもみ接続され、前記第2基準電位用パッドから前記信号経路に沿って前記接続箇所に至る距離は、前記第1基準電位用パッドから前記信号経路に沿って前記接続箇所に至る距離よりも短い。

10

【0031】

上記半導体装置は例えばSIP構造を成すものである。基準電位端子用電極にはバイパスコンデンサが接続され、その基準電位端子用電極が基準電位の信号経路に接続する所定の接続箇所から第1基準電位用パッドまでの距離に比べて第2基準電位用パッドまでの距離が短くなるように制限されている。この制限により、基準電位に対するバイパスコンデンサによるノイズ抑圧の作用は、コントロールチップに対して電源ノイズの状態が異なるメモリチップ側で相対的に大きくされる。したがって、そのようなメモリチップ側では判定基準とされる基準電位に対する安定性が増し、コントロールチップ側で基準電位の帰還を受けて判定に用いる場合には帰還された基準電位に電源ノイズの痕跡とを留めさせて当該電源ノイズの影響を受けた信号に対する判定基準とすることを可能にする。すなわち、その配置制限により、電源ノイズの状態が相違される異なるチップ間で基準電位を伝達するための信号経路に対するバイパスコンデンサによるノイズ抑圧の適正化が容易に実現される。

20

【0032】

〔10〕＜Vref出力とVref入力の短絡＞

項9の半導体装置において、前記第1基準電位用パッドは、前記基準電位発生回路で生成される基準電位を出力する出力回路の出力端子に接続された第1基準電位用出力パッド、及び前記第1基準電位用出力パッドと隣り合って結合され入力回路の入力端子に接続された第1基準電位用入力パッドである。

30

【0033】

コントロールチップ側で基準電位の帰還を受けて判定に用いる場合の一形態とされる。

【0034】

〔11〕＜DQ対応Vref＞

項10の半導体装置において、前記コントロールチップ用パッドとしてデータ系信号のデータ系パッドを有し、前記第1基準電位用パッドは前記データ系パッドを介して入出力されるデータ信号の論理値判定レベルを提供する。

40

【0035】

例えばメモリチップから読み出されたデータを判定するためのタイミングの生成に基準電位の帰還信号を用いる。或いは、デバイステストにおいてデータ系信号の論理値判定レベルをループバックして検証するセルフテスト機能を支援する。

【0036】

〔12〕＜CA対応Vref＞

項11の半導体装置において、前記コントロールチップ用パッドとしてコマンド及びアドレス系信号のコマンドアドレス系パッドを有し、前記第1基準電位用パッドは前記コマ

50

ンドアドレス系パッドを介して出力されるコマンド及びアドレス系信号の論理値判定レベルを提供する。

【0037】

例えばデバイステストにおいてコマンド及びアドレス系信号の論理値判定レベルをループバックして検証するセルフテスト機能を支援する。

【0038】

〔13〕＜メモリLSI寄りにVrefバスコンを有する平積タイプの電子装置＞

本発明の代表的な更に別の実施の形態に係る電子装置は、マザーボード(31, 31A)と、基準電位発生回路を備えたコントロールチップ(10)を有し前記マザーボードに搭載された第1半導体装置(12A)と、前記コントロールチップの制御を受けるメモリチップ(11)を有し前記マザーボード上で前記第1半導体装置の隣に搭載された第2半導体装置(12B)と、前記マザーボードに形成され且つ前記第1半導体装置の第1基準電位用電極(207)と前記第2半導体装置の第2基準電位用電極(217)とを電気的に接続する基準電位用信号経路と、前記マザーボードに搭載された基準電位用バイパスコンデンサ(40)とを含む。前記基準電位用バイパスコンデンサは、前記基準電位用信号経路の所定の接続箇所にもみ接続される。前記所定の接続箇所から前記基準電位用信号経路に沿って前記第2基準電位用電極を経由して前記コントロールチップの第2基準電位用電極パッド(100)に至るまでの距離が、前記所定の接続箇所から前記基準電位用信号経路に沿って前記第1基準電位用電極を経由して前記メモリチップの第1基準電位用電極パッド(110)に至るまでの距離よりも短くされる。

10

20

【0039】

上記電子装置は例えばマザーボードに半導体装置及び基準電位用バイパスコンデンサが平置き成るものである。基準電位用信号経路に接続する所定の接続箇所から第1基準電位用パッドまでの距離に比べて第2基準電位用パッドまでの距離が短くなるように制限されている。この制限により、基準電位に対するバイパスコンデンサによるノイズ抑圧の作用は、コントロールチップに対して電源ノイズの状態が異なるメモリチップ側で相対的に大きくされる。したがって、そのようなメモリチップ側では判定基準とされる基準電位に対する安定性が増し、コントロールチップ側で基準電位の帰還を受けて判定に用いる場合には帰還された基準電位に電源ノイズの痕跡とを留めさせて当該電源ノイズの影響を受けた信号に対する判定基準とすることを可能にする。すなわち、その配置制限により、電源ノイズの状態が相違される異なるチップ間で基準電位を伝達するための信号経路に対するバイパスコンデンサによるノイズ抑圧の適正化が容易に実現される。

30

【0040】

〔14〕＜Vref出力とVref入力の短絡＞

項13の電子装置において、前記第1基準電位用パッドは、前記基準電位発生回路で生成される基準電位を出力する出力回路の出力端子に接続された第1基準電位用出力パッド、及び前記第1基準電位用出力パッドと隣り合って結合され入力回路の入力端子に接続された第1基準電位用入力パッドである。

【0041】

コントロールチップ側で基準電位の帰還を受けて判定に用いる場合の一形態とされる。

40

【0042】

〔15〕＜DQ対応Vref＞

項14の電子装置において、前記コントロールチップはデータ系信号のデータ系パッドを有し、前記第1基準電位用パッドは前記データ系パッドを介して入出力されるデータ系信号の論理値判定レベルを提供する。

【0043】

例えばメモリチップから読み出されたデータを判定するためのタイミングの生成に基準電位の帰還信号を用いる。或いは、デバイステストにおいてデータ系信号の論理値判定レベルをループバックして検証するセルフテスト機能を支援する。

【0044】

50

〔 16 〕 < C A 対応 V r e f >

項 15 の電子装置において、前記コントロールチップはコマンド及びアドレス系信号のコマンドアドレス系パッドを有し、前記第 1 基準電位用パッドは前記コマンドアドレス系パッドを介して出力されるコマンド及びアドレス系信号の論理値判定レベルを提供する。

【 0045 〕

例えばデバイステストにおいてコマンド及びアドレス系信号の論理値判定レベルをループバックして検証するセルフテスト機能を支援する。

【 0046 〕

〔 17 〕 < 1/2VCCQ を中心に VDD 側 と GND 側の パスコン >

項 13 の電子装置において、前記基準電位発生回路は電源電圧の半分の基準電圧を生成し、前記基準電位用バイパスコンデンサは、基準電位用信号経路と電源端子との間に配置された第 1 基準電位用バイパスコンデンサ及び基準電位用信号経路とグランド端子との間に配置された第 2 基準電位用バイパスコンデンサとから成る。

【 0047 〕

基準電位は電源電圧の半分のレベルであるから、電源側とグランド側の双方からバイパスコンデンサを介して基準電位用信号経路のレベル変動を抑制することにより伝達される基準電位をメモリチップ側で更に安定化させることができる。

【 0048 〕

〔 18 〕 < マザーボードのメモリ及びコントローラ搭載面にパスコンを搭載 >

項 17 の電子装置において、前記基準電位用パスコンデンサは前記マザーボードの前記第 1 半導体装置及び第 2 半導体装置の搭載面に搭載される。

【 0049 〕

前記第 1 半導体装置及び第 2 半導体装置に係る回路素子をマザーボードの一面に集約することができるので、マザーボードの他方の面をそれらとは機能が別れる別のデバイスの実装に専用化させることが可能になる。

【 0050 〕

〔 19 〕 < P O P , S i P 又は平積み形態でメモリ及びコントローラを有する電子装置 >

本発明の代表的な更に別の実施の形態に係る電子装置は、実装基板に搭載された複数の半導体チップと前記複数の半導体チップを接続するために形成された複数の信号経路とを有する。前記複数の半導体チップは、単数又は複数のメモリチップ (11) と、前記メモリチップを制御するコントロールチップ (10) とを含む。前記コントロールチップは基準電位発生回路と前記基準電位発生回路で発生される基準電位が印加される第 1 基準電位用パッド (100) とを有する。前記メモリチップは第 2 基準電位用パッド (110) と信号パッドとを有し、前記信号パッドから入力された入力信号のレベル判定基準として前記第 2 基準電位用パッドに印加される基準電位を用いる。前記信号経路は、前記第 1 基準電位用パッドと第 2 基準電位用パッドとを接続すると共にバイパスコンデンサが接続される基準電位用信号経路を含む。前記基準電位用信号経路に前記バイパスコンデンサが接続される所定の接続箇所的位置は、前記第 2 基準電位用パッドから前記基準電位用信号経路に沿って前記所定の接続箇所に至るまでの距離が、前記第 1 基準電位用パッドから前記基準電位用信号経路に沿って前記所定の接続箇所に至るまでの距離よりも短くなる位置のみとされる。

【 0051 〕

上記電子装置は例えば P O P 構造、 S I P 構造若しくは平置き構造を有するマルチチップの半導体装置、又はその半導体装置を用いた電子装置を成すものである。基準電位用信号経路の所定の接続箇所にバイパスコンデンサが接続され、その所定の接続箇所から第 1 基準電位用パッドまでの距離に比べて第 2 基準電位用パッドまでの距離が短くなるように制限されている。この制限により、基準電位に対するバイパスコンデンサによるノイズ抑圧の作用は、コントロールチップに対して電源ノイズの状態が異なるメモリチップ側で相対的に大きくされる。したがって、そのようなメモリチップ側では判定基準とされる基準

10

20

30

40

50

電位に対する安定性が増し、コントロールチップ側で基準電位の帰還を受けて判定に用いる場合には帰還された基準電位に電源ノイズの痕跡とを留めさせて当該電源ノイズの影響を受けた信号に対する判定基準とすることを可能にする。すなわち、その配置制限により、電源ノイズの状態が相違される異なるチップ間で基準電位を伝達するための信号経路に対するバイパスコンデンサによるノイズ抑圧の適正化が容易に実現される。

【0052】

〔20〕＜Vref出力とVref入力との短絡＞

項19の電子装置において、前記第1基準電位用パッドは、前記基準電位発生回路で生成される基準電位を出力する出力回路の出力端子に接続された第1基準電位用出力パッド、及び前記第1基準電位用出力パッドと隣り合って結合され入力回路の入力端子に接続された第1基準電位用入力パッドである。

10

【0053】

コントロールチップ側で基準電位の帰還を受けて判定に用いる場合の一形態とされる。

【0054】

〔21〕＜DQ対応Vref＞

項20の電子装置において、前記コントロールチップはデータ系信号のデータ系パッドを有し、前記第1基準電位用パッドは前記データ系パッドを介して入出力されるデータ系信号の論理値判定レベルを提供する。

【0055】

例えばメモリチップから読み出されたデータを判定するためのタイミングの生成に基準電位の帰還信号を用いる。或いは、デバイステストにおいてデータ系信号の論理値判定レベルをループバックして検証するセルフテスト機能を支援する。

20

【0056】

〔22〕＜CA対応Vref＞

項21の電子装置において、前記コントロールチップはコマンド及びアドレス系信号のコマンドアドレス系パッドを有し、前記第1基準電位用パッドは前記コマンドアドレス系パッドを介して出力されるコマンド及びアドレス系信号の論理値判定レベルを提供する。

【0057】

例えばデバイステストにおいてコマンド及びアドレス系信号の論理値判定レベルをループバックして検証するセルフテスト機能を支援する。

30

【0058】

〔23〕＜1/2VCCQを中心にVDD側とGND側のパスコン＞

項19の電子装置において、前記基準電位発生回路は電源電圧の半分の基準電圧を生成する。

【0059】

基準電位は電源電圧の半分のレベルであるから、伝達される基準電位をメモリチップ側で更に安定化させるために、電源側とグランド側の双方からバイパスコンデンサを介して基準電位用信号経路のレベル変動を抑制する手段を講ずることが可能である。

【0060】

2. 実施の形態の詳細

40

実施の形態について更に詳述する。

【0061】

《実施の形態1》

図1にはPOP構造の半導体装置の縦断面構造の概略が例示される。同図に示される半導体装置1は、配線基板若しくは実装基板としてのベース基板20にコントロールチップ(SOC)10を搭載したベース構造に、配線基板としてのサブ基板(上段側基板)21にメモリチップ(DRAM)11を搭載したサブ構造を搭載して成る。サブ構造は例えばJEDEC標準の外部端子配列を有するFPCなどのパッケージに実装済みのSDRAM装置などによって構成される。要するに、ベース構造を提供することにより、これを用いるユーザはベース構造に安価な標準化されたメモリ装置を搭載してPOP構造の半導体装

50

置を得ることができる。

【0062】

メモリチップ11は、特に制限されないが、DDR3 - SDRAM (Double Data Rate 3 - Synchronous Random Access Memory) とされる。コントロールチップ10は、特に制限されないが、DDR3 - SDRAMのアクセス制御を行うSDRAMコントローラ、CPU (中央処理装置)、画像処理や暗号化復号処理などを行うアクセラレータなどを有するマイクロコンピュータのようなデータ処理デバイスによって構成される。SDRAMコントローラはCPUやアクセラレータからのSDRAMアクセス要求に応答してSDRAMに対するコマンドアドレスやデータのインタフェース制御を行う。メモリチップ11とコントロールチップ10の間のコマンドアドレスやデータのインタフェースにおいてそのインタフェース信号の論理値の判定には基準電位を用いる。DDR3 - SDRAMのJEDEC標準によれば、電源電圧をVCCQとすると基準電位VrefはVCCQ/2と規定される。ここではそのような基準電位Vrefをコントロールチップ10の内部で生成し、メモリチップ11に与えて、メモリチップ側でのインタフェース信号の論理値判定に供するようになっている。尚、電源電圧VCCQは、少なくとも、メモリチップ11とコントロールチップ10とのインタフェースに用いる共通の電源電圧を意味する。

10

【0063】

以下、基準電位Vrefの伝達のための構成を主として半導体装置1の構造を説明する。

【0064】

ベース基板 (下段側基板) 20は例えばガラスエポキシ樹脂などを用いて形成された複数層の配線層を有しており、異なる配線層の配線、例えば表面の配線層と裏面の配線層は、代表的に示されたビア401とビア401内に形成されたビア内配線411とを介して相互に導通される。ベース基板20の表面には代表的に示された電極 (コントロールチップ用電極200, メモリチップ用電極202) が設けられ、裏面にも代表的に示された電極 (外部端子用電極) 201が形成される。多数配置された電極は必要な信号伝播機能を実現するために代表的に示された配線500、ビア401、及びビア内配線411などを介して目的とするもの同士が電氣的に接続される。ベース基板20の裏面の電極201には半導体装置1をマザーボードの配線パターンに搭載するための半田ボールのような外部端子320が形成される。なお、外部端子320については、半田ボール (ボール状の電極) に限らず、半田材 (鉛フリー半田を含む) であってもよい。

20

30

【0065】

サブ基板 (上段側基板) 21も上記同様に例えば複数層の配線層を有しており、異なる配線層の配線、例えば表面の配線層と裏面の配線層は、代表的に示されたビア400とビア400に充填されたビア内配線410とを介して相互に導通される。サブ基板21の表面には代表的に示された電極211が設けられ、裏面にも代表的に示された電極210が形成される。多数配置された電極は必要な信号伝播機能を実現するために代表的に示されたビア400及びビア内配線410などを介して目的とするもの同士が電氣的に接続される。

【0066】

ここで、コントロールチップ10に代表的に示された電極パッド100は基準電位発生回路で生成される基準電位が印加される第1基準電位パッドであり、ベース基板20に代表的に示された電極200は第1基準電位用電極であり、双方は半田バンプ300のような導電部材によって導通される。ベース基板20において電極200から電極202に至る配線500は基準電位用配線である。電極202はビア401及びビア内配線411を介してベース基板21の裏面に形成されている電極201に導通される。電極201に形成された外部端子320は図示を省略するマザーボードの配線を介してバイパスコンデンサの一方の容量電極に接続されることになる。

40

【0067】

一方、メモリチップ11に代表的に示された電極パッド110は外部から基準電位を受

50

ける第2基準電位用パッドであり、サブ基板21に代表的に示された電極211は第2基準電位用電極であり、双方はボンディングワイヤ501のような導電部材によって導通される。電極211はビア400及びビア内配線10を介してサブ基板21の裏面に形成されている電極210に導通される。ベース基板20の電極202は半田ボールのような外部端子310が設けられており、この外部端子310に前記サブ基板21の電極210が結合される。なお、本実施の形態では、メモリチップの裏面（電極パッドが形成される面とは反対側の面）が配線基板（サブ基板21）の上面と対向するように、配線基板（サブ基板21）の上面に搭載される例について説明したが、メモリチップの裏面が配線基板（サブ基板21）の上面と対向するように、配線基板（サブ基板21）の上面に搭載されてもよい。但し、この場合は、メモリチップの複数の電極パッド110と電極211とを、導電性部材として、パンプ電極を介してそれぞれ電氣的に接続する。また、外部端子310については、半田ボール（ボール状の電極）に限らず、柱状の導電性部材、または半田材（鉛フリー半田を含む）であってもよい。

10

【0068】

図2には図1の半導体装置1をマザーボード30に搭載した電子回路が例示される。マザーボード30は外部端子320に代表される外部端子が搭載される電極220や配線510を有する。電極220に結合する配線510Aは電極222に接続し、電極222にはバイパスコンデンサ40の一方の容量電極が結合される。バイパスコンデンサ40の他方の容量電極は電極221に結合され、電極221は配線510BによってグラウンドプレーンGNDに接続される。

20

【0069】

ここで、第1基準電位パッド100から第2基準電位パッド110に至る信号経路に、ビア401及びビア内配線411が接続される接続箇所的位置は、次に条件を満足するように配置されている。即ち、ビア内配線411と配線500との接続箇所は、前記信号経路における前記接続箇所から前記第2基準電位用パッド110までの距離が、前記信号経路における前記接続箇所から前記第1基準電位用パッド100までの距離よりも短くなる位置のみである、という条件を満足する。

【0070】

図3には第1基準電位パッド100から第2基準電位パッド110に至る信号経路が模式的に示される。図3では図1及び図2では明確に図示できなかった構成も併せて図示してある。第1基準電位パッド100として、基準電位Vrefを出力する出力バッファ30__OUTの出力端子に接続される第1基準電位出力パッド100__OUTと、入力バッファ30__INの入力端子に結合された第1基準電位入力パッド100__INとを有し、双方のパッド100__OUT, 100__INは、相隣り合って電極200に共通接続される。基準電位を受けるメモリチップ11の電極パッド110には入力バッファ31__INの入力端子が接続される。また、基準電位用のバイパスコンデンサ40は、基準電位用信号経路に接続される電極222と電源端子VCCQとの間に配置された第1のバイパスコンデンサ40A、及び前記電極222とグラウンド端子VSSQ（グラウンドプレーンGND）との間に配置された第2のバイパスコンデンサ40Bとから成る。特に制限されないが、入力バッファ30__INの先には基準電位Vrefに対するセルフテスト回路などが接続される。

30

40

【0071】

図3において分岐点CRSは、第1基準電位パッド100から第2基準電位パッド110に至る信号経路に、ビア401及びビア内配線411が接続される接続箇所的位置である。基準電位Vrefを伝達する信号経路に関する上記制限はA>Bと表すことができる。このときCを最短にすることが望ましく、そのためには図1の縦断面構造にも示されるように外部端子310の直下に外部端子320を配置すればよい。その帰結としてバイパスコンデンサ320も外部端子320の近傍に配置することが望ましい。

【0072】

図4には4層配線構造のベース基板20を用いて基準電位を伝達する信号経路を形成す

50

る例が示される。例えばベース基板20は、其の表面の第1配線層L1、その下の第2配線層L2、更に下の第3配線層L3、及び裏面の第4配線層L4から成る。基準電位の信号経路は図1とは作図上の相違があるが、図4に従えば、電極200も第1配線層L1において電極パッド100__INと100__OUTパッドに対応して分離され、夫々のパッドから引き出された配線はビア(VIA)によって接続されて下層の配線に導通される。

【0073】

図5にはコントロールチップからメモリチップに基準電位を伝達する信号経路にバイパスコンデンサを接続する位置の制約による作用効果が例示される。

【0074】

コントロールチップ10の電極パッド100__IN, 100__OUTからメモリチップ11の電極パッド110に至る信号経路には出力バッファ30__OUTの電源ノイズが重畳されるとともに、伝播途中で隣接信号線からのカップリングノイズの影響も受ける。この信号経路にバイパスコンデンサ40A, 40Bが接続する所定の接続箇所CRSからコントロールチップ10の電極パッド100__IN, 100__OUTまでの距離に比べてメモリチップ11の電極パッド110までの距離が短くなるように制限されている。この制限により、基準電位Vrefに対するバイパスコンデンサ40__A, 40__Bによるノイズ抑圧の作用は、コントロールチップ10に対して電源ノイズの状態が異なるメモリチップ11側で相対的に大きくされる。したがって、そのようなメモリチップ11側では判定基準とされる基準電位Vrefに対する安定性が増し、コントロールチップ10側で電極パッド100__INから入力バッファ30__INを介して基準電位Vrefの帰還を受けて判定に用いる場合には帰還された基準電位に電源ノイズの痕跡とを留めさせて当該電源ノイズの影響を受けた信号に対する判定基準とすることを可能にする。例えば、入力バッファ30__INの先に設けられた図示を省略するセルフテスト回路は、電極パッド100__OUTから出力する規準電位Vrefの電源ノイズ波形をある程度維持してセルフテスト回路に取り込んで検証対象とすることができる。すなわち、リードデータの並列出力動作などによって電源電圧VCCQが変動して基準電位波形が揺れたとき、出力タイミングに対してループバックで入力するタイミングは少なからず遅延するので、その揺れを維持してループバックしなければその影響をセルフテスト回路で検証することはできない。このとき、接続箇所CRSの位置によるコントロールチップ10寄りではバイパスコンデンサ40A, 40Bによるノイズ抑圧機能が働かないので、ループバックされる基準電位には検証すべき電源ノイズの影響を留めることができる。

【0075】

したがって、上記実施の形態1によれば、POP構造を有する半導体装置1において、基準電位を伝達する信号経路に接続するバイパスコンデンサ40A, 40Bの上記配置制限により、電源ノイズの状態が相違される異なるチップ10, 11間で基準電位を伝達するための信号経路に対するバイパスコンデンサによるノイズ抑圧の適正化を容易に実現することができる。

【0076】

POP構造のベース基板20側のベース構造だけに着目した場合も同様である。すなわち、ベース構造ではサブ基板21は実装されていないが、バイパスコンデンサを接続するための前記接続箇所CRSの位置、すなわち、信号配線500とビア内配線411との接続点の位置は、上記同様の配置制限をもつ。したがって、そのようなベース構造だけでも、バイパスコンデンサが接続されるビア内配線411と基準電位用配線500との接続箇所からコントロールチップ10の基準電位用パッド100までの距離に比べてメモリチップ11の基準電位用パッド110までの距離が短くなることを少なからず保証するものである。上記制限距離の関係が逆の場合にはそのような保証は得られない。この制限のもとでPOP構造のマルチチップモジュールが構成されれば、上記同様の作用効果を得ることができ、電源ノイズの状態が相違される異なるチップ間で基準電位を伝達するための信号経路に対するバイパスコンデンサによるノイズ抑圧の適正化を容易に実現することができる。

10

20

30

40

50

【 0 0 7 7 】

特に、基準電位 V_{ref} を出力する出力バッファ 30__OUT の出力端子に接続された基準電位用出力パッド 100__OUT と、このパッド 100__OUT と隣り合って結合され入力バッファ 30__IN の入力端子に接続された基準電位用入力パッド 100__IN とを短絡することによって、入力バッファ 30__IN の先に設けられたセルフテスト回路による基準電位の検証機能を高精度に維持させることが可能になる。

【 0 0 7 8 】

図 3 に例示されるように基準電位が電源電圧 V_{CCQ} の半分のレベルであるときに、グランド電圧 V_{SSQ} と電源電圧 V_{CCQ} とのそれぞれの間にはバイパスコンデンサ 40B, 40A を設けることにより、電源側とグランド側の双方からバイパスコンデンサ 40A, 40B を介して基準電位用信号経路のレベル変動を抑制することができるので、その信号経路に伝達される基準電位をメモリチップ 11 側で更に安定化させることができる。

10

【 0 0 7 9 】

また、図 2 に例示されるように、マザーボード 30 に半導体装置 1 を搭載する搭載面にバイパスコンデンサ 40A, 40B を搭載することにより、半導体装置 1 に関係する回路素子をマザーボード 30 の一面に集約することができ、マザーボードの他方の面をそれらとは機能が別される別のデバイスの実装に専用化させることが可能になる。例えば携帯電話の用途においてアプリケーションプロセッサとして機能される半導体装置 1 などをマザーボード 30 の表面に、ベースバンド処理を行うベースバンドプロセッサや RF チップをマザーボード 30 の裏面に分けて実装する場合に好適である。

20

【 0 0 8 0 】

図 6 にはデータ系信号のための基準電位とコマンドアドレス系信号のための基準電位とを分けて設けた例が示される。

【 0 0 8 1 】

特に制限されないが、コントロールチップ 10 におけるデータ信号やデータストロープ信号などのデータ系信号のデータ系パッドはデータのバイト単位で設けられているものとする。DQa は上位バイト系を意味し、DQb は下位バイト系を意味する。このとき、コントロールチップ 10 は、バイト単位で別々のメモリチップを用いる場合と、上位バイトと下位バイトを合せて 1 個のメモリチップを用いる場合の双方に対応するために、データ系の基準電位に対しても上位バイト系と下位バイト系に分けて出力可能にされる。すなわち、上位データバイト系 DQa に対応して、基準電位 V_{ref} の出力バッファ 30__OUT__DQa、出力パッド 100__OUT__DQa、入力パッド 100__IN__DQa、及び入力バッファ 30__IN__DQa を備え、同様に、下位データバイト系 DQb に対応して、基準電位 V_{ref} の出力バッファ 30__OUT__DQb、出力パッド 100__OUT__DQb、入力パッド 100__IN__DQb、及び入力バッファ 30__IN__DQa を備える。このとき、1 個のメモリチップ 11 が 2 バイトのデータ入出力機能を備えるものである場合には、図 6 の如く、上位データバイト系又は下位データバイト系の何れか一方の基準電位入出力系を用いればよい。図 6 に従えば、上位データバイト系の電極パッド 100__OUT__DQa, 100__IN__DQb を図 1 などに基づいて説明したのと同様にメモリチップ 11 の電極パッド 110__DQ に接続すればよい。このとき、下位バイト系基準電位の出力パッド 100__OUT__DQb は入力パッド 100__IN__DQb に帰還接続され、セルフテスト可能にされる。

30

40

【 0 0 8 2 】

また、図 6 の例では、コマンド及びアドレス系信号のコマンドアドレス系パッドを介して出力されるコマンド及びアドレス系信号 CA の論理値判定レベルを、データ系の基準電位とは異なる経路でメモリチップ 11 に与えるようになっている。すなわち、コマンドアドレス系信号 CA に対応して、基準電位 V_{ref} の出力バッファ 30__OUT__CA、出力パッド 100__OUT__CA、入力パッド 100__IN__CA、及び入力バッファ 30__IN__CA を備え、データ系の場合と同様に、電極パッド 100__OUT__CA と 100__IN__CA が結合されると共に、メモリチップ 11 のコマンドアドレス系信号の基準

50

電位入力パッド 110 __ C A に接続され、接続箇所 C R S __ C A にバイパスコンデンサ 40 A __ C A , 40 B __ C A が接続される。

【0083】

これにより、データ系と同様にコマンドアドレス系の基準電位に関しても、デバイステストにおいてコマンド及びアドレス系信号の論理値判定レベルをループバックして検証するセルフテスト機能を高精度に支援することができる。

【0084】

図7には図6におけるコマンドアドレス系の基準電位を伝達する信号経路の概略が例示される。その表記は図4に対応される。

【0085】

《実施の形態2》

図8にはSIP構造の半導体装置の縦断面構造の概略が例示される。同図に示される半導体装置2は、配線基板若しくは実装基板としてのモジュール基板22にコントロールチップ(SOC)10とメモリチップ(DRAM)11をスタックして樹脂などで封止した構造を有する。メモリチップ11及びコントロールチップ10は実施の形態1と同様である。電源電圧をVCCQとすると、基準電位VrefがVCCQ/2と規定されるとき、基準電位Vrefをコントロールチップ10の内部で生成し、メモリチップ11に与えて、メモリチップ11側でのインタフェース信号の論理値判定に供するようになっている。以下、基準電位Vrefの伝達のための構成を主として半導体装置2の構造を説明する。

【0086】

モジュール基板22は例えばガラスエポキシ樹脂などを用いて形成された複数層の配線層を有しており、異なる配線層の配線、例えば表面の配線層と裏面の配線層は、代表的に示されたビア401とビア401に充填されたビア内配線411とを介して相互に導通される。モジュール基板22の表面には代表的に示された電極200, 203が設けられ、裏面にも代表的に示された電極201が形成される。多数配置された電極は必要な信号伝播機能を実現するために代表的に示された配線500、ビア401、及びビア内配線411などを介して目的とするもの同士が電氣的に接続される。モジュール基板22の裏面の電極201には半導体装置1をマザーボードの配線パターンに搭載するための半田バンプのような外部端子320が形成される。モジュール基板22の表面にはコントロールチップ10が搭載されて固定され、その上にメモリチップ11が搭載されて固定される。ここで、コントロールチップ10に代表的に示された電極パッド100は基準電位発生回路で生成される基準電位が印加される第1基準電位パッドであり、モジュール基板22に代表的に示された電極200は第1基準電位用電極であり、双方は半田バンプ300のような導電部材によって導通される。モジュール基板22において電極200から電極203に至る配線500は基準電位用配線である。電極203はビア401及びビア内配線411を介してモジュール基板22の裏面に形成されている電極201に導通される。電極201に形成された外部端子320は図2の30で示されるようなマザーボードの配線を介してバイパスコンデンサ40の一方の容量電極に接続されることになる。

【0087】

一方、メモリチップ11に代表的に示された電極パッド110は外部から基準電位を受ける第2基準電位用パッドであり、モジュール基板22に代表的に示された電極203は第2基準電位用電極であり、双方はボンディングワイヤ502のような導電部材によって導通される。

【0088】

図9にはSIP構造の別の半導体装置の縦断面構造の概略が例示される。同図に示される半導体装置3はメモリチップ11とコントロールチップ10のスタック順序を図8とは逆にした点が相違される。モジュール基板22は例えばガラスエポキシ樹脂などを用いて形成された複数層の配線層を有しており、異なる配線層の配線、例えば表面の配線層と裏面の配線層は、代表的に示されたビア401とビア401に充填されたビア内配線411

10

20

30

40

50

とを介して相互に導通される。モジュール基板 22 の表面には代表的に示された電極 204, 205 が設けられ、裏面にも代表的に示された電極 201 が形成される。多数配置された電極は必要な信号伝播機能を実現するために代表的に示された配線 503、ビア 401、及びビア内配線 411などを介して目的とするもの同士が電氣的に接続される。モジュール基板 22 の裏面の電極 201 には半導体装置 1 をマザーボードの配線パターンに搭載するための半田バンプのような外部端子 320 が形成される。モジュール基板 22 の表面にはメモリチップ 11 は搭載されて固定され、その上にコントロールチップ 10 が搭載されて肯定される。ここで、コントロールチップ 10 に代表的に示された電極パッド 100 は基準電位発生回路で生成される基準電位が印加される第 1 基準電位パッドであり、モジュール基板 22 に代表的に示された電極 204 は第 1 基準電位用電極であり、双方はボンディングワイヤ 504 のような導電部材によって導通される。メモリチップ 11 に代表的に示された電極パッド 110 は外部から基準電位を受ける第 2 基準電位用パッドであり、モジュール基板 22 に代表的に示された電極 205 は第 2 基準電位用電極であり、双方はボンディングワイヤ 505 のような導電部材によって導通される。モジュール基板 22 において電極 205 から電極 204 に至る配線 503 は基準電位用配線である。配線 503 はビア 401 及びビア内配線 411 を介してモジュール基板 22 の裏面に形成されている電極 201 に導通される。電極 201 に形成された外部端子 320 は図 2 の 30 で示されるようなマザーボードの配線を介してバイパスコンデンサ 40 の一方の容量電極に接続されることになる。

10

20

30

40

50

【0089】

図 10 には第 1 基準電位パッド 100 から第 2 基準電位パッド 110 に至る信号経路が模式的に示される。図 10 では図 8 及び図 9 では明確に図示できなかった構成も併せて図示してある。第 1 基準電位パッド 100 として、基準電位 V_{ref} を出力する出力バッファ 30__OUT の出力端子に接続される第 1 基準電位出力パッド 100__OUT と、入力バッファ 30__IN の入力端子に結合された第 1 基準電位入力パッド 100__IN とを有し、双方のパッド 100__OUT, 100__IN は、相隣り合って電極 200 (図 9 の場合は 204) に共通接続される。基準電位を受けるメモリチップ 11 の電極パッド 110 には入力バッファ 31__IN の入力端子が接続される。また、基準電位用のバイパスコンデンサ 40 は、基準電位用信号経路に接続されるノード 222 と電源端子 VCCQ との間に配置された第 1 のバイパスコンデンサ 40A、及び前記ノード 222 とグランド端子 VSSQ (グランドプレーン GND) との間に配置された第 2 のバイパスコンデンサ 40B とから成る。特に制限されないが、入力バッファ 30__IN の先には基準電位 V_{ref} に対するセルフテスト回路などが接続される。

【0090】

図 10 において分岐点 CRS は、第 1 基準電位パッド 100 から第 2 基準電位パッド 110 に至る信号経路の配線 500 (503) に、ビア 401 及びビア内配線 411 が接続される接続箇所的位置である。基準電位 V_{ref} を伝達する信号経路に対する上記接続箇所的位置については実施の形態 1 と同様の条件を満足する。即ち、第 1 基準電位パッド 100 から第 2 基準電位パッド 110 に至る信号経路に、ビア 401 及びビア内配線 411 が接続される接続箇所的位置に関し、ビア内配線 411 と配線 500 との接続箇所は、前記信号経路における前記接続箇所から前記第 2 基準電位用パッド 110 までの距離が、前記信号経路における前記接続箇所から前記第 1 基準電位用パッド 100 までの距離よりも短くなる位置のみである、という条件を満足する。この制限は図 10 において、 $A > B$ と表すことができる。このとき C を最短にすることが望ましく、また、バイパスコンデンサ 320 も外部端子 320 の近傍に配置することが望ましい。

【0091】

実施の形態 2 に係る SIP 構造の半導体装置 2、3 のその他の点については POP 構造の実施の形態 1 と同様であり、上記説明した種々のバリエーションをそのまま適用することができる。実施の形態 1 で説明した POP 構造のベース基板に係るベース構造に特有の用途の点を除けば、半導体装置 2、3 は半導体装置 1 と同様の作用効果を奏する。その他

の点については実施の形態 1 と同様であるからその詳細な説明は省略する。

【 0 0 9 2 】

《 実施の形態 3 》

図 1 1 には個別のパッケージされたメモリデバイスとシステムオンチップのマイクロコンピュータデバイスをマザーボードに平置き実装した電子装置の縦断面構造の概略が例示される。同図に示される電子装置 4 は、マザーボード 3 1 に、配線基板若しくは実装基板としてのパッケージ基板 2 3 にコントロールチップ (S O C) 1 0 を搭載した半導体装置としてのマイクロコンピュータデバイス 1 2 A と、配線基板若しくは実装基板としてのパッケージ基板 2 4 にメモリチップ (D R A M) 1 1 を搭載した半導体装置としてのメモリデバイス 1 2 B とを平置きで搭載して成る。メモリチップ 1 1 及びコントロールチップ 1 0 は実施の形態 1 と同じである。電源電圧を V C C Q とするとき、基準電位 V r e f が V C C Q / 2 と規定されるとき、基準電位 V r e f をコントロールチップ 1 0 の内部で生成し、メモリチップ 1 1 に与えて、メモリチップ 1 1 側でのインタフェース信号の論理値判定に供するようになっている。以下、基準電位 V r e f の伝達のための構成を主として半導体装置 4 の構造を説明する。

10

【 0 0 9 3 】

パッケージ基板 2 3 は例えば B G A (Ball Grid Array) パッケージ基板とされ、複数層の配線層を有しており、異なる配線層の配線、例えば表面の配線層と裏面の配線層は、代表的に示されたビア 4 0 2 とビア 4 0 2 に充填されたビア内配線 4 1 2 とを介して相互に導通される。パッケージ基板 2 3 の表面には代表的に示された電極 2 0 6 が設けられる。電極 2 0 6 はコントロールチップ 1 0 の電極パッド 1 0 0 にボンディングワイヤ 5 0 6 などの導電部材を介して接続される。この電極 2 0 6 から延在されている配線はビア 4 0 2 及びビア内配線 4 1 2 を介して裏面の電極 2 0 7 に接続される。電極 2 0 7 にはマイクロコンピュータデバイス 1 2 A をマザーボード 3 1 の所定の配線パターンに搭載するための半田バンプのような外部端子 3 2 0 が形成される。

20

【 0 0 9 4 】

パッケージ基板 2 4 は例えば B G A (Ball Grid Array) パッケージ基板とされ、複数層の配線層を有しており、異なる配線層の配線、例えば表面の配線層と裏面の配線層は、代表的に示されたビア 4 0 3 とビア 4 0 3 に充填されたビア内配線 4 1 3 とを介して相互に導通される。パッケージ基板 2 4 の表面には代表的に示された電極 2 1 5 が設けられる。電極 2 1 5 はメモリチップ 1 1 の電極パッド 1 1 0 にボンディングワイヤ 5 0 7 などの導電部材を介して接続される。この電極 2 1 5 から延在する配線はビア 4 0 3 及びビア内配線 4 1 3 を介して裏面の電極 2 1 4 に接続される。電極 2 1 4 にはメモリデバイス 1 2 B をマザーボード 3 1 の所定の配線パターンに搭載するための半田バンプのような外部端子 3 3 1 が形成される。

30

【 0 0 9 5 】

ここで、コントロールチップ 1 0 に代表的に示された電極パッド 1 0 0 は基準電位発生回路で生成される基準電位が印加される第 1 基準電位パッドであり、ボンディングワイヤ 5 0 6 でこれに接続される電極 2 0 6 は第 1 基準電位用電極である。メモリチップ 1 1 に代表的に示された電極パッド 1 1 0 は外部から基準電位を受ける第 2 基準電位用パッドであり、ボンディングワイヤ 5 0 7 でこれに接続される電極 2 1 5 は第 2 基準電位用電極である。電 2 0 6 に接続する外部端子 3 3 0 は、マザーボード 3 1 の電極 2 3 0 に結合され、電極 2 1 5 に接続する外部端子 3 3 1 は、マザーボード 3 1 の電極 2 3 2 に結合され、電極 2 3 0 と電極 2 3 2 とを結ぶ基準電位用配線 5 1 1 には電極 2 3 1 を介してバイパスコンデンサ 4 0 が接続される。

40

【 0 0 9 6 】

図 1 1 の例ではマイクロコンピュータデバイス 1 2 A の基準電位用外部端子 3 3 0 の縁辺と、メモリデバイス 1 2 B の基準電位用外部端子 3 3 1 の縁辺が対向され、その間にバイパスコンデンサ 4 0 が配置される。

【 0 0 9 7 】

50

図12には個別のパッケージされたメモリデバイスとシステムオンチップのマイクロコンピュータデバイスをマザーボードに平置き実装した別の電子装置の縦断面構造の概略が例示される。同図に示される電子装置5は図11に比べてバイパスコンデンサ40の配置が異なる。即ち、図12においてマイクロコンピュータデバイス12Aは図11と同じである。メモリデバイス12Bは電極などの配置が図11とは相違され、パッケージ基板24Aは例えばBGA(Ball Grid Array)パッケージ基板とされ、複数層の配線層を有しており、異なる配線層の配線、例えば表面の配線層と裏面の配線層は、代表的に示されたビア404とビア404に充填されたビア内配線414とを介して相互に導通される。パッケージ基板24Aの表面には代表的に示された電極216が設けられる。電極2156はメモリチップ11の電極パッド110にボンディングワイヤ508などの導電部材を介して接続される。この電極216から延在する配線はビア404及びビア内配線414を介して裏面の電極217に接続される。電極217にはメモリデバイス12Bをマザーボード31の所定の配線パターンに搭載するための半田バンプのような外部端子332が形成される。

10

【0098】

ここで、コントロールチップ10に代表的に示された電極パッド100は基準電位発生回路で生成される基準電位が印加される第1基準電位パッドであり、ボンディングワイヤ506でこれに接続される電極206は第1基準電位用電極である。メモリチップ11に代表的に示された電極パッド110は外部から基準電位を受ける第2基準電位用パッドであり、ボンディングワイヤ508でこれに接続される電極216は第2基準電位用電極である。電極206に接続する外部端子330は、マザーボード31の電極230に結合され、電極217に接続する外部端子332は、マザーボード31の電極233に結合される。電極230はマザーボード31Aに形成されたビア405及びビア内配線415を介して内層の基準電位配線512に接続され、電極233はマザーボード31Aの表層の基準電位配線513に接続される。バイパスコンデンサ40は表層の電極231を介して基準電位配線513に接続されると共に、ビア406及びビア内配線416を介して内層の基準電位配線512に接続される。

20

【0099】

図13には第1基準電位パッド100から第2基準電位パッド110に至る信号経路が模式的に示される。図13では図11及び図12では明確に図示できなかった構成も併せて図示してある。第1基準電位パッド100として、基準電位 V_{ref} を出力する出力バッファ30__OUTの出力端子に接続される第1基準電位出力パッド100__OUTと、入力バッファ30__INの入力端子に結合された第1基準電位入力パッド100__INとを有し、双方のパッド100__OUT, 100__INは、相隣り合って電極206(図12の場合は216)に共通接続される。基準電位を受けるメモリチップ11の電極パッド110には入力バッファ31__INの入力端子が接続される。また、基準電位用のバイパスコンデンサ40は、基準電位用信号経路に接続されるノード222と電源端子VCCQとの間に配置された第1のバイパスコンデンサ40A、及び前記ノード222とグランド端子VSSQ(グランドプレーンGND)との間に配置された第2のバイパスコンデンサ40Bとから成る。特に制限されないが、入力バッファ30__INの先には基準電位 V_{ref} に対するセルフテスト回路などが接続される。

30

40

【0100】

図13において分岐点CRSは、図11の場合は基準電位配線511の電極231の位置であり、図12の場合は基準電位配線513の電極231の位置である。基準電位 V_{ref} を伝達する信号経路に対する上記接続箇所(接続点、分岐点CRS)の位置については実施の形態1と同様の条件を満足する。即ち、第1基準電位パッド100から第2基準電位パッド110に至る信号経路に電極231が接続される接続箇所の位置に関し、当該信号経路に電極231が接続する接続箇所は、前記信号経路における前記接続箇所から前記第2基準電位用パッド110までの距離が、前記信号経路における前記接続箇所から前記第1基準電位用パッド100までの距離よりも短くなる位置のみである、という条件を

50

満足する。この制限は図 1 3 において、 $A > B$ と表すことができる。このとき C を最短にすることが望ましく、また、バイパスコンデンサ 4 0 も外部端子 3 2 0 の近傍に配置することが望ましい。

【 0 1 0 1 】

図 1 4 には図 1 2 の電子装置 5 における基準電位を伝達する信号経路の概略が例示される。

【 0 1 0 2 】

実施の形態 3 に係る平置き構造の電子装置 4 , 5 のその他の点については P O P 構造の実施の形態 1 と同様であり、上記説明した種々のパリエーションをそのまま適用することができる。実施の形態 1 で説明した P O P 構造のベース基板に係るベース構造に特有の用途の点を除けば、電子装置 4 , 5 は半導体装置 1 と同様の作用効果を奏する。その他の点については実施の形態 1 と同様であるからその詳細な説明は省略する。

10

【 0 1 0 3 】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【 0 1 0 4 】

例えば、コントロールチップは少なくともメモリチップに対する制御機能を備えればよく、S D R A M コントローラチップなどのメモリコントローラチップ、S D R A M コントローラなどのメモリコントローラを有するマイクロコンピュータ、S D R A M コントローラなどのメモリコントローラを有するアクセラレータ、その他のシステムオンチップの半導体データ処理チップであってよい。

20

【 0 1 0 5 】

メモリチップは S D R A M チップに限定される、シンクロナス S R A M 、フラッシュメモリなどであってもよい。メモリチップについては複数個スタックしてパッケージされる構造にも適用可能である。基準電圧は必ずしも電源電圧の半分の電圧に限定されない。本発明は S I P 又は P O P 構造の半導体装置に限定されず、メモリチップとコントロールチップを平置きする構造の半導体装置にも適用可能である。その場合にバイパスコンデンサは当該半導体装置に実装することを要しない。

【 0 1 0 6 】

また、コントロールチップにおける基準電位のループバック構成は、デバイステストにおいてデータ系信号の論理値判定レベルをループバックして検証するセルフテスト機能の支援に限定されず、例えばメモリチップから読み出されたデータを判定するためのタイミングの生成に基準電位の帰還信号を用いる場合などにも適用可能である。

30

【 符号の説明 】

【 0 1 0 7 】

- 1 P O P 構造の半導体装置
- 2 0 ベース基板
- 1 0 コントロールチップ (S O C)
- 2 1 サブ基板
- 1 1 メモリチップ (D R A M)
- 4 0 1 ビア
- 4 1 1 ビア内配線
- 1 0 0 第 1 基準電位パッド
- 2 0 0 第 1 基準電位用電極
- 5 0 0 基準電位用配線
- 1 1 0 第 2 基準電位用パッド
- 2 1 1 第 2 基準電位用電極
- 4 0 バイパスコンデンサ
- 3 0 _ O U T 出力バッファ

40

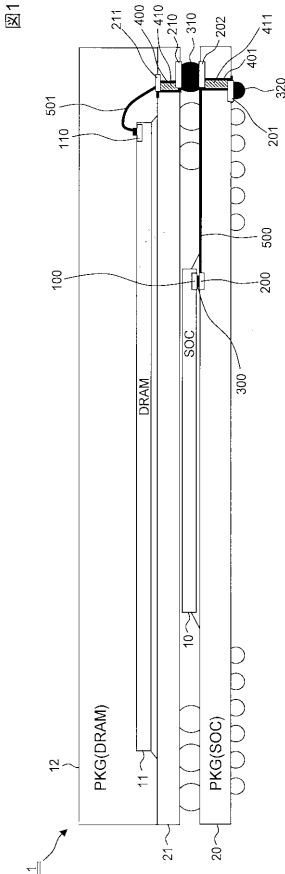
50

- 100_OUT 第1基準電位出力パッド
- 30_IN 入力バッファ
- 100_IN 第1基準電位入力パッド
- CRS 分岐点
- 40A, 40B バイパスコンデンサ
- 30_OUT_DQa 上位データバイト系基準電位Vrefの出力バッファ
- 100_OUT_DQa 上位データバイト系基準電位出力カパッド
- 100_IN_DQa 上位データバイト系基準電位入力パッド
- 30_IN_DQa 上位データバイト系入力バッファ
- 30_OUT_DQb 下位データバイト系基準電位出力バッファ
- 100_OUT_DQb 下位データバイト系基準電位出力カパッド
- 100_IN_DQb 下位データバイト系基準電位入力パッド
- 30_IN_DQb 下位データバイト系基準電位入力バッファ
- 30_OUT_CA コマンドアドレス系基準電位出力バッファ
- 100_OUT_CA コマンドアドレス系基準電位出力カパッド
- 100_IN_CA コマンドアドレス系基準電位入力パッド
- 30_IN_CA コマンドアドレス系基準電位入力バッファ
- 2、3 SIP構造の半導体装置
- 22 モジュール基板
- 4、5 電子装置
- 12A 半導体装置としてのマイクロコンピュータデバイス
- 12B 半導体装置としてのメモリデバイス

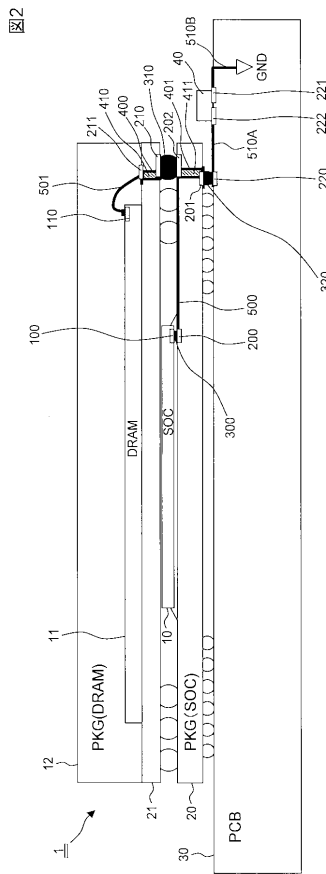
10

20

【図1】

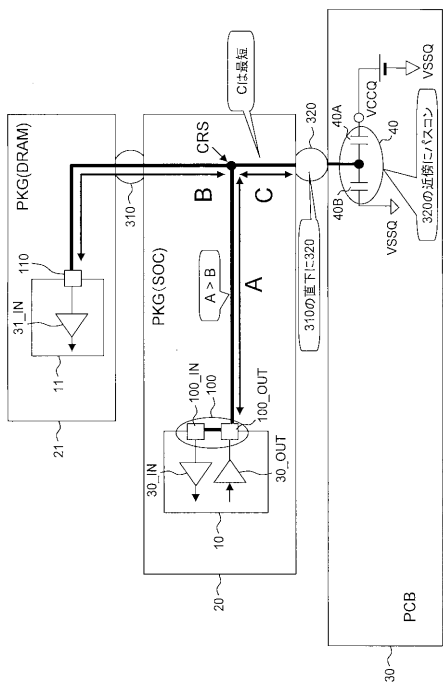


【図2】



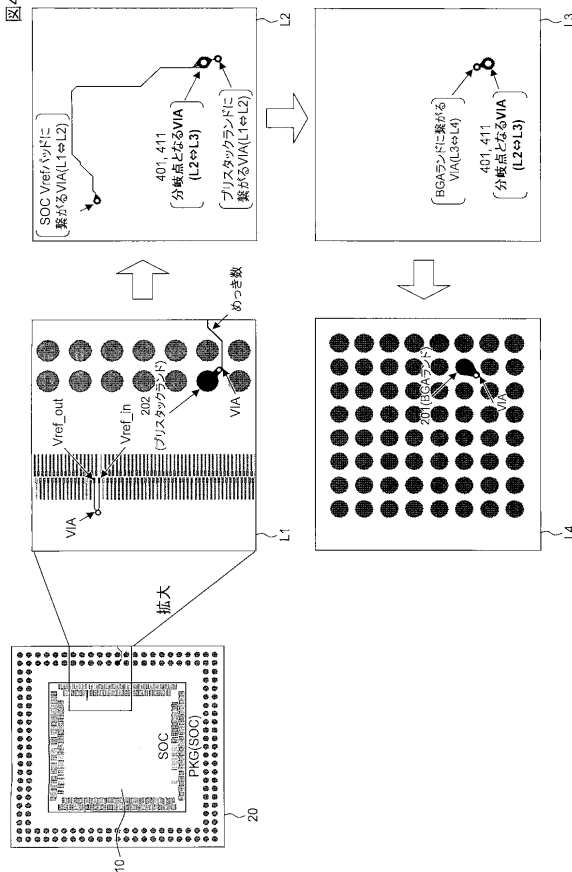
【 図 3 】

図3



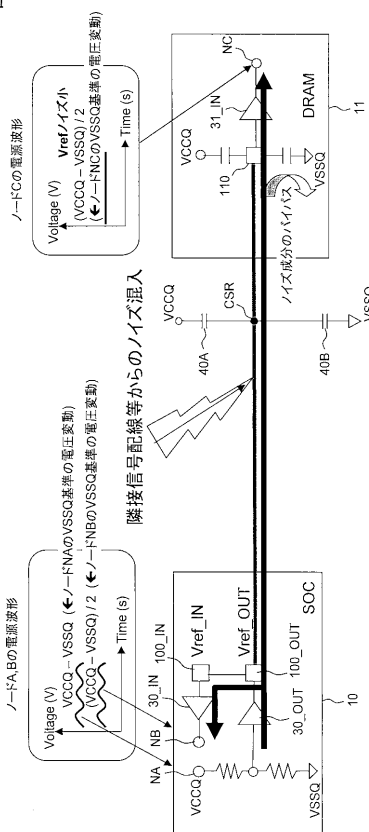
【 図 4 】

図4



【 図 5 】

図5



【 図 6 】

図6

