

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4067878号
(P4067878)

(45) 発行日 平成20年3月26日(2008.3.26)

(24) 登録日 平成20年1月18日(2008.1.18)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 611A
H01L 51/50 (2006.01)	G09G 3/20 621E
	G09G 3/20 623F
	G09G 3/20 624B
請求項の数 20 (全 34 頁) 最終頁に続く	

(21) 出願番号 特願2002-165372 (P2002-165372)
 (22) 出願日 平成14年6月6日(2002.6.6)
 (65) 公開番号 特開2004-12756 (P2004-12756A)
 (43) 公開日 平成16年1月15日(2004.1.15)
 審査請求日 平成17年6月3日(2005.6.3)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 福村 拓

最終頁に続く

(54) 【発明の名称】 発光装置及びそれを用いた電気器具

(57) 【特許請求の範囲】

【請求項1】

k (kは2以上の自然数)個の画素、デジタル/アナログ変換回路、複数の第1のスイッチ及び第2のスイッチを含むブロックを複数有し、

前記k個の画素の各々は、n (nは2以上の自然数)個の記憶回路と発光素子を有し、前記複数の第1のスイッチの各々は、前記n個の記憶回路と、前記デジタル/アナログ変換回路の間に設けられ、

前記第2のスイッチは、前記デジタル/アナログ変換回路と、前記発光素子の間に設けられ、

前記デジタル/アナログ変換回路により、前記nビットのデジタル映像信号から変換されたアナログ映像信号を用いて階調を表現することを特徴とする発光装置。

10

【請求項2】

k (kは2以上の自然数)個の画素、デジタル/アナログ変換回路、複数の第1のスイッチ及び第2のスイッチを含むブロックを複数有し、

前記k個の画素の各々は、n (nは2以上の自然数)個の記憶回路、発光素子及び前記n個の薄膜トランジスタを有し、

前記複数の第1のスイッチの各々は、前記n個の記憶回路と、前記デジタル/アナログ変換回路の間に設けられ、

前記第2のスイッチは、前記デジタル/アナログ変換回路と、前記発光素子の間に設けられ、

20

前記 n 個の薄膜トランジスタの各々は、前記 n ビットのデジタル映像信号を供給するソース信号線駆動回路と前記 n 個の記憶回路の各々の間に設けられ、

前記デジタル/アナログ変換回路により、前記 n ビットのデジタル映像信号から変換されたアナログ映像信号を用いて階調を表現することを特徴とする発光装置。

【請求項 3】

k (k は 2 以上の自然数) 個の画素、デジタル/アナログ変換回路、複数の第 1 のスイッチ及び第 2 のスイッチを含むブロックを複数有し、

前記 k 個の画素の各々は、 n (n は 2 以上の自然数) 個の記憶回路、発光素子及び前記 n 個の薄膜トランジスタを有し、

前記複数の第 1 のスイッチの各々は、前記 n 個の記憶回路と、前記デジタル/アナログ変換回路の間に設けられ、

前記第 2 のスイッチは、前記デジタル/アナログ変換回路と、前記発光素子の間に設けられ、

前記 n 個の薄膜トランジスタの各々のゲート電極は、前記 n 本のゲート信号線のいずれかに接続され、

前記 n 個の薄膜トランジスタの各々のソースとドレインの一方は、ソース信号線に接続され、

前記 n 個の薄膜トランジスタの各々のソースとドレインの他方は、前記 n 個の記憶回路のいずれかに接続され、

前記デジタル/アナログ変換回路により、前記 n ビットのデジタル映像信号から変換されたアナログ映像信号を用いて階調を表現することを特徴とする発光装置。

【請求項 4】

複数のブロック、ゲート信号線駆動回路及びソース信号線駆動回路を有し、

前記複数のブロックの各々は、 k (k は 2 以上の自然数) 個の画素、デジタル/アナログ変換回路、複数の第 1 のスイッチ及び第 2 のスイッチを有し、

前記 k 個の画素の各々は、 n (n は 2 以上の自然数) 個の記憶回路、発光素子及び前記 n 個の薄膜トランジスタを有し、

前記複数の第 1 のスイッチの各々は、前記 n 個の記憶回路と、前記デジタル/アナログ変換回路の間に設けられ、

前記第 2 のスイッチは、前記デジタル/アナログ変換回路と、前記発光素子の間に設けられ、

前記 n 個の薄膜トランジスタの各々のゲート電極は、前記 n 本のゲート信号線のいずれかに接続され、

前記 n 個の薄膜トランジスタの各々のソースとドレインの一方は、ソース信号線に接続され、

前記 n 個の薄膜トランジスタの各々のソースとドレインの他方は、前記 n 個の記憶回路のいずれかに接続され、

前記 n 本のゲート信号線は、前記ゲート信号線駆動回路に接続され、

前記ソース信号線は、前記ソース信号線駆動回路に接続され、

前記デジタル/アナログ変換回路により、前記 n ビットのデジタル映像信号から変換されたアナログ映像信号を用いて階調を表現することを特徴とする発光装置。

【請求項 5】

k (k は 2 以上の自然数) 個の画素、デジタル/アナログ変換回路、複数の第 1 のスイッチ及び第 2 のスイッチを含むブロックを複数有し、

前記 k 個の画素の各々は、 n (n は 2 以上の自然数) 個の記憶回路、発光素子、前記 n 個の第 1 の薄膜トランジスタ及び第 2 の薄膜トランジスタを有し、

前記複数の第 1 のスイッチの各々は、前記 n 個の記憶回路と、前記デジタル/アナログ変換回路の間に設けられ、

前記第 2 のスイッチは、前記デジタル/アナログ変換回路と、前記発光素子の間に設けられ、

10

20

30

40

50

前記 n 個の第 1 の薄膜トランジスタの各々は、前記 n ビットのデジタル映像信号を供給するソース信号線駆動回路と前記 n 個の記憶回路の各々の間に設けられ、
前記第 2 の薄膜トランジスタは、前記発光素子に接続され、
前記デジタル / アナログ変換回路により、前記 n ビットのデジタル映像信号から変換されたアナログ映像信号を用いて階調を表現することを特徴とする発光装置。

【請求項 6】

k (k は 2 以上の自然数) 個の画素、デジタル / アナログ変換回路、複数の第 1 のスイッチ及び第 2 のスイッチを含むブロックを複数有し、
前記 k 個の画素の各々は、n (n は 2 以上の自然数) 個の記憶回路、発光素子、前記 n 個の第 1 の薄膜トランジスタ及び第 2 の薄膜トランジスタを有し、

10

前記複数の第 1 のスイッチの各々は、前記 n 個の記憶回路と、前記デジタル / アナログ変換回路の間に設けられ、
前記第 2 のスイッチは、前記デジタル / アナログ変換回路と、前記発光素子の間に設けられ、

前記 n 個の第 1 の薄膜トランジスタの各々のゲート電極は、前記 n 本のゲート信号線のいずれかに接続され、

前記 n 個の第 1 の薄膜トランジスタの各々のソースとドレインの一方は、ソース信号線に接続され、

前記 n 個の第 1 の薄膜トランジスタの各々のソースとドレインの他方は、前記 n 個の記憶回路のいずれかに接続され、

20

前記第 2 の薄膜トランジスタのゲート電極は、前記第 2 のスイッチに接続され、

前記第 2 の薄膜トランジスタのソースとドレインの一方は、前記発光素子に接続され、

前記第 2 の薄膜トランジスタのソースとドレインの他方は、電流供給線に接続され、

前記デジタル / アナログ変換回路により、前記 n ビットのデジタル映像信号から変換されたアナログ映像信号を用いて階調を表現することを特徴とする発光装置。

【請求項 7】

複数のブロック、ゲート信号線駆動回路及びソース信号線駆動回路を有し、

前記複数のブロックの各々は、k (k は 2 以上の自然数) 個の画素、デジタル / アナログ変換回路、複数の第 1 のスイッチ及び第 2 のスイッチを有し、

前記 k 個の画素の各々は、n (n は 2 以上の自然数) 個の記憶回路、発光素子、前記 n 個の第 1 の薄膜トランジスタ及び第 2 の薄膜トランジスタを有し、

30

前記複数の第 1 のスイッチの各々は、前記 n 個の記憶回路と、前記デジタル / アナログ変換回路の間に設けられ、

前記第 2 のスイッチは、前記デジタル / アナログ変換回路と、前記発光素子の間に設けられ、

前記 n 個の第 1 の薄膜トランジスタの各々のゲート電極は、前記 n 本のゲート信号線のいずれかに接続され、

前記 n 個の第 1 の薄膜トランジスタの各々のソースとドレインの一方は、ソース信号線に接続され、

前記 n 個の第 1 の薄膜トランジスタの各々のソースとドレインの他方は、前記 n 個の記憶回路のいずれかに接続され、

40

前記第 2 の薄膜トランジスタのゲート電極は、前記第 2 のスイッチに接続され、

前記第 2 の薄膜トランジスタのソースとドレインの一方は、前記発光素子に接続され、

前記第 2 の薄膜トランジスタのソースとドレインの他方は、電流供給線に接続され、

前記 n 本のゲート信号線は、前記ゲート信号線駆動回路に接続され、

前記ソース信号線は、前記ソース信号線駆動回路に接続され、

前記デジタル / アナログ変換回路により、前記 n ビットのデジタル映像信号から変換されたアナログ映像信号を用いて階調を表現することを特徴とする発光装置。

【請求項 8】

請求項 5 乃至請求項 7 のいずれか一項において、

50

一方の端子が前記第 2 の薄膜トランジスタのゲート電極に接続され、他方の端子が前記第 2 の薄膜トランジスタのソースとドレインの一方に接続された容量を有することを特徴とする発光装置。

【請求項 9】

請求項 2 乃至請求項 7 のいずれか一項において、前記ソース信号線駆動回路は、シフトレジスタ回路、ラッチ回路及びスイッチ回路を有することを特徴とする発光装置。

【請求項 10】

請求項 2 乃至請求項 7 のいずれか一項において、前記ソース信号線駆動回路は、シフトレジスタ回路、第 1 のラッチ回路及び第 2 のラッチ回路を有することを特徴とする発光装置。

10

【請求項 11】

請求項 2 乃至請求項 7 のいずれか一項において、前記ソース信号線駆動回路は、アドレスデコーダを有することを特徴とする発光装置。

【請求項 12】

請求項 4 又は請求項 7 において、前記ゲート信号線駆動回路は、アドレスデコーダを有することを特徴とする発光装置。

【請求項 13】

請求項 4 又は請求項 7 において、前記 k 個の画素、前記ソース信号線駆動回路及び前記ゲート信号線駆動回路は、同一の基板上に形成されていることを特徴とする発光装置。

20

【請求項 14】

請求項 1 乃至請求項 13 のいずれか一項において、前記デジタル/アナログ変換回路に接続されたデジタル/アナログ変換回路コントローラを有することを特徴とする発光装置。

【請求項 15】

請求項 1 乃至請求項 14 のいずれか一項において、前記 n 個の記憶回路の各々は、スタティック型メモリであることを特徴とする発光装置。

【請求項 16】

請求項 1 乃至請求項 14 のいずれか一項において、前記 n 個の記憶回路の各々は、ダイナミック型メモリであることを特徴とする発光装置。

30

【請求項 17】

請求項 1 乃至請求項 14 のいずれか一項において、前記 n 個の記憶回路の各々は、強誘電体メモリであることを特徴とする発光装置。

【請求項 18】

請求項 1 乃至請求項 14 のいずれか一項において、前記 n 個の記憶回路の各々は、フラッシュメモリであることを特徴とする発光装置。

【請求項 19】

請求項 1 乃至請求項 18 のいずれか一項において、前記発光素子は、第 1 の電極と、有機化合物層と、第 2 の電極とを有することを特徴とする発光装置。

40

【請求項 20】

請求項 1 乃至請求項 19 のいずれか一項に記載の前記発光装置を用いた電気器具。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、陽極、陰極および有機化合物層とからなる発光素子を有する発光装置及びその駆動方法に関する。特に、絶縁体上に作製される薄膜トランジスタ（以下、TFTと表記する）を有するアクティブマトリクス型の発光装置であって、入力される映像信号にデジタル信号を用い、これを D/A（デジタル/アナログ）変換回路においてアナログ信号に

50

変換させて用いるアクティブマトリクス型の発光装置及びその駆動方法に関する。

【 0 0 0 2 】

【従来の技術】

近年、絶縁体上、特にガラス基板上に、半導体薄膜を用いて形成した素子を有する表示装置の普及が進んでいる。例えば、TFTを用いたアクティブマトリクス型表示装置の普及が進んでいる。アクティブマトリクス型表示装置は、マトリクス状に画素を配置し、それらの画素それぞれにTFT（以下、画素TFTと表記する）を配置し、画素TFTを用いて各画素の輝度を制御し、画像の表示を行っている。

【 0 0 0 3 】

最近では、画素を構成する画素TFTの他に、駆動回路を構成するためのTFTも、多結晶半導体を用いて、画素部の周辺部に同時形成する技術が発展してきている。これによって装置の小型化、低消費電力化に大いに貢献している。それに伴って、近年、その応用分野の拡大が著しい携帯情報機器の表示部等に、アクティブマトリクス型表示装置は不可欠なデバイスとなってきている。また、アクティブマトリクス型表示装置としては、液晶素子を用いた、アクティブマトリクス型液晶表示装置や、有機電界発光素子（発光素子）を用いた、アクティブマトリクス型発光装置などがあるが、本明細書では、特にアクティブマトリクス型発光装置に注目する。

【 0 0 0 4 】

ここで、発光素子は、基板上に形成されたTFTと電氣的に接続された第1の電極と、第1の電極上に形成された有機化合物層と、有機化合物層上に形成された第2の電極とで形成される。なお、有機化合物層は、有機化合物からなり、高分子系もしくは低分子系の公知の材料を自由に用いることができる。また、本発明においては有機化合物層の一部に無機材料を用いることもできる。

【 0 0 0 5 】

図19にデジタル信号を用いて表示を行う方式（以下、デジタル方式とよぶ）のアクティブマトリクス型発光装置の概略図を示す。

【 0 0 0 6 】

中央には画素部3008が配置されており、画素部3008には、複数の画素がマトリクス状に配置されている。また、各画素にデジタル信号を入力するための複数のソース信号線及び複数のゲート信号線が配置されている。

【 0 0 0 7 】

また、画素部3008の上側には、ソース信号線に入力する信号を制御するための、ソース信号線駆動回路3001が配置されている。なお、ソース信号線駆動回路3001は、シフトレジスタ3003、第1のラッチ回路3004、第2のラッチ回路3005、D/A（デジタル/アナログ）変換回路（図中、DACと表記）3006、アナログスイッチ3007等を有する。画素部3008の左右には、ゲート信号線に入力する信号を制御するための、ゲート信号線駆動回路3002が配置されている。なお、図19においては、ゲート信号線駆動回路3002は、画素部3008の左右両側に配置されているが、片側に配置されていても構わない。ただし、画素部3008の両側に配置した方が、駆動効率、駆動信頼性の面から見て望ましい。

【 0 0 0 8 】

次に、一般的なアクティブマトリクス型発光装置の画素部の構成を図20に示す。

【 0 0 0 9 】

各画素に、コンデンサ3101と、スイッチング用TFT3102と、電流制御用TFT3103と、発光素子3104とが配置されている。なお、各画素のスイッチング用TFT3102のゲート電極は、ゲート信号線（G1～Gy）のいずれか1本に接続され、各画素のスイッチング用TFT3102のソース領域またはドレイン領域のいずれか一方は、ソース信号線（S1～Sx）のいずれか1本（St）に接続され、他方は、コンデンサ3101の一方の電極、および電流制御用TFT3103のゲート電極に接続されている。さらに、コンデンサ3101の他方の電極、および電流制御用TFTのソース領域また

10

20

30

40

50

はドレイン領域のいずれか一方は、電流供給線 ($V_1 \sim V_x$) のうちの 1 本 (V_t) に接続されている。

【0010】

ソース信号線 ($S_1 \sim S_x$) に入力されたアナログ信号は、ゲート信号線 ($G_1 \sim G_y$) に入力された信号によって導通状態となったスイッチング用 T F T 3 1 0 2 のドレイン・ソース間を介して、コンデンサ 3 1 0 1 および電流制御用 T F T 3 1 0 3 のゲート電極に入力される。この信号の電圧に応じて、電流供給線 (V) から電流制御用 T F T 3 1 0 3 に流れる電流量が制御され、制御された電流量が発光素子に流れることから発光素子の輝度が制御される。

【0011】

次に、アクティブマトリクス型発光装置の動作について、図 2 1 のタイミングチャートを用いて説明する。

【0012】

はじめに、第 1 のフレーム期間 (F_1) においてソース信号線から信号が入力され、次に第 2 のフレーム期間 (F_2)、さらに第 3 のフレーム期間 (F_3) にそれぞれ信号が入力される。

【0013】

第 1 のフレーム期間 (F_1) において、ゲート信号線 (G_1) が選択される。すると、ゲート信号線 (G_1) に接続されたゲート電極を有するスイッチング用 T F T 3 1 0 2 (図 2 0) が導通状態となる。そして、ソース信号線 ($S_1 \sim S_x$) より信号が入力される。

【0014】

なお、図 2 1 においては、ある 1 本のソース信号線 (S_m) (m は、 x 以下の自然数) に注目し、このソース信号線 (S_m) に入力される信号のみを示している。ここで、1 本のゲート信号線が選択されている期間を 1 水平期間 (1 ライン期間: L) とよぶことにする。特に、ゲート信号線 (G_1) が選択されている期間を第 1 のライン期間 (L_1) と呼ぶことにする。

【0015】

ゲート信号線 (G_1) に接続されたスイッチング用 T F T 3 1 0 2 に信号が入力され、スイッチング用 T F T 3 1 0 2 と接続された電流制御用 T F T のゲート電極に所定の電圧が印加された後で、次のゲート信号線 (G_2) に信号が入力されて、ゲート信号線 (G_2) に接続された全てのスイッチング用 T F T 3 1 0 2 が導通状態となる。こうして第 2 のライン期間 (L_2) における信号の入力が始まる。

【0016】

上記動作を、全てのゲート信号線 ($G_1 \sim G_y$) について繰り返し、第 y のライン期間 (L_y) まで終了すると 1 フレーム期間が終了する。

【0017】

次に第 2 のフレーム期間 (F_2) が始まる。第 2 のフレーム期間 (F_2) も同様にしてソース信号線に信号が入力される。

【0018】

さらに、第 2 のフレーム期間 (F_2) が終了すると、第 3 のフレーム期間 (F_3) が始まる。上記動作を繰り返すことにより、画像表示が行われる。

【0019】

しかし、一般的なアクティブマトリクス型発光装置においては、動画の表示をスムーズに行うため、1 秒間に 60 回前後、画面表示の更新が行われる。すなわち、上記で説明した動作方法によって、1 フレーム期間毎にデジタル信号を供給し、その都度、全ての画素への書き込みを行う必要がある。たとえ、表示する映像が静止画像であったとしても、1 フレーム期間毎に同一の信号を供給しつづけないといけないため、外部回路、駆動回路などは連続して同じデジタル信号の繰り返し処理を行う必要がある。

【0020】

その他にも静止画のデジタル信号を一度、外部の記憶回路に書き込み、以後は 1 フレーム

10

20

30

40

50

期間毎に外部の記憶回路から発光装置にデジタル信号を供給する方法があるが、いずれの場合にも外部の記憶回路と駆動回路は動作し続ける必要がある。

【0021】

また、携帯情報機器においては、静止画を表示し続ける期間が大部分を占めているにもかかわらず、前述のように外部回路、駆動回路などは静止画表示の際にも動作し続けなければならない。そのため、低消費電力化が望まれているにもかかわらずその実現に困難を呈している。

【0022】

【発明が解決しようとする課題】

そこで、本発明では、外部回路、駆動回路等が連続して同じデジタル信号の繰り返し処理を行うことなく駆動させることが可能な発光装置、およびその駆動方法を提供することにより、発光装置の低消費電力化を図ることを目的とする。

10

【0023】

さらに、本発明では、各画素に形成されるTFT等の素子の数を極力少なくすることにより、特に発光素子の第1の電極側から有機化合物層で生じた光を出射させる構造（以下、下面出射型という）の場合において、開口率を上げることを目的とする。

【0024】

【課題を解決するための手段】

本発明の発光装置では、各画素に複数の記憶回路を有する。また、複数の画素毎に、1つのD/A変換回路を有する。

20

【0025】

上記構成の画素では、複数の記憶回路によって、デジタル信号を記憶することができる。記憶されたデジタル信号を、D/A変換回路によって対応するアナログ信号に変換することができる。このアナログ信号によって、各画素の輝度を変化させることができる。具体的には、アナログ信号の信号電圧を各画素の電流制御用TFTのゲート電極に印加して電流制御用TFTに流れる電流量を制御する。ここで制御された電流が発光素子に流れることにより、発光素子の階調を表現することができる。

【0026】

なお、本発明の発光装置において、静止画表示を行う場合、一度書き込みを行えば、それ以降、画素に書き込まれる情報は同じである。よって、フレーム期間毎に信号の入力を行わなくとも、記憶回路に記憶されている信号を、再度読み出すことによって静止画を継続的に表示することができる。すなわち、静止画を表示する際は、一旦、1フレーム期間分の信号の処理動作を行っておけば、外部回路、ソース信号線駆動回路などを停止させておくことが可能となる。これにより電力消費を大きく低減することが可能である。

30

【0027】

また、本発明の発光装置において、複数の画素に対して1つのD/A変換回路が設けられており、D/A変換回路を、複数の画素で共有する構成を有する。そして、複数の画素のうち、選択された画素の記憶回路に記憶されたデジタル信号が、D/A変換回路に順次入力される。

【0028】

さらに、本発明の発光装置の構成について詳細に説明する。なお、各画素には、複数の記憶回路が配置されており、画素毎にデジタル信号を記憶させることができる。

40

【0029】

ここで、記憶させる映像が静止画の場合、一度書き込みを行えば、それ以降、画素に書き込まれる情報は同じであるので、フレーム期間毎に信号の入力を行わなくとも、記憶回路に記憶されている信号を、再度読み出すことによって静止画を継続的に表示することができる。すなわち、静止画を表示する際は、一旦、1フレーム期間分の信号の処理を行えば、外部回路、ソース信号線駆動回路などを停止させておくことが可能となる。これにより消費電力を大きく低減させることが可能である。

【0030】

50

なお、本発明の発光装置の具体的な構成としては、画素部に複数の画素が形成されており、各画素には、スイッチング用TFT、電流制御用TFT、発光素子(EL)、保持容量(コンデンサ:Cs)、および記憶回路等を有している。記憶回路は、ビット数に応じた数が配置されており、例えば3ビットの場合には、各画素に3つの記憶回路が配置されることになる。そして、複数の画素のうち1画素が、これらの複数の画素が共有するD/A変換回路(DAC:111)を有する。また、各画素はソース信号線(S)、ゲート信号線(G)、および電流供給線(V)を有している。なお、複数の画素をx列有する場合には、x本(S1~Sx)のソース信号線(S)を有し、また、x本(V1~Vx)の電流供給線(V)を有する。

【0031】

また、複数の画素をy行有する場合において、ゲート信号線(G)は、各画素に対してビット数に応じた本数が必要となるため、例えば3ビットの場合において、(y×3)本(G1(1~y)、G2(1~y)、G3(1~y))のゲート信号線を有する。

【0032】

また、これらの書き込み用ゲート信号線(G)にそれぞれ接続されたスイッチング用TFTと、各スイッチング用TFTに接続された記憶回路(M)とを有する。なお、記憶回路(M)は、n(nは2以上の自然数)ビットのデジタル映像信号をm(mは、自然数)フレーム分だけ記憶する場合には、1画素内にn×m個の記憶回路を有する必要がある。

【0033】

以上より、本発明において、静止画を表示する場合には、最初の動作で各画素の記憶回路にデジタル信号を記憶させ、各フレーム期間で記憶回路に記憶されたデジタル信号を、DACに接続されたDACコントローラによって反復して読み出すことができるため、この静止画が表示されている期間中は、ソース信号線駆動回路の動作を停止させることができ、低消費電力化が可能となる。

【0034】

また、本発明の発光装置では、1画素に形成したD/A変換回路を複数の画素で共有することができるため、各画素にD/A変換回路を形成していた場合に比べてD/A変換路の占有面積を小さくすることができるため、高い開口率を実現することができる。

【0035】

なお、本発明の構成は、nビット(nは2以上の自然数)のデジタル信号を用いて階調を表現する発光装置において、前記発光装置の画素部はk(kは2以上の自然数)個の画素毎にブロックに区分され、前記ブロック毎にD/A変換回路が設けられ、前記k個の画素は、n個の記憶回路、TFTおよび発光素子をそれぞれ有し、前記D/A変換回路は前記k個の画素が有する前記n個の記憶回路およびTFTと切り換え手段を介してそれぞれ接続され、前記n個の記憶回路に前記nビットのデジタル信号を記憶させる手段と、前記k個の画素のうち1画素を選択し、前記1画素の記憶回路に記憶されたnビットのデジタル信号を前記D/A変換回路に入力する手段と、前記D/A変換回路から出力されたアナログ信号を、前記1画素のTFTのゲート電極に入力する手段とを有し、前記TFTと前記発光素子は接続されていることを特徴とする発光装置である。

【0036】

また、本発明の他の構成は、nビット(nは2以上の自然数)のデジタル信号を用いて階調を表現する発光装置において、k(kは2以上の自然数)個の画素毎にブロックに区分され、ゲート信号線駆動回路、およびソース信号線駆動回路を有し、前記ブロック毎にD/A変換回路が設けられ、前記k個の画素は、n個の記憶回路、n個の第1のTFT、第2のTFT、および発光素子をそれぞれ有し、前記D/A変換回路は前記k個の画素が有する前記n個の記憶回路および前記第2のTFTと切り換え手段を介してそれぞれ接続され、前記n個の第1のTFTと前記n個の記憶回路はそれぞれ接続されており、前記n個の第1のTFTは前記ゲート信号線駆動回路からの出力信号によって導通状態となり、前記n個の第1のTFTを介して、前記ソース信号線駆動回路からの出力信号を前記n個の記憶回路それぞれに入力する手段と、前記k個の画素のうち1画素を

10

20

30

40

50

選択し、前記1画素の前記n個の記憶回路に記憶されたnビットのデジタル信号を前記D/A変換回路に入力する手段と、前記D/A変換回路から出力されたアナログ信号を、前記1画素の第2のTFTのゲート電極に入力する手段とを有し、前記第2のTFTと前記発光素子は接続されていることを特徴とする発光装置である。

【0037】

なお、上記構成において、前記ソース信号線駆動回路およびゲート信号線駆動回路のいずれか一方、または両方において、アドレスデコーダを有することを特徴とする発光装置である。

【0038】

また、上記各構成において、前記k個の画素、前記ソース信号線駆動回路、および前記ゲート信号線駆動回路は同一基板上に形成されていることを特徴とする発光装置である。

10

【0039】

さらに、本発明の他の構成は、n個の記憶回路、TFTおよび発光素子をそれぞれ有するk(kは2以上の自然数)個の画素毎にブロックに区分され、前記ブロック毎に設けられたD/A変換回路を有する発光装置をnビットのデジタル信号で駆動させる方法であって、前記k個の画素が有する前記n個の記憶回路に前記nビットのデジタル信号を記憶させ、前記k個の画素のうち1画素を選択し、前記1画素の前記n個の記憶回路と切り換え手段を介して接続された前記D/A変換回路に前記nビットのデジタル信号を入力し、前記D/A変換回路から出力されるアナログ信号を前記D/A変換回路と切り換え手段を介して接続された前記1画素のTFTのゲート電極に入力することにより、前記1画素のTFT

20

【0040】

上記構成において、前記n個の記憶回路に前記nビットのデジタル信号を一旦記憶させた後、前記1画素の前記n個の記憶回路から前記D/A変換回路への前記nビットのデジタル信号の入力、および前記D/A変換回路から出力されるアナログ信号の前記1画素のTFTのゲート電極への入力を一定期間繰り返すことを特徴とする発光装置の駆動方法である。

【0041】

さらに本発明の他の構成は、n個の記憶回路、n個の第1のTFT、第2のTFTおよび発光素子をそれぞれ有するk(kは2以上の自然数)個の画素毎にブロックに区分され、前記ブロック毎に設けられたD/A変換回路と、ゲート信号線駆動回路と、ソース信号線駆動回路とを有する発光装置をnビットのデジタル信号で駆動させる方法であって、前記k個の画素が有する前記n個の第1のTFTを前記ゲート信号線駆動回路からの出力信号によって導通状態とし、前記n個の第1のTFTを介して、前記ソース信号線駆動回路からの前記nビットのデジタル信号を前記n個の記憶回路に記憶させ、前記k個の画素のうち1画素を選択し、前記1画素の前記n個の記憶回路と切り換え手段を介して接続された前記D/A変換回路に前記nビットのデジタル信号を入力し、前記D/A変換回路から出力されるアナログ信号を、前記D/A変換回路と切り換え手段を介して接続された前記1画素の第2のTFTのゲート電極に入力することにより、前記1画素の第2のTFTを介して前記発光素子に所定の電流を流すことを特徴とする発光装置の駆動方法である。

30

40

【0042】

なお、上記構成において、前記n個の記憶回路に前記nビットのデジタル信号を一旦記憶させた後、前記1画素の前記n個の記憶回路から前記D/A変換回路への前記nビットのデジタル信号の入力、および前記D/A変換回路から出力されるアナログ信号の前記第2のTFTのゲート電極への入力を一定期間繰り返すことを特徴とする発光装置の駆動方法である。

【0043】

また、上記構成において、前記n個の記憶回路に前記nビットのデジタル信号を一旦記憶させた後、前記ゲート信号線駆動回路の動作を停止させ、前記1画素の前記n個の記憶回

50

路から前記D/A変換回路への前記nビットのデジタル信号の入力、および前記D/A変換回路から出力されるアナログ信号の前記第2のTFTのゲート電極への入力を一定期間繰り返すことを特徴とする発光装置の駆動方法である。

【0044】

さらに、上記構成において、前記n個の記憶回路に前記nビットのデジタル信号を一旦記憶させた後、前記ソース信号線駆動回路および前記ゲート信号線駆動回路の動作を停止させ、前記1画素の前記n個の記憶回路から前記D/A変換回路への前記nビットのデジタル信号の入力、および前記D/A変換回路から出力されるアナログ信号の前記第2のTFTのゲート電極への入力を一定期間繰り返すことを特徴とする発光装置の駆動方法である。

10

【0045】

【発明の実施の形態】

本発明の発光装置において、画素部に形成される画素の構成について図1を用いて説明する。

【0046】

画素部では、複数の画素毎にいくつかのブロックに分類され、各ブロックで1つのD/A変換回路(図中、DACと表記)を共有している。図1では、k個の画素によって構成されるブロック113において、ソース信号線駆動回路からソース信号線(S)101を介して各画素に入力されたデジタル信号が、記憶回路(M)(105~107)に記憶された後、k個の画素が共有するDAC111においてアナログ信号に変換され、各画素に出力される場合について説明する。なお、kは2以上の自然数とする。

20

【0047】

本実施の形態では、同一のブロックに含まれる全ての画素が、画素部の同一の水平ラインに配置されている場合について説明する。つまり、同一のブロックに含まれる画素の、同一のビットに対応する記憶回路(M)を制御するスイッチング用TFTはすべて、同一のゲート信号線(G)に接続されている。なお、1ブロック中のk個の画素を、100(1~k)で表す。

【0048】

また、図1(A)に示す記憶回路は、それぞれ1ビット分の信号を記憶する記憶回路(M)である。ここでは、3ビットの場合について示すことから、3つの記憶回路(105~107)を用いている。スイッチング用TFT108(1~k)は、デジタル信号の最上位ビットD3に対応する記憶回路105(1~k)に入力される信号を制御し、スイッチング用TFT109(1~k)は、D2に対応する記憶回路106(1~k)に入力される信号を制御し、スイッチング用TFT110(1~k)は、デジタル信号の最下位ビットD1に対応する記憶回路107(1~k)に入力される信号を制御する。

30

【0049】

なお、ゲート信号線102(G1)は、ブロック113の全ての画素100(1)~100(k)が有するスイッチング用TFT108(1~k)のゲート電極に接続され、ゲート信号線103(G2)は、スイッチング用TFT109(1~k)のゲート電極に接続され、ゲート信号線104(G3)は、スイッチング用TFT110(1~k)のゲート電極に接続されている。

40

【0050】

また、ブロック113に含まれるk個の画素(100(1)~100(k))は、1つのDAC111を共有しており、各画素(100(1)~100(k))はそれぞれ、ソース信号線(S)101(1~k)、ゲート信号線(G)((G1)102、(G2)103、(G3)104)、記憶回路(M)(105(1~k)、106(1~k)、107(1~k))、スイッチング用TFT(108(1~k)、109(1~k)、110(1~k))、コンデンサ(Cs)114(1~k)、発光素子115(1~k)、および電流制御用TFT116(1~k)をそれぞれ有している。

【0051】

50

なお、DAC111は、各画素がそれぞれ有するコンデンサ114(1~k)、および電流制御用TFT116(1~k)のゲート電極とそれぞれ接続されており、DAC111において変換されたアナログ信号がそれぞれ入力される。なお、電流制御用TFT116(1~k)のソース領域またはドレイン領域のいずれか一方は、電流供給線117(1~k)と接続されており、また、電流制御用TFT116(1~k)のソース領域またはドレイン領域の他方は、発光素子115(1~k)と接続されている。

【0052】

なお、本実施の形態においては、各画素に合計3ビットの記憶回路を有する場合について説明したが、本発明は、これに限定されず、あらゆるビット数の信号を記憶する記憶回路を有する画素によって構成される発光装置に応用することができる。

10

【0053】

ここで、本発明の発光装置において、ソース信号線駆動回路に入力されたデジタル信号(D1、D2、D3)がソース信号線に出力される方法について図2のブロック図を用いて説明する。

【0054】

図2において、発光装置は、画素部218、ソース信号線駆動回路211、ゲート信号線駆動回路212、DAC(D/A変換回路)コントローラ222によって構成されている。

【0055】

ソース信号線駆動回路211には、スタートパルス、クロックパルス、デジタル信号、ラッチパルスが入力され、ゲート信号線駆動回路212には、スタートパルス、クロックパルスが入力される。また、DACコントローラ222には、参照電圧が入力される。

20

【0056】

なお、ソース信号線回路211は、シフトレジスタ213、第1のラッチ回路214、第2のラッチ回路215、スイッチ217により構成される。

【0057】

ソース信号線駆動回路において、シフトレジスタ回路213にクロック信号(クロックパルス、反転クロックパルス)およびスタートパルスが入力されると、シフトレジスタ回路213から順次パルスが、第1のラッチ回路214に入力され、同じく第1のラッチ回路214に入力されたデジタル信号をそれぞれ保持していく。なお、デジタル信号には、最上位ビット(MSB: Most Significant Bit)、最下位ビット(LSB: Least Significant Bit)があり、例えば3ビットのデジタル信号を入力し階調の表示を行う(以下、3ビットデジタル階調と呼ぶ)場合には、D3をデジタル信号の最上位ビット、D1をデジタル信号の最下位ビットと表す。

30

【0058】

第1のラッチ回路214において、1水平周期分のデジタル信号の保持が完了すると、帰線期間中に、第1のラッチ回路214で保持されているデジタル映像信号は、ラッチ信号(ラッチパルス)の入力によって、一斉に第2のラッチ回路215へと転送される。

【0059】

その後、再びシフトレジスタ回路213が動作し、次の水平周期分のデジタル信号が保持される。同時に、第2のラッチ回路215で保持されているデジタル信号は、スイッチ217において、ビット選択信号によってビット毎に選択され、ソース信号線(S1~Sx)に入力される。

40

【0060】

なお、入力されたデジタル信号は、図1に示すゲート信号線((G1)102、(G2)103、(G3)104)から入力される信号によって、導通状態になったスイッチング用TFT(108(1~k)、109(1~k)、110(1~k))に入力される。

【0061】

次に、ブロック113において共有されるDAC111およびその周辺(領域112)について、図1(B)を用いて説明する。記憶回路(105(1~k)、106(1~k))

50

、107(1~k))に記憶されたデジタル信号を、アナログ信号に変換する動作について以下に説明する。

【0062】

図1(B)において、各画素の記憶回路(105(1~k)、106(1~k)、107(1~k))からの各ビットのデジタル信号は、信号毎に対応するスイッチSW(1)~SW(3)によって選択される。ここで、記憶回路107(1~k)からの最下位ビットのデジタル信号を選択するスイッチを、SW(1)とし、記憶回路105(1~k)からの最上位ビットのデジタル信号を選択するスイッチをSW(3)とする。

【0063】

各画素の記憶回路(105(1~k)、106(1~k)、107(1~k))に、3ビット分のデジタル信号が保持された後、第1番目の画素100(1)の記憶回路(105(1)、106(1)、107(1))からの信号1-1、1-2、1-3が、スイッチSW(1)~SW(3)によってそれぞれ選択され、DAC111に入力される。この3ビットの信号は、DAC111によってアナログ信号に変換される。同時にスイッチSW(A)において、端子A1が選択され、DAC111から出力されたアナログ信号は、画素100(1)に対応する出力として、画素100(1)のコンデンサ(Cs)114(1)および電流制御用TFT116(1)のゲート電極に入力される。すなわち、第1の画素100(1)に対応するアナログ信号が出力される。

【0064】

次に、第2の画素100(2)の記憶回路(105(2)、106(2)、107(2))からの信号2-1、2-2、2-3が、スイッチSW(1)~SW(3)によってそれぞれ選択され、DAC111に入力される。この3ビットのデジタル信号はDAC111によってアナログ信号に変換される。同時にスイッチSW(A)において、端子A2が選択される。こうして、DAC111から出力されたアナログ信号は、画素100(2)に対応する出力として、画素100(2)のコンデンサ(Cs)114(2)および電流制御用TFT116(2)のゲート電極に入力される。すなわち、第2の画素100(2)に対応するアナログ信号が出力される。

【0065】

同様の操作を、DAC111を共有するk個の画素全てについて行う。こうして、全ての画素の記憶回路(105(1~k)、106(1~k)、107(1~k))に記憶されたデジタル信号をDAC111において、アナログ信号に変換することができる。

【0066】

さらに、上記動作を全てのブロックに対して同様に行うことにより、画素部における全ての画素に記憶されたデジタル信号をアナログ信号に変換することができる。なお、上記動作は、全てのブロックに対して同時に行うことも可能である。

【0067】

以上により、本発明において複数の画素が1つのDACを共有することにより画素内部のDACの占有面積を小さくすることができるので、従来に比べ開口率の向上、または記憶回路の増設が可能となる。

【0068】

【実施例】

以下に本発明の実施例について説明する。

【0069】

[実施例1]

本実施例では、実施の形態において図1に示した構成における動作、およびDAC111の周辺(領域112)の構成について図3、または図4を用いて説明する。なお、図3において、図1と同じ部分は共通の符号を用いて示すこととする。

【0070】

また、本実施例では、3ビットデジタル階調の発光装置に対応した画素を示すが、これに限らず、任意のビット数の記憶回路を有する画素によって構成される発光装置に対しても

10

20

30

40

50

本実施例を応用することができる。

【 0 0 7 1 】

以下に図 1 に示した構成における動作について、図 4 のタイミングチャートを用いて説明する。

【 0 0 7 2 】

まず、図 1 で説明した各画素の記憶回路 (1 0 5 (1 ~ k) 、 1 0 6 (1 ~ k) 、 1 0 7 (1 ~ k)) に、デジタル信号が保持される。

【 0 0 7 3 】

ソース信号線駆動回路において、シフトレジスタ回路から出力されるサンプリングパルスに従い、水平周期分のデジタル信号が保持され (デジタル信号サンプリング期間) 、その後、帰線期間の間に入力されたラッチパルスにより第 2 のラッチ回路に転送されたデジタル信号は、ソース信号線に入力される。

10

【 0 0 7 4 】

なお、1 水平期間は、1 ビット目書き込み期間、2 ビット目書き込み期間、3 ビット目書き込み期間の、3 つの期間に分けられる。

【 0 0 7 5 】

ここで、1 ビット目書き込み期間において、デジタル信号 (D 3) が、ビット選択信号によって、ソース信号線に入力される。この時、ゲート信号線 1 0 2 (G 1) に信号が入力され、このゲート信号線に接続されたスイッチング用 T F T 1 0 8 (1 ~ k) が導通状態となっている。こうして 1 ビット目のデジタル信号 (D 3) が記憶回路 (M) 1 0 5 (1 ~ k) に書き込まれる。

20

【 0 0 7 6 】

次に、2 ビット目書き込み期間において、デジタル信号 (D 2) が、ビット選択信号によって、ソース信号線に入力される。この時、ゲート信号線 1 0 3 (G 1) に信号が入力され、このゲート信号線に接続されたスイッチング用 T F T 1 0 9 (1 ~ k) が導通状態となっている。こうして 2 ビット目のデジタル信号 (D 2) が記憶回路 (M) 1 0 6 (1 ~ k) に書き込まれる。

【 0 0 7 7 】

次に、3 ビット目書き込み期間において、デジタル信号 (D 1) が、ビット選択信号によって、ソース信号線に入力される。この時、ゲート信号線 1 0 4 (G 1) に信号が入力され、このゲート信号線に接続されたスイッチング用 T F T 1 0 9 (1 ~ k) が導通状態となっている。こうして 3 ビット目のデジタル信号 (D 1) が記憶回路 (M) 1 0 7 (1 ~ k) に書き込まれる。

30

【 0 0 7 8 】

以上により各記憶回路 (1 0 5 (1 ~ k) 、 1 0 6 (1 ~ k) 、 1 0 7 (1 ~ k)) に書き込まれたデジタル信号は、3 ビット目書き込み期間におけるデジタル信号サンプリング期間終了後から次の水平期間の D A C 処理期間までの期間を利用して、D A C 1 1 1 においてアナログ信号に変換される (D A C 処理期間) 。

【 0 0 7 9 】

なお、本実施例においてデジタル信号を書き込むための期間を短くし、つまり、ソース信号線駆動回路のシフトレジスタのサンプリングを速くしてもよい。こうして、シフトレジスタの帰線期間を長くとってもよい。

40

【 0 0 8 0 】

図 3 に示す S W (1) ~ S W (3) 、および S W (A) は、T F T およびアドレス線 a d (1) ~ a d (k) によって構成される。アドレス線 a d (1) ~ a d (k) は、D A C 処理期間において、記憶回路 (1 0 5 (1 ~ k) 、 1 0 6 (1 ~ k) 、 1 0 7 (1 ~ k)) から D A C 1 1 1 への入力、および D A C 1 1 1 から各画素のコンデンサ (C s) 1 1 4 (1 ~ k) および電流制御用 T F T 1 1 6 (1 ~ k) のゲート電極への出力を選択する際に用いる。

【 0 0 8 1 】

50

なお、アドレス線 $ad(1)$ に信号が入力されると、アドレス線 $ad(1)$ に接続されたゲート電極を有する T F T は、導通状態となる。なお、アドレス線が選択されていることは、このような導通状態を示すものとする。

【0082】

また、本実施例では、アドレス線に接続された T F T が、全て n チャンネル型 T F T の場合について示すが、これらの T F T は、p チャンネル型 T F T でも n チャンネル型 T F T でも、どちらを用いても構わない。ただし、同一のアドレス線に接続されている T F T の極性は同じである必要がある。

【0083】

なお、1本のアドレス線（例えばアドレス線 $ad(1)$ ）が選択されている時、その他のアドレス線（例えばアドレス線 $ad(2) \sim ad(k)$ ）は選択されていないものとする。

10

【0084】

アドレス線 $ad(1)$ が選択された時、導通状態にある T F T を介して記憶回路（105（1）、106（1）、107（1））からの信号が D A C 1 1 1 に入力され、D A C 1 1 1 でアナログ信号に変換された後、画素 100（1）のコンデンサ（C s）114（1）および電流制御用 T F T 116（1）のゲート電極へ入力される。この入力されたアナログ信号に応じて、電流制御用 T F T 116（1）に流れる電流量が制御され、ここで制御された電流が発光素子を流れることにより発光素子の輝度が制御される。なお、本実施例では3ビットであるため0～7までの8段階の輝度が得られる。

20

【0085】

次に、アドレス線 $ad(2)$ が選択されると、その他のアドレス線 $ad(1)$ 、 $ad(3) \sim ad(k)$ は、非選択の状態となる。このとき、導通状態にある T F T を介して、記憶回路（105（2）、106（2）、107（2））からの信号が D A C 1 1 1 に入力され、D A C 1 1 1 でアナログ信号に変換された後、画素 100（2）のコンデンサ（C s）114（2）および電流制御用 T F T 116（2）のゲート電極へ出力される。この入力されたアナログ信号に応じて、電流制御用 T F T 116（2）に流れる電流量が制御され、ここで制御された電流が発光素子を流れることにより発光素子の輝度が制御される。なお、ここでも同様にして0～7までの8段階の輝度が得られる。

30

【0086】

同様の動作を、全てのアドレス線について繰り返すことにより、ブロック 113 の画素（100（1）～100（k））の記憶回路（105（1～k）、106（1～k）、107（1～k））に記憶された全てのデジタル信号がアナログ信号に変換され、この変換されたアナログ信号により発光素子の輝度を制御することができる。

【0087】

次に、D A C 1 1 1 の具体的な構成について図5を用いて説明する。なお、図5における $in1 \sim in3$ 、および out の端子は、図3における $in1 \sim in3$ 、および out の端子に対応する。

【0088】

D A C 1 1 1 は、N A N D 回路 541～543、インバータ 544～546 及び 551、スイッチ 547 a～549 a、スイッチ 547 b～549 b、スイッチ 550、コンデンサ C 1～C 3、リセット用信号線 552、低圧側階調電源線 553、高圧側階調電源線 554、中間圧側階調電源線 555 によって構成されている。

40

【0089】

まず、リセット用信号線 552 に入力された信号 res によって、スイッチ 550 が導通状態になり、容量 C 1～C 3 の、 out 端子に接続された側（以下、対向電極側とよぶ）の電位は、中間圧側階調電源線 555 の電位 V_M に固定されている。また、高圧側階調電源線 554 の電位は、低圧側階調電源線 553 の電位 V_L と等しく設定されている。このとき、 $in1 \sim in3$ にデジタルの信号が入力されても、容量 C 1～C 3 には、信号は書き込まれない。

50

【0090】

この後、リセット用信号線552の信号resが変化し、スイッチ550がオフとなって、容量C1～C3のout端子側の固定電位が解除される。次に、高圧側階調電源線554の電位が、低圧側階調電源線553の電位 V_L と異なる値 V_H に変化する。この時端子in1～in3に入力された信号に応じて、NAND回路541～543の出力が変化し、スイッチ547～549のそれぞれにおいて、2つのスイッチのどちらかがオンの状態となって、高圧側階調電源線の電位 V_H もしくは低圧側階調電源線 V_L の電位が、容量C1～C3の電極に印加される。

【0091】

ここで、この容量C1～C3の値は、各ビットに対応して設定されている。

10

【0092】

この容量C1～C3に印加された電圧によって対抗電極側の電圧が変化し、出力の電圧が変化する。つまり、入力されたin1～in3のデジタル信号に応じたアナログの信号がout端子より出力される。

【0093】

上記の構成のDACでは、基準電位を、容量C1～C3で分割することによって多様な階調を表現することができる。

【0094】

このような容量分割方式のDACは、AMLCD99 Digest of Technical Papers p29～32に記載してある。

20

【0095】

なお、ここでは3ビットデジタル信号をアナログ信号に変換するDACについて説明したが、異なるビット数のデジタル信号をアナログ信号に変換するDACについても、応用することができる。

【0096】

また、本発明の発光装置に用いるDACの構成としては、上記構造に限らず公知の構造のDACを自由に用いることができる。例えば、抵抗を用いて基準電圧を分割する、抵抗分割方式のDACを用いることもできる。

【0097】

次いで、上述した図5の構成のDACを用いる場合の、各DAC処理期間の動作について、再び図4を用いて説明する。また説明には、図5の符号も用いる。

30

【0098】

各DAC処理期間において、アドレス線ad(1)～ad(k)が選択される毎に、以下の動作を行う。

【0099】

リセット信号線552に信号resが入力される。また、その後、高圧側階調線554の電位が V_H に変化する。こうしてDAC111に入力されたデジタル信号は、アナログ信号に変換される。

【0100】

ここで、リセット信号線552や、高圧側階調線554には、DACコントローラより信号が入力される。

40

【0101】

前記動作を、全てのブロックについて行い、全ての画素の記憶回路に記憶されたデジタル信号をアナログ信号に変換する。

【0102】

ここで、全てのブロックが有する画素のデジタル信号をできるだけ効率よくアナログ信号に変換するには、これらのブロックを構成する画素の数は、全て同じであるのが望ましい。

【0103】

また、スイッチSW(1)～SW(3)及びスイッチSW(A)の構成は、図3で示した

50

構成に限らず、さまざまな構成のスイッチを自由に用いることができる。

【0104】

静止画表示中において、一度各画素の有する記憶回路にデジタル信号を書き込めば、前述したDACの動作によって、各画素に記憶されたデジタル信号をアナログ信号に変換し、画像の表示を行うことができる。この際、ソース信号線駆動回路や、ゲート信号線駆動回路、また、その他外部回路等は、動作を停止することができる。このとき、各ブロックのDACの動作を制御するDACコントローラのみが動作していればよい。

【0105】

このようにして、画素部全体においてDACの占める面積が少なく、かつ低消費電力化を実現させた発光装置を提供することができる。

10

【0106】

[実施例2]

本実施例では、実施の形態および実施例1で示したものととはDACを共有する構成が異なる場合について説明する。

【0107】

図6を用いて、本実施例の画素の構成について説明する。

【0108】

なお、本実施例においても実施例1と同様に、3ビットデジタル階調の発光装置に対応した画素を示すが、これに限らず、任意のビット数の記憶回路を有する画素によって構成される発光装置に対して本実施例を応用することができる。

20

【0109】

図6において、複数の画素600(1)~600(k)が1つのDAC611を共有している。ここで、DAC611の構成は、実施例1と同様の構造を用いることができる。各画素は、それぞれ記憶回路(605(1~k)、606(1~k)、607(1~k))、ソース信号線601、ゲート信号線(602(1~k)、605(1~k)、604(1~k))、スイッチング用TFT(608(1~k)、609(1~k)、610(1~k))、電流制御用TFT616(1~k)、発光素子615(1~k)、コンデンサ614(1~k)とを有する。

【0110】

本実施例において、ブロック613に含まれる画素はすべて、同じソース信号線601に接続されたスイッチング用TFTを有している。つまり、ブロック613に含まれる画素は、本発明の発光装置の画素部内で、垂直方向に配置されているとする。つまり、ブロック613に含まれる全ての画素は、同じ列内に接続されている。

30

【0111】

このような構成の画素部を有する発光装置の駆動方法について、図7のタイミングチャートを用いて説明する。

【0112】

また、本実施例では図5で示した構成のDACを用いる場合の動作を表すタイミングチャートについて示すが、本発明の発光装置に用いることのできるDACの構成は、図5において示すものに限定されず、公知の構成のDACを自由に用いることができる。

40

【0113】

まず、各画素の各記憶回路に、デジタル信号を保持するまでの動作について説明する。

【0114】

ソース信号線駆動回路において、シフトレジスタ回路から出力されるサンプリングパルスに従い、水平周期分のデジタル信号の保持が行われる(デジタル信号サンプリング期間)。

【0115】

その後、帰線期間の間に、ラッチパルスが入力され、第2のラッチ回路に転送されたデジタル信号は、ソース信号線に入力される。

【0116】

50

ここで、1水平期間は、1ビット目書き込み期間、2ビット目書き込み期間、3ビット目書き込み期間の、3つの期間に分けられる。

【0117】

ここで、1ビット目書き込み期間において、デジタル信号(D3)が、ビット選択信号によって、ソース信号線に入力される。この時、ゲート信号線602(G1)に信号が入力され、このゲート信号線に接続されたスイッチング用TFT608(G1)が導通状態となっている。こうして1ビット目のデジタル信号(D3)が記憶回路(M)605(1)に書き込まれる。

【0118】

次に、2ビット目書き込み期間において、デジタル信号(D2)が、ビット選択信号によって、ソース信号線に入力される。この時、ゲート信号線603(G1)に信号が入力され、このゲート信号線に接続されたスイッチング用TFT609(G1)が導通状態となっている。こうして2ビット目のデジタル信号(D2)が記憶回路(M)606(1)に書き込まれる。

10

【0119】

次に、3ビット目書き込み期間において、デジタル信号(D1)が、ビット選択信号によって、ソース信号線に入力される。この時、ゲート信号線603(G1)に信号が入力され、このゲート信号線に接続されたスイッチング用TFT609(G1)が導通状態となっている。こうして3ビット目のデジタル信号(D1)が記憶回路(M)607(1)に書き込まれる。

20

【0120】

書き込まれたデジタル信号は、3ビット目書き込み期間から次の水平期間のDAC処理期間までの期間を利用して、DAC611においてアナログ信号に変換される(DAC処理期間)。

【0121】

次に、上記DAC処理期間の動作について図6(B)および図7により説明する。

【0122】

図6(B)において、SW(1)~SW(3)及びSW(A)は、図3(B)と同様に、TFT及びアドレス線ad(1)~ad(k)によって構成することができる。アドレス線ad(1)~ad(k)は、各画素600(1)~600(k)がそれぞれ有する記憶回路(605(1~k)、606(1~k)、607(1~k))からDAC611へのデジタル信号の入力、およびDAC611から各画素600(1)~600(k)がそれぞれ有するコンデンサ614(1~k)および電流制御用TFT616(1~k)のゲート電極への出力を選択する際に用いる。

30

【0123】

なお、図7のタイミングチャートにおいて、アドレス線に接続されたTFTは、すべてnチャンネル型TFTである場合の動作を示すが、これらのTFTは、pチャンネル型TFTでもnチャンネル型TFTでも、どちらを用いても構わない。ただし、同一のアドレス線に接続されているTFTの極性は同じである必要がある。

【0124】

ここで、アドレス線ad(1)が選択されている時、その他のアドレス線ad(2)~ad(k)は選択されていないものとする。

40

【0125】

第1の水平期間(L1)が終了すると、アドレス線ad(1)にゲート電極が接続され、導通状態となったTFTを介して、選択された画素の記憶回路からデジタル信号がDAC611に入力される。

【0126】

ここで、図5に示したDACにおいて、リセット信号線552に信号resが入力される。また、その後、高圧側階調線554の電位が V_H に変化する。こうしてDACに入力されたデジタル信号は、アナログ信号に変換される。このアナログ信号は、選択された画素

50

が有するコンデンサ614(1~k)および電流制御用TFT616(1~k)のゲート電極へ入力される。このアナログ信号の信号電圧が各画素の電流制御用TFTのゲート電極に印加されることにより電流制御用TFTに流れる電流量を制御し、制御された電流が発光素子に流れることにより、発光素子の階調を表現することができる。

【0127】

次に、第2の水平期間(L2)におけるデジタル信号サンプリング期間が終了すると、アドレス線ad(2)が選択され、その他のアドレス線ad(1)、ad(3)~ad(k)は、非選択の状態となる。このとき、アドレス線ad(2)にゲート電極が接続されたTFTを介して、選択した画素の記憶回路からの信号がDAC611に入力される。

【0128】

次に、図5に示すリセット信号線552に信号resが入力される。また、その後、高圧側階調線654の電位が V_H に変化する。こうしてDAC611に入力されたデジタル信号は、アナログ信号に変換される。このアナログ信号は、選択された画素のコンデンサ(Cs)614および電流制御用TFT616のゲート電極に入力される。この入力されたアナログ信号に応じて、電流制御用TFTに流れる電流量が制御され、ここで制御された電流が発光素子を流れることにより発光素子の輝度が制御される。なお、本実施例では3ビットであるため0~7までの8段階の輝度が得られる。

【0129】

同様の動作を、複数の水平期間について繰り返し、全てのアドレス線について行う。こうして、ブロック613の600(1)~600(k)の全ての画素の記憶回路に記憶されたデジタル信号は、アナログ信号に変換され、この変換されたアナログ信号を用いて発光素子の輝度が制御される。

【0130】

上記動作を全てのブロックについて同様に行い、全ての画素において保持されたデジタル信号をアナログ信号に変換する。

【0131】

本実施例におけるDACの共有の方法では、1行(1水平期間)において1つのDACを選択するのみでよい。そのため、スイッチSW(1)~SW(3)及びSW(A)の切り換えを、1水平期間のDAC処理期間において複数回行う必要が無いため、これらの選択のための動作を高速で行う必要がなくなるという利点を有する。

【0132】

[実施例3]

本実施例では、本発明の発光装置に用いることができるDACであって、図5に示したものと構造の異なるものについて、図8を用いて説明する。

【0133】

なお、図8において、端子in1~in3は、3ビットのデジタル信号の入力に対応し、端子outは、DACで変換した後のアナログ信号を出力する出力端子に対応する。

【0134】

図8において、DACは、インバータ851~853、TFT854a~859a、TFT854b~859b、TFT860、容量C1~C3、低圧側階調電源線861、高圧側階調電源線862、反転リセット信号線(res(b))863、リセット信号線(res(a))864、中間圧側階調電源線865によって構成されている。なお、反転リセット用信号線の信号res(b)とリセット信号res(a)とは、極性が逆の信号である。

【0135】

ここで、TFT854a~856a、TFT854b~856b、TFT865は、nチャネル型TFTでもpチャネル型TFTでもどちらでも構わないが、同じリセット信号線、同じ反転リセット信号線に接続されたものは、同じ極性を有する必要がある。また、TFT857a~859a、及びTFT857b~859bは、nチャネル型TFTでもpチャネル型TFTでもどちらでも構わないが、同じ極性を有する必要がある。

10

20

30

40

50

【0136】

まず、リセット用信号線864に入力された信号resによって、TFT860が導通状態になり、容量C1~C3の、out端子に接続された側(以下、対向電極側とよぶ)の電位は、中間圧側階調電源線865の電位 V_M に固定されている。また、同時に、TFT854a~856aが導通状態となり、TFT854b~856bが非導通状態となって、低圧側階調電源線861の電位 V_L が、容量C1~C3のout端子とは逆の電極に印加されている。このとき、in1~in3にデジタル信号が入力されても、容量C1~C3には、信号は書き込まれない。

【0137】

次に、リセット用信号線864の信号resが変化し、スイッチ850がオフとなって、容量C1~C3のout端子側の固定電位が解除される。同時に、TFT854b~856bを介して、高圧側階調電源線862の電位 V_H が、TFT857a~859aのソース領域もしくはドレイン領域に入力される。一方、低圧側階調電源線861の電位 V_L は、TFT857b~859bのソース領域もしくはドレイン領域に入力される。

10

【0138】

この時端子in1~in3に入力された信号に応じて、TFT857a~859a及び、TFT857b~859bの導通もしくは非導通状態が選択され、高圧側階調電源線862の電位 V_H もしくは低圧側階調電源線861の電位 V_L が、容量C1~C3の電極に印加される。なお、容量C1~C3の値は、各ビットに対応して設定されている。

【0139】

この容量C1~C3に印加された電圧によって対抗電極側の電圧が変化し、出力の電圧が変化する。つまり、入力されたin1~in3のデジタル信号に応じたアナログの信号がout端子より出力される。

20

【0140】

なお、上記の構成のDACでは、基準電位を、容量C1~C3で分割することによって多様な階調を表現することができる。また、このような容量分割方式のDACは、AMLCD99 Digest of Technical Papers p29~32に記載されている。

【0141】

なお、ここでは3ビットデジタル信号をアナログ信号に変換するDACについて説明したが、異なるビット数のデジタル信号をアナログ信号に変換するDACについても、応用することができる。

30

【0142】

また、本発明に用いるDACの構成としては、上記構造に限らず公知の構造のDACを自由に用いることができる。例えば抵抗を用いて基準電圧を分割する、抵抗分割方式のDACを用いることもできる。

【0143】

なお、本実施例で説明したDACは、実施例1や実施例2において説明した本発明の発光装置に自由に組み合わせることで実施することが可能である。

【0144】

[実施例4]

本実施例では、DACとして、複数の階調電圧線を選択する方式の例を、図9を用いて説明する。

40

【0145】

なお、図9において、端子in1~in3は、3ビットのデジタル信号の入力に対応し、端子outは、アナログ変換後の信号を出力する出力端子に対応する。

【0146】

図9において、DACは、インバータ961~963、NAND回路964~971、スイッチTFT972~979、階調電圧線1~8によって構成されている。

【0147】

ここで、スイッチTFT972~979は、pチャネル型TFTでも、nチャネル型TFT

50

Tでもどちらでも構わないが、スイッチTFT972～979の極性は全て等しくする必要がある。

【0148】

3ビットのデジタル映像信号を処理する場合、8本の階調電圧線があり、それぞれにスイッチTFTが接続されている。端子in1～端子in3の入力は、NAND回路964～971によって構成されるデコーダ981を介して、スイッチ980のスイッチTFT972～979を選択的に駆動する。こうして、in1～in3に入力されたデジタル信号に対応する階調電圧線が、1～8のうちより1本選択され、その選択された階調電圧線の電位が出力される。なお、スイッチ980の代わりに、トランスマッションゲートを用いても良い。

10

【0149】

なお、本実施例において3ビットデジタル信号をアナログ信号に変換するDACについて説明したが、異なるビット数のデジタル信号をアナログ信号に変換するDACについても、応用することができる。

【0150】

また、本発明に用いるDACの構成としては、上記構造に限らず公知の構造のDACを自由に用いることができる。

【0151】

なお、本実施例で説明したDACは、実施例1や実施例2において説明した本発明の発光装置に自由に組み合わせて実施することが可能である。

20

【0152】

[実施例5]

本実施例では、DACとして、複数の階調電圧線を選択する方式であるが、実施例4において説明したDACとは異なる構造のものを用いた場合について図10を用いて説明する。

【0153】

図10において、DACは、インバータ1071～1073、TFT1074～1097、階調電圧線1～8によって構成されている。

【0154】

ここで、TFT1074～1097によってデコーダ兼用スイッチ1098が構成されている。このデコーダ兼用スイッチ1098を構成するTFT1074～1097は、nチャンネル型TFTでもpチャンネル型TFTでもどちらでも構わないが、極性は同じにする必要がある。

30

【0155】

入力端子in1～in3より入力された信号は、デコーダ兼用スイッチ1098において、その入力されたデジタル信号に応じて階調電圧線1～8のいずれか1本を選択する。この選択された階調電圧線の電位がアナログ信号として、out端子より出力される。

【0156】

なお、本実施例のDACは、実施例4(図9)において説明したものと同様に階調電圧線を選択する方式であるが、実施例4(図9)では、DACを構成する素子の数が多く、画素内で素子の占める面積が大きくなるのに対し、本実施例のDACでは、スイッチを直列接続し、デコーダとスイッチを兼ねることにより素子数を減らすことができる。

40

【0157】

なお、本実施例では3ビットデジタル信号をアナログ信号に変換するDACについて説明したが、異なるビット数のデジタル信号をアナログ信号に変換するDACについても、応用することができる。

【0158】

また、本発明に用いるDACの構成としては、上記構造に限らず公知の構造のDACを自由に用いることができる。

【0159】

50

なお、本実施例で説明したDACは、実施例1や実施例2において説明した本発明の発光装置に自由に組み合わせて実施することが可能である。

【0160】

[実施例6]

本実施例においては、ソース信号線駆動回路における第2のラッチ回路を省略した回路構成を応用し、線順次駆動により画素内の記憶回路への書き込みを行う方法について説明する。

【0161】

図11には、本実施例における発光装置のソース信号線駆動回路の回路構成を示す。この回路は、3ビットデジタル信号に対応させたものであり、シフトレジスタ回路1101、ラッチ回路1102、スイッチ回路1103を有する。このソース信号線駆動回路からの信号はソース信号線S1.1~S1.x、ソース信号線S2.1~S2.x、ソース信号線S3.1~S3.xに

【0162】

ここで、上記ソース信号線のうちソース信号線S1.1、S1.2、S1.3を有する画素の回路構成を図12に示す。なお、3本のソース信号線S1.1、S1.2、S1.3は、図12におけるソース信号線1201~1203にそれぞれ対応する。

【0163】

さらに、本実施例の回路構成の場合における駆動方法について図13に示すタイミングチャートを用いて説明する。

【0164】

なお、シフトレジスタ回路1101からサンプリングパルスが出力され、ラッチ回路1102でサンプリングパルスに従ってデジタル信号が保持されるまでの動作は実施形態や実施例1と同様に行われるので、ここでは説明は省略する。

【0165】

本実施例では、ラッチ回路1102と画素1104内の記憶回路との間に、スイッチ回路1103を有しているため、ラッチ回路でのデジタル信号の保持が完了しても、直ちに各画素の記憶回路への書き込みは開始されない。デジタル信号が保持される期間が終了するまでの間は、スイッチ回路1103は閉じたままであり、その間、ラッチ回路ではデジタル信号が保持される。

【0166】

1水平期間分のデジタル信号の保持が完了すると、その後の帰線期間中にラッチパルスが入力されてスイッチ回路1103が一斉に開き、ラッチ回路1102で保持されていたデジタル信号は一斉に、ソース信号線S1.1~S1.x、ソース信号線S2.1~S2.x、ソース信号線S3.1~S3.xに出力され、各画素の記憶回路に書き込まれる。

【0167】

本実施例のソース信号線駆動回路の構成では、各3ビット分のデジタル信号が1画素行に対して同時に入力される。なお、本実施例では、第1段目でのラッチ動作(デジタル信号サンプリング期間)が終了すると、直ちに画素の記憶回路への書き込みが開始される。具体的には、ゲート信号線1204にパルスが入力され、スイッチング用TF T1208~1210が導通し、記憶回路1205~1207への書き込みが可能な状態となる。ラッチ回路1102に保持されたビット毎のデジタル信号は、3本のソース信号線1201~1203を経由して、同時に書き込まれる。

【0168】

第1段目でラッチ回路に保持されたデジタル信号が、記憶回路へ書き込まれているとき、次段ではサンプリングパルスに従って、ラッチ回路においてデジタル信号が保持されている。このようにして、順次記憶回路への書き込みが行われる。

【0169】

こうして、1画素行分のデジタル信号を出力し、1水平期間が終了する。1水平期間の帰線期間において、DAC処理期間が設けられている。

【0170】

また、各画素の記憶回路に保持されたデジタル信号をアナログ信号に変換する際（D A C 処理期間）の動作については、実施例 1 と同様に行えばよいので説明を省略する。

【0171】

以上の方法によって、従来における第 2 のラッチ回路を省略したソース信号線駆動回路においても、線順次の書き込み駆動を容易に行うことができる。

【0172】

本実施例は、実施例 1 ~ 実施例 5 に示す本発明の構成に自由に組み合わせて実施することが可能である。

【0173】

[実施例 7]

本実施例では、ソース信号線駆動回路のラッチ回路を 1 ビット分のみ有し、ソース信号線駆動回路を従来の 3 倍の速度で動作させ、1 ライン期間中に、第 1 ビットデジタル信号、第 2 ビットデジタル信号、第 3 ビットデジタル信号の順にデジタル信号をソース信号線駆動回路に入力する手法について説明する。

【0174】

実施例 1 では、図 4 のタイミングチャートに示すように 1 水平期間において、1 回のみデジタル信号のサンプリングを行い、ビット選択信号によって、各ビットに応じたデジタル信号を順に出力していた。しかし、本実施例では、デジタル信号のサンプリングは、1 水平期間において、3 回繰り返す必要がある。

【0175】

図 1 4 において、ソース信号線駆動回路は、シフトレジスタ（図中、S R と表記）1 4 0 1、第 1 のラッチ回路（図中、L A T 1 と表記）1 4 0 2、第 2 のラッチ回路（図中、L A T 2 と表記）1 4 0 3 によって構成される。

【0176】

シフトレジスタに入力されるクロックパルス及び反転クロックパルスの信号によって、第 1 のラッチ回路（L A T 1）1 4 0 2 は、デジタル信号をサンプリングする。ここで、デジタル信号の 1 ビット目の信号を、第 1 のラッチ回路（L A T 1）1 4 0 2 が保持する。その後、ラッチパルスが入力されて、デジタル信号の 1 ビット目の信号は、第 2 のラッチ（L A T 2）1 4 0 3 に転送される。こうして、ソース信号線 S 1 ~ S x に出力される。こうして 1 ビット目の信号が各画素の記憶回路に記憶される（1 ビット目書き込み期間という）。

【0177】

また、第 1 のラッチ回路（L A T 1）1 4 0 2 において、1 ビット目の信号が第 2 のラッチ回路の転送された後、次に 2 ビット目の信号のサンプリングが始まる。同様に 2 ビット目の信号が、ラッチパルスによって第 2 のラッチ回路に転送され、ソース信号線 S 1 ~ S x に出力される。こうして 2 ビット目の信号が各画素の記憶回路に記憶される（2 ビット目書き込み期間という）。

【0178】

さらに、第 1 のラッチ回路（L A T 1）1 4 0 2 において、2 ビット目の信号が第 2 のラッチ回路に転送された後、今度は 3 ビット目の信号のサンプリングが始まる。3 ビット目の信号のサンプリングが終了し、第 2 のラッチ回路に信号が転送され、ソース信号線 S 1 ~ S x に出力される。こうして 3 ビット目の信号が各画素の記憶回路に記憶される（3 ビット目書き込み期間という）。

【0179】

こうして、1 水平期間が終了する。

【0180】

次に第 1 のラッチ回路（L A T 1）1 4 0 2 は、1 水平期間における 3 ビット目のデジタル信号が第 2 のラッチ回路に転送された後、次の水平期間における 1 ビット目のデジタル信号のサンプリングが始まる。

10

20

30

40

50

【0181】

ここで、3ビット目のデジタル信号のサンプリングが終了した後、次の水平期間における1ビット目のデジタル信号のサンプリングが始まるまでのシフトレジスタの帰線期間に設けられたDAC処理期間において、画素の記憶回路に記憶されたデジタル信号は、アナログ信号に変換される。このDAC処理期間の動作については、実施例1と同様であるのでここでは説明は省略する。

【0182】

この方式では、ソース信号線駆動回路に入力するデジタル信号を、予めビット順に並べた信号に変換するP/S(パラレル・シリアル)変換回路等を外部に設ける必要があるが、ソース信号線駆動回路自体は小さくすることができる。

10

【0183】

なお、本実施例に示した構成は、実施例1や実施例2と自由に組み合わせて実施することが可能である。

【0184】

[実施例8]

本実施例では、本発明の発光装置において、ゲート信号線1本単位での信号の書き換えを行う場合について説明する。

【0185】

この場合は、ゲート信号線駆動回路としてアドレスデコーダを使うのが望ましい。ゲート信号線駆動回路としてアドレスデコーダを使用した例を図15に示す。

20

【0186】

本実施例では、各画素のスイッチング用TFTと接続されたゲート信号線に信号を出力するゲート信号線駆動回路について説明する。なお、各画素にビット数の応じた複数のゲート信号線を有する場合においても本実施例に示すゲート信号線駆動回路の構成を応用することができる。

【0187】

図15において、ゲート信号線駆動回路1504は、アドレス線1500、NAND回路1501(1)~1501(y)、レベルシフト(図中、LSと表記)1502、バッファ(図中、Buf.と表記)1503によって構成され、ゲート信号線G1~Gyに信号を出力することができる。

30

【0188】

なお、アドレスデコーダとしては、特開平8-101609に開示された回路等を用いればよい。

【0189】

また、ソース信号線駆動回路にアドレスデコーダ等を用いて、ソース信号線1本単位で部分書き換えを行うことも可能である。

【0190】

本実施例は、実施例1~実施例7に示す本発明の構成に自由に組み合わせて実施することが可能である。

【0191】

[実施例9]

本実施例では、本発明における発光装置の構造について図16を用いて説明する。

【0192】

図16(A)は、発光装置の上面図、図16(B)は図16(A)をA-A'で切断した断面図である。点線で示された1601はソース信号線駆動回路、1602は画素部、1603はゲート信号線駆動回路である。また、1604は封止缶、1605はシール剤であり、シール剤1605で囲まれた内側は、空間1607になっている。

【0193】

なお、1608はソース信号線駆動回路1601及びゲート信号線駆動回路1603に入力される信号を伝送するための配線であり、外部入力端子となるFPC(フレキシブル

50

プリントサーキット) 1609からデジタル信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、外部電源と電氣的に接続されている。

【0194】

次に、断面構造について図16(B)を用いて説明する。基板1610上には駆動回路及び画素部が形成されているが、ここでは、駆動回路としてソース信号線駆動回路1601と画素部1602が示されている。

【0195】

なお、ソース信号線駆動回路1601はnチャネル型TFT1613とpチャネル型TFT1614とを組み合わせたCMOS回路が形成される。また、駆動回路を形成するTFTは、公知のCMOS回路、PMOS回路もしくはNMOS回路で形成しても良い。また、本実施例では、基板上に駆動回路を形成したドライバー一体型を示すが、必ずしもその必要はなく、基板上ではなく外部に形成することもできる。

【0196】

また、画素部1602は、ソース信号線駆動回路からのビデオ信号が入力されるスイッチング用TFT1611と、スイッチング用TFT1611と接続され、かつ発光素子の輝度を制御する機能を有する電流制御用TFT1612と、電流制御用TFT1611のドレインに電氣的に接続された第1の電極(陽極)1613を含む複数の画素により形成される。

【0197】

また、第1の電極1613の両端には絶縁層1614が形成され、第1の電極1613上には有機化合物層1615が形成される。さらに、有機化合物層1615上には第2の電極1616が形成される。これにより、第1の電極(陽極)1613、有機化合物層1615、及び第2の電極(陰極)1616からなる発光素子1618が形成される。

【0198】

さらに、第2の電極1616上に補助配線1617が形成される。補助配線1617は、接続配線1617と電氣的に接続されており、FPC1609を介して外部電源と電氣的に接続されている。

【0199】

また、基板1610上に形成された発光素子1618を封止するためにシール剤1605により封止基板1604が貼り合わされている。なお、封止基板1604と発光素子1618との間隔を確保するために樹脂膜からなるスペーサを設けても良い。そして、シール剤1605の内側の空間1607には窒素等の不活性気体が充填されている。なお、シール剤1605としてはエポキシ系樹脂を用いるのが好ましい。また、シール剤1605はできるだけ水分や酸素を透過しない材料であることが望ましい。

【0200】

なお、本実施例に示す発光装置は、第2の電極(陰極)1616を透光性の材料で形成し、有機化合物層1615で生じた光を第2の電極(陰極)1616を透過させて封止基板1604側から出射させる構造(上方出射型)を有している。

【0201】

しかし、本発明の発光装置は、これに限られることはなく第2の電極1616を遮光性の材料で形成し、有機化合物層1615で生じた光を第1の電極1613を透過させて基板1610側から出射させる構造(下方出射型)とすることもできる。この場合には、封止基板1604が透光性である必要はなく、むしろ遮光性の材料を用いるのが好ましい。さらに、封止基板1604の一部に封止基板1604とフィルム1620とで囲まれた空間に乾燥剤1621を備えることにより、フィルム1620を介して空間1607の内部に存在する水分を吸収させることもできる。

【0202】

さらに、本発明においては、第1の電極を陰極材料で形成し、第2の電極を陽極材料で形成することも可能である。

【0203】

10

20

30

40

50

また、本実施例で用いる封止基板 1604 の材料としては、ガラス基板や石英基板の他、FRP (Fiberglass-Reinforced Plastics)、PVF (ポリビニルフロライド)、マイラー、ポリエステルまたはアクリル等からなるプラスチック基板等の材料を用いることができる。

【0204】

以上のようにして発光素子を空間 1607 に封入することにより、発光素子を外部から完全に遮断することができ、外部から水分や酸素といった有機化合物層の劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置を得ることができる。

【0205】

[実施例 10]

本実施例では、本発明の発光装置の画素が有する記憶回路の構成例について説明する。

【0206】

図 17 (A) は、本発明の発光装置の各画素に形成される記憶回路の一例を示したものである。点線枠で示される部分が記憶回路 (図中、M と表記) である。記憶回路 M は、2 つのインバータ 1701 及び 1702 によって構成されている。ここで示した記憶回路には、フリップフロップを利用したスタティック型メモリ (Static RAM : SRAM) を用いている。

【0207】

図 17 (B) は、図 17 (A) の回路を詳細に示した例である。TFT 1703 と TFT 1704 は、p チャンネル型 TFT であり、TFT 1705 と TFT 1706 は、n チャンネル型 TFT である。また、VDD は、電源線であり、GND は接地線である。

【0208】

本実施例は、実施例 1 ~ 実施例 10 に示す本発明の構成に自由に組み合わせて実施することが可能である。

【0209】

[実施例 12]

実施例 11 では、スタティック型メモリ (Static RAM : SRAM) を用いて本発明の発光装置の画素部における記憶回路が形成される場合について示したが、SRAM のみに限定されず、本発明の発光装置の画素部に適用可能な記憶回路には、他にダイナミック型メモリ (Dynamic RAM : DRAM) 等があげられる。

【0210】

さらに、特に図示しないが、他の形式の記憶回路として、強誘電体メモリ (Ferroelectric RAM : FRAM) を利用して本発明の発光装置の画素部に形成することも可能である。FRAM は、SRAM や DRAM と同等の書き込み速度を有する不揮発性メモリであり、その書き込み電圧が低い等の特徴を利用して、本発明の発光装置のさらなる低消費電力化が可能である。またその他、フラッシュメモリ等によっても、構成は可能である。

【0211】

本実施例は、実施例 1 ~ 実施例 10 に示す本発明の構成に自由に組み合わせて実施することが可能である。

【0212】

[実施例 13]

発光素子を用いた発光装置は自発光型であるため、液晶表示装置に比べ、明るい場所での視認性に優れ、視野角が広い。従って、本発明の発光装置を用いて様々な電気器具を完成させることができる。

【0213】

本発明により作製した発光装置を用いて作製された電気器具として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置 (カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置 (具体的にはデジタルビデオ

10

20

30

40

50

ディスク（DVD）等の記録媒体を再生し、その画像を表示しうる表示装置を備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光素子を有する発光装置を用いることが好ましい。それら電気器具の具体例を図18に示す。

【0214】

図18（A）は表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明により作製した発光装置をその表示部2003に用いることにより作製される。発光素子を有する発光装置は自発光型であるためバックライトが必要なく、液晶表示装置よりも薄い表示部とすることができる。なお、表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

10

【0215】

図18（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明により作製した発光装置をその表示部2102に用いることにより作製される。

【0216】

図18（C）はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明により作製した発光装置をその表示部2203に用いることにより作製される。

20

【0217】

図18（D）はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明により作製した発光装置をその表示部2302に用いることにより作製される。

【0218】

図18（E）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明により作製した発光装置をこれら表示部A、B2403、2404に用いることにより作製される。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

30

【0219】

図18（F）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体2501、表示部2502、アーム部2503を含む。本発明により作製した発光装置をその表示部2502に用いることにより作製される。

【0220】

図18（G）はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609、接眼部2610等を含む。本発明により作製した発光装置をその表示部2602に用いることにより作製される。

40

【0221】

ここで図18（H）は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明により作製した発光装置をその表示部2703に用いることにより作製される。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0222】

なお、将来的に有機材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

50

【0223】

また、上記電気器具はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0224】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが好ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが好ましい。

【0225】

以上の様に、本発明の作製方法を用いて作製された発光装置の適用範囲は極めて広く、本発明の発光装置を用いてあらゆる分野の電気器具を作製することが可能である。また、本実施例の電気器具は実施例1～実施例12を実施することにより作製された発光装置を用いることにより完成させることができる。

【発明の効果】

本発明の発光装置では、各画素に記憶回路を配置することによって、低消費電力化可能な発光装置及びその駆動方法を提供することができる。

【0226】

さらに、本発明では、各画素が有する記憶回路に記憶されたデジタル信号をアナログ信号に変換させた後、再び各画素のコンデンサ、電流供給線のゲート電極に入力させるためのD/A変換回路を複数の画素で共有して用いる構成とすることにより、画素部においてDACの占める割合を低くすることができるので、開口率の向上や、従来よりも記憶回路を多く配置することができるといった効果を得ることができる。

【図面の簡単な説明】

【図1】 本発明の発光装置における画素の構成を示す図。

【図2】 発光装置の構成を示す図。

【図3】 本発明の発光装置における画素の構成を示す図。

【図4】 本発明の発光装置の駆動方法を示すタイミングチャート。

【図5】 本発明の発光装置に用いるDACの構成を示す図。

【図6】 本発明の発光装置における画素の構成を示す図。

【図7】 本発明の発光装置の駆動方法を示すタイミングチャート。

【図8】 本発明の発光装置に用いるDACの構成を示す図。

【図9】 本発明の発光装置に用いるDACの構成を示す図。

【図10】 本発明の発光装置に用いるDACの構成を示す図。

【図11】 本発明におけるソース信号線駆動回路の構成を示す図。

【図12】 本発明の発光装置における画素の構成を示す図。

【図13】 本発明の発光装置の駆動方法を示すタイミングチャート。

【図14】 本発明におけるソース信号線駆動回路の構成を示す図。

【図15】 本発明におけるゲート信号線駆動回路の構成を示す図。

【図16】 本発明の発光装置の構造を説明する図。

【図17】 本発明の発光装置に用いる記憶回路の構成を示す図。

【図18】 本発明の発光装置を用いた電気器具を示す図。

【図19】 従来の発光装置の構成を示す図。

【図20】 従来の発光装置の画素部の構成を示す図。

【図21】 従来の駆動方法を示すタイミングチャート。

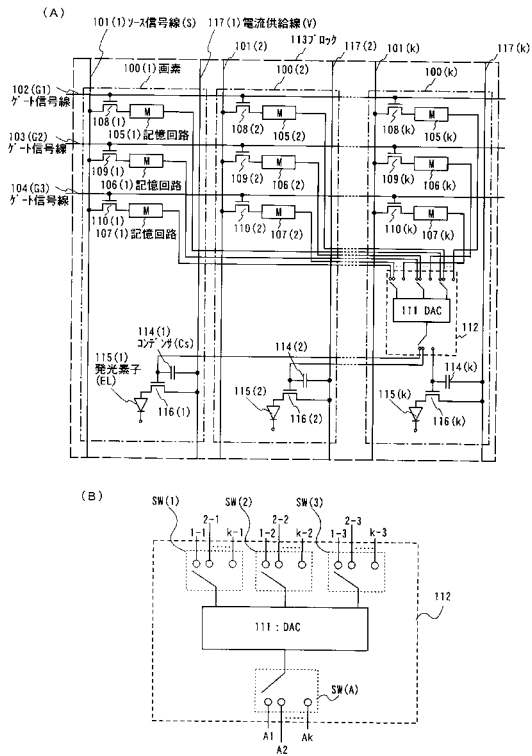
10

20

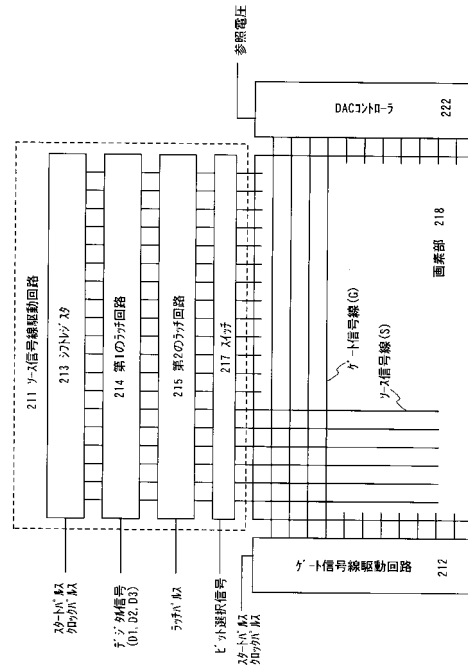
30

40

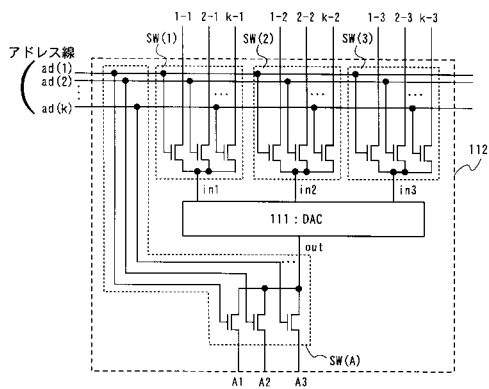
【図1】



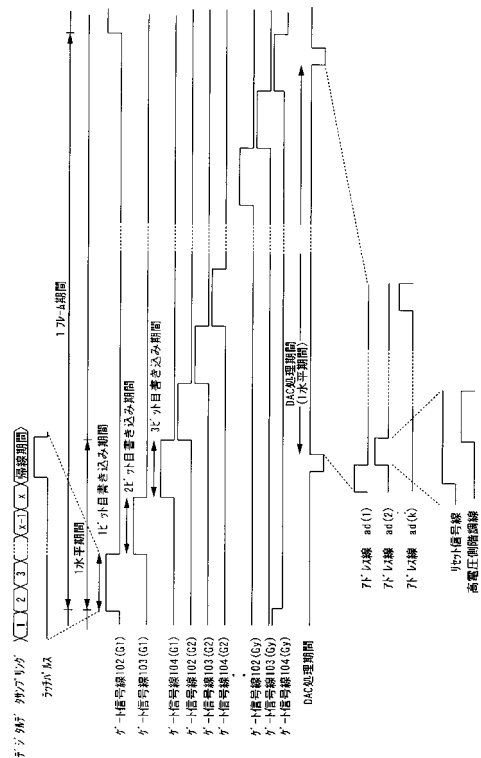
【図2】



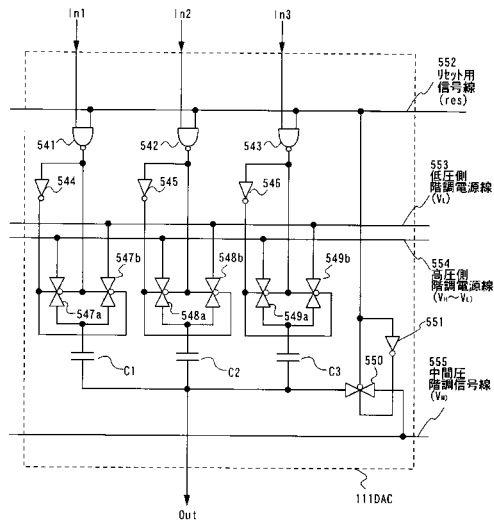
【図3】



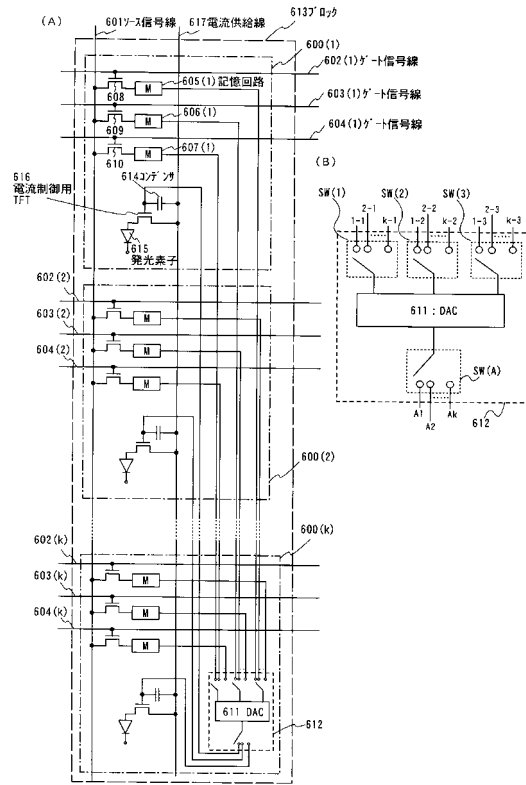
【図4】



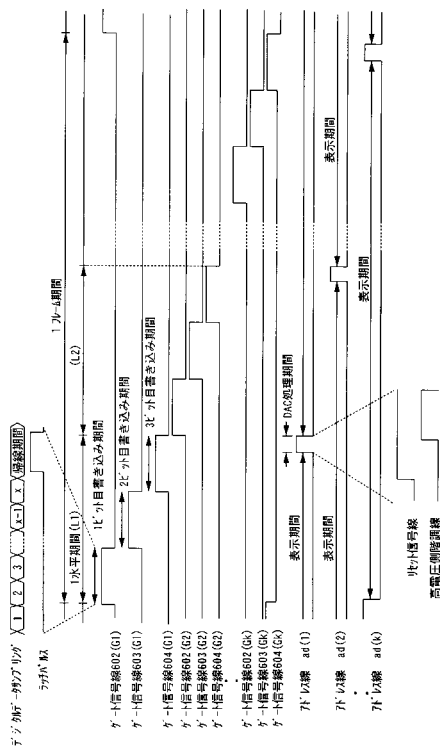
【図5】



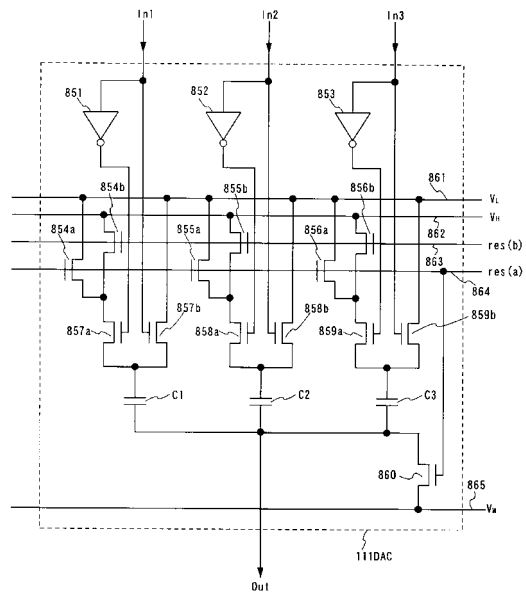
【図6】



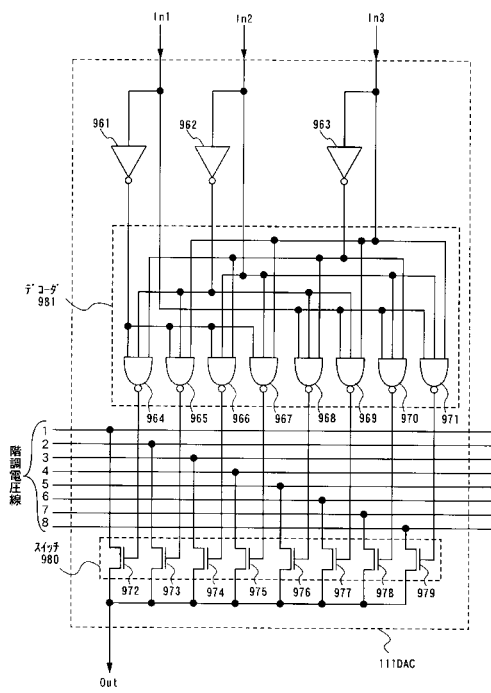
【図7】



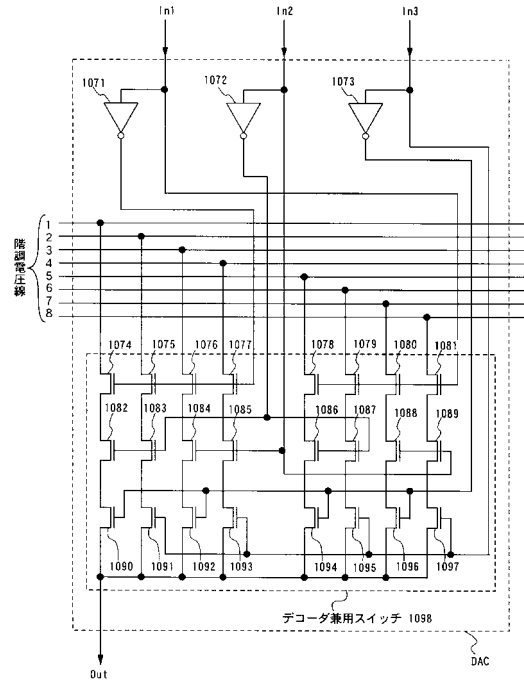
【図8】



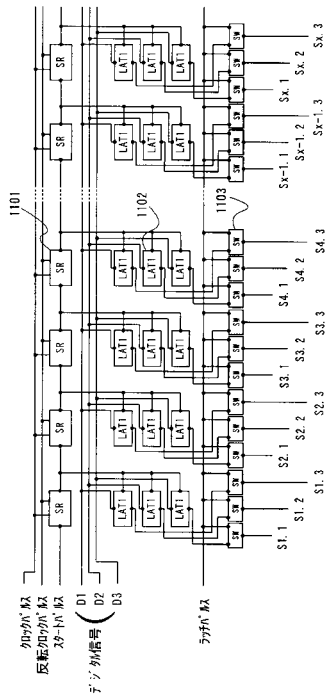
【図 9】



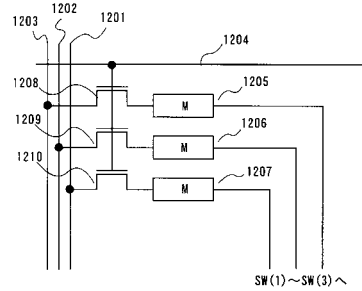
【図 10】



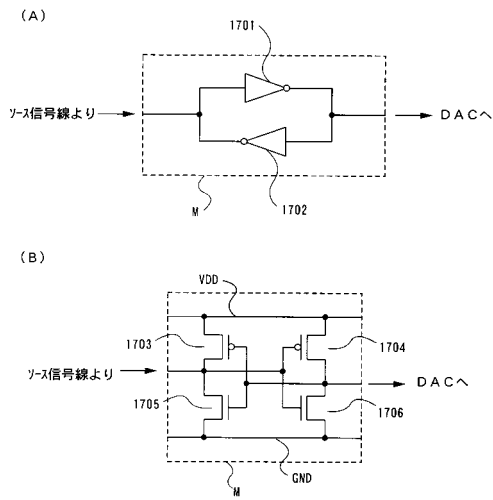
【図 11】



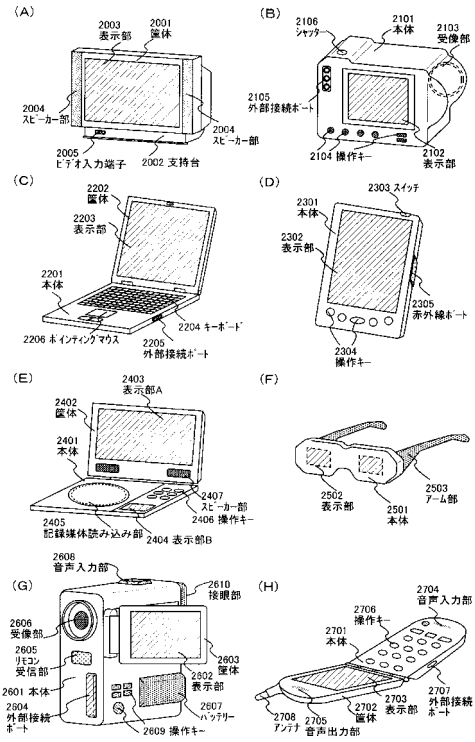
【図 12】



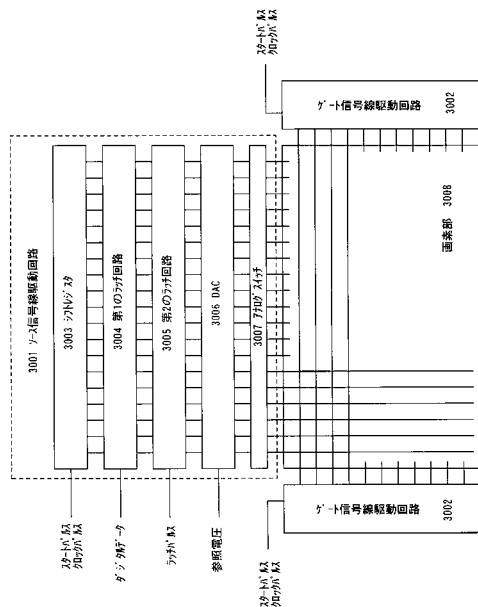
【図17】



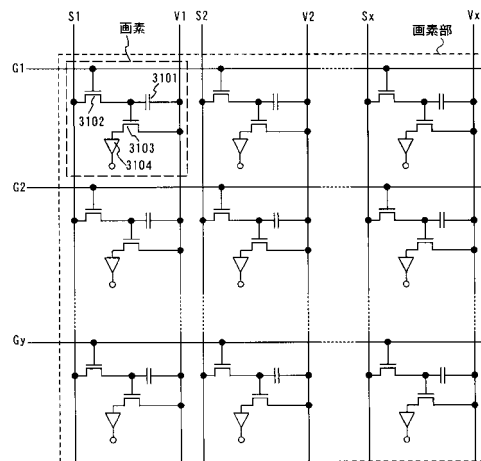
【図18】



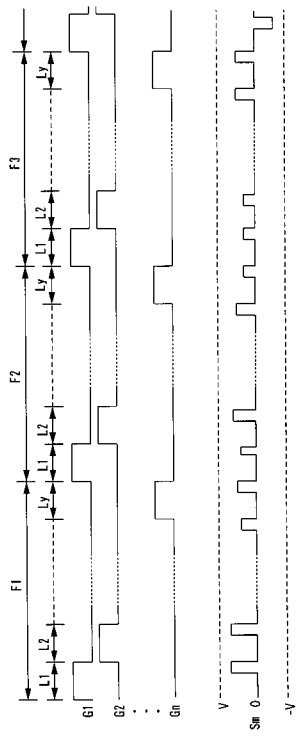
【図19】



【図20】



【 図 2 1 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 1 D
G 0 9 G 3/20 6 6 0 U
G 0 9 G 3/20 6 8 0 G
H 0 5 B 33/14 A

(56)参考文献 特開2002-140034(JP,A)
国際公開第01/073738(WO,A1)
特開2002-140053(JP,A)
特開2002-132217(JP,A)
特開平08-286170(JP,A)
特開平02-148687(JP,A)
特開2001-290457(JP,A)
特開昭63-311388(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/30
G09G 3/20