(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년07월28일
(11) 등록번호 10-2427125
(24) 등록일자 2022년07월26일

(51) 국제특허분류(Int. Cl.)
H05K 1/02 (2006.01) *H01P 1/203* (2006.01)
H05K 3/36 (2006.01)
(52) CPC특허분류
H05K 1/0237 (2013.01)
H01P 1/2039 (2013.01)
(21) 출원번호 10-2018-7037651
(22) 출원일자(국제) 2017년06월27일
심사청구일자 2020년06월19일
(85) 번역문제출일자 2018년12월26일
(65) 공개번호 10-2019-0024904
(43) 공개일자 2019년03월08일
(86) 국제출원번호 PCT/EP2017/065917
(87) 국제공개번호 WO 2018/002092
국제공개일자 2018년01월04일
(30) 우선권주장
16305824.1 2016년06월30일
유럽특허청(EPO)(EP)
(56) 선행기술조사문헌
US03764955 A1*
(뒷면에 계속)
전체 청구항 수 : 총 13 항

(73) 특허권자
인터디지털 매디슨 페턴트 홀딩스 에스에이에스
프랑스 75017 빠리 뤼 뒤 꼴로넬 몰 3
(72) 발명자
로 앵 통 도미니끄
프랑스 35576 세송-세비네 아브뉘 데 샹 블랑 975 씨에스 17616 테크니컬러 커넥티드 홈 렌 에스엔 씨 씨/오
오뱅 앙또니
프랑스 35576 세송-세비네 아브뉘 데 샹 블랑 975 씨에스 17616 테크니컬러 커넥티드 홈 렌 에스엔 씨 씨/오
르 풀고끄 장-마르끄
프랑스 35576 세송-세비네 아브뉘 데 샹 블랑 975 씨에스 17616 테크니컬러 커넥티드 홈 렌 에스엔 씨 씨/오
(74) 대리인
특허법인코리아나

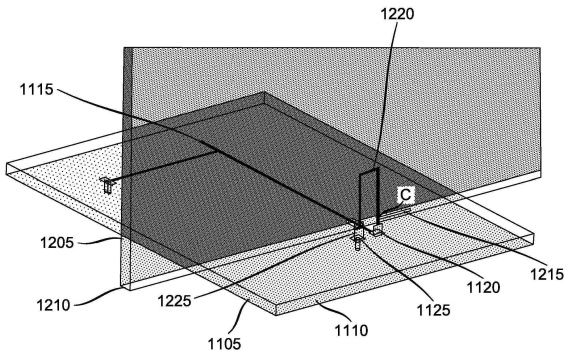
심사관 : 오주철

(54) 발명의 명칭 **무선 주파수 인터커넥션 디바이스**

(57) 요 약

필터의 제 1 부분을 포함하는 제 1 인쇄 회로 보드로서, 필터는 제 1 인쇄 회로 보드와 제 2 인쇄 회로 보드 간에 신호를 통신하는데 사용된, 상기 제 1 인쇄 회로 보드, 및 제 1 인쇄 회로 보드와 제 2 인쇄 회로 보드 간에 신호를 커플링하기 위한 기계적 구조로서, 제 2 인쇄 회로 보드는 제 1 인쇄 회로 보드에 대하여 소정 각도로 배향되는, 상기 기계적 구조를 포함하는 인터커넥션 시스템이 설명된다.

대 표 도



(52) CPC특허분류
H05K 1/0233 (2013.01)
H05K 3/366 (2013.01)
H05K 2201/09254 (2013.01)
H05K 2201/1031 (2013.01)

(56) 선행기술조사문헌
US20090213562 A1
US20090213562 A1
US20160050750 A1
US20030099097 A1
KR101571345 B1*
*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

인터커넥션 시스템으로서,

필터의 제 1 부분을 포함하는 제 1 인쇄 회로 보드 (1105) 로서, 상기 필터는 상기 제 1 인쇄 회로 보드와 제 2 인쇄 회로 보드 (1205) 간에 신호를 통신하는데 사용된, 상기 제 1 인쇄 회로 보드; 및

단일의 피스로 형성된, 표면에 장착된 금속 클립으로서, 상기 금속 클립은 만곡된 스트립들로 형성된 분리 단부들을 갖는, 상기 금속 클립을 포함하고,

상기 금속 클립은, 상기 분리 단부들 중 제 1 단부에서, 제 1 전기 인터페이스 커넥션을 사용하여 상기 제 1 인쇄 회로 보드와 상기 제 2 인쇄 회로 보드 간에 상기 신호의 제 1 커플링을 제공하도록 구성되고,

상기 금속 클립은 또한, 상기 분리 단부들 중 제 2 단부에서, 제 2 전기 인터페이스 커넥션을 사용하여 상기 제 1 인쇄 회로 보드와 상기 제 2 인쇄 회로 보드에서 각각의 그라운딩 패드들의 제 2 커플링을 제공하도록 구성되며, 상기 제 2 인쇄 회로 보드는 상기 제 1 인쇄 회로 보드에 대하여 소정 각도로 배향되는, 인터커넥션 시스템.

청구항 2

제 1 항에 있어서,

상기 필터는 대역통과 필터인, 인터커넥션 시스템.

청구항 3

제 2 항에 있어서,

상기 대역통과 필터는 대칭적 무선 주파수 광대역 대역통과 필터인, 인터커넥션 시스템.

청구항 4

제 1 항에 있어서,

상기 각도는 예각인, 인터커넥션 시스템.

청구항 5

제 1 항에 있어서,

상기 각도는 직각인, 인터커넥션 시스템.

청구항 6

제 1 항에 있어서,

상기 제 1 인쇄 회로 보드는 제 1 I/O 포트 (1115) 에 커넥팅된 제 1 송신 선로 (1130) 를 포함하고, 상기 제 1 송신 선로 (1130) 는 중간 종단 패드 (1120) 에서 종단되고, 상기 중간 종단 패드는 제 1 그라운딩 패드 (1125) 로부터 이격되는, 인터커넥션 시스템.

청구항 7

제 6 항에 있어서,

상기 제 2 인쇄 회로 보드는 제 2 그라운딩 패드 (1225) 에 커넥팅되는 제 3 송신 선로 (1220) 를 포함하고, 상기 제 2 그라운딩 패드 (1225) 는 상기 제 1 그라운딩 패드 (1125) 바로 위에 위치되고, 상기 제 3 송신 선로 (1220) 는 또한 교차점 (C) 에서 출력 선로 (1215) 에 커넥팅되고, 상기 제 3 송신 선로 (1220) 는 마이크로 스

트립 선로인, 인터커넥션 시스템.

청구항 8

제 6 항에 있어서,

상기 제 1 송신 선로 (1130) 는 1/2-파장 길이인, 인터커넥션 시스템.

청구항 9

제 6 항에 있어서,

상기 제 1 송신 선로 (1130) 는 일직선인, 인터커넥션 시스템.

청구항 10

제 6 항에 있어서,

상기 제 1 송신 선로 (1130) 는 구불구불한, 인터커넥션 시스템.

청구항 11

제 6 항에 있어서,

상기 중간 종단 패드 (1120) 와 상기 제 1 그라운딩 패드 (1125) 간의 거리는 100 과 200 ㎛ 사이인, 인터커넥션 시스템.

청구항 12

제 6 항에 있어서,

상기 제 1 송신 선로 (1130) 는 마이크로 스트립 선로, 공면 선로, 스트립 선로 또는 다층 선로 중 하나이고, 제 2 송신 선로 (935) 는 마이크로 스트립 선로, 공면 선로, 스트립 선로 또는 다층 선로 중 하나이고, 상기 제 1 그라운딩 패드 (1125) 및 상기 중간 종단 패드 (1120) 는 상기 제 1 인쇄 회로 보드 (1105) 의 외부 표면 상에 인쇄되는, 인터커넥션 시스템.

청구항 13

적어도 2 개의 인쇄 회로 보드들 (1105, 1205) 을 포함하는 전자 디바이스로서,

상기 적어도 2 개의 인쇄 회로 보드들 중 2 개의 인쇄 회로 보드들은 제 1 항 내지 제 12 항 중 어느 한 항에 기재된 인터커넥션 시스템을 사용하는, 전자 디바이스.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

발명의 설명

기 술 분 야

[0001] 제안된 장치 (디바이스) 는, 예를 들어, 수직으로 배열된 2 개의 회로 보드들 (예를 들어, 메인 인쇄 회로 보드 (printed circuit board; PCB) 들) 의 인터커넥션을 가능하게 하는 무선 주파수 인터커넥션 디바이스와 관련된다.

배 경 기 술

[0002] 이 섹션은, 이하에 설명되는 본 실시형태들에 관련될 수도 있는, 기술의 다양한 양태들을 독자에게 소개하기 위한 것이다. 이 논의는 본 개시의 다양한 양태들의 더 나은 이해를 용이하게 하기 위해 독자에게 배경 정보를 제공하는데 도움이 된다고 믿어진다. 이에 따라, 이들 스테이트먼트들은 이러한 관점에서 읽혀져야 하는 것으로 이해되어야 한다.

[0003] 도 1 은 서로 인터커넥팅된 4 개의 회로 보드들을 포함하는 디바이스의 기계적 아키텍처를 도시한다. 도 1 에서, Wi-Fi 및 DVB-T 프론트-엔드 보드들은 인터커넥팅된 보드를 통하여 그리고 3 개의 주변 컴포넌트 인터커넥트 익스프레스 (Peripheral Component Interconnect express; PCIe) 커넥터들을 사용하는 것에 의해 회로 보드에 인터커넥팅된다. 도 1 은, 특히, 서로 수직이고 종래의 주변 컴포넌트 인터커넥트 익스프레스 (PCIe) 커넥터들을 사용하여 인터커넥팅되는 여러 회로 보드들을 갖는 디바이스를 도시한다.

[0004] 도 2 는, 서로 수직이고 종래의 주변 컴포넌트 인터커넥트 익스프레스 (PCIe) 커넥터들을 사용하여 인터커넥팅되는 여러 회로 보드들을 갖는 셋 톱 박스를 도시한다. 도 2 에서, 셋 톱 박스는 또한 4 개의 회로 보드들을 포함한다. 일 회로 보드는 수평으로 배치되고 3 개의 다른 회로 보드들 (Wi-Fi, 프론트-엔드 및 인터페이스 보드들) 이 그 회로 보드에 수직이다. 회로 보드들 간의 보드-투-보드 인터커넥션은 또한 도 2 에서 주변 컴포넌트 인터커넥트 익스프레스 커넥터들을 사용하는 것에 의해 달성된다.

[0005] 당업계에 알려진 바와 같이, 공통의 멀티-핀들 커넥터들, 이를 테면 주변 컴포넌트 인터커넥트 익스프레스 커넥터들은, 무선 주파수 신호들의 무결성을 손상시키는 내재하는 고 임피던스 미스매칭 때문에 무선 주파수 (RF) 신호들을 송신하는데 사용될 수 없다. 무선 주파수 분야에서, 회로 보드들 간에 (보드-투-보드 (B2B)) 신호를 송신할 때 임피던스 미스매칭을 회피하기 위해, 대안의 솔루션들이 채택되어야 한다.

[0006] 도 3 은, 서로 평행하게 배열되고 엘리먼트가 보드-투-보드 (회로 보드 투 회로 보드) 그라운딩 스크류에 전자기 커플링되는 금속부 (metal part) 를 사용하여 인터커넥팅되는 2 개의 회로 보드들을 도시한다. 그라운딩 스크류에 대한 전자기 커플링은 광대역 임피던스 매칭을 보장한다.

[0007] 2 개의 회로 보드들이 서로 직각으로 배치될 때, 여러 최신 기술의 솔루션들은 회로 보드 투 회로 보드 (B2B) 무선 주파수 신호들을 송신하는데 사용될 수 있다. 가장 흔한 인터커넥션 솔루션은 동축 케이블의 사용이다. 실제로, 새로운 전자 디바이스들의 설계 면에서의 과감한 비용 제약들로, 동축 케이블의 사용은 엄청나게 많은 비용이 든다.

[0008] 도 4 는, 서로 수직이고 수직 회로 보드 (405) 에 통합된 핀들 (G, S, G) 에 의해 인터커넥팅되는 2 개의 회로 보드들을 도시한다. 수직 회로 보드의 핀들 (G, S, G) 이 수평 회로 보드 (410) 의 구멍 (hole) 들 (425) 에 끼워 맞춰진다. 수직 회로 보드는 그라운드 평면 (420) 을 갖고 수평 회로 보드 또한 그라운드 평면 (415) 을 갖는다. 수직 회로 보드에 통합된 핀들을 사용하는 것은 무선 주파수 신호들의 회로 보드 투 회로 보드 (보드-투-보드 (B2B)) 인터커넥션에 또한 적용될 수 있다. 도 4 는 서로 수직인 회로 보드들의 예를 도시하며, 여기서 수직 보드 (405) 는 3 개의 핀들 (하나의 신호 핀 및 2 개의 그라운드 핀들 (G, S, G)) 을 포함한다. 수직 회로 보드 (405) 와 수평 회로 보드 (410) 간에 무선 주파수 신호들을 인터커넥팅하기 위해 수직 회로 보드 (405) 상의 핀들을 사용하는 것에 대한 결점은 저 비용 및 대량 생산의 실현가능성에 관련된다.
실제로, 그라운드 핀들은 임피던스 미스매칭을 최소화하기 위하여 신호 핀에 매우 가까이 있도록 요구되기 때문에, 이 요건은 저 비용 기술들 및 재료들, 및 셋 톱 박스 제조에 사용되는 큰 제작 공차들과 양립할 수 없다.

[0009] 도 5 는, 단일 핀 (12) 을 사용하여 인터커넥팅되고 광대역 인터커넥트를 가능하게 하는 필터링 패턴을 갖는 2 개의 회로 보드들을 도시한다. 2 개의 수직의 회로 보드들 (10, 1) 간에 광대역 인터커넥션을 가능하게 하기 위한 특정 필터링 패턴을 가진 단일 회로 보드 핀 (12) 의 사용은 신호 패턴들 및 그라운드의 수동식 납땜 (manual soldering) 을 요구한다.

[0010] 도 6 은, 서로 수직이고 하나 이상의 U-형 금속 클립들에 의해 인터커넥팅되는 2 개의 회로 보드들을 도시한다.
클립들은, 수평 회로 보드 신호 패드 또는 그라운드 패드에 납땜될 평면 베이스플레이트, 및 스프링 효과를 제공하고 따라서 U-형 단부들을 수직 회로 보드와 접촉하게 하는 방식으로 구부러진 2 개의 아암들을 포함한다.
이 솔루션이 저 비용으로 제공됨에도 불구하고, 그 단점은 최소 2 개의 클립들, 즉 신호를 송신하기 위한 하나의 클립 및 2 개의 회로 보드들 간에 그라운드를 송신하기 위한 제 2 클립이 요구된다는 것이다. 또한, 신호 클립과 그라운드 클립 간의 거리는 정확히 보장되어야 하기 때문에, 저 비용 프로세스들은 이 솔루션과 양

립할 수 없다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0011] 제안된 장치는, 서로 소정 각도로 (at an angle), 예를 들어, 수직으로 배열된 2 개의 회로 보드들 (PCB들) 의 인터커넥션을 가능하게 하는 금속부와 관련된다. 제안된 장치는, 넓은 주파수 범위에서 무선 주파수 (RF) 신호를 송신하여, IEEE.802.11a/b/g/n/ac 표준의 2.4GHZ 와 5GHz 양자 모두에서 예를 들어 WLAN 애플리케이션들을 다루는 것을 목표로 한다.

[0012] 제안된 인터커넥션 디바이스 (장치) 는, 통합 제약들이 서로 인터커넥팅된 여러 회로 보드들 (예를 들어, 인쇄 회로 보드들 (PCB들)) 의 사용을 요구하는 소형 셋-톱-박스들 (STB) 의 개발의 프레임워크에서 설계되었다. 제안된 인터커넥션 장치 (디바이스) 는 셋 톱 박스 면에서 설명되지만, 그렇게 제한되지 않으며, 게이트웨이들, 스마트 홈 디바이스들, 홈 네트워킹 디바이스 또는 제 1 회로 보드 상의 제 1 송신 신호를 제 2 회로 보드 상의 제 3 송신 신호와 커플링하는 그러한 방식으로 인터커넥팅되어야 하는 회로 보드들을 갖는 임의의 다른 전자 디바이스를 포함할 수도 있다.

[0013] 제안된 인터커넥션 디바이스 (장치) 는 종래의 솔루션들의 상기 설명된 단점들을 다루기 위해 시작하는 인터커넥션 솔루션을 제공한다. 특정한 실시형태에서, 제안된 인터커넥션 디바이스 (장치) 는 제 1 회로 보드 및 제 2 회로 보드로부터의 무선 주파수 신호들 및 보드-투-보드 인터커넥션으로부터의 그라운딩 신호를 인터커넥팅 가능한 표면 장착가능 단일 금속 클립을 포함한다.

[0014] 제 1 회로 보드 상에 배치되는 무선 주파수 인터커넥션 디바이스의 제 1 부분 및 제 2 회로 보드 상에 배치된 무선 주파수 인터커넥션 디바이스의 제 2 부분을 포함하는 무선 주파수 인터커넥션 디바이스가 설명된다.

[0015] 무선 주파수 인터커넥션 디바이스의 제 1 부분은 제 1 I/O 포트에서 그라운드에 커넥팅된 제 1 송신 선로 (transmission line) 를 포함한다. 제 1 송신 선로 및 제 2 송신 선로는 마이크로 스트립 선로, 스트립 선로, 공면 선로 (coplanar line) 또는 다층 선로일 수도 있다는 것에 주목해야 한다. 본 명세서의 설명에서, 마이크로 스트립 선로가 예로서 사용될 것이며 제한하는 것으로 받아들여져서는 안된다. 마이크로 스트립 선로와 송신 선로는 또한, 본 명세서의 설명에서 상호교환가능하게 사용될 수도 있다. 제 1 송신 선로는 중간 종단 패드에 커넥팅되는데, 그 중간 종단 패드는 제 1 그라운딩 패드로부터 이격되고, 제 2 송신 선로는 제 1 송신 선로에 커넥팅된다. 무선 주파수 인터커넥션 디바이스의 제 2 부분은 제 2 그라운딩 패드에 커넥팅된 U-형인 제 3 마이크로 스트립 선로를 포함한다. 제 2 그라운딩 패드는 제 1 그라운딩 패드 바로 위에 위치된다. 제 3 마이크로 스트립 선로는 교차점에서 출력 선로에 또한 커넥팅된다.

[0016] 무선 주파수 인터커넥션 디바이스의 제 1 부분은 2 개의 베이스플레이트들로 무선 주파수 인터커넥션 디바이스의 제 2 부분에 부착된다. 제 1 베이스플레이트는 제 1 그라운딩 패드와 제 2 그라운딩 패드 사이에 있고 제 2 베이스플레이트는 교차점과 중간 종단 패드 사이에 있다. 베이스플레이트들은 제 1 회로 보드와 제 2 회로 보드 사이에 공극 (air gap) 을 제공한다. 제 1 회로 보드와 제 2 회로 보드 양자 모두는 그라운드 평면을 갖는다.

[0017] 제 1 송신 선로 (925) 는 약 1/2-파장 길이이고 일직선이거나 또는 구불구불할 수도 있다. 제 2 송신 선로 (935) 는 약 1/4-파장 길이이고 일직선이거나 또는 구불구불할 수도 있다.

[0018] 제 1 회로 보드와 제 2 회로 보드는 서로 직각이다. 제 1 회로 보드는 수평일 수도 있고 제 2 회로 보드는 수직일 수도 있거나, 또는 제 1 회로 보드는 수직일 수도 있고 제 2 회로 보드는 수평일 수도 있다.

[0019] 중간 종단 패드는 100 과 200 ㎛ 사이만큼 제 1 그라운딩 패드로부터 이격된다.

[0020] 제 2 회로 보드의 출력 포트에서, 션트 엘리먼트 (단락 스터브 선로 (short circuit stub line)) 가 제 1 회로 보드와 제 2 회로 보드 간에 인터커넥션을 가능하게 한다. 입력 포트로부터 출력 포트까지 회로는 대역통과 타입 필터링 응답을 보인다.

[0021] 전자 디바이스는, 임의의 쌍이 상기 임의의 것에 따라 무선 주파수 인터커넥션 디바이스를 사용하여 인터커넥팅되는 복수의 회로 보드들을 포함한다.

도면의 간단한 설명

[0022] 제안된 방법 및 장치는 첨부하는 도면들과 함께 읽을 때 다음의 상세한 설명으로부터 가장 잘 이해된다. 도면들은 이하에 간략히 설명된 다음의 도안들을 포함한다:

도 1 은, 서로 수직이고 종래의 주변 컴포넌트 인터커넥트 익스프레스 (PCIe) 커넥터들을 사용하여 인터커넥팅되는 여러 회로 보드들을 갖는 디바이스를 도시한다.

도 2 는, 서로 수직이고 종래의 주변 컴포넌트 인터커넥트 익스프레스 (PCIe) 커넥터들을 사용하여 인터커넥팅되는 여러 회로 보드들을 갖는 셋 톱 박스 (STB) 를 도시한다.

도 3 은, 서로 평행하게 배열되고 엘리먼트가 보드-투-보드 (B2B) 그라운딩 스크류에 커플링되는 금속부를 사용하여 인터커넥팅되는 2 개의 회로 보드들을 도시한다.

도 4 는, 서로 수직이고 수직 회로 보드에 통합된 핀들에 의해 인터커넥팅되는 2 개의 회로 보드들을 도시한다.

도 5 는, 단일 핀을 사용하여 인터커넥팅되고 광대역 인터커넥트를 가능하게 하는 필터링 패턴을 갖는 2 개의 회로 보드들을 도시한다.

도 6 은, 서로 수직이고 하나 이상의 U-형 금속 클립들에 의해 인터커넥팅되는 2 개의 회로 보드들을 도시한다.

도 7 은, 본 발명의 실시형태들에 따른 대칭적 무선 주파수 광대역 대역통과 필터의 예시적인 설계이다.

도 8 은, 도 7 의 예시적인 대칭적 무선 주파수 광대역 대역통과 필터에 대한 필터 응답을 도시한다.

도 9 는, 본 발명의 실시형태들에 따른 예시적인 대칭적 무선 주파수 광대역 대역통과 필터를 예시한다.

도 10 은, 도 9 의 예시적인 대칭적 무선 주파수 광대역 대역통과 필터에 대한 거동을 도시한다.

도 11 은, 예시적인 대칭적 무선 주파수 광대역 대역통과 필터의 제 1 부분을 도시한다. 그 제 1 부분은 TL3 또는 출력 선로를 포함하지 않는다.

도 12 는, 제 2 회로 보드 상에 출력 선로 및 TL3 을 포함하는 예시적인 대칭적 무선 주파수 광대역 대역통과 필터의 제 2 (나머지) 부분을 도시한다.

도 13 은, 단락을 회피하기 위하여 공극이 회로 보드들을 분리하고 있는, 제안된 장치의 실시형태를 사용하는 직각의 회로 보드들 간의 인터커넥션의 확대 단면도를 도시한다.

도 14 는, 제안된 인터커넥션 디바이스 (장치) 의 실시형태를 도시하고, 여기서 TL3 은 (2 개의 회로 보드들 상의) 2 개의 베이스플레이트들로 단일 금속부인 것으로 간주될 수 있다.

도 15 는, 제안된 인터커넥션 디바이스 (장치) 의 실시형태의 응답 및 성능을 도시한다.

도 16 은, 제안된 인터커넥션 디바이스 (장치) 의 예시적인 실시형태이다.

도 17 은, 셋 톱 박스와 같은 미디어 디바이스의 블록 다이어그램이다.

도면(들)은 본 개시의 개념들을 예시하는 목적들을 위한 것이며 반드시 본 개시를 예시하기 위한 유일한 가능한 구성은 아니라는 것이 이해되어야 한다.

발명을 실시하기 위한 구체적인 내용

[0023] 본 설명은 본 개시의 원리들을 예시한다. 따라서, 당업자들은, 본 명세서에서 명시적으로 설명 또는 도시되지 않았지만, 본 개시의 원리들을 구현하고 그 범위 내에 포함되는 다양한 장치들을 고안 가능할 것임이 인식될 것이다.

[0024] 본 명세서에 열거된 모든 예들 및 조건부 언어는, 본 개시의 원리들 및 본 발명자들에 의해 기술을 증진하는데 기여된 개념들을 독자가 이해하게 돕는 교육적 목적들을 위해 의도되며, 이러한 구체적으로 열거된 예들 및 조건들에 제한하지 않는 것으로 해석되어야 한다.

[0025] 더욱이, 본 개시의 원리들, 양태들, 및 실시형태들 뿐만 아니라 그 특정 예들을 열거하는 본 명세서의 모든 스

테이트먼트들은, 그 구조적 및 기능적 등가물들 양자 모두를 포괄하는 것으로 의도된다. 추가적으로, 이러한 등가물들은 현재 알려진 등가물들 뿐만 아니라 앞으로 개발될 등가물들, 즉, 구조에 상관없이 동일한 기능을 수행하는 개발된 임의의 엘리먼트들 양자 모두를 포함하는 것으로 의도된다.

[0026] 따라서, 예를 들어, 본 명세서에 제시된 블록 다이어그램들은 본 개시의 원리들을 구현하는 예시적인 회로부의 개념도들을 나타낸다는 것이 당업자들에 의해 인식될 것이다. 유사하게, 임의의 플로우 차트들, 플로우 다이어그램들, 상태 트랜지션 다이어그램들, 의사코드 등은 컴퓨터 판독가능 매체들에 실질적으로 나타내질 수도 있고 그래서 컴퓨터 또는 프로세서가 명시적으로 도시되든 도시되지 않든 간에, 이러한 컴퓨터 또는 프로세서에 의해 실행될 수도 있는 다양한 프로세스들을 나타낸다는 것이 인식될 것이다.

[0027] 도안들에 도시된 다양한 엘리먼트들의 기능들은 전용 하드웨어 뿐만 아니라 적절한 소프트웨어와 관련하여 소프트웨어를 실행 가능한 하드웨어의 사용을 통하여 제공될 수도 있다. 프로세서에 의해 제공될 때, 기능들은 단일 전용 프로세서에 의해, 단일 공유 프로세서에 의해, 또는 일부가 공유될 수도 있는 복수의 개개의 프로세서들에 의해 제공될 수도 있다. 더욱이, 용어 "프로세서" 또는 "제어기" 의 명시적 사용은 배타적으로 소프트웨어를 실행 가능한 하드웨어를 지칭하는 것으로 해석되어서는 안되고, 제한 없이, 디지털 신호 프로세서 (DSP) 하드웨어, 소프트웨어를 저장하기 위한 판독 전용 메모리 (ROM), 랜덤 액세스 메모리 (RAM), 및 비휘발성 스토리지를 암시적으로 포함할 수도 있다.

[0028] 종래의 및/또는 맞춤의 다른 하드웨어가 또한 포함될 수도 있다. 유사하게, 도안들에 도시된 임의의 스위치들은 단지 개념적이다. 그들의 기능은 프로그램 로직의 동작을 통하여, 전용 로직을 통하여, 프로그램 제어 및 전용 로직의 상호작용을 통하여, 또는 심지어 수동으로 수행될 수도 있고, 그 특정한 기법은 문맥으로부터 보다 구체적으로 이해되는 바와 같이 구현자에 의해 선택가능하다.

[0029] 그 청구항들에서, 특정된 기능을 수행하기 위한 수단으로서 표현된 임의의 엘리먼트는, 예를 들어, a) 그 기능을 수행하는 회로 엘리먼트들의 조합 또는 b) 그에 따라 기능을 수행하기 위해 소프트웨어를 실행하기 위한 적절한 회로부와 결합된, 펌웨어, 마이크로코드 등을 포함하는, 임의의 형태의 소프트웨어를 포함하는 그 기능을 수행하는 임의의 방식을 포괄하는 것으로 의도된다. 이러한 청구항들에 의해 정의한 바와 같은 본 개시는 다양한 열거된 수단에 의해 제공된 기능성들이 청구항들이 필요로 하는 방식으로 함께 결합 및 합쳐진다는 사실에 의해 야기된다. 따라서, 그 기능성들을 제공할 수 있는 임의의 수단은 본 명세서에 도시된 것들과 등가물인 것으로 간주된다.

[0030] 제안된 인터커넥션 디바이스 (장치) 는 애플리케이션에 대한 아이디어의 기원에서부터 실현의 예까지 단계별로 이하에 설명된다.

[0031] 도 7 은 제안된 장치의 원리들에 따른 대칭적 무선 주파수 광대역 대역통과 필터의 예시적인 설계이다. 도 7 의 대칭적 무선 주파수 광대역 대역통과 필터는, 하나 (TL1) 가 입력 (P1) 및 출력 (P2) 포트들에 커넥팅되고 2 개의 다른 선로들 (TL2, TL3) 이 그들 개별의 I/O 포트들에서 그라운드에 커넥팅되는, 3 개의 이론적 송신 선로들 (TLIN) 을 포함한다. 각각의 TLIN 에 대해, Z 는 선로의 특성 임피던스로서 정의되고, E 는 전기 길이 (도 단위) 로서 정의되고 그리고 F 는 관련 주파수로서 정의된다.

[0032] 도 8 은 도 7 의 예시적인 대칭적 무선 주파수 광대역 대역통과 필터에 대한 필터 응답을 도시한다. 도 7 에 도시되고 상기 설명된 바와 같은 대칭적 무선 주파수 광대역 대역통과 필터의 설계의 값들에 대해, 필터 응답들이 도 8 에 플로팅되고, 도 8 은, 반사 계수가 낮은 (dB(S11)<-20dB), 2-6GHz 로부터의 넓은 통과 대역 (dB(S12)) 을 도시한다. 이것은 이상적인 경우이다.

[0033] 도 9 는 평면 보드 상에 제공될 때 제안된 장치의 원리들에 따른 예시적인 대칭적 무선 주파수 광대역 대역통과 필터를 예시한다. 저 비용 유리섬유 보강 에폭시 (FR4) 기반 다층 기판 상에 인쇄된 마이크로 스트립 선로들을 사용하는 것은, 200㎜ 정도의 제 1 송신 선로 (925) (TL1) 길이, 즉 4GHz 에서 1/2-파장을 가진, 도 9 에 제시된 회로를 초래한다. 제 1 송신 선로 (925) (TL1) 는 입력 포트 (915) (P1) 및 출력 포트 (920) (P2) 에 커넥팅된다. 제 2 송신 선로 (935) (TL2) 는 제 1 송신 선로 (925) (TL1) 에 커넥팅된다. 제 3 송신 선로 (930) (TL3) 또한 제 1 송신 선로 (925) (TL1) 에 커넥팅된다. 제 3 송신 선로 (930) (TL3) 는 그라운딩된 비아-홀 (910) 로 종단된다. 송신 선로들 (935 (TL2) 및 930 (TL3)) 은 션트 엘리먼트들이다 (그리고 또한 단락 스터브 선로들로 불린다). 일직선의 선로들이 여기에 사용되지만, 물론, 그 선로들은 설계를 상당히 콤팩트화하기 위하여 구불구불할 수 있다.

[0034] 도 10 은, 도 9 의 예시적인 대칭적 무선 주파수 광대역 대역통과 필터에 대한 거동을 도시한다. 도 9 에

도시되고 상기 설명된 필터에 대해, 도 10 에 도시된 거동은 도 7 의 이상적인 필터의 거동에 가깝고, (주로, Df~0.02 인, FR4 기판의 고 유전 손실로 인해) 삽입 손실이 본질적으로 더 높다.

[0035] 상기 설명된 단일 수평 평면 필터로부터, 예를 들어, 수직 회로 보드 상에, 제 2 평면 내의 필터 네트워크의 부분을 배치하는 것을 고려하는 것이 가능하다. 제안된 인터커넥션 디바이스 (장치) 는 2 개의 수직의 회로 보드들 상에 배치된 단지 단일 금속부만을 사용하여 2 개의 회로 보드들 간에 인터커넥션을 제공하기 위해 수직 회로 보드 상에 션트 엘리먼트 (단락 스터브 선로) (TL3) 를 배치하는 것을 포함한다.

[0036] 도 11 은 예시적인 대칭적 무선 주파수 광대역 대역통과 필터의 제 1 부분을 도시한다. 예시적인 대칭적 무선 주파수 광대역 대역통과 필터의 제 1 부분은 그라운드 평면 (1110) 을 갖는 제 1 회로 보드 (1105) 상에 배치된다. 입력 포트 (1115) 는 제 1 송신 선로 (1130) (TL1) 에 커넥팅된다. 필터의 제 1 송신 선로 (1130) (TL1) 는 중간 종단 패드 (1120) (P2i) 에서 종단된다. 그라운딩 패드 (1125) (PG1) 는 중간 종단 패드 (1120) (P2i) 로부터 이격된다. 제 1 회로 보드 상의 필터의 제 1 부분은, 그라운딩 패드 (1125) 및 중간 종단 패드 (1120) 가 제 1 회로 보드의 상부 층 상에 인쇄되는 제약을 조건으로 마이크로 스트립 선로들은 물론 스트립 선로들, 공면 선로들, 다층 선로들과 같은 다른 송신 선로들을 사용하여 실현될 수도 있다. 제 1 부분은 TL3 또는 출력 선로를 포함하지 않는다. PG1 과 P2i 사이의 거리는 동작의 주파수 범위에 의존하여 100 내지 200 ㎛ 의 범위에 있다.

[0037] 도 12 는 제 2 회로 보드 상에 출력 선로 및 TL3 을 포함하는 예시적인 대칭적 무선 주파수 광대역 대역통과 필터의 제 2 (나머지) 부분을 도시하고, 제 2 회로 보드는 제 1 회로 보드에 직각이다. TL3 은 반전된 좁은 U-형으로 형성되어, 중간 종단 패드 (P2i) 에서 비롯하여, 그것은 그라운드 패드 (PG1) 로 리턴한다. 제 2 회로 보드 상에서, TL3 은 교차점 (C) 에서 출력 포트 (P2) 와 그리고 PG1 보다 위에 위치된 그라운드 패드 (PG2) 와 접촉하고 있다. 제 1 회로 보드의 엘리먼트들은 도 11 에 대해서와 동일한 참조 표시로 표시되고 다시 설명되지 않을 것이다. 제 2 회로 보드 (1205) 는 그라운드 평면 (1210) 을 갖는다. 제 3 송신 선로 (1220) (TL3) 는 션트 엘리먼트 (단락 스터브 선로) 이다. 제 3 송신 선로 (1220) (TL3) 는 커넥션들 (1125, 1120, 1225) 및 C 가 보장되면 상기 설명한 바와 같은 반전된 U-형과는 다른 형상일 수도 있다는 것에 주목해야 한다. 출력 포트 (1215) (P2) 는 교차점 (C) 에서 제 3 송신 선로 (1220) (TL3) 와 접촉하고 있다. 그라운딩 패드 (1225) (PG2) 는 그라운딩 패드 (1125) (PG1) 보다 위에 위치된다.

[0038] 회로가 출력 포트에서, 수직의 회로 보드 (예를 들어, 인쇄 회로 보드 (PCB)) 와의 인터커넥션의 실현을 가능하게 하는 단락 스터브 선로 (션트 엘리먼트) (TL3) 를 포함하면 임의의 종류의 필터 회로가 적용될 수도 있다.

[0039] 도 13 은, 단락을 회피하기 위하여 공극이 제 1 및 제 2 회로 보드들을 분리하고 있는, 제안된 장치의 실시형태를 사용하는 제 1 및 제 2 직각의 회로 보드들 간의 인터커넥션의 확대 단면도를 도시한다. TL3 은 이제, 제안된 인터커넥션 디바이스 (장치) 를 도시하는 도 14 에 예시한 바와 같이, 제 1 회로 보드 상에 인쇄된 개별의 패드들 (GP1 및 P2i) 에 납땜된 2 개의 베이스플레이트들로 단일 금속부로 간주될 수 있고, 여기서 TL3 은 서로 수직인 (2 개의 회로 보드들 상의) 2 개의 베이스플레이트들로 단일 금속부로 간주될 수 있다. 도 13 의 다양한 엘리먼트들은 도 11 및 도 12 에서 엘리먼트들을 라벨링하는데 사용한 것과 동일한 참조 표시로 라벨링된다. 이 포인트에서, TL3 은 개념을 증명하도록 설계된 전기 모델로서 간주되어야 한다. 다량의 실현 방법들이 이하에 설명된다.

[0040] 상기 설명되고 도 12 에 도시된 바와 같은 회로 전체가 3D 전자기 시뮬레이션 툴을 사용하여 개념 증명 (proof-of-concept) 으로서 시뮬레이션되었다. 도 15 는 제안된 인터커넥션 디바이스 (장치) 의 응답 및 성능을 도시한다. 도 15 로부터 알 수 있는 바와 같이, 응답 및 성능은 단일-평면 필터 (도 10) 와 유사하다. 대역폭 면에서의 달성된 성능들은 제안된 인터커넥션 디바이스 (장치) 가 듀얼-대역 WLAN 애플리케이션들에, 최대 6GHz 까지 적용되는 것을 가능하게 한다.

[0041] 제안된 인터커넥션 디바이스 (장치) 는 잘 알려진 스탬핑 프로세스를 사용하여 제작될 수 있고 상이한 핀들을 회로 보드에 및 금속 플레이트에 인터커넥팅하는 여러 방식들이 존재한다. 제안된 인터커넥션 디바이스 (장치) 의 하나의 이러한 제작이 도 16 에 예시되고, 여기서 만곡된 스트립들이 제 2 회로 보드 상에 배치된 교차점 (C) 및 그라운딩 패드 (1225) (PG2) 와의 접촉을 보장하는 요청된 플렉서빌리티를 제공하기 위하여 도입된다. 그라운딩 패드 (1125) (PG1) 및 중간 종단 패드 (1120) (P2i) 는 제 1 회로 보드 상에 배치된다.

[0042] 도 17 은 도 2 의 미디어 디바이스 (1700) 의 예의 블록 다이어그램이다. 미디어 디바이스는 셋 톱 박스와

같은 (그러나 이에 제한되지는 않음) 전자 디바이스이다. 블록 다이어그램 구성은 프로세서 (1720), 및 메모리 (1745) 를 인터커넥팅하는 버스-배향된 (1750) 구성을 포함한다. 도 17 의 구성은 또한, 네트워크 인터페이스 (1705) 를 포함하고 유선 또는 무선 인터페이스 중 어느 하나 또는 양자 모두를 포함할 수도 있다.

[0043] 프로세서 (1720) 는 도 2 에 도시된 것과 같이, 미디어 디바이스에 대해 컴퓨테이션 기능들을 제공한다. 프로세서 (1720) 는 통신 및 컴퓨테이션 프로세스들을 제어하기 위해 미디어 디바이스의 엘리먼트들 간의 통신들을 활용하는 임의의 형태의 CPU 또는 제어기일 수 있다. 당업자들은, 버스 (1750) 가 실시형태 (1700) 의 다양한 엘리먼트들 간에 통신 경로를 제공하고 다른 포인트-투-포인트 인터커넥션 옵션들 (예를 들어, 비-버스 아키텍처) 이 또한 실현가능하다는 것을 인정할 것이다.

[0044] 사용자 인터페이스 및 디스플레이 (1710) 는 인터페이스 회로 (1715) 에 의해 드라이빙된다. 인터페이스 (1710) 는 네트워크 인터페이스 (1725) 및 네트워크에 대한 커넥션 (1705) 을 통해 획득된 스트리밍된 또는 다운로드된 오디오 및/또는 비디오 및/또는 멀티미디어 콘텐츠를 디스플레이하는 오디오 및 비디오 능력 양자 모두를 갖는 멀티미디어 인터페이스로서 사용된다.

[0045] 메모리 (1745) 는 미디어 디바이스의 기능성을 통합하는 방법들 중 임의의 방법에 관련된 메모리에 대한 저장소의 역할을 할 수 있다. 메모리 (1745) 는 오디오, 비디오 및 멀티미디어 콘텐츠를 포함하는 스트리밍된 또는 다운로드된 콘텐츠의 저장은 물론 프로그램 메모리, 다운로드들, 업로드들, 또는 스크래치패드 계산들과 같은 정보의 저장을 위한 저장소를 제공할 수 있다. 당업자들은 메모리 (1745) 가 프로세서 (1720) 의 전부 또는 부분에 통합될 수도 있다는 것을 인정할 것이다. 네트워크 인터페이스 (1725) 는 당업자들에게 알려진 바와 같은 통신을 위한 수신기 및 송신기 엘리먼트들 양자 모두를 갖는다.

[0046] 네트워크 인터페이스 (1725) 는 오디오 및/또는 비디오 및/또는 멀티미디어 콘텐츠에 대한 요청들을 송신하고 요청된 오디오 및/또는 비디오 및/또는 멀티미디어 콘텐츠를 수신하기 위해 무선으로 통신하도록 무선 인터페이스를 포함할 수도 있다. 그렇게 하기 위하여, 무선 주파수 인터페이스가 제공될 수도 있다. 무선 주파수 인터페이스는 안테나를 사용하여 송신 및 수신하며, 이는 무선 주파수 광대역 대역통과 필터를 사용할 수도 있다. 무선 주파수 광대역 대역통과 필터 회로는, 서로 직각인 2 개의 회로 보드들에 걸쳐서 스플릿될 수도 있다. 직각의 회로 보드들은 도 12 및 도 13 에 도시되고 상기 설명된 인터커넥션 디바이스를 사용할 수도 있다.

[0047] 본 명세서에서 고려된 예와 같은, 션트 (단락 스터브 선로) 송신 선로에 의해 종단된 임의의 다른 필터 네트워크들은 제안된 인터커넥션 디바이스를 사용할 수 있다.

[0048] 제안된 방법 및 장치는 다양한 형태들의 하드웨어, 소프트웨어, 펌웨어, 특수 목적 프로세서들, 또는 그 조합으로 구현될 수도 있는 것으로 이해되어야 한다. 특수 목적 프로세서들은 주문형 집적 회로들 (ASIC들), 축소 명령 세트 컴퓨터들 (RISC들) 및/또는 필드 프로그래밍가능 게이트 어레이들 (FPGA들) 을 포함할 수도 있다. 바람직하게는, 제안된 방법 및 장치는 하드웨어와 소프트웨어의 조합으로서 구현된다. 더욱이, 소프트웨어는 바람직하게는 컴퓨터 저장 디바이스 상에 유형으로 구현된 애플리케이션 프로그램으로서 구현된다. 애플리케이션 프로그램은 임의의 적합한 아키텍처를 포함하는 머신에 업로드되고 그것에 의해 실행될 수도 있다. 바람직하게는, 머신은 하나 이상의 중앙 프로세싱 유닛들 (CPU), 랜덤 액세스 메모리 (RAM), 및 입력/출력 (I/O) 인터페이스(들)와 같은 하드웨어를 갖는 컴퓨터 플랫폼 상에 구현된다. 컴퓨터 플랫폼은 또한 오퍼레이팅 시스템 및 마이크로명령 코드를 포함한다. 본 명세서에서 설명된 다양한 프로세스들 및 기능들은, 오퍼레이팅 시스템을 통해 실행되는, 마이크로명령 코드의 부분이거나 또는 애플리케이션 프로그램의 부분 중 어느 하나 (또는 그 조합) 일 수도 있다. 추가로, 다양한 다른 주변 디바이스들이 추가적인 데이터 저장 디바이스 및 인쇄 디바이스와 같은 컴퓨터 플랫폼에 커넥팅될 수도 있다.

[0049] 도안들에 도시된 엘리먼트들은 다양한 형태들의 하드웨어, 소프트웨어 또는 그 조합들로 구현될 수도 있는 것으로 이해되어야 한다. 바람직하게는, 이들 엘리먼트들은, 프로세서, 메모리 및 입력/출력 인터페이스들을 포함할 수도 있는 하나 이상의 적절히 프로그래밍된 범용 디바이스들 상에 하드웨어와 소프트웨어의 조합으로 구현된다. 여기서, 어구 "커플링된" 은 직접 커넥팅되거나 또는 하나 이상의 중간 컴포넌트들을 통하여 간접 커넥팅되는 것을 의미하도록 정의된다. 이러한 중간 컴포넌트들은 하드웨어와 소프트웨어 기반 컴포넌트들 양자 모두를 포함할 수도 있다.

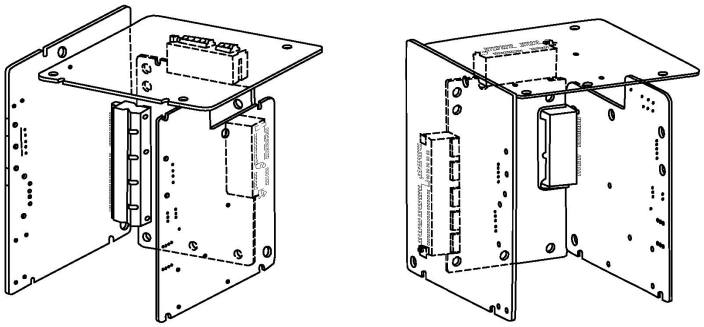
[0050] 첨부하는 도안들에 도시된 구성 시스템 컴포넌트들 및 방법 단계들의 일부가 바람직하게는 소프트웨어로 구현되기 때문에, 시스템 컴포넌트들 (또는 프로세스 단계들) 간의 실제 커넥션들은 제안된 방법 및 장치가 프로그래

밍되는 방식에 의존하여 상이할 수도 있는 것으로 추가로 이해되어야 한다. 본 명세서의 교시들이 주어지면, 당업자는 제안된 방법 및 장치의 이들 및 유사한 구현들 또는 구성들을 고려 가능할 것이다.

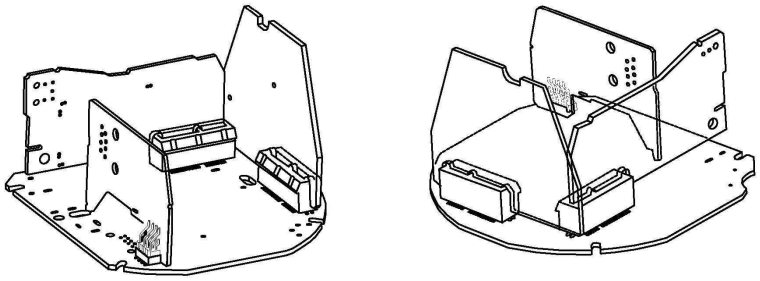
[0051] 본 출원 및 청구항들의 목적들을 위해, 예시적인 어구 "A, B **및** C 중 **적어도 하나**" 를 사용하는 것은 어구 "단지 A 만, 또는 단지 B 만, 또는 단지 C 만, 또는 A, B 및 C 의 임의의 조합" 을 의미한다.

도면

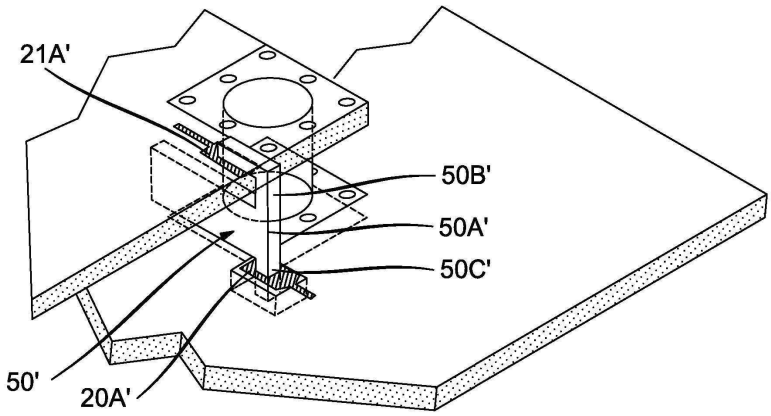
도면1



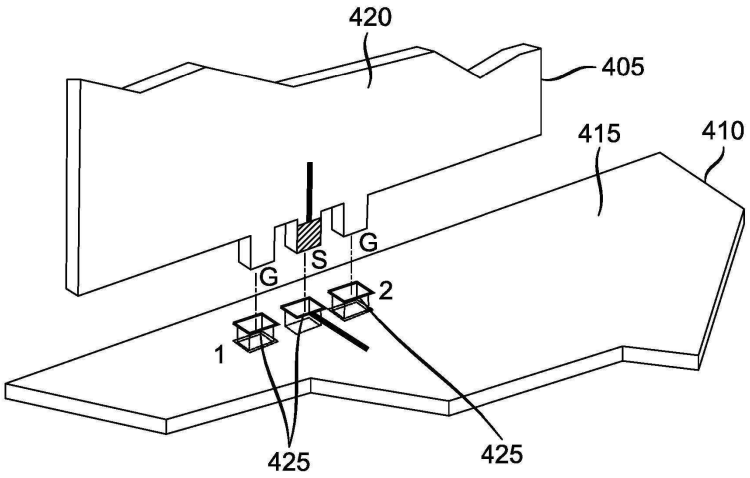
도면2



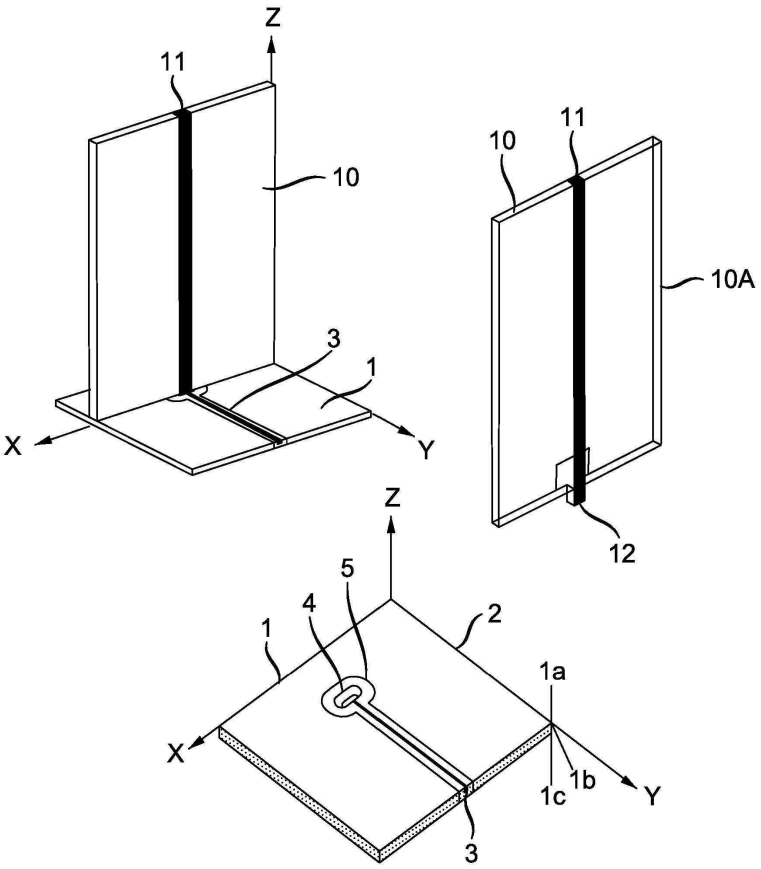
도면3



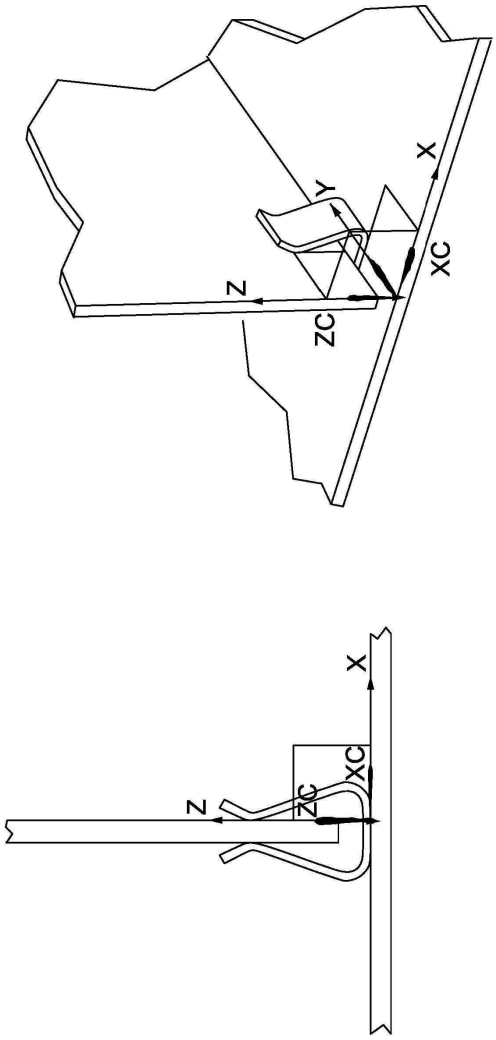
도면4


420
405
415
410
G
S
G
2
1
425
425

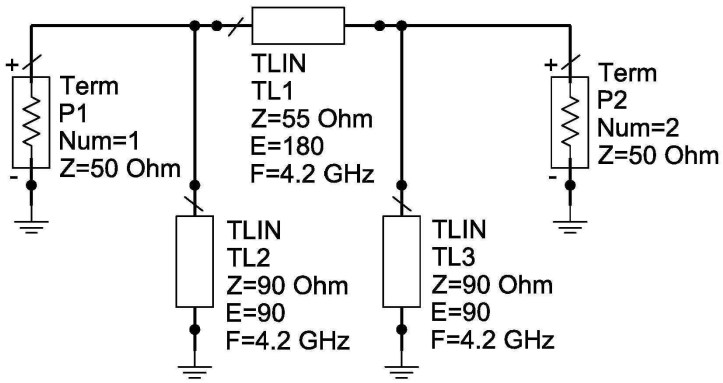
도면5


Z
11
10
3
1
X
Y
10
11
10A
12
Z
5
4
1
2
1a
X
1c
1b
Y
3

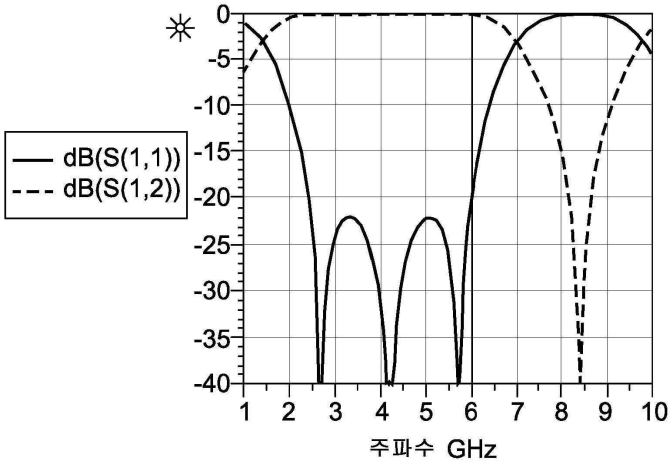
도면6


X
Y
XC
Z
ZC
X
XC
Z
ZC

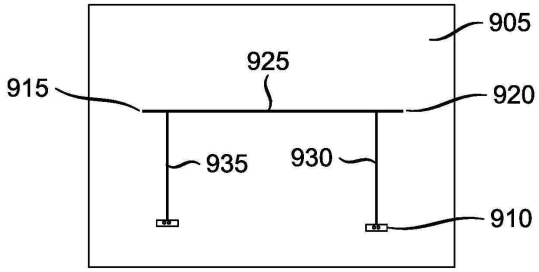
도면7


Term
P1
Num=1
Z=50 Ohm
TLIN
TL1
Z=55 Ohm
E=180
F=4.2 GHz
Term
P2
Num=2
Z=50 Ohm
TLIN
TL2
Z=90 Ohm
E=90
F=4.2 GHz
TLIN
TL3
Z=90 Ohm
E=90
F=4.2 GHz

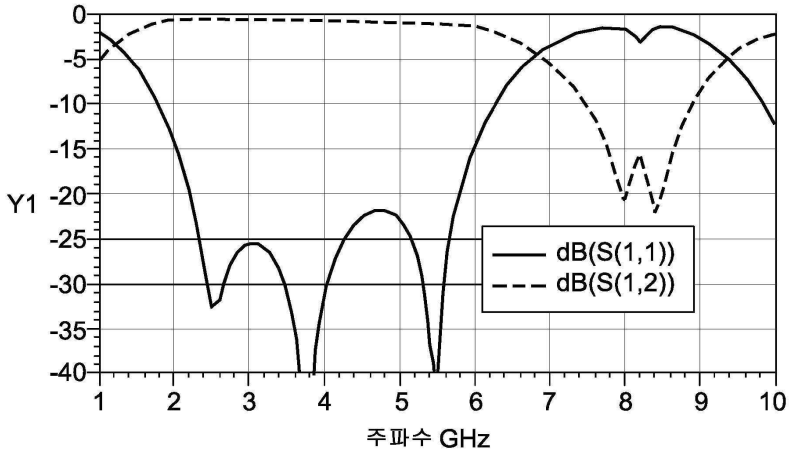
도면8


0
-5
-10
-15
-20
-25
-30
-35
-40
1 2 3 4 5 6 7 8 9 10
주파수 GHz
dB(S(1,1))
dB(S(1,2))

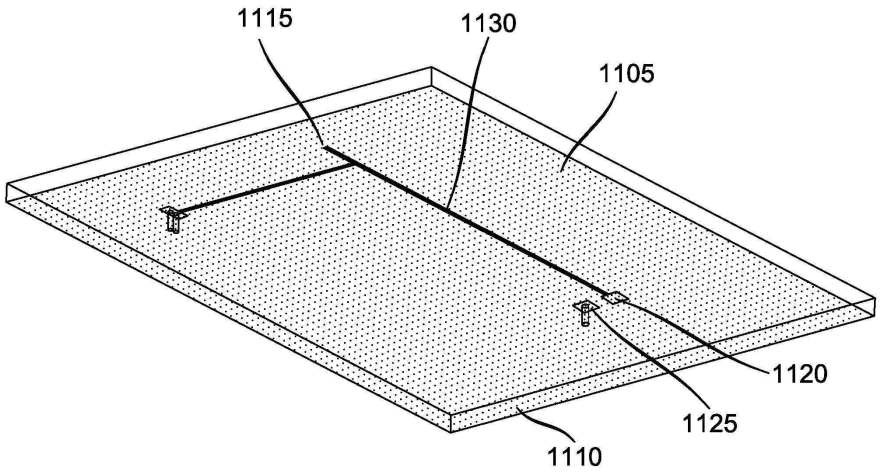
도면9


905
925
915
920
935
930
910

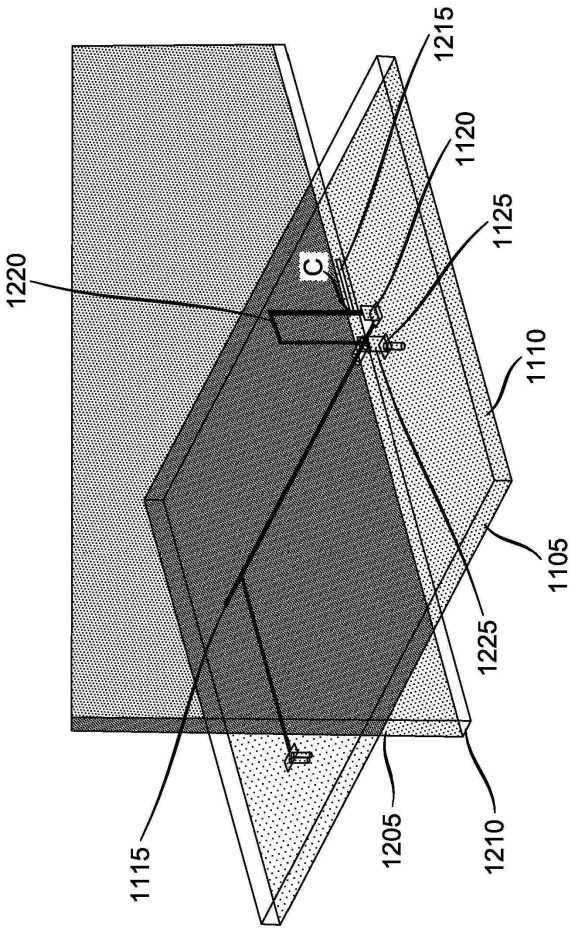
도면10


0
-5
-10
-15
Y1 -20
-25
-30
-35
-40
1 2 3 4 5 6 7 8 9 10
주파수 GHz
dB(S(1,1))
dB(S(1,2))

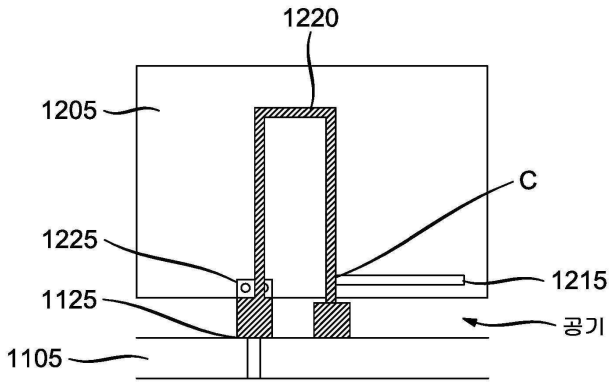
도면11


1115
1130
1105
1120
1125
1110

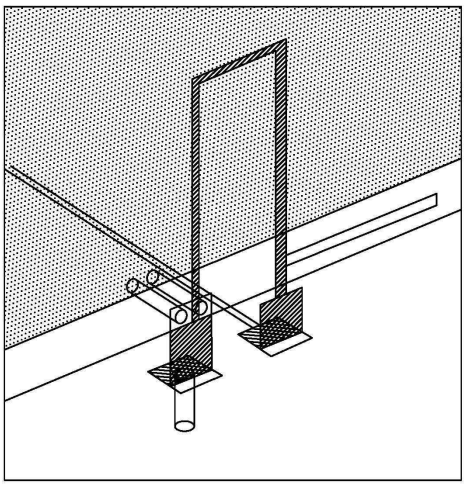
도면12


1215
1120
1125
1220
C
1110
1105
1225
1115
1205
1210

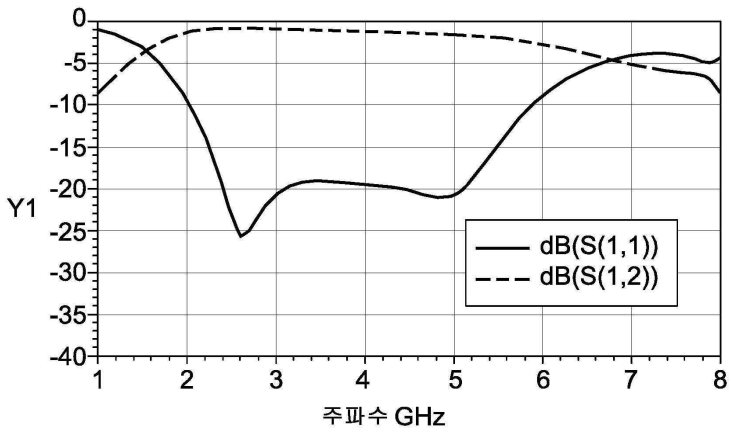
도면13



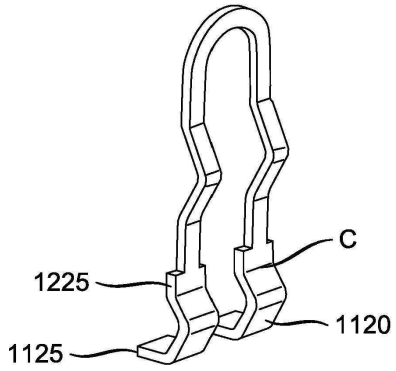
도면14



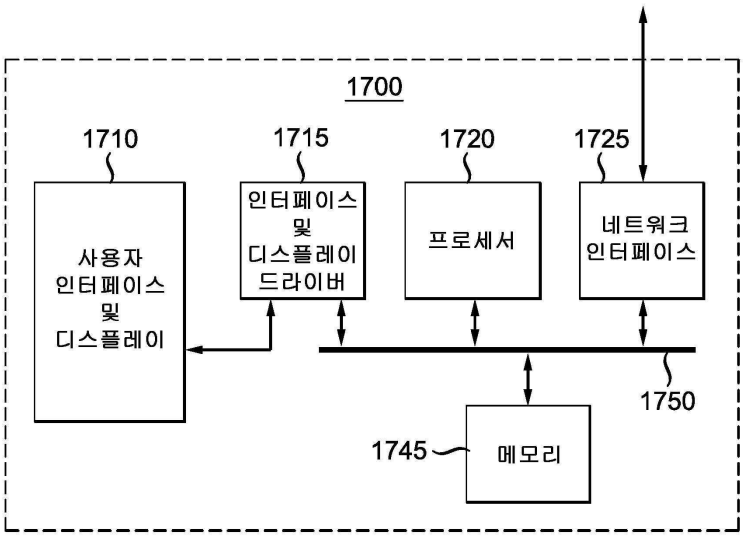
도면15



도면16


C
1225
1120
1125

도면17


1700
1710
1715
1720
1725
사용자 인터페이스 및 디스플레이
인터페이스 및 디스플레이 드라이버
프로세서
네트워크 인터페이스
1750
1745
메모리