

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/324 (2006.01)

C30B 33/02 (2006.01)

C30B 29/36 (2006.01)



[12] 发明专利说明书

专利号 ZL 03814624. X

[45] 授权公告日 2007 年 12 月 19 日

[11] 授权公告号 CN 100356524C

[22] 申请日 2003.6.10 [21] 申请号 03814624. X

[30] 优先权

[32] 2002. 6. 24 [33] US [31] 10/064,232

[86] 国际申请 PCT/US2003/018068 2003. 6. 10

[87] 国际公布 WO2004/001836 英 2003. 12. 31

[85] 进入国家阶段日期 2004. 12. 22

[73] 专利权人 克里公司

地址 美国北卡罗莱纳

[72] 发明人 贾森·R·詹妮

戴维·P·马尔塔

赫德森·M·霍布古德

斯蒂芬·G·米勒

[56] 参考文献

CN1229445 A 1999.9.22

US6218680 B1 2001.4.17

WO9917345 A1 1999.4.8

Determination of native defect concentrations and deviation from stoichiometry in silicon carbide.

LILOV S K. Materials Science & Engineering B, Vol. B18 No.3. 1993

审查员 孙学锋

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 秦 晨

权利要求书 3 页 说明书 13 页 附图 3 页

[54] 发明名称

在高纯碳化硅晶体中产生半绝缘电阻率的方法

[57] 摘要

本发明公开了一种方法，用于在没有相关数量深层级捕获元素的情况制造高品质半绝缘碳化硅晶体。本发明包括如下步骤：将具有与深层级状态相关的第一点缺陷浓度的碳化硅晶体加热到一定的温度，该温度高于碳化硅从源气体进行 CVD 生长所需的温度，但低于碳化硅在环境条件下的升华温度，借此在热力学上增加晶体中点缺陷和由此产生的状态的浓度，然后以足够快的速度将加热的晶体冷却到接近室温，使冷却晶体中点缺陷的浓度保持大于第一浓度。

1. 一种用于在不存在相关数量的深层级捕获元素的情况下制造高品质半绝缘碳化硅晶体的方法，该方法包括：

在大气压下将具有第一浓度点缺陷相关深层级状态的碳化硅晶体加热到 2000℃-2400℃ 的温度，由此在热力学上增加晶体中的点缺陷和由此产生的状态的浓度；和

以每分钟 30℃-150℃ 速度将加热的晶体冷却到 1200℃ 或者更低，以保持冷却的晶体内的点缺陷的浓度，该浓度保持大于第一浓度。

2. 根据权利要求 1 的方法，包括加热具有从碳化硅的 3C、4H、6H 和 15R 等多型中选择的多型晶体。

3. 根据权利要求 1 的方法，包括加热和冷却补偿碳化硅晶体。

4. 根据权利要求 1 的方法，包括将晶体冷却到接近室温。

5. 根据权利要求 1 的方法，包括加热碳化硅刚玉。

6. 根据权利要求 1 的方法，包括加热碳化硅晶片。

7. 根据权利要求 5 的方法，包括加热晶体至少 2 分钟。

8. 根据权利要求 1 的方法，其中加热晶体的步骤包括在感应加热器中加热晶体，而冷却晶体的步骤包括降低供给感应线圈的功率。

9. 根据权利要求 8 的方法，其中冷却步骤进一步包括使晶体与冷却剂接触。

10. 根据权利要求 1 的方法，包括在根据权利要求 1 制造的半绝缘碳化硅衬底上沉积 III 族氮化物外延层。

11. 根据权利要求 9 的方法，其中冷却晶片的步骤包括用惰性气体灌注周围环境。

12. 根据权利要求 1 的方法，其中冷却步骤包括控制周围环境的热量。

13. 根据权利要求 1 的方法，包括在少于 70 分钟的时间内冷却到室温。

14. 根据权利要求 1 的方法，包括在少于 20 分钟的时间内冷却

到室温。

15. 根据权利要求 1 的方法，用于在半绝缘衬底上制造半导体器件前体，包括：

将碳化硅刚玉加热到至少 2000℃；

以至少 30℃/分钟的速度将加热的刚玉冷却到接近室温；

从刚玉切割碳化硅晶片；和

在切片的晶片上沉积半导体材料外延层。

16. 根据权利要求 15 的方法，包括在大气压下将刚玉加热到 2000℃-2400℃的温度。

17. 根据权利要求 15 的方法，包括以大约每分钟 30℃-50℃的速度冷却刚玉。

18. 根据权利要求 17 的方法，包括将刚玉冷却到 1200℃或者更低。

19. 根据权利要求 1 的方法，用于在半绝缘衬底上制造半导体器件前体，包括：

从单晶体碳化硅刚玉切割碳化硅晶片；

将切片的晶体加热到至少 2000℃的温度；

以至少 30℃/分钟的速度将加热的晶片冷却到接近室温；和

在切片的晶片上沉积半导体材料外延层。

20. 根据权利要求 19 的方法，包括在大气压下将切片的晶片加热到 2000℃-2400℃的温度。

21. 根据权利要求 19 的方法，包括以每分钟 30℃-150℃的速度冷却晶片。

22. 根据权利要求 19 的方法，包括将晶片冷却到 1200℃或者更低。

23. 根据权利要求 19 的方法，包括通过化学气相沉积来沉积碳化硅外延层，同时使晶片保持在 1400℃或者更高的温度。

24. 一种制造半导体器件前体的方法，包括：

在大气压下将具有第一浓度点缺陷相关深层级状态的碳化硅晶

体加热到 2000℃-2400℃的温度,由此在热力学上增加晶体中的点缺陷和由此产生的状态的浓度;

以每分钟 30℃-150℃速度将加热的晶体冷却到 1200℃或者更低,以保持冷却的晶体内的点缺陷的浓度,该浓度保持大于第一浓度;以及

在所述碳化硅晶体上生长碳化硅外延层。

25. 根据权利要求 24 的方法,包括加热和冷却补偿晶体,其中最浓集掺杂剂的存在量为大约 5×10^{16} 或者更少。

在高纯碳化硅晶体中 产生半绝缘电阻率的方法

技术领域

本发明涉及半绝缘碳化硅单晶体，特别地，涉及形成高纯半绝缘碳化硅单晶体衬底的方法，该衬底具有本征点缺陷和由此产生的深层级电子状态（**deep level electronic state**），其数目大于任何补偿浅掺杂剂的净浓度（也就是，数目大于未补偿浅掺杂剂），并涉及在器件制造的附加处理步骤中保持碳化硅衬底半绝缘品质的方法。

背景技术

本发明涉及在如下专利申请中提出的发明，即共同转让的美国专利 Nos.6,218,680（‘680 专利）； 6,396,080； 6,403,982 和 6,507,046 以及共同未决的专利申请系列 No.09/810,830（公布为 No.2001-0017374）。

如在‘680 和相关专利中提出的，已经发现，不使用钒作为掺杂剂来产生生成半绝缘特性的深层级状态（**deep level state**）也能够制造半绝缘碳化硅。

尽管钒能够产生半绝缘碳化硅晶体，但是已经发现，它的存在会产生反向栅效应（**back-grating effect**）；也就是说，在使用钒掺杂的晶体作为半绝缘衬底的器件中，钒上捕获的负电荷起内生栅（**grown-in gate**）的作用。因此，出于大量器件的考虑，最好不使用钒。

在‘680 和相关专利中，所描述的半绝缘碳化硅晶体包括施主掺杂剂、受主掺杂剂和产生深层级状态的本征点缺陷。当本征点缺陷的浓度超过施主浓度与受主浓度之差时，由本征点缺陷导致的状态能够在没有钒起作用的情况下提供半绝缘特性；也就是，包括小于能够影响晶体电子性能的钒的最小存在量。

对于半绝缘衬底的需求和优点，它们在器件特别是微波器件中的

应用，以及对碳化硅半绝缘衬底的相关和特别需求在'680和相关专利中有详细说明，并且在技术背景上是基本上熟知的。因此，在这里不再详加重复。出于参考的目的，相关的讨论在'680专利第1栏第14行到第3栏第33行中提出。

但是对于该讨论还应当加以补充，即对于无线通讯设施，包括互联网访问的高带宽传输和相关设施的日益增长的需求，带动了能够支持该传输的器件和电路的相应需求，这反过来要求能够制造具有所需性能的器件的材料，例如半绝缘碳化硅。

因此，'680专利解释了，超微波性能能够通过高纯的无钒半绝缘单晶碳化硅衬底上制造碳化硅场效应晶体管（FET）和相关器件加以获得。如在'680专利中提出的，衬底的半绝缘性质源自于本征（点缺陷相关的）深层级电子状态，其存在于碳化硅能带隙的中间附近。本征深层级状态一般是在晶体刚玉（boule）在高温下生长期间出现的，其中衬底晶片是以技术上基本上熟知的方式从晶体刚玉上切割的。

在具有这些衬底的器件中，为了提供合适的低损耗RF性能，衬底必须通过不断地保持其半绝缘特性起低损耗电介质的作用。反过来，保持半绝缘性质的能力取决于衬底中本征深层级状态的总数目。在目前的实践中，如果本征深层级的密度不够高，在实践中发现，当在半绝缘碳化硅晶片上或者使用半绝缘碳化硅晶片执行后续步骤时，衬底的半绝缘特性会降低或者在功能上被消除。这些步骤包括外延层在大约（例如）1400℃或者更高的温度下在半绝缘碳化硅晶片上的生长。这反过来减少了能够在晶片上形成的或者说包含该晶片的有用器件的数目。

尽管本发明人不希望受限于任何具体的理论，但是显然，当这种类型的半绝缘碳化硅衬底晶片在一定的温度范围内进行处理步骤时，后续的处理能够起退火的作用，从而减少点缺陷的数目。这能够正面地认为可以产生更高品质的晶体，但是当本征点缺陷的数目是衬底晶片半绝缘特性的基础时，这是不利的。

换言之，如果在特定温度范围内保持足够长的时间，晶体平衡或

者近平衡将变成点缺陷数目减少的状态；也就是说，晶体在较低温度下比在较高温度下更加有序（点缺陷更少），其方式与人们熟知的热力学原理的预期一致。

因此，需要一种碳化硅衬底晶片，其具有'680 专利提出的优点，并且当在该半绝缘碳化硅衬底晶片上制造器件或电路的后续步骤期间能够保持这些优点。

发明内容

因此，本发明的一个目的是在高纯碳化硅晶体中产生半绝缘电阻率，其方式是使碳化硅晶体在后续的器件处理和制造步骤期间和之后仍然保持其半绝缘特性。

本发明满足这一目标的方法是，在不存在相当数量的深层级捕获元素的情况下制造高品质半绝缘碳化硅。该方法包括，将碳化硅晶体加热到一定温度，该温度高于碳化硅从源气体进行 CVD 生长所需的温度，但低于碳化硅在环境条件下以不利的高速度升华的温度，从而在热力学上增加晶体中点缺陷和由此产生的状态的浓度（也就是每单位体积的数目）；然后以足够快的速度将加热的晶体冷却到接近室温，使在缺陷能够充分移动而消失或者被重退火消退进入晶体的温度范围内花费的时间最少，即借此使所产生的碳化硅晶体的点缺陷状态浓度大于类似生长的但没有被以这种方式加热和冷却的碳化硅晶体中点缺陷的浓度。

在另一个方案中，本发明涉及通过本发明的方法制造的半绝缘碳化硅晶体。

在另外一个方案中，本发明涉及在半绝缘衬底上制造半导体器件前体的方法。在该方案中，本发明包括将碳化硅衬底晶片加热到至少 2000℃ 的温度，然后以至少每分钟 30℃ 的速度将加热的晶片冷却到接近室温，然后在衬底晶片上沉积半导体材料的外延层。

在本发明的一个方面，提供了一种用于在不存在相关数量的深层级捕获元素的情况下制造高品质半绝缘碳化硅晶体的方法，该方法包

括：在大气压下将具有第一浓度点缺陷相关深层级状态的碳化硅晶体加热到 2000℃-2400℃ 的温度，由此在热力学上增加晶体中的点缺陷和由此产生的状态的浓度；以及以每分钟 30℃-150℃ 速度将加热的晶体冷却到 1200℃ 或者更低，以保持冷却的晶体内的点缺陷的浓度，该浓度保持大于第一浓度。

在本发明的另一方面，提供了一种制造半导体器件前体的方法，包括：在大气压下将具有第一浓度点缺陷相关深层级状态的碳化硅晶体加热到 2000℃-2400℃ 的温度，由此在热力学上增加晶体中的点缺陷和由此产生的状态的浓度；以每分钟 30℃-150℃ 速度将加热的晶体冷却到 1200℃ 或者更低，以保持冷却的晶体内的点缺陷的浓度，该浓度保持大于第一浓度；以及在所述碳化硅晶体上生长碳化硅外延层。

本发明前述的和其他的目标和优点以及实现上述目标的方式根据下面联系附图的详细说明将变得显而易见，其中：

附图说明

图 1 是图解参考详细说明书的温度范围和几种不同冷却速度的示意图；和

图 2 是通过深层级瞬态谱（DLTS）测得的电容随开尔文温度改变的曲线图。

图 3 是碳化硅晶体样品的三个电子顺磁共振（EPR）评估的曲线图的比较系列。

具体实施方式

尽管本发明人不希望受限于任何具体的理论，但是本发明的本质在热力学上是很好理解的。如上所述，本发明的一个目标是不使用钽在碳化硅内产生半绝缘特性。相反，本发明在碳化硅内产生了足够大浓度的点缺陷状态，从而使其在正常的半导体处理和器件制造之后剩余的浓度仍然超过产生半绝缘特性所需的数目。

熟悉碳化硅性质和半绝缘特征基础的人会意识到，满足该需要的

点缺陷没有特定的数目或者浓度。相反，我们的目标是使点阵中有助于导电性质的其他掺杂剂（包括点缺陷）的浓度最小，然后以这些项目(items)的浓度超过该浓度，从而产生点缺陷和由此产生的状态，进而产生期望的半绝缘特性。

换言之，在补偿晶体中，产生期望深层级状态和半绝缘特性的点缺陷的浓度必须大于浅补偿掺杂剂的浓度。因此，如果点缺陷的数目超过施主原子与受主原子浓度之差，那么碳化硅的半绝缘补偿晶体则具有相对高浓度的受主原子和施主原子。该点缺陷的浓度还可以表述为超过任何未补偿浅掺杂剂所需的浓度。

然而通常发现，使潜在补偿施主和受主原子的数目最小化从而使超过相关数值差所需的点缺陷的数目最小化会更加有效。例如（仅出于讨论的目的），如果施主原子的浓度为 $2E17$ ($2 \times 10^{17} \text{ cm}^{-3}$)，而受主原子为 $3E17$ ($3 \times 10^{17} \text{ cm}^{-3}$)，则点缺陷的浓度将大于 $1E17$ （也就是， $3E17 - 2E17$ ）。因此，尽管不是必需的，使施主原子和受主原子的数目（浓度）最小化是执行本发明的优选方式，因为它能够减少在晶体中产生半绝缘特性所需的状态的数目。

在最广义的方案中，本发明是一种在不存在相当数量的深层级捕获元素的情况下产生高品质半绝缘碳化硅晶体的方法。在该方案中，本发明包括将碳化硅晶体加热到一定的温度，该温度高于碳化硅从源气体进行化学气相沉积（CVD）生长所需的温度，但低于碳化硅在周围环境下以不利的高速度升华的温度，借此在热力学上增加晶体中点缺陷和由此产生的状态的浓度。

初晶优选地是高纯度的，并且通过籽晶升华技术（seeded sublimation technique）产生，例如在美国专利 RE34,861（从 No.4,866,005 重新授予）中提及的，并在 Mueller 的“从工业观点看 SiC 体生长的状况”（Status of SiC Bulk Growth from an Industrial Point of View）一文中讨论的，该论文发表在《晶体生长杂志》（J. Crystal. Growth）第 211 卷第 1 期（2000 年）第 325-332 页。

本方法进一步包括以足够快的速度将加热的晶体冷却到接近室

温，使冷却晶体中剩余点缺陷的浓度保持大于第一浓度。

换言之，本方法包括以足够快的速度将加热的晶体冷却到接近室温的步骤，其减少了在如下温度范围内花费的时间，即通过加热步骤产生的缺陷——包括但不限于此——能够充分移动从而被重退火消退进入晶体的温度范围，借此产生一种碳化硅晶体，其点缺陷相关的深层级状态的浓度大于类似生长的但没有被以这种方式加热和冷却的碳化硅晶体中该状态的浓度。

碳化硅能够以单晶碳化硅晶片或者单晶碳化硅刚玉（具有被典型限制为单晶结构的刚玉）的形式被加热。在最优选的实施例中，晶体具有多型性，其类型从碳化硅的 3C、4H、6H 和 15R 等多型中选择。在更加优选的实施例中，本方法包括加热和冷却补偿碳化硅晶体，在最优选的实施例中，包括加热和冷却最浓集掺杂剂的量为 $5E16$ 或者更少的补偿晶体。如前所述，当使用补偿晶体时，本方法包括加热和冷却晶体，从而将点缺陷的数目增加到大于未补偿浅掺杂剂浓度的量。在正常情况下，冷却步骤包括将加热的晶体冷却到室温。因此，在另一个方案中，本发明是通过根据本发明及其各种实施例制造的半绝缘碳化硅晶体。

在优选实施例中，加热碳化硅晶体的步骤包括将晶体加热到至少大约 2000°C 的温度。尽管 2000°C 并不确切也不是必需的底限，但是点缺陷的产生被认为在热力学上是有利的，因此可能包括温度与这些缺陷浓度之间的指数关系。已经发现，在 2000°C 或者更高的温度下可产生优选的和有用数目的点缺陷。

在最优选的实施例中，晶体在大气压下被加热到大约 2000°C - 2400°C 。这些温度在大气压下提供了有意义的范围。在高于 2400°C 的温度下，碳化硅趋向于以不可忽视的高速度升华，因此在大气压下，超过 2400°C 不是有利的或者是有害的。

熟悉碳化硅物理性质的人能够理解，升华能够在相当宽的高温范围下发生。在该范围的较低部分，升华的速度小到足以很少或者不被关注。然而在该范围的较高部分，升华速度将足够高以致是有害的。

因此，本发明方法的温度上限在一定程度上与在特定环境下升华足以引起麻烦的客观程度有关。如上所述，在大气压下，2400℃被发现是较接近的上限，但并不绝对。

将温度提高到 2000℃或者更高的目的是出于热力学原因：在通常预期的方式中，晶体的熵随温度升高而增加，因此在更高的温度下，能够产生半绝缘特性的点缺陷和由此产生的状态的数目越多。此外，熟悉碳化硅和晶体热力学的人能够意识到，随着温度增加，会出现在较低温度下不存在的其他类型的状态。如果加热的晶体被根据本发明适当地冷却，这些附加类型的状态能够被保留下来，并有利于期望的半绝缘性质。

因此，将晶体有到这些温度会产生更紊乱的晶体，随着晶体返回到室温，本发明将这些期望的状态冻结（相对地）在晶体中。冷却步骤是非常重要的，因为如果晶体被允许在中间温度范围内，例如在超过 1400℃的范围内花费太多的时间，晶体会经历前述的退火处理，并能够达到一个不同的平衡或者近平衡条件，其中随着晶体变得更加有序，该状态消失（或者在功能上被降低到不相关的数目）。

对于优选的 2400℃的上限，熟悉碳化硅和晶体生长技术的人能够理解，在大气压下实际的极限并不是绝对的一个。换言之，当使用相对典型的设备在大气压下工作时，2400℃是优选的上限温度。本领域的普通技术人员能够以更高的温度进行加热而无需进行过度的实验，但是必须添加额外设备和技术，例如在上方结合硅和碳气氛或者使用其他的高压技术以防止在较高温度下碳化硅开始以统计学上显著的程度发生升华。

因此，本发明的方法将晶体加热到在晶体内实际产生最多状态的高温，同时避免或者使晶体的降解或升华最小化。

在加热步骤期间，晶体优选地在高温下保持至少大约 2 分钟，这是一个具有实际和功能性的考虑的时间间隔。从实践的观点看，在大多数情况下，需要数分钟才能够将晶体加热到这一温度。从功能的观点看，这也为晶体达到相应于期望生成的状态的平衡和近平衡条件提供

了足够的时间。加热时间目前在功能上的最佳表述是，在晶体中足以获得具有期望数目状态的热平衡或者近平衡的时间。可以理解，从该术语的最适当和严格的意义上讲，晶体不需要达到完全的平衡，但是本文使用该术语用于描述一种条件，其中晶体到达了给定的温度并且在那里保持足够长的时间从而产生期望数目的状态。

加热晶体的步骤优选地包括在感应加热器中加热晶体，其中冷却晶体的步骤包括（至少）降低感应线圈的功率。感应加热器及其在半导体制造中操作的方法在技术上基本上是好理解的，并且能够根据本发明无需过度的实验地加以采用。因此，因为具体的感应加热器对于要求权利保护的本发明并不是至关重要的，所以这里不再详细说明。此外，本领域普通技术人员能够使用其他类型的加热而无需进行过度的实验。

当晶体在 2000℃或者更高温度下被加热期望的一段时间之后，以如下的方式使之冷却，即避免在缺陷能够充分移动而消失或者被重退火消退进入系统的温度范围内停留很长的时间。在目前优选的实施例中，超过大约 30℃/分钟的冷却速度似乎是优选的，而 150℃/分钟的速度似乎是一个有用的上限。

熟悉热力学以及材料，特别是处于相对高温下的材料的加热和冷却的人能够理解，冷却速度不需要恒定，也不需要刚好穿过整个冷却处理。换言之，将晶体冷却时，特别是在重退火能够以显著的速度发生的温度范围内冷却时，冷却速度期望的优选极限范围是 30℃/分钟-150℃/分钟。出于通常的且容易理解的热力学原因，随着晶体从最高温度开始冷却，热量损失以及冷却的速度趋向于最快，当晶体接近和到达较低温度时，则趋向于中速。特别地，当晶体在低于重退火能够以显著速度发生的温度范围内冷却时，冷却速度可以变慢而不会产生任何功能上的缺陷。因此，随着单个晶体的冷却，冷却的速度能够在 30℃/分钟-150℃/分钟的优选范围内改变，同时仍然能够获得本发明方法的优点。

太慢的冷却速度允许晶体在状态会回复的温度范围内花费太多

时间，晶体变得足够有序从而使状态的数目降低到保持半绝缘特性所需的数目之下。选择地，过快的冷却速度会在晶体内产生机械应力，如果热应力足够大的话，会使晶体产生裂纹。

在优选实施例中，冷却步骤既包括被动步骤又包括主动步骤。作为第一个步骤，降低或者完全关闭感应加热器的功率。在晶体被加热到的相对高的温度下，初始热量损失是辐射热损失。当温度更低时，变成了传导和对流冷却机制。因此，为了进一步促进和控制冷却速度，可以向加热室灌注惰性气体，典型地为氩气。此外，晶体和与晶体接触的材料的热量能够用于帮助控制冷却速度。因此，控制冷却速度的三种基本方法包括调节感应线圈（或者其他本领域熟知的相关加热机构）的功率；在碳化硅晶体周围和上方流动冷却气体；和控制晶体及其周围环境的热量；也就是，例如使用热沉（heat sink）。因为这些都是热力学条件，所以它们能够以多种不同的方式进行，对于要求权利保护的本方法不是至关重要的，并能够由本领域的普通技术人员执行而无需进行过度的实验。

30°C/分钟-150°C/分钟的优选冷却速度也能够表达为，在小于 70 分钟的时间内将晶体冷却到室温附近，或者以更快的速度，在小于 20 分钟的时间内将晶体冷却到室温附近。

因为本发明提供了有益的半绝缘碳化硅晶体，包括衬底晶片，所以本发明的方法能够进一步包括如下步骤：将碳化硅衬底晶片加热到大约 2000°C 的温度（优选地为 2000°C-2400°C），以至少 30°C/分钟的速度（优选地为接近 150°C/分钟）将加热晶片冷却到接近室温，然后在衬底晶片上沉积一层或多层半导体材料外延层。因为碳化硅的优点通常（尽管不是唯一的）与其宽能带隙性质有关，但是在优选实施例中，沉积外延层的步骤还包括使用化学气相沉积（CVD）技术沉积从由其他宽能带隙半导体构成的组中选择的外延层，例如碳化硅或者 III 族氮化物。在碳化硅的实例中，沉积外延层的步骤典型地在大于大约 1400°C 温度下执行。如上所述，在先前技术中，在这种温度下执行的步骤趋向于将缺陷的数目降低到衬底不再具有合适的半绝缘特性的数

值点。因为本发明提供了一种与“原生 (as-grown) 晶体”相比用于可控地增加点缺陷和由此产生的深层级状态的数目的方法，所以后面的处理步骤不会退化晶体的半绝缘特性，尽管一些缺陷预期会被回复。

因此，在另一个方案中，本发明包括通过本发明的这一方案和实施例制造的晶片和外延层。

本发明能够在衬底晶片或者单晶体刚玉上执行，衬底为优选的实施例，因为它们较大的体表比使它们能够以对于本发明有用的相对快的速度冷却而不会产生过度的或者灾难性的热应力。然而，除了实践的观点之外，在晶片中产生额外状态的方式与在刚玉中在概念上没有差别。因此，本发明也能够包括如下的步骤：将碳化硅刚玉加热到至少大约 2000℃ 的温度，然后以至少大约 30℃/分钟的速度将加热的刚玉冷却到接近室温，然后从刚玉切割碳化硅晶片，然后在所切割的晶片上沉积一层或多层半导体材料外延层。

在可选择实施例中，本发明能够包括如下的步骤：从单晶体刚玉中切割碳化硅晶片，然后在大气压下将所切割的晶片加热到至少大约 2000℃ 的温度，然后以至少 30℃/分钟的速度将加热的晶片冷却到接近室温，之后在所切割晶片上沉积半导体材料外延层。

如熟悉碳化硅制备和外延层生长的人已知的，所切割的碳化硅晶片在被切片之后一般不被直接使用，而是经过清洗和抛光制备出更有利于外延生长的表面。在本技术中完善建立起来的对一般的半导体材料和具体的碳化硅进行抛光和清洗的步骤能够无需过度的实验地被实践，这里不再进行详细的讨论。

无论如何，本发明进一步包括晶片和一个或多个外延层，并能够进一步包括具有根据本发明实施例的方法形成的晶片和外延层的器件。

本发明不仅限于应用于任何具体的器件，而是可以应用于普遍使用的具有半绝缘碳化硅衬底的微波器件，包括各种类型的场效应晶体管 (FET)、金属氧化物半导体场效应晶体管 (MOSFET)、接点场效应晶体管 (JFET)、金属半导体场效应 (MESFET)、异质结构场

效应晶体管 (HFET)、高电子迁移率晶体管 (HEMT) 和 DMOS 晶体管。熟悉半导体器件和用于微波频率操作的器件的人会意识到, 该列表并无限制且没有穷尽。然而, 它们是本文说明和权利要求的本发明提供的优点的例证。

图 1 示意性地图解了本发明使用的温度范围和冷却速度。熟悉这些技术的人会意识到, 图 1 在本质上只是用于解释, 而不是具体实验的精确表示。

图 1 是温度对时间的曲线图。描述了三种基本温度系列的特征。最上面用 10 表示的线代表碳化硅的温度, 优选地为 2000°C , 超过它, 会以根据本发明的方式产生期望数目的点缺陷。换言之, 本发明包括将碳化硅晶体加热到由线 10 表示的温度或者更高的温度。

第二高的线用 12 表示并代表较低的温度 (可以理解, 它是相对的而非精确的, 但在优选实施例中为大约 1200°C), 其与上温度线 10 一起限定了一个温度范围 (用箭头 11 表示), 如果允许晶体在该温度范围中保留足够长的时间以至接近平衡或者近平衡条件, 则在温度线 10 以上的温度下产生的状态预期会回复。因此, 如上所述, 一旦产生了较多数目的状态, 本文说明的发明将使晶体在温度范围 11 内花费的时间最小。如上所述, 当晶体处于图 1 中 11 所示意性表示的温度范围内时, 使冷却速度保持在大约 $30^{\circ}\text{C}/\text{分钟}$ - $150^{\circ}\text{C}/\text{分钟}$ 是特别有用的。

14 表示的第三条线代表室温 (25°C , 298K), 并且在室温和温度线 12 之间限定了另一个温度范围 (用箭头 13 表示)。箭头 13 表示的温度范围代表如下的温度, 其仍然高于室温, 但是在该温度范围内发生的重新排序的量对于半绝缘特性而言在统计学上并不显著。

出于多种原因, 晶体通常被预期一直冷却到室温, 无论是在预制造期间, 还是在存储、运输或者甚至在使用期间。然而可以理解, 如果晶体被加热到超过线 10 表示的温度, 然后足够快速地冷却到线 12 表示的温度之下, 便会实现本发明的益处, 而无论是否到达了室温。

三种冷却曲线用线 15、16 和 17 示意性地表示。因为图 1 的横坐标表示时间, 可以理解, 线 15 表示最慢的冷却速度, 而线 17 表示最

快的冷却速度。这样，由延长曲线 15 表示的晶体与由遵循线 16 或 17 表示的冷却曲线的晶体相比，在箭头 11 指示的温度范围内要花费多得多的时间。因此，曲线 15 示意性地表示先前技术冷却晶体的方法（有意的或者无意的），而线 16 和 17 示意性地表示本发明的更快速的冷却步骤。如前所述，只要冷却速度满足本文说明的功能性方案，则速度不需要恒定。

图 2 图解了深层级期望的高浓度，其与更高的生长温度相关。图 2 画出了由深层级瞬态谱技术 (DLTS) 测得的电容随温度改变的曲线。在较高温度下（例如在 300K）生长的晶体样品的幅度较高（实线），表示与在较低温度下生长的样品相比（虚线）深层级的浓度较大。

深层级瞬态谱在半导体技术中基本上是好理解的，并且是用于研究半导体深层级的灵敏方法。该方法是基于当深层级在被前偏置脉冲充电之后发射其载流子时，反向偏置二极管的电容充电（capacitance charge）。发射速度是温度依赖的，并且是每种缺陷类型的特征。利用温度依赖的发射速度，能够确定深层级的激活能。见例如 ASTM 国际测试 No.F978-02，“用瞬态电容技术表征半导体深层级的标准测试方法”（Standard Test Method for Characterizing Semiconductor Deep Levels by Transient Capacitance Techniques）。用于评估晶体的其它技术能够包括电容电压（CV）技术，以及电子顺磁共振（EPR）。

图 3 是由碳化硅晶体样品电子顺磁共振（EPR）评估获得的三个曲线的比较系列。EPR 是用于测量材料某些特性的常用技术，也被称作电子自旋共振（ESR）或者电子磁共振（EMR）。ERP 表示在磁场存在下微波辐射被至少具有一个未成对自旋电子的顺磁离子或分子共振吸收的过程。在分析根据本发明的晶体时，EPR 用于测量占据晶体能带隙中深层级阱的电荷数目。通过在连续改变的强磁场中测量吸收微波能量的电荷，EPR 检测被晶体点阵中各种缺陷捕获的未成对自旋电子数目。然而，EPR 测量不吸收来自阱的电荷，而只是检测它们的存在，因此允许对同一样品进行重复分析。

图 3 的三个曲线表示（从左到右）传统生长的碳化硅晶体，根据

本发明加热并以 30℃/分钟的范围冷却的碳化硅晶体,和根据本发明加热并以 150℃/分钟的范围冷却的碳化硅晶体。

图 3 每个部分的大小相同,且碳空位 (Vc)——也就是,提供该状态的一种点缺陷类型,进而提供半绝缘特性——EPR 信号的大小(任意单位)与 EPR 检测到的缺陷中心的数目成比例。如熟悉 EPR 的人已知的,“g 因子”(或者“g 值”)是电子阱类型的特征,并与微波频率和磁场强度有关。因此,假定测得的样品尺寸在实验误差的预期边界内是相同的,那么碳空位的 EPR 线大小(从谷到峰)与样品中缺陷的浓度成比例。因此,图 3 显示,从原生条件(左框)到本发明使用的 30℃冷却速度的处理(中框)再到本发明使用的 150℃冷却速度的处理(右框),碳空位的数目(和半绝缘特性的最终改善)显著增加。

在附图和说明书中,提出了本发明的优选实施例,尽管采用了具体的术语,但是它们的使用是一般性的并且只是出于描述的目的,并非出于限制的目的,本发明的范围由权利要求限定。

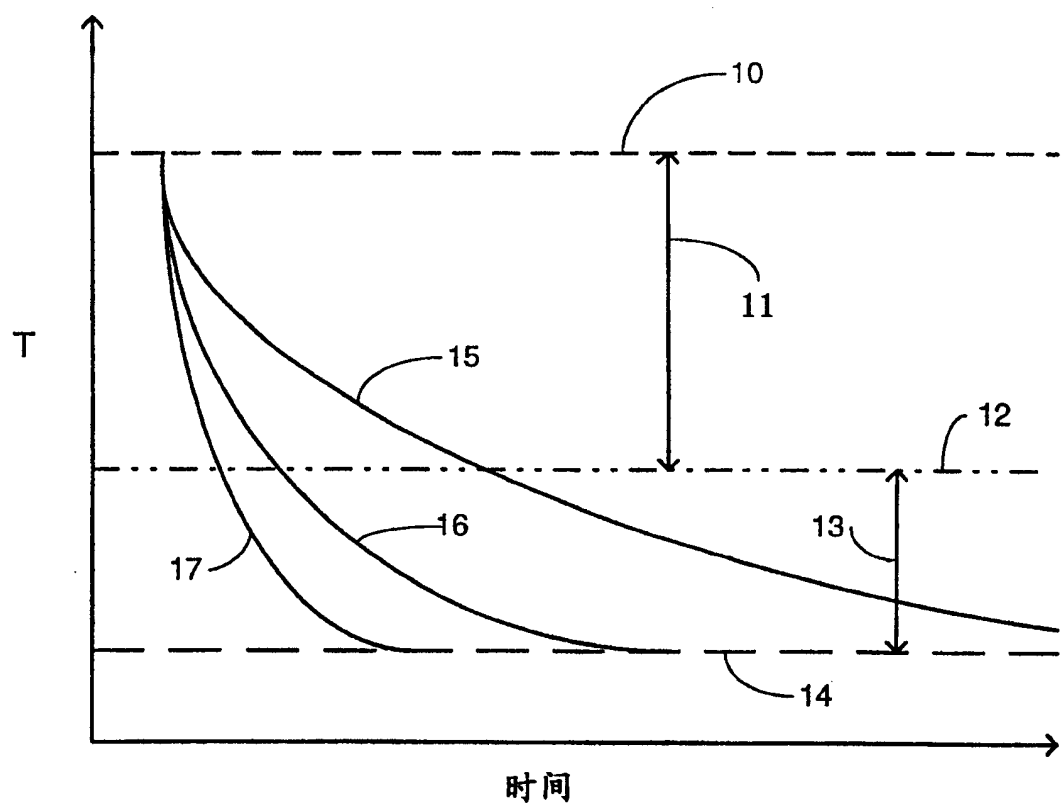


图1

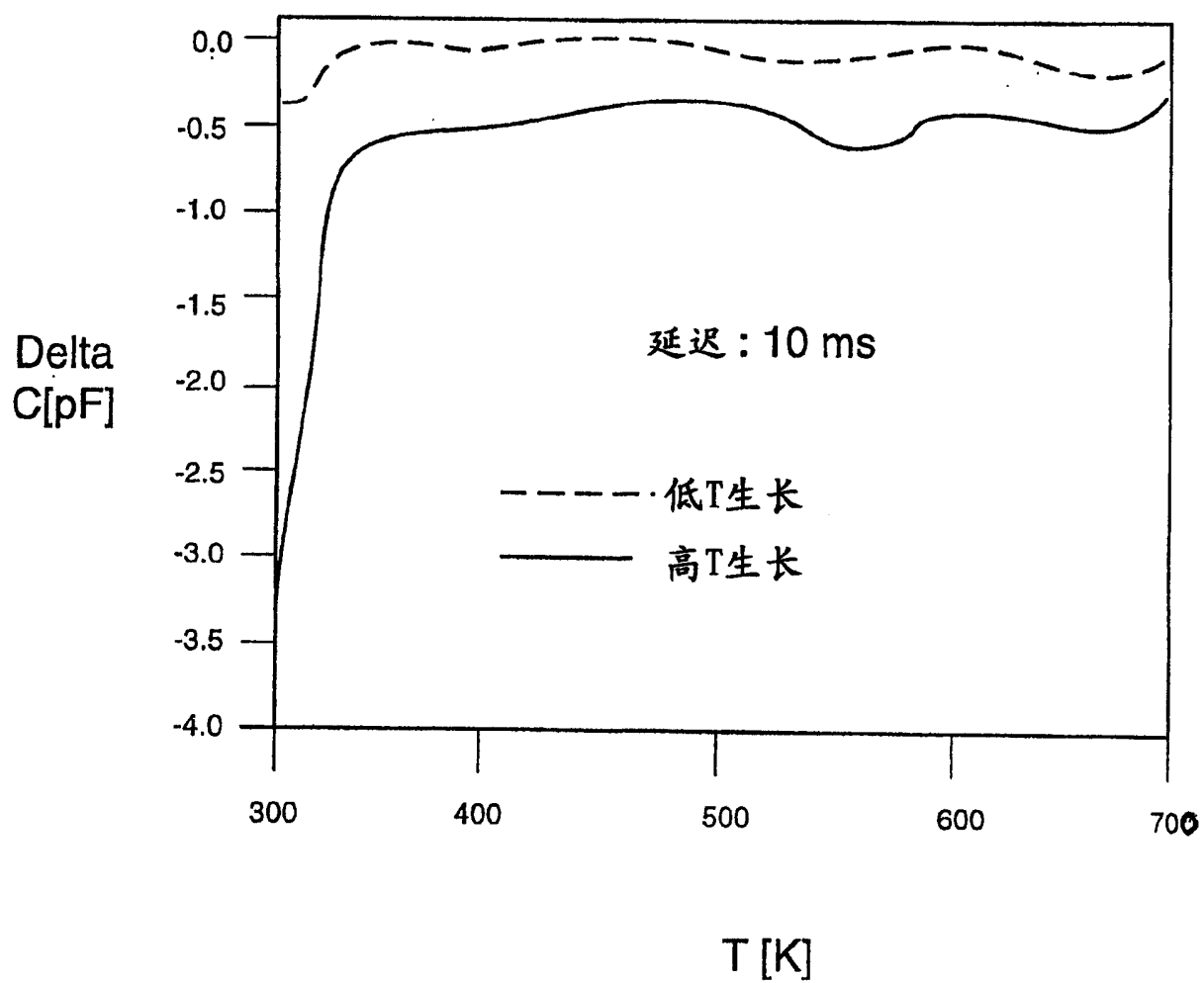


图 2

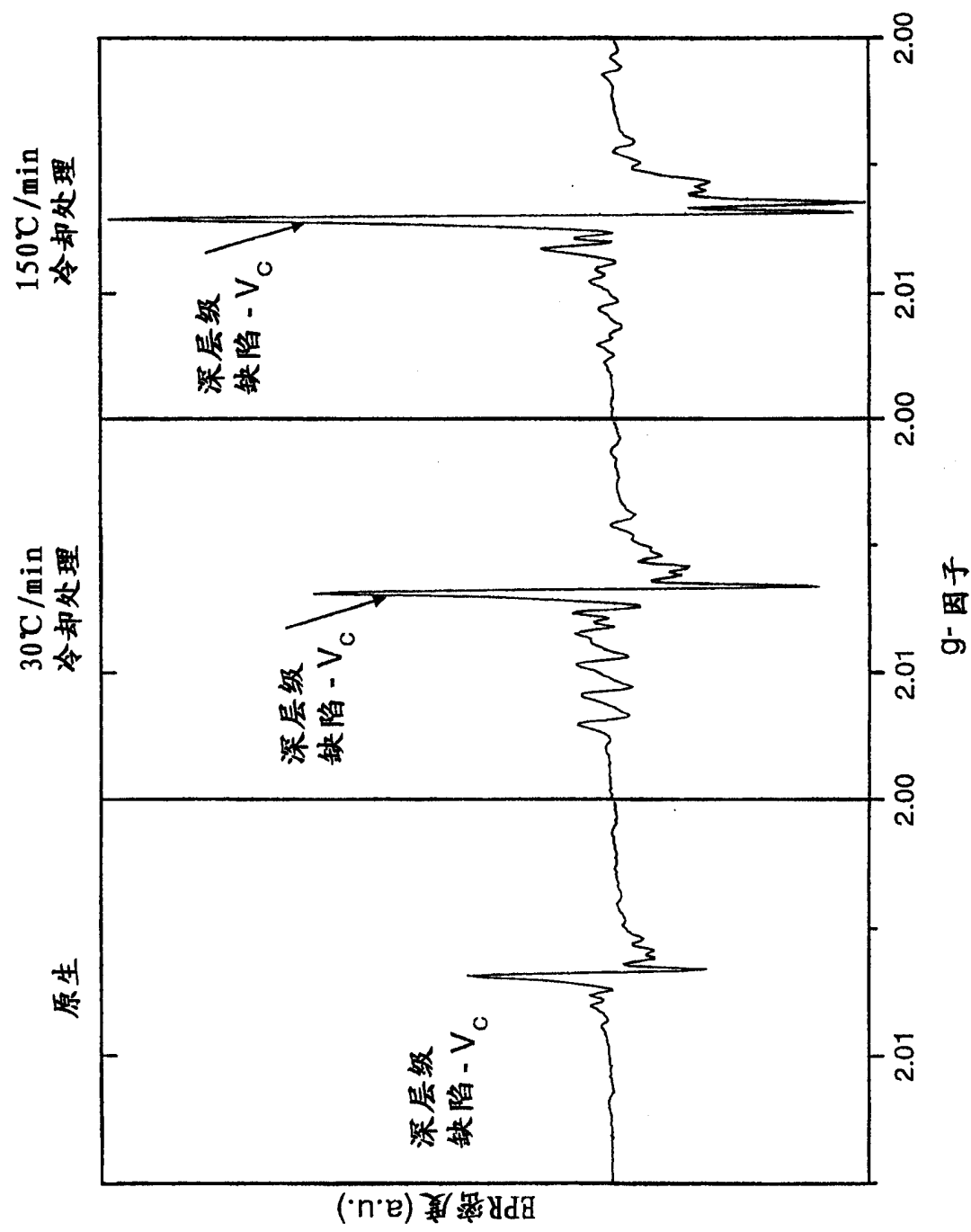


图 3