

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-510568

(P2009-510568A)

(43) 公表日 平成21年3月12日(2009.3.12)

(51) Int.Cl. F I テーマコード (参考)
G O 6 F 13/37 (2006.01) G O 6 F 13/37 Z 5 B O 6 1

審査請求 未請求 予備審査請求 未請求 (全 35 頁)

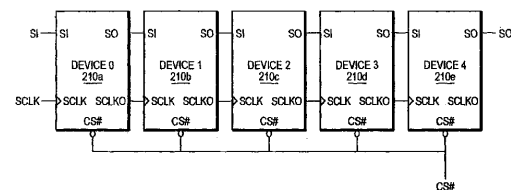
(21) 出願番号	特願2008-532551 (P2008-532551)	(71) 出願人	508034325
(86) (22) 出願日	平成18年9月29日 (2006. 9. 29)		モサイド・テクノロジーズ・インコーポレ
(85) 翻訳文提出日	平成20年5月14日 (2008. 5. 14)		ーテッド
(86) 国際出願番号	PCT/CA2006/001607		カナダ・オンタリオ・K 2 K・2 X 1・カ
(87) 国際公開番号	W02007/036048		ナタ・ハインズ・ロード・1 1
(87) 国際公開日	平成19年4月5日 (2007. 4. 5)	(74) 代理人	100064908
(31) 優先権主張番号	60/722, 368		弁理士 志賀 正武
(32) 優先日	平成17年9月30日 (2005. 9. 30)	(74) 代理人	100089037
(33) 優先権主張国	米国 (US)		弁理士 渡邊 隆
(31) 優先権主張番号	11/324, 023	(74) 代理人	100108453
(32) 優先日	平成17年12月30日 (2005. 12. 30)		弁理士 村山 靖彦
(33) 優先権主張国	米国 (US)	(74) 代理人	100140534
(31) 優先権主張番号	60/787, 710		弁理士 木内 敬二
(32) 優先日	平成18年3月28日 (2006. 3. 28)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 デイジーチェーンカスケードデバイス

(57) 【要約】

デバイスをデイジーチェーンカスケード配列でシリアルに連結する技法である。デバイスはデイジーチェーンカスケード配列で連結されており、第1デバイスの出力部は、データ、アドレスおよびコマンド情報等の情報並びに制御信号を第2デバイスに第1デバイスから転送するのに対応するように、デイジーチェーンカスケードの後方にある第2デバイスの入力部に連結されている。デイジーチェーンで連結されたデバイスは、シリアル入力部 SI とシリアル出力部 SO とを備える。情報がデバイスに SI を通じて入力され、該情報がデバイスから SO を通じて出力される。デイジーチェーンカスケードの前方のデバイスの SO は、デイジーチェーンカスケードの後方のデバイスの SI に連結されている。前方のデバイスに SI を通じて入力された情報は、該デバイスの SO を通じて出力される。該情報は次いで、後方のデバイスの SI に転送される。



【特許請求の範囲】**【請求項 1】**

ディジーチェーンカスケード配列で構成された複数のデバイスを有する装置であって、
第1のメモリデバイスであって、

(a) メモリと、

(b) 前記メモリ内の記憶場所に関連するアドレス情報を受信するための第1の入力部と

、
(c) 前記記憶場所に含まれたデータを第1のメモリデバイスから出力するように構成された第1の出力部と、

を有する第1のメモリデバイスと、

第2のメモリデバイスであって、

(a) 前記第1のデバイスの第1の出力部に連結され、前記第1のメモリデバイスから出力されたデータを受信するように構成された第1の入力部を有する

第2のメモリデバイスと、

を備える装置。

10

【請求項 2】

前記データは、前記第1のメモリデバイスの前記第1の出力部から前記第2のメモリデバイスの前記第1の入力部にシリアルに転送される、請求項1に記載の装置。

【請求項 3】

前記データは、クロックサイクルの立ち上がりエッジおよび立ち下がりエッジに基づいて、2倍のデータ転送率でシリアルに転送される、請求項1に記載の装置。

20

【請求項 4】

前記第2のメモリデバイスの前記第1の入力部に転送されるデータは、デバイスアドレス情報を含む、請求項2に記載の装置。

【請求項 5】

前記デバイスアドレス情報は、前記第2のメモリデバイスに関連する、請求項4に記載の装置。

【請求項 6】

前記第2のメモリデバイスの前記第1の入力部に転送されるデータは、コマンドおよびデータ情報をさらに含む、請求項4に記載の装置。

30

【請求項 7】

前記第1のメモリデバイスは、

(a) 前記第1のメモリデバイスの前記第1の入力をイネーブルにして前記アドレス情報を受信するために使用される第1の入力イネーブル信号を受信するための第2の入力部と、

(b) 第2の入力イネーブル信号を出力するための第2の出力部と、をさらに有する、
請求項1に記載の装置。

【請求項 8】

前記第1のメモリデバイスは、

前記データを前記第1のメモリデバイスの前記第1の出力部で出力できるようにするために使用される第1の出力イネーブル信号を受信するための第3の入力部と、

40

第3の出力イネーブル信号を前記第1のメモリデバイスから出力するための第3の出力部と、

を有する、請求項7に記載の装置。

【請求項 9】

前記第2の入力イネーブル信号は、遅延した前記第1の入力信号である、請求項7に記載の装置。

【請求項 10】

前記第2の入力イネーブル信号は、前記第1の入力信号から誘導される、請求項7に記載の装置。

【請求項 11】

50

前記第2のメモリデバイスは、前記第1のメモリデバイスの前記第2の出力部に連結された第2の入力部を有し、その第2の入力部は、前記第2の入力イネーブル信号を前記第2のメモリデバイスで受信するためのものである、請求項7に記載の装置。

【請求項 1 2】

前記第1のメモリデバイスは、

第1の出力イネーブル信号を受け取るための第2の入力部であって、その第1の出力イネーブル信号は、前記データを前記第1のメモリデバイスの前記第1の出力部で出力することを可能にするために使用されるものである、第2の入力部と、

第2の出力イネーブル信号を前記第1のメモリデバイスから出力するための第2の出力部と、

を有する、請求項1に記載の装置。

【請求項 1 3】

前記第2のメモリデバイスは、前記第1のメモリデバイスの前記第2の出力部に連結された第2の入力部を有し、その第2の入力部は、前記第2の出力イネーブル信号を前記第2のメモリデバイスで受信するためのものである、請求項12に記載の装置。

【請求項 1 4】

前記第1のメモリデバイスおよび第2のメモリデバイスはそれぞれ、クロック信号を受信するための第2の入力部を有し、そのクロック信号は、アクセスしたデータを前記第1のメモリデバイスの前記第1の出力部から前記第2のメモリデバイスの前記第1の入力部に転送することに対応するために、前記第1および第2のメモリデバイスによって使用されるものである、請求項1に記載の装置。

【請求項 1 5】

前記第1のメモリデバイスは、前記第2のメモリデバイスの前記第2の入力部に連結された第2の出力部を有し、その第2の出力部は、前記クロック信号を前記第1のメモリデバイスから前記第2のメモリデバイスに転送するためのものである、請求項14に記載の装置。

【請求項 1 6】

前記メモリはフラッシュメモリを含む、請求項1に記載の装置。

【請求項 1 7】

情報をデバイス同士の間で転送するための方法であって、

第1のメモリデバイスの第1の入力部に、前記第1のメモリデバイスに具備されたメモリの記憶場所に関連するアドレス情報を入力する段階と、

前記第1のメモリデバイスに具備されたメモリ内のデータに前記記憶場所でアクセスする段階と、

そのアクセスしたデータを前記第1のメモリデバイスから第2のメモリデバイスに転送することが可能となるように、前記第1のメモリデバイスの第1の出力部を前記第2のメモリデバイスの第1の入力部に連結する段階と、

を含む方法。

【請求項 1 8】

クロック信号を前記第1のメモリデバイスおよび前記第2のメモリデバイスに連結する段階であって、前記クロック信号は、前記アクセスしたデータを前記第1のメモリデバイスから前記第2のメモリデバイスに転送することに対応するために、前記第1のメモリデバイスおよび第2のメモリデバイスによって使用される、段階をさらに含む、請求項17に記載の方法。

【請求項 1 9】

前記クロック信号は、前記第2のメモリデバイスの第2の入力部に前記第1のメモリデバイスの第2の出力部から連結される、請求項18に記載の方法。

【請求項 2 0】

前記第1のメモリデバイスの第2の入力部に第1の入力イネーブル信号を入力する段階であって、その第1の入力イネーブル信号は、前記アドレス情報を前記第1のメモリデバイスの前記第1の入力部に入力することを可能にするために使用される、段階と、

第2の入力イネーブル信号を前記第1のメモリデバイスの第2の出力部から出力する段階と、

前記第2の入力イネーブル信号を前記第1のメモリデバイスから前記第2のメモリデバイスに転送できるように、前記第1のメモリデバイスの前記第2の出力部を前記第2のメモリデバイスの第2の入力部に連結する段階と、
をさらに含む、請求項17に記載の方法。

【請求項 2 1】

前記第2の入力イネーブル信号は、クロックサイクルレイテンシによって遅延した前記第1の入力イネーブル信号である、請求項20に記載の方法。

【請求項 2 2】

前記第2の入力イネーブル信号は、前記第1の入力イネーブル信号から誘導される、請求項20に記載の方法。

【請求項 2 3】

前記第1のメモリデバイスの第2の入力部に第1の出力イネーブル信号を入力する段階であって、その第1の出力イネーブル信号は、前記アクセスしたデータを前記第1のメモリデバイスから出力することを可能にするために使用される、段階と、

第2の出力イネーブル信号を前記第1のメモリデバイスの第2の出力部から出力する段階と、

前記第2の出力イネーブル信号を前記第1のメモリデバイスから前記第2のメモリデバイスに転送できるように、前記第1のメモリデバイスの前記第2の出力部を前記第2のメモリデバイスの第2の入力部に連結する段階と、
をさらに含む請求項17に記載の方法。

【請求項 2 4】

前記第2の出力イネーブル信号は、遅延した前記第1の出力信号である、請求項23に記載の装置。

【請求項 2 5】

前記第2の出力イネーブル信号は、前記第1の出力イネーブル信号から誘導される、請求項23に記載の方法。

【請求項 2 6】

前記アクセスしたデータは、前記第1のメモリデバイスの前記第1の出力部から前記第2のメモリデバイスの前記第1の入力部にシリアルに転送される、請求項17に記載の方法。

【請求項 2 7】

前記第1のメモリデバイスから前記第2のメモリデバイスに転送された前記データは、アドレス情報を含む、請求項26に記載の方法。

【請求項 2 8】

前記第1のメモリデバイスから前記第2のメモリデバイスに転送された前記データは、クロック信号の立ち上がりエッジおよび立ち下がりエッジに基づいて2倍のデータ転送率で発生する、請求項26に記載の方法。

【請求項 2 9】

情報をデバイス同士の間で転送するための装置であって、

第1のメモリデバイスの第1の入力部に、前記第1のメモリデバイスに具備されたメモリの記憶場所に関連するアドレス情報を入力するための手段と、

前記第1のメモリデバイスに具備されたメモリ内のデータに前記記憶場所でアクセスするための手段と、

アクセスした前記データが前記第1のメモリデバイスから第2のメモリデバイスに転送されるように、前記第1のメモリデバイスの第1の出力部を前記第2のメモリデバイスの第1の入力部に連結するための手段と、を備える装置。

【請求項 3 0】

クロック信号を前記第1のメモリデバイスおよび前記第2のメモリデバイスに連結するための手段であって、前記クロック信号は、アクセスした前記データを前記第1のメモリデ

10

20

30

40

50

バイスから前記第2のメモリデバイスに転送することに対応するために、前記第1のメモリデバイスおよび第2のメモリデバイスによって使用される、手段をさらに備える、請求項29に記載の装置。

【請求項31】

前記クロック信号は、前記第2のメモリデバイスの第2の入力部に前記第1のメモリデバイスの第2の出力部から連結される、請求項30に記載の装置。

【請求項32】

前記第1のメモリデバイスの第2の入力部に第1の入力イネーブル信号を入力するための手段であって、その第1の入力イネーブル信号は、前記アドレス情報を前記第1のメモリデバイスの前記第1の入力部に入力することを可能にするために使用される、手段と、

10

第2の入力イネーブル信号を前記第1のメモリデバイスの第2の出力部から出力するための手段と、

前記第2の入力イネーブル信号が前記第1のメモリデバイスから前記第2のメモリデバイスに転送されるように、前記第1のメモリデバイスの前記第2の出力部を前記第2のメモリデバイスの第2の入力部に連結するための手段と、をさらに備える請求項29に記載の装置。

【請求項33】

前記第1のメモリデバイスの第2の入力部に第1の出力イネーブル信号を入力するための手段であって、その第1の出力イネーブル信号は、アクセスした前記データを前記第1のメモリデバイスから出力することを可能にするために使用される、手段と、

20

第2の入力イネーブル信号を前記第1のメモリデバイスの第2の出力部から出力するための手段と、

前記第2の出力イネーブル信号が前記第1のメモリデバイスから前記第2のメモリデバイスに転送されるように、前記第1のメモリデバイスの前記第2の出力部を前記第2のメモリデバイスの第2の入力部に連結するための手段と、をさらに備える請求項29に記載の装置。

【請求項34】

アクセスした前記データは、前記第1のメモリデバイスの前記第1の出力部から前記第2のメモリデバイスの前記第1の入力部にシリアルに転送される、請求項29に記載の装置。

【請求項35】

30

前記データは、クロックサイクルの立ち上がりエッジおよび立ち下がりエッジに基づいて2倍のデータ転送率でシリアル転送される、請求項34に記載の装置。

【請求項36】

メモリと、

シリアル入力データをシリアルデータ入力ポートで受信するように、かつシリアル出力データをシリアル出力ポートに転送するように構成されたシリアルデータリンクインタフェースと、

第1の入力イネーブル信号を受信するための制御入力部であって、その第1の入力イネーブル信号は、メモリデバイスが前記シリアル入力データを処理することを可能にするために使用される、制御入力部と、

40

第2の入力イネーブル信号を出力するための制御出力部と、

前記第1の入力イネーブル信号に応答する制御回路であって、前記第1の入力イネーブル信号は、前記シリアルデータリンクインタフェースと前記メモリとの間のデータ転送を制御する、制御回路と、を備える半導体メモリデバイス。

【請求項37】

前記メモリは、複数のメモリバンクを備える、請求項36に記載の半導体メモリデバイス。

【請求項38】

前記第2の入力イネーブル信号は、遅延した前記第1の入力信号である、請求項36に記載

50

の半導体メモリデバイス。

【請求項 39】

前記第2の入力イネーブル信号は、前記第1の入力信号から誘導される、請求項36に記載の半導体メモリデバイス。

【請求項 40】

前記データ転送は、クロック信号の立ち上がりエッジおよび立ち下がりエッジに基づいて2倍のデータ転送率で生じる、請求項36に記載の半導体メモリデバイス。

【請求項 41】

前記シリアルデータリンクインタフェースはさらに、シリアル入力データをパラレルデータに変換するように、かつそのデータを前記メモリに転送するように構成される、請求項36に記載の半導体メモリデバイス。

10

【請求項 42】

前記シリアルデータリンクインタフェースはさらに、前記メモリからのパラレルデータをシリアル出力データに変換するように構成される、請求項41に記載の半導体メモリデバイス。

【請求項 43】

前記制御回路は、実行命令を前記シリアル入力ポートで受信して、前記メモリとの間のシリアル入力および出力データの転送を制御するように構成される、請求項36に記載の半導体メモリデバイス。

【請求項 44】

20

固有デバイス識別番号をさらに備える、請求項43に記載の半導体メモリデバイス。

【請求項 45】

前記制御回路は、ターゲットデバイスアドレスがそのデバイスに関連付けられた前記固有デバイス識別番号に一致したことに応答して、前記メモリのアクセスを制御し、前記ターゲットデバイスアドレスは、前記シリアル入力データのターゲットデバイスアドレスフィールドに含められる、請求項44に記載の半導体メモリデバイス。

【請求項 46】

前記制御回路は、前記シリアル入力データのアドレスフィールドにおいて識別された前記メモリ内の場所に前記データを転送するのを制御する、請求項43に記載の半導体メモリデバイス。

30

【請求項 47】

前記メモリ、前記シリアルデータリンクインタフェースおよび前記制御回路は、片面パッケージを有する単一のパッケージ内に配置される、請求項36に記載の半導体メモリデバイス。

【請求項 48】

前記メモリは、不揮発性メモリバンクを備える、請求項36に記載の半導体メモリデバイス。

【請求項 49】

前記不揮発性メモリバンクは、フラッシュメモリバンクである、請求項48に記載の半導体メモリデバイス。

40

【請求項 50】

前記不揮発性メモリバンクは、NANDフラッシュメモリバンクである、請求項48に記載の半導体メモリデバイス。

【請求項 51】

第1の出力イネーブル信号を受信するための第2の制御入力部であって、その第1の入力イネーブル信号は、前記メモリデバイスがシリアル出力データを外部デバイスに送信することを可能にするために使用される、制御入力部と、

第2の出力イネーブル信号を出力するための第2の制御出力部と、
をさらに備える、請求項36に記載の半導体メモリデバイス。

【請求項 52】

50

半導体メモリデバイスにおけるシリアルデータリンクインタフェースとメモリバンクとの間のデータ転送を制御する方法であって、

シリアル入力データストリームをシリアルデータリンクインタフェースで受信する段階と、

第1の入力イネーブル信号を制御入力部で受信する段階と、

データをメモリバンクに格納したり、データにメモリバンクからアクセスしたりするために、シリアル入力データの処理を前記入力イネーブル信号に基づいて可能にする段階と、

第2の入力イネーブル信号を制御出力部から送信する段階と、

シリアル出力データストリームを前記シリアルデータリンクインタフェースから送信する段階と、
を含む方法。

【請求項53】

デバイスアドレス、コマンド、および前記メモリバンクのメモリバンクアドレスを抽出するために、前記シリアル入力データストリームを解析する段階をさらに含む、請求項52に記載の方法。

【請求項54】

前記コマンドは書込みコマンドであり、処理は、

前記シリアル入力データをパラレルデータに変換するステップと、

前記パラレルデータを前記メモリバンクに転送するステップと、

をさらに含む、請求項52に記載の方法。

【請求項55】

前記コマンドは読取りコマンドであり、処理は、

パラレルデータを前記メモリバンクと前記シリアルデータリンクインタフェースとの間で転送するステップと、

前記パラレルデータをシリアル出力データに変換するステップと、

をさらに含む、請求項52に記載の方法。

【請求項56】

前記半導体メモリデバイスは、フラッシュメモリデバイスである、請求項52に記載の方法。

【請求項57】

前記フラッシュメモリデバイスは、NANDデバイスである、請求項56に記載の方法。

【請求項58】

複数のシリアル接続されたフラッシュメモリデバイスを有するフラッシュメモリシステムであって、

シリアルデータ入力ポートと、シリアルデータ出力ポートと、制御入力ポートと、制御出力ポートとを有する第1のフラッシュメモリデバイスであって、シリアル入力データおよび入力イネーブル信号を外部ソースデバイスから受信するように、かつシリアル出力データおよび第2の入力イネーブル信号を送信するように構成された第1のフラッシュメモリデバイスと、

シリアルデータ入力ポートと、シリアルデータ出力ポートと、制御入力ポートとを有する第2のフラッシュメモリデバイスであって、シリアル入力データとして前記第1のフラッシュメモリデバイスの前記シリアル出力データを、また、前記制御入力ポートで前記第1のフラッシュメモリデバイスから前記第2の入力イネーブル信号を受信するように構成された第2のフラッシュメモリデバイスと、
を備えるフラッシュメモリシステム。

【請求項59】

前記第2の入力イネーブル信号は、遅延した前記第1の入力信号である、請求項58に記載のフラッシュメモリシステム。

【請求項60】

前記第2の入力イネーブル信号は、前記第1の入力イネーブル信号から誘導される、請求項58に記載のフラッシュメモリシステム。

【請求項 6 1】

前記外部ソースデバイスは制御器である、請求項58に記載のフラッシュメモリシステム。

【請求項 6 2】

前記外部ソースデバイスはフラッシュメモリデバイスである、請求項58に記載のフラッシュメモリシステム。

【請求項 6 3】

前記第2のフラッシュメモリデバイスは制御出力ポートをさらに備えており、さらにまた、シリアル出力データおよび第3の入力イネーブル信号を外部ターゲットデバイスに送信するように構成されている、請求項58に記載のフラッシュメモリシステム。

10

【請求項 6 4】

前記複数のフラッシュメモリデバイスの各フラッシュメモリデバイスは、固有のデバイス識別番号を有する、請求項63に記載のフラッシュメモリシステム。

【請求項 6 5】

前記複数のフラッシュメモリデバイスの各フラッシュメモリデバイスは、シリアル入力データのターゲットデバイスアドレスフィールドを解析して、そのデバイスがターゲットデバイスであるかどうかを、ターゲットデバイスアドレスをそのデバイスの前記固有のデバイス識別番号と関連させることによって判定するように構成されている、請求項64に記載のフラッシュメモリシステム。

20

【請求項 6 6】

前記複数のフラッシュメモリデバイスの各フラッシュメモリデバイスはさらに、受信したさらなるシリアル入力データを処理する前に前記ターゲットデバイスアドレスフィールドを解析するように構成されている、請求項65に記載のフラッシュメモリシステム。

【請求項 6 7】

前記複数のフラッシュメモリデバイスの各々はさらに、そのメモリデバイスがターゲットデバイスでない場合、前記シリアル入力データを無視するように構成されている、請求項66に記載のフラッシュメモリシステム。

【請求項 6 8】

前記第1のフラッシュメモリデバイスはさらに、第2の制御入力ポートと第2の制御出力ポートとを備えており、出力イネーブル信号を外部ソースデバイスから受信するように、かつ第2の出力イネーブル信号を送信するように構成されており、

30

前記第2のフラッシュメモリデバイスはさらに、第2の制御入力ポートを備えており、前記第2の出力イネーブル信号を前記第1のフラッシュメモリデバイスから受信するように構成されている、請求項58に記載のフラッシュメモリシステム。

【請求項 6 9】

単一のクロック信号が、カスケード接続した信号において、前記複数のシリアル接続されたフラッシュメモリデバイスの各フラッシュメモリデバイスに伝えられる、請求項58に記載のフラッシュメモリシステム。

40

【請求項 7 0】

単一のクロック信号が、前記複数のシリアル接続されたフラッシュメモリデバイスの各々に伝えられ、前記フラッシュメモリシステムの出力は所定のレイテンシだけ遅延される、請求項58に記載のフラッシュメモリシステム。

【請求項 7 1】

前記複数のフラッシュメモリデバイスの各々は、
フラッシュメモリバンクと、

シリアル入力データをシリアル入力データ入力ポートで受信し、そのシリアル入力データを前記フラッシュメモリバンクに転送するように、かつシリアル出力データをシリアルデータ出力ポートに転送するように構成されたシリアルデータリンクインタフェースと、

50

前記シリアルデータリンクインタフェースと前記フラッシュメモリバンクとの間、および前記シリアルデータリンクインタフェースと前記シリアルデータ出力ポートとの間でのデータ転送を制御する制御回路と、
をさらに備える、請求項58に記載のフラッシュメモリシステム。

【請求項72】

前記フラッシュメモリバンクはNANDフラッシュメモリである、請求項71に記載のフラッシュメモリシステム。

【請求項73】

メモリと、

固有のデバイス識別番号と、

シリアル入力データをシリアルデータ入力ポートで受信するように構成されたシリアルデータリンクインタフェースと、

前記シリアル入力データ内のターゲットデバイスアドレスフィールドに応答する制御回路であって、そのターゲットアドレスフィールドは、前記メモリへのアクセスを制御するために、前記固有のデバイス識別番号と相関している、制御回路と、
を備える半導体メモリデバイス。

【請求項74】

前記メモリは複数のメモリバンクを備える、請求項73に記載の半導体メモリデバイス。

【請求項75】

前記シリアルデータリンクはさらに、シリアル出力データをシリアルデータ出力ポートに転送するように構成されており、前記シリアル入力データおよびシリアル出力データはターゲットデバイスアドレス情報を含んでおり、

前記制御回路は、前記シリアルデータリンクインタフェースと前記メモリとの間、および前記シリアルデータリンクインタフェースと前記シリアルデータ出力ポートとの間でのデータ転送を制御するように構成されている、
請求項73に記載の半導体メモリデバイス。

【請求項76】

前記データ転送は、クロック信号の立ち上がりエッジおよび立ち下がりエッジに基づいて2倍のデータ転送率で生じる、請求項75に記載の半導体メモリデバイス。

【請求項77】

前記シリアルデータリンクインタフェースはさらに、シリアル入力データをパラレルデータに変換するように、かつそのデータを前記メモリに転送するように構成されている、
請求項75に記載の半導体メモリデバイス。

【請求項78】

前記シリアルデータリンクインタフェースはさらに、前記メモリからのパラレルデータをシリアル出力データに変換するように構成されている、請求項77に記載の半導体メモリデバイス。

【請求項79】

前記制御回路は、実行命令を受信して、前記メモリとの間のシリアル入力および出力データの転送を制御するように構成されている、請求項78に記載の半導体メモリデバイス。

【請求項80】

前記制御回路は、シリアル入力データのターゲットアドレスフィールドを解析するように、かつアドレスフィールドにおいて識別された前記メモリ内の場所に前記データを転送するのを制御するように、実行命令でプログラムされている、請求項73に記載の半導体メモリデバイス。

【請求項81】

前記メモリ、前記シリアルデータリンクインタフェースおよび前記制御回路は、片面パッケージを有する単一のパッケージ内に配置されている、請求項73に記載の半導体メモリデバイス。

【請求項82】

10

20

30

40

50

前記メモリは不揮発性メモリバンクを備える、請求項73に記載の半導体メモリデバイス。

【請求項 8 3】

前記不揮発性メモリバンクはフラッシュメモリバンクである、請求項82に記載の半導体メモリデバイス。

【請求項 8 4】

前記不揮発性メモリバンクはNANDフラッシュメモリバンクである、請求項82に記載の半導体メモリデバイス。

【請求項 8 5】

半導体メモリデバイスにおけるシリアルデータリンクインタフェースとメモリバンクとの間のデータ転送を制御する方法であって、

シリアル入力データストリームをシリアルデータリンクインタフェースで受信する段階であって、前記シリアル入力データストリームは、ターゲットデバイスアドレスと、コマンドと、メモリバンクアドレス情報とを含んでいる、段階と、

ターゲットデバイスアドレスと、コマンドと、前記メモリバンクのメモリバンクアドレスとを抽出するために、前記シリアル入力データストリームを解析する段階と、

前記ターゲットデバイスアドレスが固有のデバイス識別子と関連している場合に、前記シリアル入力データストリームを処理する段階と、
を含む方法。

【請求項 8 6】

シリアル出力データストリームを前記シリアルデータリンクインタフェースから送信する段階をさらに含む、請求項85に記載の方法。

【請求項 8 7】

前記コマンドは書込みコマンドであり、処理は、
前記シリアル入力データをパラレルデータに変換するステップと、
前記パラレルデータを前記メモリバンクに転送するステップと、
をさらに含む、請求項85に記載の方法。

【請求項 8 8】

前記コマンドは読取りコマンドであり、処理は、
パラレルデータを前記メモリバンクと前記シリアルデータリンクインタフェースとの間で転送するステップと、
前記パラレルデータをシリアル出力データに変換するステップと、
をさらに含む、請求項85に記載の方法。

【請求項 8 9】

前記半導体メモリデバイスはフラッシュメモリデバイスである、請求項85に記載の方法。

【請求項 9 0】

前記半導体メモリデバイスはNANDデバイスである、請求項85に記載の方法。

【請求項 9 1】

複数のシリアル接続されたフラッシュメモリデバイスを有するフラッシュメモリシステムであって、

第1のメモリデバイスであって、

- (a) メモリと、
- (b) 固有のデバイス識別子と、
- (e) シリアルデータ入力ポートと、
- (d) シリアルデータ出力ポートと、

を有し、第1のメモリデバイスは、シリアル入力データを前記シリアルデータ入力ポートで外部ソースデバイスから受信するように、かつシリアル出力データを前記シリアルデータ出力ポートから送信するように構成されており、前記シリアル入力データおよびシリアル出力データはターゲットデバイスアドレス情報を含み、第1のメモリデバイスはさら

10

20

30

40

50

に、前記ターゲットデバイスアドレスが固有のデバイス識別子と関連している場合に前記シリアル入力データを処理するように構成されている、第1のメモリデバイスと、

第2のメモリデバイスであって、

(a) メモリと、

(b) 固有のデバイス識別子と、

(c) 前記第1のメモリデバイスの前記シリアルデータ出力ポートと通じたシリアルデータ入力ポートと、

(d) シリアルデータ出力ポートと、

を有し、前記第2のメモリデバイスは、前記第1のメモリデバイスのシリアル出力データを前記第2のメモリデバイスの前記シリアルデータ入力ポートで受信するように、かつ、前記ターゲットデバイスアドレスが固有のデバイス識別子と関連している場合に前記シリアル入力データを処理するように構成されている、第2のメモリデバイスと、
を備えるメモリシステム。

10

【請求項 9 2】

前記外部ソースデバイスは制御器である、請求項91に記載のメモリシステム。

【請求項 9 3】

前記外部ソースデバイスはメモリデバイスである、請求項91に記載のメモリシステム。

【請求項 9 4】

前記第2のメモリデバイスはさらに、シリアル出力データを外部ターゲットデバイスに送信するように構成されている、請求項91に記載のメモリシステム。

20

【請求項 9 5】

前記複数のメモリデバイスの各メモリデバイスはさらに、前記ターゲットデバイスアドレスが固有デバイス識別子と関連しない場合、前記シリアルデータを処理せずに無視するように構成されている、請求項91に記載のメモリシステム。

【請求項 9 6】

前記メモリはフラッシュメモリである、請求項91に記載のメモリシステム。

【請求項 9 7】

前記メモリはNANDフラッシュメモリである、請求項91に記載のメモリシステム。

【発明の詳細な説明】

【技術分野】

30

【0 0 0 1】

本発明は、デ이지チェーンカスケード配列で構成された複数のデバイスを有する装置に関する。

【背景技術】

【0 0 0 2】

現在、コンピュータ利用システムは、ほとんど至る所で見出すことができ、携帯電話、ハンドヘルドコンピュータ、自動車、医療装置、パーソナルコンピュータなど、社会で日々使用されている多数の装置に組み込まれてきた。総じて、社会は、小切手帳の帳尻を合わせる等の単純な作業などから天気を予想するなどの比較的複雑な作業まで、日々の作業を処理するためにコンピュータ利用システムに大いに依存してきた。技術が改善されるにつれて、より多くの作業がコンピュータ利用システムへと移行される。これによって、社会は、これらのシステムにますます依存するようになっている。

40

【0 0 0 3】

典型的なコンピュータ利用システムは、システムボードと、ディスプレイ装置、記憶装置などの任意選択による1台以上の周辺装置とを備えている。システムボードは、1台以上のプロセッサと、メモリサブシステムと、シリアルデバイスインタフェース、ネットワークデバイスコントローラ、ハードディスクコントローラなどの他の論理回路とを具備することができる。

【0 0 0 4】

特定のシステムボード上で用いられるプロセッサの種類は通常、そのシステムで実施さ

50

れるタスクの種類に依存する。例えば、自動車のエンジンによって生成される廃棄物の監視、およびエンジンが燃料を完全燃焼させるようにするための混合気の調整など、限られた組みのタスクを実施するシステムは、これらのタスクを実施するのに合わせて製作された簡潔な専用プロセッサを用いていることがある。一方で、多数のユーザを管理し多数の異なるアプリケーションを実行するなど、多数の異なるタスクを実施するシステムは、ユーザの要求をサービスする応答時間を最小にすべく、高速な計算を実施しデータを操作するように構成された、事実上汎用のものである1台以上の複合プロセッサを用いていることがある。

【0005】

メモリサブシステムは、プロセッサが使用する情報(例えば命令、データ値)を保持する記憶装置である。メモリサブシステムは典型的には、コントローラ制御回路と、1台以上のメモリデバイスとを備えている。コントローラ制御回路は典型的には、メモリデバイスをプロセッサとインタフェースさせ、そのメモリデバイスにまたそのメモリデバイスからプロセッサが情報を格納しまた取り出すことができるように構成されている。メモリデバイスは実情報を保持する。

10

【0006】

プロセッサと同様に、メモリサブシステムにおいて用いられる種類のデバイスは、多くの場合、コンピュータシステムによって実施される種類のタスクによって駆動される。例えば、コンピュータシステムは、ディスクドライブの支援なしに始動し、かつ頻繁には変化しない一組みのソフトウェアルーティンを実施しなければならないというタスクを有していることがある。ここで、メモリサブシステムは、フラッシュメモリデバイスなどの不揮発性デバイスを用いて、そのソフトウェアルーティンを格納してもよい。他のコンピュータシステムは、情報の大部分を保持するために大型で高速なデータストアを必要とする非常に複雑なタスクを実行することがある。ここで、メモリサブシステムは、高速で高密度なダイナミックランダムアクセスメモリ(DRAM)デバイスを用いて、情報の大部分を格納することができる。

20

【0007】

現在、ハードディスクドライブは、20ギガバイトから40ギガバイトのデータを格納しうる高密度を有しているが、比較的にかさ高いものとなっている。しかしながら、ソリッドステートドライブとしても知られるフラッシュメモリは、高密度であり、不揮発性であり、かつハードディスクドライブと比較して小型であることから、一般に普及している。フラッシュメモリ技術は、EPROMおよびEEPROM技術に基づいている。「フラッシュ」という用語は、各バイトが個別に消去されるEEPROMとは異なり、多数のメモリセルを一度に消去することができるために選択されたものである。多値セル(MLC)の出現により、フラッシュメモリ密度が二値セルと比較してさらに増加している。フラッシュメモリは、NORフラッシュまたはNANDフラッシュとして構成することができ、NANDフラッシュは、そのメモリアレイ構造がより小型であるがために、所与の面積に対してより高い密度を有することが、当業者には理解されよう。さらなる議論において、フラッシュメモリと述べるものは、NORもしくはNANDまたは他の種類のフラッシュメモリのいずれかであるとして解釈されるべきである。

30

40

【0008】

メモリサブシステム内のデバイスは多くの場合、パラレル相互接続スキームを使用して相互接続される。このスキームでは、アドレスおよびデータ情報ならびに制御信号がパラレル形式でデバイスに連結されるような方式でデバイスを相互接続することが必要となる。各デバイスは、データおよびアドレス情報ならびに制御信号をデバイスにパラレル転送するのに対応するように、複数の入力部/出力部を組み合わせることができる。

【特許文献1】米国特許出願第11/324,023号

【発明の開示】

【発明が解決しようとする課題】

【0009】

50

パラレル相互接続をメモリサブシステムで利用することに伴う1つの欠点は、パラレル相互接続では、情報および信号をデバイスにパラレルに転送するために、デバイス間の多数の相互接続が必要となりがちであるということである。これによって、これらのサブシステムを実装する基板の複雑性が増すことになる。さらに、クロストークなど、多数の相互接続に伴う望ましくない影響により、これらのサブシステムの性能が制限されがちである。加えて、これらのサブシステムに組み込まれるデバイスの数が、相互接続によって伝えられる信号の伝播遅延が原因で制限されることがある。

【 0 0 1 0 】

本明細書で説明する技法は、パラレル相互接続による実装と比べてより少数でかつより短い接続を用いるシリアルデジチェーンカスケード配列でデバイスを連結するための技法を提供することによって、上記の欠点を克服している。デバイスをデジチェーン配列で構成することにより、デバイスは、パラレル相互接続による実装と比較してより高速で動作することが可能となるが、これが可能となるのは、より少数でかつより短い相互接続を利用することで、全体的な実装が、伝播遅延およびクロストークなどの望ましくない影響を受けにくくなるからである。さらに、より少数でかつより短い接続は、実装の複雑性を軽減するのに役立つ。さらにこの複雑性の軽減により、デバイスを具備するサブシステムをより小さな面積で実装することが可能となり、それによってサブシステムが占めるフットプリントはより小さくなる。

【 課題を解決するための手段 】

【 0 0 1 1 】

本明細書で説明する技法の態様によれば、デバイスはデジチェーンカスケード配列で連結され、したがって、デジチェーンカスケードにおける前方のデバイスの出力部は、情報(例えばデータ、アドレスおよびコマンド情報)と制御信号(例えばイネーブル信号)を前方のデバイスから後方のデバイスに転送することに対応するように、デジチェーンにおける後方の次のデバイスの入力部に連結される。

【 0 0 1 2 】

この技法の実施形態では、デジチェーンカスケードにおける各デバイスは、シリアル入力部(SI)とシリアル出力部(SO)とを備えている。情報は、デバイスにそのSIを通じて入力される。同様に、この情報は、デバイスからそのSOを通じて出力される。デジチェーンカスケードにおけるあるデバイスのSOは、デジチェーンカスケードにおける次のデバイスのSIに連結される。デジチェーンカスケードにおける前方のデバイスにそのSIを通じて入力された情報を、そのデバイスに通し、そのデバイスからそのSOを通じて出力することを可能にするために、回路がデバイスに設けられている。情報は次いで、前方のデバイスのSOと次のデバイスのSIとの接続を通じて、デジチェーンカスケードにおける次のデバイスのSIに転送される。転送された情報は次いで、次のデバイスにそのSIを通じて入力される。

【 0 0 1 3 】

加えて、クロック信号が、デジチェーンカスケードにおけるデバイスに連結されている。このクロック信号は、デジチェーンカスケードにおいてあるデバイスから次のデバイスに情報を転送することに対応するために、デバイスによって使用される。

【 0 0 1 4 】

本明細書で説明する技法の他の態様によれば、例えば、データをデバイスにSIを通じて入力し、デバイスからSOを通じて出力することを可能にするためにデバイスによって利用される制御信号(例えばイネーブル信号)は、上述のように、デジチェーンカスケードにおけるデバイス間で転送される。ここで、デジチェーンカスケードにおける前方のデバイスに入力された制御信号をそのデバイスに伝播させ、そのデバイスから出力部を通じてデジチェーンカスケードにおける次のデバイスの入力部に転送することを可能にするために、回路が設けられている。転送された制御信号は次いで、次のデバイスに入力部を通じて入力される。

【 0 0 1 5 】

本発明の原理によれば、フラッシュメモリシステムは、複数のシリアル接続されたフラッシュメモリデバイスを有することができる。このシステムのフラッシュメモリデバイスは、シリアル入力データポートおよびシリアルデータ出力ポートを有するシリアルデータリンクインタフェースと、第1の入力イネーブル信号を受信するための制御入力ポートと、第2の入力イネーブル信号を送信するための制御出力ポートとを備えることができる。入力イネーブル信号は、シリアルデータリンクインタフェースとメモリバンクとの間のデータ転送を制御する回路において使用される。フラッシュメモリデバイスは、シリアル入力データおよび制御信号を外部ソースから受信するように、かつデータおよび制御信号を外部デバイスに与えるように構成されている。外部ソースおよび外部デバイスは、システム内の他のフラッシュメモリデバイスであってもよい。本発明の実施形態において、デバイスがシステム内でシリアルにカスケード接続されている場合、それらのデバイスは、受信したIPEおよびOPE信号を外部デバイスに「こだま」させる出力制御ポートをさらに備えていてもよい。これによって、システムは、ポイントツーポイント接続した信号ポートを有して、(ブロードキャスト/マルチドロップカスケード方式に対する)デジチェーンカスケードスキームを形成することが可能となる。

10

20

30

40

50

【0016】

これらのシステムは、限られたハードウェアフィジカルデバイス選択ピンを使用するのではなく、固有のデバイス識別およびターゲットデバイス選択のアドレススキームを使用することができ、したがって、システムの全体的な性能を犠牲にすることなく、システム全体を記憶密度に関して可能な限り高く容易に拡張することができる。本発明のいくつかの実施形態において、フラッシュメモリデバイスの各々は、固有のデバイス識別子を備えることができる。デバイスは、そのデバイスがターゲットデバイスであるかどうかを判定するために、シリアル入力データ内のターゲットデバイス情報フィールドを解析して、ターゲットデバイス情報をそのデバイスの固有のデバイス識別番号と関連させるように構成することができる。デバイスは、受信したさらなる入力データを処理する前に、このターゲットデバイス情報フィールドを解析することができる。メモリデバイスがターゲットデバイスでない場合、そのメモリデバイスは、シリアル入力データを無視することができ、それによって余分な処理時間およびリソースが節約される。

【0017】

上記のことは、添付の図面に示すように、本発明の実施形態の例についての以下のより具体的な説明から明らかとなろう。添付の図面において、類似の参照符号は異なる図を通じて同じ部品を示す。図面は必ずしも一定の尺度ではなく、むしろ本発明の実施形態を説明することを重視している。

【発明を実施するための最良の形態】

【0018】

本発明の好ましい実施形態の説明を以下に示す。

【0019】

図1は、複数のシングルポートデバイス110a~eを備える例示的なデバイス構成のブロック図であり、これらのシングルポートデバイス110a~eは、シリアルデジチェーンカスケード配列で構成されている。デバイス110a~eは、実例として、各々がメモリ(図示せず)を具備するメモリデバイスであり、そのメモリは、ダイナミックランダムアクセスメモリ(DRAM)セル、スタティックランダムアクセスメモリ(SRAM)、フラッシュメモリセルなどを備えることができる。各デバイス110は、シリアル入力部(SI)と、シリアル出力部(SO)と、クロック(SCLK)入力部と、チップセレクト(CS#)入力部とを備えている。

【0020】

SIは、情報(例えばコマンド、アドレスおよびデータ情報)をデバイス110に転送するために使用される。SOは、情報をデバイス110から転送するために使用される。SCLK入力部は、外部クロック信号をデバイス110に与えるために使用され、CS#入力部は、チップセレクト信号をデバイス110に与えるために使用される。本明細書で説明する技法と共に使用することができるデバイスの一例が、米国特許出願第11/324,023号に記載されているMISL

(Multiple Independent Serial Link)メモリデバイスである。

【0021】

SIおよびSOは、デジチェーンカスケード配列でデバイス110の間で接続されており、したがって、デジチェーンカスケードにおける前方のデバイス110のSOは、デジチェーンカスケードにおける次のデバイス110のSIに連結されている。例えば、デバイス110aのSOは、デバイス110bのSIに連結されている。各デバイス110のSCLK入力部は、例えばメモリコントローラ(図示せず)からクロック信号を供給される。クロック信号は、共通のリンクを通じて各デバイス110に分配される。以下でさらに説明するように、SCLKは、とりわけ、デバイス110に入力された情報を、デバイス110に具備された様々なレジスタでラッチするために使用することができる。

10

【0022】

デバイス110に入力された情報は、SCLK入力部に供給されたクロック信号の様々な時間でラッチすることができる。例えば、シングルデータレート(SDR)実装においては、デバイス110にSIで入力された情報は、SCLKクロック信号の立ち上がりエッジまたは立ち下がりエッジのいずれかでラッチすることができる。あるいは、ダブルデータレート(DDR)実装においては、SCLKクロック信号の立ち上がりエッジと立ち下がりエッジの双方を、SIで入力された情報をラッチするために使用することができる。

【0023】

各デバイスのCS#入力部は、デバイスを選択する通常のチップセレクトである。この入力は共通のリンクに連結されており、その共通のリンクによって、チップセレクト信号をデバイス110のすべてに同時にアサートすることが可能となり、したがってデバイス110のすべてが同時に選択される。

20

【0024】

図2は、複数のシングルポートデバイス210a~eを備える例示的なデバイス構成のブロック図であり、これらのシングルポートデバイス210a~eは、カスケード接続されたクロックを有するシリアルデジチェーンカスケード配列で構成されている。各デバイス210は、上述のように、SI入力部と、SO入力部と、SCLK入力部と、CS#入力部とを備えている。加えて、各デバイス210はクロック出力部(SCLK0)を備えている。SCLK0は、デバイス210に入力されたSCLK信号を出力する出力部である。

【0025】

30

図2を参照すると、デバイス210のSIおよびSOが、上述のようにデジチェーンカスケード配列で連結されている。加えて、このデバイスのSCLK入力部およびSCLK0もまたデジチェーンカスケード配列で連結されており、したがって、デジチェーンカスケードにおける前方のデバイス210のSCLK0が、デジチェーンカスケードにおける次のデバイス210のSCLK入力部に連結されている。このように、例えば、デバイス210aのSCLK0はデバイス210bのSCLK入力部に連結されている。

【0026】

クロック信号は、デジチェーンカスケードデバイスを通じて伝播するとき、遅延を発生しうることに留意されたい。遅延ロックスループ(DLL)などの内部遅延補償回路を用いて、この遅延を回避してもよい。

40

【0027】

図3は、複数のデュアルポートデバイス310a~eを備える例示的なデバイス構成のブロック図であり、これらのデュアルポートデバイス310a~eはシリアルデジチェーンカスケード配列で構成されている。各デバイス310は、上述のように、各ポートに対するSIおよびSOと、SCLK入力部と、CS#入力部とを備えている。図3を参照すると、デバイス310の第1のポートに対するSIは「SI0」と記されており、第2のポートに対するSIは「SI1」と記されている。同様に、第1のポートに対するSOは「SO0」、第2のポートに対するSOは「SO1」と記されている。各ポートに対するSIおよびSOは、上述のようにデバイス310の間で接続されている。このように、例えば、デバイス310aのポート0のSOは、デバイス310bのポート0のSIに供給され、以下同様である。同様に、デバイス310aのポート1のSOは、デバ

50

ス310bのポート1のSIに供給され、以下同様である。

【0028】

図4は、複数のシングルポートデバイスを備える例示的なデバイス構成のブロック図であり、これらのシングルポートデバイスは、様々なイネーブル信号に対する入力部および出力部を有するシリアルデジチェーン配列で構成されている。各デバイス410は、上述のように、SIと、SOと、CS#入力部と、SCLK入力部とを備えている。加えて、各デバイス410は、入力ポートイネーブル(IPE)入力部と、出力ポートイネーブル(OPE)入力部と、入力ポートイネーブル(IPEQ)出力部と、出力ポートイネーブル(OPEQ)出力部とを備えている。IPE入力は、IPE信号をデバイスに入力するために使用される。IPEがアサートされているとき、SIを通じて情報をデバイス410にシリアル入力することができるように、IPE信号は、SIをイネーブルするためにデバイスによって使用される。同様に、OPE入力部は、OPE信号をデバイスに入力するために使用される。OPEがアサートされているとき、SOを通じて情報をデバイス410にシリアル出力することができるように、OPE信号は、SOをイネーブルするためにデバイスによって使用される。IPEQおよびOPEQは、それぞれIPEおよびOPE信号をデバイスから出力する出力部である。IPEQ信号は、遅延したIPE信号であっても、IPE信号を微分したものであってもよい。同様に、OPEQ信号は、遅延したOPE信号であっても、OPE信号を微分したものであってもよい。CS#入力部およびSCLK入力部は、上述のように、それぞれCS#およびSCLK信号をデバイス410a~dに分配する別個のリンクに連結されている。

【0029】

SIおよびSOは、上述のように、デジチェーンカスケード配列において、あるデバイスから次のデバイスへと連結されている。さらに、デジチェーンカスケードにおける前方のデバイス410のIPEQおよびOPEQは、デジチェーンカスケード配列における次のデバイス410のそれぞれIPE入力およびOPE入力に連結されている。この配列によって、IPEおよびOPE信号は、シリアルデジチェーンカスケード方式で、あるデバイス410から次のデバイスに転送される。

【0030】

図5は、デュアルポートデバイス510a~dを備える例示的なデバイス構成のブロック図であり、これらのデュアルポートデバイス510a~dは、様々なイネーブル信号に対する入力部および出力部を有するシリアルデジチェーン配列で構成されている。各デバイス510は、上述のように、CS#入力部と、SCLK入力部と、各ポートに対するSI、SO、IPE、OPE、IPEQおよびOPEQとを備えている。ポート1およびポート2に対するSI、SO、IPE、OPE、IPEQおよびOPEQはそれぞれ、SI1、SO1、IPE1、OPE1、IPEQ1およびOPEQ1、ならびにSI2、SO2、IPE2、OPE2、IPEQ2およびOPEQ2と表されている。

【0031】

各デバイス510に対するCS#入力部は、上述のように、すべてのデバイス510を同時に選択するように単一のリンクに連結されている。同様に、各デバイス510に対するSCLKは、上述のように、クロック信号をすべてのデバイス510に同時に分配するように構成された単一のリンクに連結されている。また、上述のように、SI、SO、IPE、OPE、IPEQおよびOPEQは、デジチェーンカスケードにおける前方のデバイスのSO、IPEQおよびOPEQが、デジチェーンカスケードにおける後方のSI、IPEおよびOPEに連結されるように、デバイス間で連結されている。例えば、デバイス510aのSO1、SO2、IPEQ1、IPEQ2、OPEQ1およびOPEQ2は、デバイス510bのそれぞれSI1、SI2、IPE1、IPE2、OPE1およびOPE2に連結されている。

【0032】

デバイス510aのSI、IPEおよびOPE入力部に入力されるSI、IPEおよびOPE信号はそれぞれ、デバイス510aに例えばメモリコントローラ(図示せず)から与えられる。デバイス510dは、デバイス510dのSO、IPEQおよびOPEQ出力部を通じてデータおよび制御信号を再びメモリコントローラに与える。

【0033】

10

20

30

40

50

図6は、多数のシリアル入力部(SI0からSI_n)および多数のシリアル出力部(SO0からSO_n)を有する複数のデバイスを備える例示的なデバイス構成のブロック図であり、これらのデバイスはシリアルデジチェーンカスケード配列で構成されている。加えて、各デバイス610は、上述のようにSCLK入力部とCS#入力部とを有している。

【0034】

各デバイス610に対して用いられているシリアル入力部(SI0からSI_n)およびシリアル出力部(SO0からSO_n)により、それぞれシリアル形式で情報をデバイス610に入力し、またデバイス610から出力することが可能となっている。各入力部は、ある種類の情報(例えばアドレス、コマンド、データ)および/または信号(例えばイネーブル信号)をデバイス610に入力するように、特定の役割を与えられていてもよい。同様に、各出力部は、ある種類の情報および信号をデバイス610から出力するように、特定の役割を与えられていてもよい。例えば、1つ以上の入力部が、アドレス情報をデバイス610に入力することができるように、役割を与えられていてもよい。同様に、例えば、1つ以上の出力部が、アドレス情報をデバイス610から出力するように、役割を与えられていてもよい。

【0035】

各デバイス610に対するシリアル入力部およびシリアル出力部の数は通常、アドレス線の数、コマンドサイズおよびデータ幅サイズなど、特定の要因に依存する。これらの要因は、デバイスが特定のシステムアプリケーションにおいてどのように使用されるかによって影響を受けることがある。例えば、少量の情報を格納するために使用するデータストアを必要とするシステムアプリケーションは、大量の情報に対するデータストアを必要とするシステムアプリケーションと比べて、より少数のアドレスおよびデータ線を、したがってより少数の入力部/出力部を有するデバイスを用いることができる。

【0036】

図7は、読取り動作に関するタイミングを示すタイミング図であり、この読取り操作は、単一のデバイスとシリアルデジチェーンカスケード配列で構成された複数のデバイスとで実施されたものである。図7を参照すると、CS#がアサートされてデバイスのすべてが選択されている。この読取り動作は、IPEをアサートし、読取り動作に関連する情報を、SIを通じてデバイスにクロックすることによって開始する。実例として、この情報は、読取り動作を実施すべきであることを示すコマンド(CMD)と、データが読み取られるメモリ内の開始場所を示す列アドレス(Col. ADD)および行アドレス(Row ADD)とを含んでいる。

【0037】

時間「t_R」において、要求されたデータがメモリから読み取られ、デバイスに具備された専用の内部データバッファに置かれる。t_Rの長さは通常、メモリを構成するセルの特性によって決まる。時間t_Rの後、OPEがアサートされて、内部データバッファからSOを通じてデジチェーンカスケードにおける次のデバイスへとデータをシリアル転送することが可能となる。データは、SO出力部において、実例としてSCLKの立ち上がりエッジにおいて、内部バッファからシリアル出力される。デジチェーンカスケードにおけるデバイスから出力されたデータは、例えば、IPEおよびOPEなどの制御信号を伝播させることに伴うレイテンシを制御するために、1クロックサイクル程度遅延されている。さらに以下で説明するように、レイテンシ制御は、クロック同期したラッチを使用して実施される。

【0038】

フラッシュコアアーキテクチャを実現する、カスケード接続されたメモリデバイスの動作の一部の例を以下の表1に示す。表1に、ターゲットデバイスアドレス(TDA)と、使用可能なOP(動作)コードと、列アドレス、行/バンクアドレス、および入力データの対応状態とを示す。

【0039】

【表 1】

動作	ターゲット デバイスア ドレス(1バ イト)	動作コード (1バイト)	列アドレス (2バイト)	行/列アド レス(3バイ ト)	入力データ (1バイトか ら2112バイ ト)
ページリード	tda	00h	有効	有効	-
ランダムデータリード	tda	05h	有効	-	-
コピー用ページリード	tda	35h	-	有効	-
コピー用ターゲットアドレ ス入力	tda	8Fh	-	有効	-
シリアルデータ入力	tda	80h	有効	有効	有効
ランダムデータ入力	tda	85h	有効	-	有効
ページプログラム	tda	10h	-	-	-
ブロック消去	tda	60h	-	有効	-
リードステータス	tda	70h	-	-	-
リードID	tda	90h	-	-	-
ライトコンフィギュレーシ ョンレジスタ	tda	A0h	-	-	有効(1バ イト)
ライトDN(デバイス名)エン トリ	00h	B0h	-	-	-
リセット	tda	FFh	-	-	-
バンクセレクト	tda	20h	-	有効(バンク)	-

表 1 : コマンドセット

【 0 0 4 0 】

本発明のいくつかの実施形態において、図1～6に示すシステムにおける各デバイスは、シリアル入力データ内のターゲットデバイスアドレス(tda)として使用することができる固有のデバイス識別子を有していてもよい。シリアル入力データを受信すると、フラッシュメモリデバイスは、そのシリアル入力データ内のターゲットデバイスアドレスフィールドを解析し、そのデバイスがターゲットデバイスであるかどうかを、ターゲットデバイスアドレスをそのデバイスの固有のデバイス識別番号と関連させることによって判断することができる。

【 0 0 4 1 】

表2は、図1～6に関連して説明したシステムを含めた本発明の実施形態による入力データストリームの好ましい入力シーケンスを示す。コマンド、アドレス、およびデータが、最上位ビットから開始して各メモリデバイスの内外に順次シフトされる。

【 0 0 4 2 】

図4を参照する。デバイス410a～dは、入力ポートイネーブル(IPE)がHIGHである間にシリアルクロック(SCLK)の立ち上がりエッジでサンプリングされたシリアル入力信号(SIP)で動作することができる。コマンドシーケンスは、1バイトのターゲットデバイスアドレス(「tda」)および1バイトの動作コードで開始しており、この動作コードはまた、同じ意味でコマンドコード(表1では「cmd」)と呼ばれることもある。最上位ビットにおいて、シリアル入力信号を1バイトのターゲットデバイスアドレスで開始することにより、デバイスは、受信したさらなる入力データを処理する前に、ターゲットデバイスアドレスフィー

10

20

30

40

50

ルドを解析することができる。メモリデバイスがターゲットデバイスでない場合、そのメモリデバイスは、処理する前にシリアル入力データを別のデバイスに転送することができ、それによって余分な処理時間およびリソースが節約される。

【 0 0 4 3 】

【表 2】

動作	第 1 バイト	第 2 バイト	第 3 バ イト	第 4 バ イ ト	第 5 バ イト	第 6 バ イト	第 7 バ イト	第 8 バ イト	...	第 21 16 バ イト	...	第 21 19 バ イト
ページリー ド	tda	cmd	列アド レス	列アド レス	行アド レス	行アド レス	行アド レス	-	-	-	-	-
ランダムデ ータリード	tda	cmd	列アド レス	列アド レス	-	-	-	-	-	-	-	-
コピー用ペ ージリード	tda	cmd	行アド レス	行アド レス	行アド レス	-	-	-	-	-	-	-
コピー用タ ーゲットア ドレス入力	tda	cmd	行アド レス	行アド レス	行アド レス	-	-	-	-	-	-	-
シリアルデ ータ入力	tda	cmd	列アド レス	列アド レス	行アド レス	行アド レス	行アド レス	データ	...	データ	...	データ
ランダムデ ータ入力	tda	cmd	列アド レス	列アド レス	データ	データ	データ	データ	...	データ	-	-
ページプロ グラム	tda	cmd	-	-	-	-	-	-	-	-	-	-
ブロック消 去	tda	cmd	行アド レス	行アド レス	行アド レス	-	-	-	-	-	-	-
リードステ ータス	tda	cmd	-	-	-	-	-	-	-	-	-	-
リード ID	tda	cmd	-	-	-	-	-	-	-	-	-	-
ライトコン フィギュレ ーションレ ジスタ	tda	cmd	データ	-	-	-	-	-	-	-	-	-
ライト DN エントリ	tda	cmd	-	-	-	-	-	-	-	-	-	-
リセット	tda	cmd	-	-	-	-	-	-	-	-	-	-

表 2 : バイトモードにおける入力シーケンス

【 0 0 4 4 】

1バイトのTDAは、デバイス内にシフトされ、1バイトのcmdコードが続く。最上位ビット(MSB)はSIPで開始し、各ビットはシリアルクロック(SCLK)の立ち上がりエッジでラッチされる。コマンドに応じて、1バイトのコマンドコードに、列アドレスバイト、行アドレスバイト、バンクアドレスバイト、データバイト、および/もしくは組み合わせが続くか、

または何も続かないことがある。

【 0 0 4 5 】

図8は、情報に関連するタイミングを示すタイミング図であり、この情報は、シリアルデジチェーンカスケード配列で構成されたデバイス間で転送されたものである。上記のように、CS#がアサートされてデバイスが選択される。IPEをアサートし、SCLKの相次ぐ立ち上がりエッジでデータをデバイスにクロックすることによって、デジチェーンカスケードにおける第1のデバイスに情報が入力される。IPEは、第1のデバイスを通じて第2のデバイスに1サイクル未満で伝播される。これにより、情報が第1のデバイスにクロックされてから1サイクル後に、第1のデバイスのSOから第2のデバイスのSIに情報をクロックすることが可能となっている。これが、デジチェーンカスケードにおける相次ぐデバイスに対して繰り返される。このように、例えば、情報は、シリアルデジチェーンカスケードにおける第3のデバイスに、第1のデバイスにおけるデータのラッチ点から3番目のSCLKの立ち上がりエッジで入力される。制御信号IPEおよびOPEは、これらの信号に対する適切なセットアップ時間をデジチェーンカスケードにおける次のデバイスで確保するために、SCLKの立ち上がりエッジと同期される。

10

【 0 0 4 6 】

図9は、シングルポートデバイスに対する例示的なシリアル出力制御論理回路900のブロック図である。論理回路900は、IPE用の入力バッファ902と、SI(SIP)用の入力バッファ904と、OPE用の入力バッファ906と、入力ラッチ制御部908と、シリアルパラレルレジスタ910と、出力ラッチ制御部912と、データレジスタ914と、アドレスレジスタ916と、コマンドインタプリタ918と、セクタ920と、ページバッファ924と、論理和ゲート926と、出力バッファ928と、セクタ930と、メモリ950とを備えている。

20

【 0 0 4 7 】

入力バッファ902は、バッファ902の入力部でデバイスに供給されたIPE信号の状態をバッファリングするように構成された通常のLVTTTL(低電圧トランジスタトランジスタ論理回路)バッファである。バッファ902の出力は入力ラッチ制御部908に供給され、この入力ラッチ制御部908は、IPE信号の状態をラッチし、IPE信号のラッチ状態を入力バッファ904およびセクタ920に与える。入力バッファ904は、SI入力を通じてデバイスに供給された情報をバッファリングするように構成されたLVTTTLバッファである。入力バッファ904は、入力ラッチ制御部908の出力によってイネーブルにされる。イネーブルにされると、SI入力部に与えられた情報は、バッファ908によってシリアルパラレルレジスタ910およびセクタ930の入力に供給される。入力バッファ904は、IPE信号がアサートされていることを、入力ラッチ制御部908から供給されたIPE信号のラッチ状態が示すときイネーブルにされる。シリアルパラレルレジスタ910に供給された情報は、このレジスタ910によってシリアル形式からパラレル形式に変換される。シリアルパラレルレジスタ910の出力は、データレジスタ914、アドレスレジスタ916、およびコマンドインタプリタ918に供給される。

30

【 0 0 4 8 】

データレジスタ914およびアドレスレジスタ916は、SIを通じてデバイスに供給されたデータおよびアドレス情報をそれぞれ保持する。コマンドインタプリタ918は、SIを通じてデバイスに入力されたコマンドを解釈するように構成されている。これらのコマンドは、デバイスの動作をさらに制御するために使用される。例えば、「ライトメモリ」コマンドは、デバイスが、データレジスタ914に含まれているデータを、デバイスに具備されたメモリ950に、アドレスレジスタ916によって指定されたアドレスで書き込むようにするために使用することができる。

40

【 0 0 4 9 】

入力バッファ906は、デバイスのOPE入力部に供給されたOPE信号をバッファリングするように構成されている。バッファ906の出力は、OPE信号の状態をラッチする出力ラッチ制御部912に転送される。出力ラッチ制御部は、ラッチされたOPE信号状態をORゲート926に出力する。ORゲート926は通常の論理和ゲートであり、この論理和ゲートの出力は、出力バッファ928の出力をイネーブル/ディスエーブルにするために使用されている。

50

【 0 0 5 0 】

セクタ920は、2つの入力のうち信号DAISY_CHAINによって選択された一方を出力する通常の2対1マルチプレクサである。上記のように、これらの入力のうちの一方は、入力ラッチ制御部908からのIPEのラッチ状態である。他方の入力は、論理ローの状態に設定されている。信号DAISY_CHAINは、デバイスがシリアルデジチェーンカスケード配列において1つ以上の他のデバイスに連結されているかどうかを示す。実例として、この信号は、デバイスがシリアルデジチェーンカスケード配列において1つ以上のデバイスに連結されている場合にアサートされる。DAISY_CHAIN信号をアサートすると、セクタ920に供給されたIPE信号のラッチ状態がセクタ920から出力される。DAISY_CHAINがアサートされていないときは、セクタ920に入力された論理ローの状態がセクタ920から出力される。

10

【 0 0 5 1 】

ページバッファ924は、メモリ950から読み取られた情報を保持するように構成された通常のデータバッファである。セクタ930は、2つの入力のうち信号ID_MATCHによって選択された一方を出力する通常の2対1マルチプレクサである。セクタ930への一方の入力はページバッファ924の出力部から供給され、他方の入力はSI入力バッファ904の出力部から供給される。セクタ930の出力は、出力バッファ928に供給される。信号ID_MATCHは、SIを通じてデバイスに送られた特定のコマンドが、そのデバイスを宛先とするものであるかどうかを示す。コマンドがそのデバイスを宛先とするものである場合、ID_MATCHがアサートされて、ページバッファ924からの出力がセクタ930から出力される。ID_MATCHがアサートされていない場合、SIバッファ904からの出力(すなわち、デバイスに入力されたSI信号の状態)がセクタ930から出力される。

20

【 0 0 5 2 】

メモリ950は、データを保持するように構成された通常のメモリである。メモリ950は、SIを通じてデバイスに入力されたアドレスを使用してアドレス指定可能な、スタティックRAM(SRAM)、ダイナミックRAM(DRAM)またはフラッシュメモリセルなどのセルを備えるランダムアクセスメモリ(RAM)であってもよい。

【 0 0 5 3 】

動作中、アサートされたIPE信号は、入力バッファ902によってバッファリングされ、IPEのアサート状態をラッチする入力ラッチ制御部908に転送される。このラッチ状態は、セクタ920および入力バッファ904に供給されて、このバッファ904をイネーブルにする。入力バッファ904に入力されたコマンド、アドレスおよびデータ情報は次いで、シリアルパラレルレジスタ910に転送され、このシリアルパラレルレジスタ910は、その情報をシリアル形式からパラレル形式に変換し、コマンド、アドレスおよびデータ情報をコマンドインタプリタ918、アドレスレジスタ916およびデータレジスタ914にそれぞれ供給する。バッファ904の出力はまた、セクタ930に供給される。ID_MATCHがアサートされていない場合は、バッファ904の出力がセクタ930の出力部に出現し、そのバッファ904の出力が出力バッファ928の入力部に供給される。DAISY_CHAINがアサートされている場合は、IPEのラッチ状態がセクタ920の出力部に出現し、ORゲート926の第1の入力部に供給される。ORゲート926は、IPEの状態を出力バッファ928に渡して出力バッファ928をイネーブルにする。これにより、SI入力部に入力された情報を、S0でデバイスから出力させることができる。

30

40

【 0 0 5 4 】

ページバッファ924からのデータは、OPEおよびID_MATCHをアサートすることによってデバイスから出力される。具体的には、OPEのアサート状態が入力バッファ906に供給され、次に、入力バッファ906が、その状態を出力ラッチ制御部912に供給し、出力ラッチ制御部912がその状態をラッチする。ラッチされたアサート状態が、ORゲート926の第2の入力に供給され、ORゲート926が信号を出力して出力バッファ928をイネーブルにする。ID_MATCHをアサートすると、ページバッファ924の出力をセクタ930の出力に出現させることができる。セクタ930の出力は、イネーブルにされた出力バッファ928に供給され、出力バッ

50

ファ928は、デバイスのSO出力部でデータをデバイスから出力する。

【0055】

DAISY_CHAINがアサートされていない場合、出力バッファ928はOPEによってのみインエーブルにされることに留意されたい。これによって、このデバイスは、非デジチェーンシリアルカスケード構成で 사용할ことが可能となっている。

【0056】

図10は、デュアルポートデバイスに対する例示的なシリアル出力制御論理回路1000のブロック図である。各ポートごとに、入力および制御パス論理回路1000は、IPE入力バッファ1002、SI入力バッファ1004、OPE入力バッファ1006、入力ラッチ制御部1008、シリアルパラレルレジスタ1010、出力ラッチ制御部1012、データレジスタ1014、アドレスレジスタ1016、コマンドインタプリタ1018、セクタ1020、ページバッファ1024、論理和ゲート1026、出力バッファ1028およびセクタ1030を備えており、これらはそれぞれ、上述のIPE入力バッファ902、SIP入力バッファ904、OPE入力バッファ906、入力ラッチ制御部908、シリアルパラレルレジスタ910、出力ラッチ制御部912、データレジスタ914、アドレスレジスタ916、コマンドインタプリタ918、セクタ920、ページバッファ924、論理和ゲート926、出力バッファ928およびセクタ930と同一である。

10

【0057】

図11は、本明細書で説明する技法と共に使用しされうるシリアル出力制御論理回路1100の別の実施形態の詳細ブロック図である。論理回路1100は、SI入力バッファ1104と、IPE入力バッファ1106と、OPE入力バッファ1108と、SCLK入力バッファ1110と、論理積ゲート1112および1114と、ラッチ1116、1118、1120および1122と、セクタ1124および1130と、論理和ゲート1126と、SO出力バッファ1128とを備えている。バッファ1104、1106、1108および1110は、デバイスに入力されたSI、IPE、OPEおよびSCLK信号それぞれをバッファリングするように構成された通常のLVTTTLバッファである。

20

【0058】

ANDゲート1112は、IPEがアサートされているとき、SIに入力された情報をラッチ1116に出力するように構成されている。ラッチ1116は、クロック信号(SCLK)がバッファ1110によって与えられているとき、情報をラッチするように構成されている。DATA_OUTは、デバイスに具備されたメモリ(図示せず)から読み取られたデータの状態を表す。ANDゲート1114は、OPEがアサートされているとき、DATA_OUTの状態を出力するように構成されている。ANDゲート1114の出力はラッチ1118に送り込まれ、このラッチ1118は、クロック信号がバッファ1110によって与えられているとき、DATA_OUTの状態をラッチするように構成されている。バッファ1106は、デバイスに供給されたIPE信号をバッファリングするように構成されている。バッファ1106の出力は、ラッチ1120によってラッチされる。同様に、バッファ1108は、デバイスに供給されたOPE信号をバッファリングするように構成されている。ラッチ1122は、バッファ1108によって出力されたOPEの状態をラッチするように構成されている。セクタ1124および1130は、それぞれ2つの入力部を備える通常の2対1マルチプレクサである。セクタ1124に対する入力は、上述のID_MATCH信号によって、セクタ1124からの出力に選択される。一方の入力は、ラッチ1118によって維持されたDATA_OUTのラッチ状態を供給される。この入力は、ID_MATCHがアサートされているとき、セクタ1124からの出力に選択される。他方の入力は、ラッチ1116によって維持されたSIのラッチ状態を供給される。この入力は、ID_MATCHがアサートされていないとき、セクタ1124からの出力に選択される。

30

40

【0059】

セクタ1130に対する入力は、上述のDAISY_CHAIN信号によって、セクタ1130からの出力に選択される。セクタ1130への一方の入力は、ラッチ1120によって維持されたIPEのラッチ状態を供給され、他方の入力は論理ゼロに結び付けられている。DAISY_CHAINがアサートされているとき、IPEのラッチ状態が、セクタ1130からの出力に選択される。同様に、DAISY_CHAINがアサートされていないとき、論理ゼロが、セクタ1130からの出力に選択される。

50

【 0 0 6 0 】

ORゲート1126は、イネーブル/ディスエーブル信号を出力バッファ1128に与えるように構成された通常の論理和ゲートである。ORゲート1126は、セクタ1130の出力と、ラッチ1122によって維持されたOPEのラッチ状態とを供給される。これらの出力のいずれも、イネーブル信号をバッファ1128に与えてバッファの出力をイネーブルにするために使用することができる。バッファ1128は、出力信号S0をバッファリングする通常のバッファである。上記のように、バッファ1128は、ORゲート1126の出力によってイネーブル/ディスエーブルにされる。

【 0 0 6 1 】

動作中、IPEがアサートされているとき、SIを通じてデバイスに入力された情報はラッチ1116に供給される。ラッチ1116は、実例として、IPEがアサートされた後、SCLKの第1の上昇推移においてこの情報をラッチする。同様に、ラッチ1120は、このSCLKの推移においてIPEの状態をラッチする。ID_MATCHがアサートされていないと仮定すると、ラッチ1116の出力がセクタ1124を通じてバッファ1128に供給される。同様に、アサートされたIPEがバッファ1106からラッチ1120に転送され、このラッチ1120において、このIPEはまた、実例として、SCLKの第1の上昇推移によってラッチされる。DAISY_CHAINがアサートされていると仮定すると、IPEのラッチ状態がセクタ1130の出力部に与えられ、ORゲート1126に転送されて、イネーブル信号がバッファ1128に与えられる。次いで、SIのラッチ状態が、バッファ1128を通じて出力S0としてデバイスから転送される。

【 0 0 6 2 】

DAISY_CHAINがアサートされていないとき、セクタ1130に入力された論理ゼロが選択され、それによって論理ゼロがセクタ1130から出力される。これによって、IPEがバッファ1128をイネーブルにすることが不可能になる。

【 0 0 6 3 】

実例として、OPEがアサートされた後のSCLKの次の上昇推移において、OPEのアサート状態がラッチ1122でラッチされ、DATA_OUTの状態がラッチ1118でラッチされる。ID_MATCHがアサートされていると仮定すると、DATA_OUTのラッチ状態がセクタ1124によって選択され、バッファ1128の入力部に加えられる。同時に、ラッチ1122からのOPEのラッチされたアサート状態が、ORゲート1126を通過してバッファ1128をイネーブルにし、それによって、DATA_OUTのラッチ状態が、出力S0としてデバイスから出力される。

【 0 0 6 4 】

図12は、シリアルデジチェーンカスケード配列で構成され、例示的なシリアル出力制御論理回路を具備するデバイスの例示的な構成のブロック図である。この配列は3つのデバイス1210を備えており、これらのデバイス1210は、上述のように、デジチェーンカスケードにおける前方のデバイスの出力部が、デジチェーンカスケードにおける次のデバイスの入力部に連結されるように構成されている。あるデバイスから次のデバイスへの情報およびデータの転送について、図13を参照して以下に説明する。

【 0 0 6 5 】

図13は、図12に示すデバイスの入力および出力に関するタイミングを示す例示的なタイミング図である。具体的には、この図は各デバイス内のシリアル出力制御論理回路1100の動作を示しており、この動作は、各デバイス1210のSI入力部で入力された情報をデバイス1210のS0出力部に渡すことに関するものである。

【 0 0 6 6 】

図11、12および13を参照し、DATA_CHAINがアサートされていると仮定する。IPEがデバイス1210aでアサートされているとき、デバイスのSI入力部における情報が、上述のように、デバイスのシリアル出力制御論理回路1100を通じてデバイス1210aのS0出力部に渡される。具体的には、データが、実例としてIPEがアサートされた後のSCLKの各立ち上がりエッジにおいて、デバイス1210aにクロックされる。情報およびIPEの状態は、上述のように論理回路1100を通じて伝播し、それぞれデバイスのS0およびIPEQ出力部でデバイス1210aを抜け出す。これらの出力は、図においてそれぞれS1およびP1として表されている。こ

これらの出力は、上述のように、デバイス1210bのSIおよびIPE入力部に供給され、デバイス1210bのシリアル出力制御論理回路1100を通過し、1クロックサイクル後に、デバイス1210bからこのデバイスのSOおよびIPEQ出力部で出力される。これらの出力は、図においてそれぞれS2およびP2として表されている。同様に、デバイス1210bのSOおよびIPEQ出力は、デバイス1210cのSIおよびIPE入力部にそれぞれ供給され、デバイス1210cのシリアル出力制御論理回路1100を通過し、1クロックサイクル後にデバイス1210cからデバイスのSOおよびIPEQ出力部でそれぞれ出力される。これらの出力は、図においてそれぞれS3およびP3として表されている。

【0067】

上述のデジチェーンカスケード配列では、SDR動作のデジチェーンカスケードにおける信号の出力レイテンシは、以下の式を使用して求めることができる。

【0068】

出力レイテンシ = $N \times$ クロックサイクル時間

【0069】

上式において、

「出力レイテンシ」はデータの出力レイテンシであり、

「N」はデジチェーンカスケード配列におけるデバイスの数であり、

「クロックサイクル時間」は、クロック(例えばSCLK)が動作するクロックサイクル時間である。

【0070】

例えば、図12に示すデジチェーンカスケードに対するクロックサイクル時間が10ナノ秒であると仮定する。デバイス1210cのSOでのデータの全出力レイテンシは、 3×10 ナノ秒すなわち30ナノ秒である。

【0071】

DDR動作の場合、出力レイテンシは以下のように求めることができる。

【0072】

出力レイテンシ = $N \times (\text{クロックサイクル時間} / 2)$

【0073】

DDR動作においては、クロックの両エッジが、入力データのラッチ点および出力データの変化点として機能することができる。このように、全レイテンシは、SDR動作に対するレイテンシの半分となる。

【0074】

上記の説明において、デバイス1210に入力された情報は、SDR動作に対しては1クロックサイクル後、DDR動作に対しては半サイクル後に出力されることに留意されたい。この遅延は、出力バッファ1128を活動化するのに要する時間に対応するために導入されている。

【0075】

図14は、あるデジチェーンカスケードにおける第1のデバイス1450aのメモリに含まれているデータをそのデジチェーンカスケードにおける第2のデバイス1450bに転送するために使用しうる論理回路1400のブロック図である。論理回路1400は、データ出力レジスタ1402と、OPE入力バッファ1404と、SCLK入力バッファ1406と、ANDゲート1408と、データ出力ラッチ1410と、OPE状態ラッチ1412と、セクタ1414と、SO出力バッファ1416と、OPEQ出力バッファ1418とを備えている。

【0076】

データ出力レジスタ1402は、デバイス1450に具備されたメモリから読み取られたデータを格納するように構成された通常のレジスタである。レジスタ1402は、実例として、メモリからパラレルにデータをロードし、ゲート1408の入力部にシリアルにデータを転送するパラレルシリアルデータレジスタである。SCLKは、レジスタ1402がデータをゲート1408に転送するために使用するクロックを与える。図示のように、データレジスタ1402は、ビットD0からD7を備える1バイトのデータを保持するように構成されており、ここで、D0はバイトの最下位ビット(LSB)であり、ビットD7はバイトの最上位ビット(MSB)である。レジス

10

20

30

40

50

タ1402は、データのバイト値をメモリからパラレルにロードされる。次いでデータが、レジスタからシフトされ、MSBを初めとして1ビットずつゲート1408の入力部にシリアルに供給される。

【0077】

バッファ1404および1406は、入力信号OPEおよびSCLKをそれぞれバッファリングするために使用される通常のLVTTTLバッファである。OPE信号は、バッファ1404(OPEI)の出力部からゲート1408に転送される。SCLK信号は、バッファ1406の出力部からデータ出力レジスタ1402とラッチ1410および1412に転送され、これらの構成要素にクロックが与えられる。

【0078】

ゲート1408は、OPEがアサートされているときにデータ出力レジスタ1402(DATA_OUT)の出力をラッチ1410に転送するように構成された通常の論理積ゲートである。ゲート1408の出力は「DBIT」と表されている。ラッチ1410および1412は、DBITの状態をおよびOPE信号それぞれラッチするように構成された通常のラッチである。セクタ1414は、信号ID_MATCHによって制御される通常の2入力の2対1マルチプレクサである。データ入力的一方は、DBITのラッチ状態を供給される。この状態は、ID_MATCHがアサートされているときにセクタ1414から出力される。他方の入力は、デバイス1450aにそのSIを通じて入力されたシリアル情報(SIO)を供給される。この情報は、ID_MATCHがアサートされていないときにセクタ1414によって出力される。

【0079】

バッファ1416および1418は、セクタ1414およびラッチ1406の出力をそれぞれバッファリングするように構成された通常のバッファである。バッファ1416の出力は、S0(S00)としてデバイス1450aを抜き出し、バッファ1418の出力はOPEQ(OPEQ0)としてデバイス1450aを抜き出す。

【0080】

図15は、論理回路1400を使用して、デバイス1450aに具備されたメモリからデバイス1450bにデータのバイト値を転送することに関するタイミングを示すタイミング図である。図14および15を参照すると、OPEが入力バッファ1404でデバイス1450aに供給された直後に、OPEIがアサートされている。OPEIがゲート1408に供給されて、データ出力レジスタ1402のD7に出現するデータを、SCLKの次の立ち上がりエッジにおいてラッチ1410でラッチすることが可能となる。加えて、SCLKのこの次の立ち上がりエッジにより、データがデータ出力レジスタ1402において右シフトされ、したがって、D6内のデータがD7にシフトされ、D5内のデータが136にシフトされ、以下同様となる。ラッチ1410の出力はセクタ1414に出現し、このセクタ1414は、ID_MATCHがアサートされていると仮定すると、データのラッチ状態をバッファ1416に出力する。バッファ1416は、このラッチ状態をデバイス1450aからS00として出力し、このS00は、デジチェーンカスケードにおける次のデバイス1450bのSI入力部(SI1)に供給される。その間に、OPEがアサートされた後の最初のクロックの立ち上がりエッジにおいて、OPEの状態がまたラッチ1412でラッチされる。ラッチ1412の出力はバッファ1418に転送され、バッファ1418はOPEのラッチ状態をデバイス1450aからOPEQ(OPEQ0)として出力し、OPEQはデジチェーンカスケードにおける次のデバイス1450bのOPE入力部(OPE1)に供給される。この手順が、ビットD6からD0に対して繰り返される。

【0081】

本発明について、その好ましい実施形態に関連して具体的に示し説明してきたが、当業者であれば、形式および細部における様々な変更が、添付の特許請求の範囲に包含される本発明の趣旨から逸脱することなく、当技術分野においてなされうることが理解されよう。

【図面の簡単な説明】

【0082】

【図1】複数のシングルポートデバイスを備える例示的なデバイス構成のブロック図であり、これらのシングルポートデバイスはシリアルデジチェーンカスケード配列で構成されている。

【図 2】複数のシングルポートデバイスを備える例示的なデバイス構成のブロック図であり、これらのシングルポートデバイスは、カスケード接続されたクロックを有するシリアルデジチーチェーンカスケード配列で構成されている。

【図 3】複数のデュアルポートデバイスを備える例示的なデバイス構成のブロック図であり、これらのデュアルポートディバイスはシリアルデジチーチェーンカスケード配列で構成されている。

【図 4】複数のシングルポートデバイスを備える例示的なデバイス構成のブロック図であり、これらのシングルポートデバイスは、様々なイネーブル信号に対する入力部および出力部を有するシリアルデジチーチェーン配列で構成されている。

【図 5】デュアルポートデバイスを備える例示的なデバイス構成のブロック図であり、これらのデュアルポートデバイスは、様々なイネーブル信号に対する入力部および出力部を有するシリアルデジチーチェーン配列で構成されている。

【図 6】多数の平行入力部および多数の平行出力部を有する複数のデバイスを備える例示的なデバイス構成のブロック図であり、これらのデバイスはシリアルデジチーチェーンカスケード配列で構成されている。

【図 7】読取り動作に関するタイミングを示すタイミング図であり、この読取り操作は、単一のデバイスとシリアルデジチーチェーンカスケード配列で構成された複数のデバイスとで実施されたものである。

【図 8】情報に関するタイミングを示すタイミング図であり、この情報は、シリアルデジチーチェーンカスケード配列で構成されたデバイス間で転送されたものである。

【図 9】シングルポートデバイスに対する例示的なシリアル出力制御論理回路の高レベルブロック図である。

【図 10】デュアルポートデバイスに対する例示的なシリアル出力制御論理回路の高レベルブロック図である。

【図 11】デバイスに対する例示的なシリアル出力制御論理回路の詳細なブロック図である。

【図 12】デバイスの例示的な構成のブロック図であり、これらのデバイスは、シリアルデジチーチェーンカスケード配列で構成されており、例示的なシリアル出力制御論理回路を具備している。

【図 13】例示的なシリアル出力制御論理回路を備えるデバイスの入力および出力に関するタイミングを示すタイミング図である。

【図 14】例示的なシリアル出力制御論理回路のブロック図であり、このシリアル出力制御論理回路は、あるデジチーチェーンカスケードにおける第1のデバイスに具備されたメモリからそのデジチーチェーンカスケードにおける第2のデバイスにデータを転送するために使用しうるものである。

【図 15】例示的なシリアル出力制御論理回路を使用して、あるデジチーチェーンカスケードにおける第1のデバイスのメモリに含まれたデータを、そのデジチーチェーンカスケードにおける第2のデバイスに転送することに関するタイミングを示すタイミング図である。

【符号の説明】

【0083】

- 110 デバイス
- 210 デバイス
- 310 デバイス
- 410 デバイス
- 510 デバイス
- 610 デバイス
- 902 IPE用の入力バッファ
- 904 SI用の入力バッファ
- 906 OPE用の入力バッファ

10

20

30

40

50

- 908 入力ラッチ制御部
- 910 シリアルパラレルレジスタ
- 912 出力ラッチ制御部
- 914 データレジスタ
- 916 アドレスレジスタ
- 918 コマンドインタプリタ
- 920 セレクタ
- 924 ページバッファ
- 926 論理和ゲート
- 928 出力バッファ
- 930 セレクタ

【図 1】

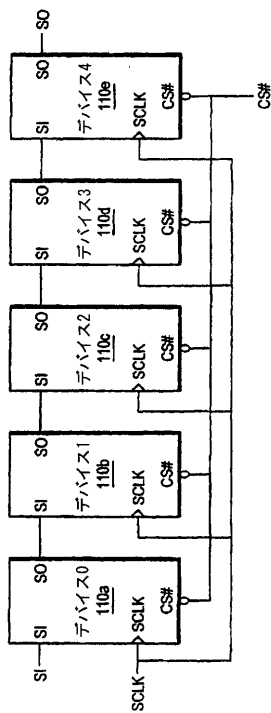


FIG. 1

【図 2】

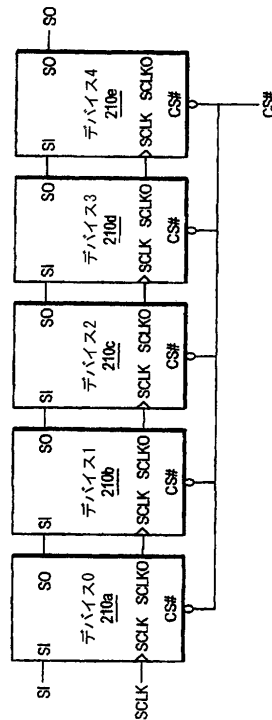


FIG. 2

【 図 3 】

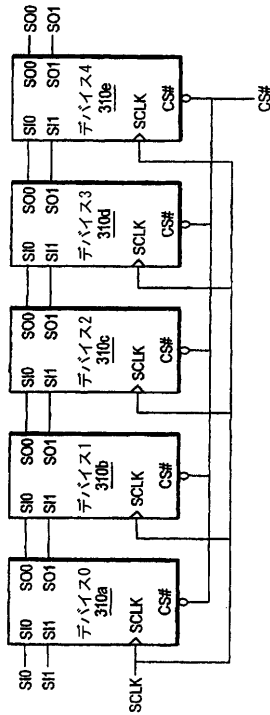


FIG. 3

【 図 5 】

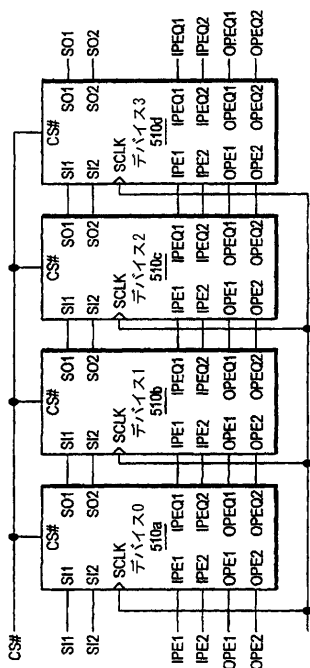


FIG. 5

【 図 4 】

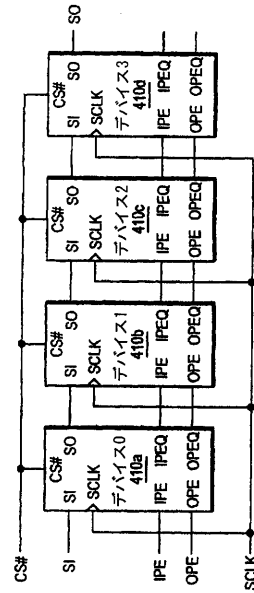


FIG. 4

【 図 6 】

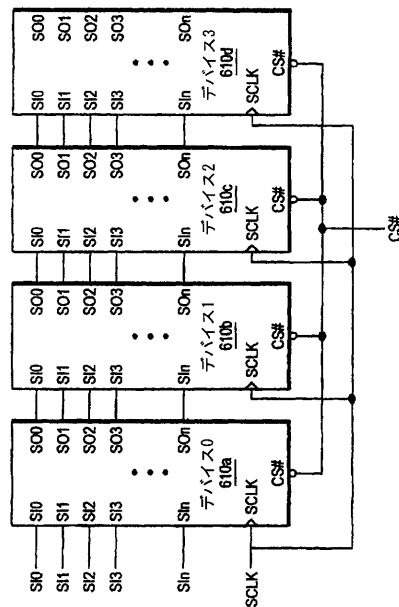


FIG. 6

【図 7】

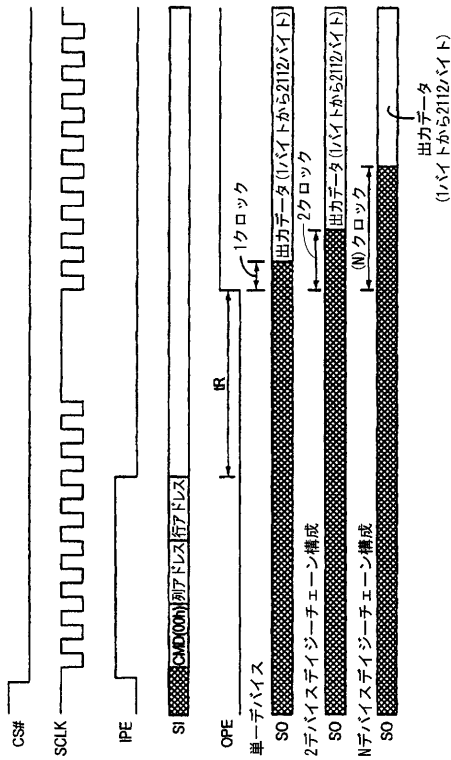


FIG. 7

【図 8】

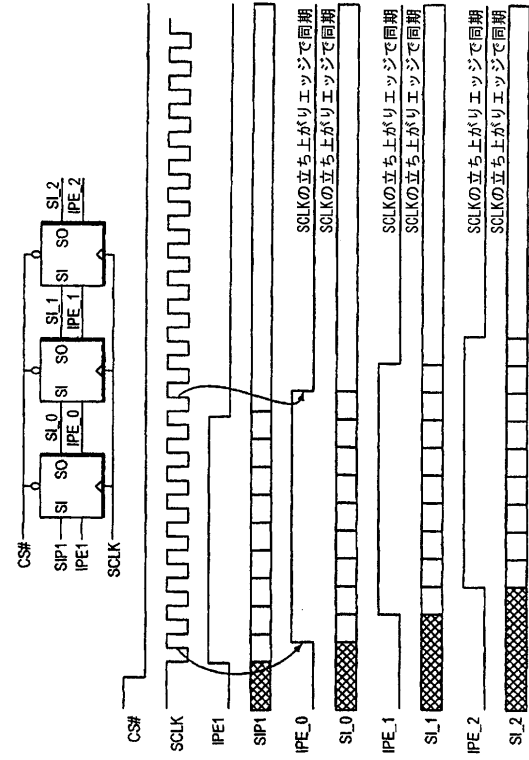


FIG. 8

【図 9】

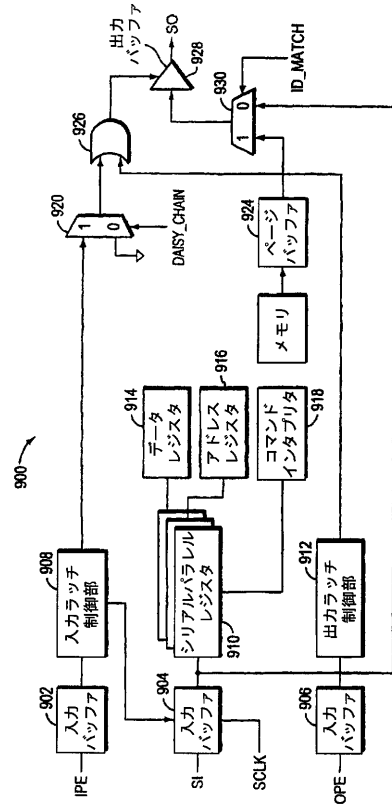


FIG. 9

【図 10】

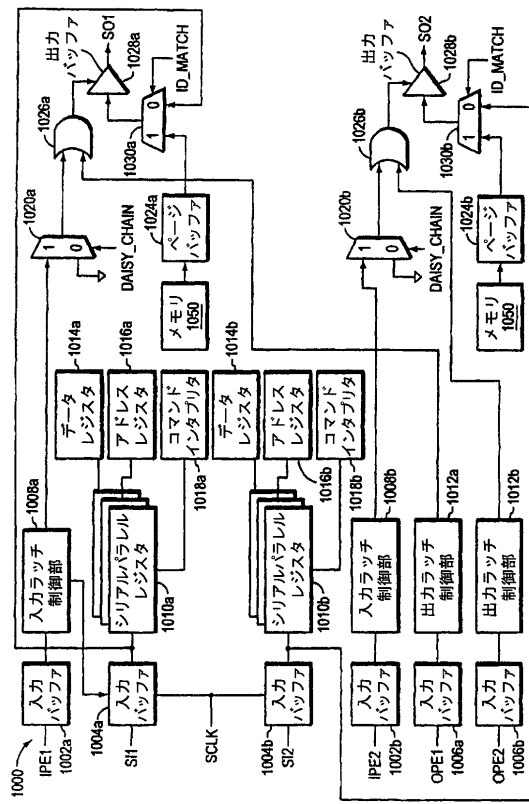


FIG. 10

【図 1 1】

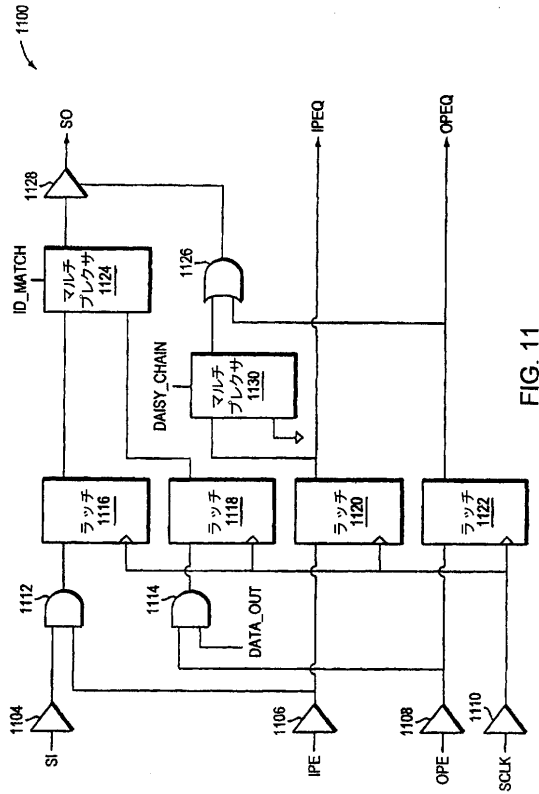


FIG. 11

【図 1 3】

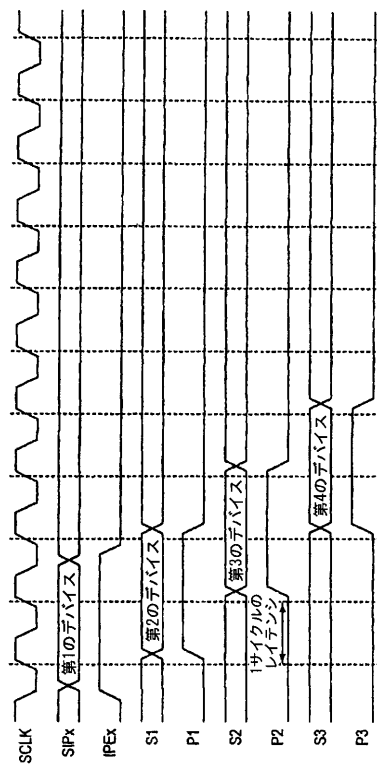


FIG. 13

【図 1 2】

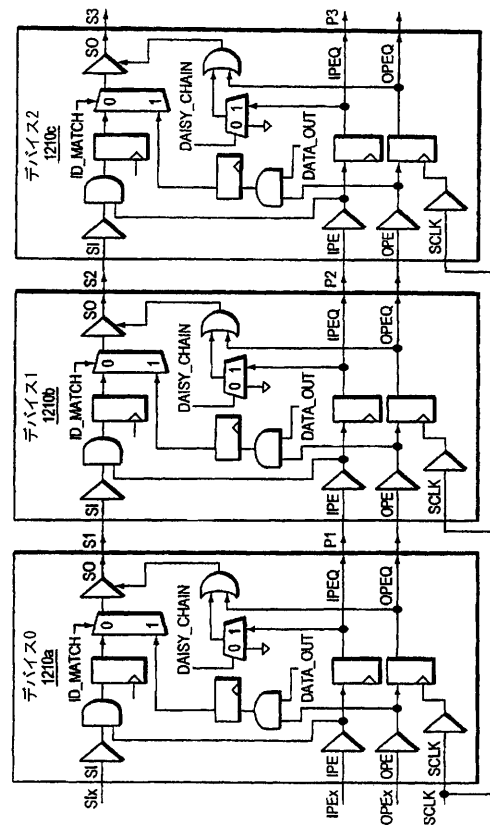


FIG. 12

【図 1 4】

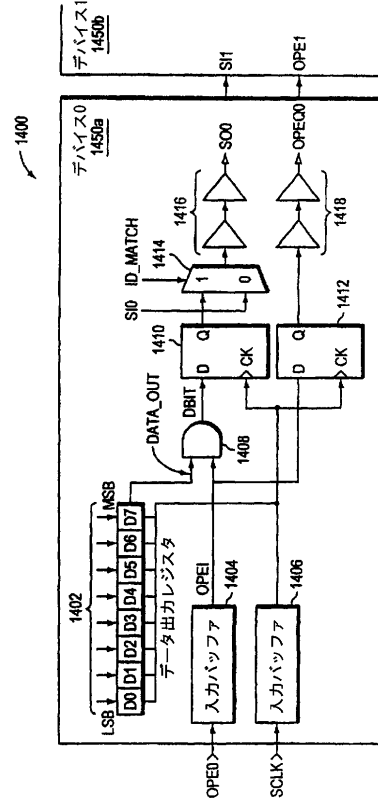


FIG. 14

【図 15】

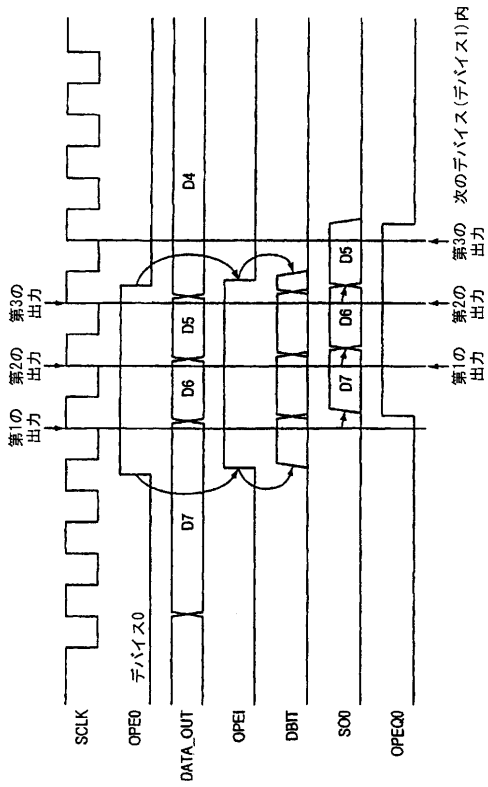


FIG. 15

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CA2006/001607
A. CLASSIFICATION OF SUBJECT MATTER IPC: <i>G11C 7/10</i> (2006.01), <i>G11C 11/4197</i> (2006.01), <i>G11C 16/06</i> (2006.01) According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC: G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic database(s) consulted during the international search (name of database(s) and, where practicable, search terms used) Canadian Patent Database, Delphion, Espacenet. Searched terms used: memory, flash, cascade, plurality, chain		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4,796,231, 3 January 1989, Pinkham. *see figure 1; column 4: lines 59-68; column 5: lines 11-19, and 31-48; column 6: lines 38-48, and 59-67.	1-6, 14-19, 26-31, 34, and 35
A	US 6,763,426 B1, 13 July 2004, James et al. *see entire document	1-35, 58-72, and 91-97
A	US 6,317,350 B1, 13 November 2001, Pereira et al. * see entire document	1-35, 58-72, and 91-97
A	US 6,091,660, 18 July 2000, Sasaki et al. * see entire document	1-35, 58-72, and 91-97
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 30 January 2007 (30-01-2007)		Date of mailing of the international search report 1 February 2007 (01-02-2007)
Name and mailing address of the ISA/CA Canadian Intellectual Property Office Place du Portage I, C114 - 1st Floor, Box PCT 50 Victoria Street Gatineau, Quebec K1A 0C9 Facsimile No.: 001-819-953-2476		Authorized officer Kazem Ziaie 819- 934-2667

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CA2006/001607

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of the first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons :

1. ☐ Claim Nos. :
because they relate to subject matter not required to be searched by this Authority, namely :

2. ☐ Claim Nos. :
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically :

3. ☐ Claim Nos. :
because they are dependant claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows :

Group A- Claims 1-35, 58-72, and 91-97 are directed to an apparatus having a plurality of devices configured in a daisy chain cascade arrangement, the apparatus including a first memory device and a second memory device.

Group B- Claims 36-57, and 73-90 are directed to a semiconductor memory device including a memory; a serial data link interface; a control input; a control output; and a control circuitry.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claim Nos. :
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim Nos. : 1-35, 58-72, and 91-97

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CA2006/001607

Patent Document Cited in Search Report	Publication Date	Patent Family Member(s)	Publication Date
US4796231		CN1005662B B	01-11-1989
		DE3587309D D1	03-06-1993
		DE3587309T T2	21-10-1993
		DE3588156D D1	10-07-1997
		DE3588156T T2	08-01-1998
		DE3588186D D1	25-06-1998
		DE3588186T T2	03-12-1998
		EP0189576 A2	06-08-1986
		EP0523759 A2	20-01-1993
		EP0523760 A2	20-01-1993
		JP1884202C C	10-11-1994
		JP2008272C C	11-01-1996
		JP2599841B2 B2	16-04-1997
		JP4228173 A	18-08-1992
		JP4228174 A	18-08-1992
US6763426	13-07-2004	US6845024 B1	18-01-2005
		US6876558 B1	05-04-2005
		US6879523 B1	12-04-2005
		US6892273 B1	10-05-2005
		US6903951 B1	07-06-2005
		US6906936 B1	14-06-2005
		US6954823 B1	11-10-2005
		US6988164 B1	17-01-2006
		US7000066 B1	14-02-2006
		US7073018 B1	04-07-2006
		US7111123 B1	19-09-2006
		US7117300 B1	03-10-2006
		US7117301 B1	03-10-2006
US6317350	13-11-2001	NONE	
US6091660	18-07-2000	CN1175424C C	10-11-2004
		DE69828234D D1	27-01-2005
		DE69828234T T2	15-12-2005
		EP0907183 A2	07-04-1999
		JP11110964 A	23-04-1999
		SG68687 A1	16-11-1999
		TW426992B B	21-03-2001
		US5978305 A	02-11-1999
		US6314044 B1	06-11-2001

フロントページの続き

(31)優先権主張番号 11/496,278

(32)優先日 平成18年7月31日(2006.7.31)

(33)優先権主張国 米国(US)

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ホン・ボム・ピョン

カナダ・オンタリオ・K 2 M・2 E 1・カナタ・リバーグリーン・クレセント・1 6

(72)発明者 ジン・キ・キム

カナダ・オンタリオ・K 2 K・3 H 6・カナタ・アイロンサイド・コート・4 6

(72)発明者 ハクジュン・オ

カナダ・オンタリオ・K 2 T・1 J 3・カナタ・カンピオール・クレセント・2 1

Fターム(参考) 5B061 BB22