

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 5 月 26 日 (26.05.2017)



(10) 国际公布号
WO 2017/084144 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2015/098416
- (22) 国际申请日: 2015 年 12 月 23 日 (23.12.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510797175.4 2015 年 11 月 18 日 (18.11.2015) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋丁珂, Hubei 430079 (CN)。
- (72) 发明人: 赵莽 (ZHAO, Mang); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋丁珂, Hubei 430079 (CN)。 李亚锋 (LI, Yafeng); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋丁珂, Hubei 430079 (CN)。

(74) 代理人: 深圳冀盛智成知识产权事务所 (普通合伙) (ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: GATE DRIVER ON ARRAY CIRCUIT AND LIQUID CRYSTAL DISPLAY USING SAME

(54) 发明名称: 栅极驱动电路和使用栅极驱动电路的液晶显示器

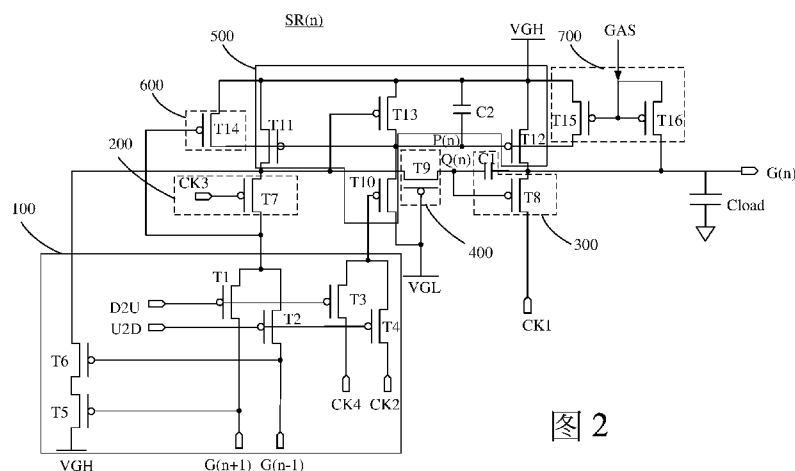


图 2

(57) Abstract: A gate driver on array (GOA) circuit comprises a plurality of GOA circuit units. Each scan control module in each stage of the GOA circuit units comprises a fifth transistor (T5) and a sixth transistor (T6). When a scan signal (G(n-1)) output by a previous-stage GOA circuit unit and a scan signal (G(n+1)) output by a next-stage GOA circuit unit are both at low level, the fifth transistor (T5) controlled by the scan signal (G(n-1)) output by the previous-stage GOA circuit unit and the sixth transistor (T6) controlled by the scan signal (G(n+1)) output by the next-stage GOA circuit unit are both turned on, such that a current-stage GOA circuit unit starts working, making a voltage at a control node (Q(n)) be at an electrical level of a first constant voltage. When a third clock signal (CK3) is triggered, a path between the control node (Q(n)) and the previous-stage GOA circuit unit would charge the scan signal (G(n-1)) of the previous-stage GOA circuit unit from the originally maintained low level to the first constant voltage. In this way, the electrical levels of scan signals of each stage of GOA circuit units would not affect normal stage transmission of other GOA circuit units, thus reducing the problem of outputting redundant scan signal pulses.

(57) 摘要:

[见续页]



WO 2017/084144 A1



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

一种栅极驱动电路，其包含数个 GOA 电路单元。每一级 GOA 电路单元的扫描控制模块包含第五晶体管 (T5) 和第六晶体管 (T6)。当前一级 GOA 电路单元输出的扫描信号 (G (n-1)) 和后一级 GOA 电路单元输出的扫描信号 (G (n+1)) 均为低电平时，由前一级 GOA 电路单元输出的扫描信号 (G (n-1)) 控制第五晶体管 (T5) 以及由后一级 GOA 电路单元输出的扫描信号 (G (n+1)) 控制的第六晶体管 (T6) 皆导通，使得本级 GOA 电路单元电路开始工作并使得控制节点 (Q (n)) 的电压变成第一固定电压的电平。当第三时钟信号 (CK3) 触发时，控制节点 (Q (n)) 与前一级 GOA 电路单元之间的通路会将前一级 GOA 电路单元的扫描信号 (G (n-1)) 由原先维持的低电平充电至第一固定电压。这样，每一级 GOA 电路单元的扫描信号的电平将不会影响其它 GOA 电路单元的正常级传，降低输出冗余扫描信号脉冲的问题。

说明书

发明名称：栅极驱动电路和使用栅极驱动电路的液晶显示器

技术领域

- [1] 本发明是有关于一种液晶显示器，尤指一种使用栅极驱动(Gate driver on array, GOA)电路的液晶显示器。

背景技术

- [2] GOA电路是利用薄膜晶体管液晶显示器Array制程将栅极驱动器制作在具有薄膜晶体管(Thin film transistor, TFT)阵列的基板上，以实现逐行扫描的驱动方式。
- [3] GOA电路包含数个GOA电路单元。当收到栅极开启信号使得所有GOA电路单元开启之后，每一GOA电路单元输出至扫描线的扫描信号都会维持在低电平。如果扫描线的扫描信号不能在时钟信号来临之前由低电平变成高电平，将会影响GOA电路单元的正常工作。
- [4] 具体来说，第三级GOA电路单元输入的级传信号是第一级GOA电路单元输出的扫描信号。因此第一级GOA电路单元的扫描信号的状态会影响第三级GOA电路单元的工作状态。第三级GOA电路单元在收到时钟信号之前，来自第一级GOA电路单元的扫描信号被负载电容维持在低电平。在收到时钟信号时，第三级GOA电路单元会受第一级GOA电路单元的扫描信号的低电平影响，使得第三级GOA电路单元先于第一级GOA电路单元工作。因此第三级GOA电路单元输出的扫描信号会多了一个冗余脉冲。该冗余脉冲会一直随着扫描信号的级传，进而影响下一级GOA电路单元的扫描信号。不仅如此，所有受同一时钟信号控制输入的GOA电路单元，例如第三、七、十一、...级电路单元都会产生冗余脉冲的扫描信号，整个GOA电路都会失效。
- [5] 因此如何制造一种避免具有冗余脉冲的扫描信号的栅极驱动电路是业界努力的目标。

对发明的公开

技术问题

- [6] 有鉴于此，本发明的目的是提供一种栅极驱动电路和使用栅极驱动电路的液晶显示器，以解决现有技术的问题。

问题的解决方案

技术解决方案

- [7] 本发明的技术方案提供一种栅极驱动电路，其包含数个GOA电路单元。数个所述GOA电路单元以串联的方式耦接，每一级GOA电路单元用来依据前一级GOA电路单元输出的扫描信号、后一级GOA电路单元输出的扫描信号、第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号、第一开启信号以及第二开启信号，在输出端输出扫描信号。每一级GOA电路单元包含扫描控制模块、输入控制模块、输出控制模块、稳压模块、上拉维持模块和上拉辅助模块。所述扫描控制模块包含第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管。所述第一晶体管的栅极电性连接所述第一开启信号，其源极电性连接所述后一级GOA电路单元输出的扫描信号。所述第二晶体管的栅极电性连接所述第二开启信号，其源极电性连接所述前一级GOA电路单元输出的扫描信号。所述第三晶体管的栅极电性连接所述第一开启信号，其源极电性连接所述第四时钟信号。所述第四晶体管的栅极电性连接所述第二开启信号，其源极电性连接所述第二时钟信号。所述第五晶体管的栅极电性连接所述后一级GOA电路单元输出的扫描信号或所述前一级GOA电路单元输出的扫描信号，其源极电性连接第一固定电压。所述第六晶体管的栅极电性连接所述前一级GOA电路单元输出的扫描信号或所述后一级GOA电路单元输出的扫描信号，其源极电性连接所述第五晶体管的漏极。所述输入控制模块电性连接所述第一晶体管的漏极和所述第二晶体管的漏极，用来依据所述第三时钟信号，导通所述前一级GOA电路单元输出的扫描信号或是所述后一级GOA电路单元输出的扫描信号。所述输出控制模块，电性连接一控制节点，用来依据施加于所述控制节点的电压，控制输出所述扫描信号。所述稳压模块电性连接所述输出控制模块，用来稳定所述控制节点的电压，并防止漏电。所述上拉维持模块电性连接所述输入控制模块、所述扫描控制模块、所述输出控制模块和所述稳压模块，用来维持所述控制节点在非扫描期间的高电平，以及维持所述扫描信号的高电平。所

述上拉辅助模块电性连接所述上拉维持模块，用来控制所述输入控制模块在所述控制节点充电期间的漏电。

- [8] 依据本发明，所述输入控制模块包含第七晶体管，其栅极电性连接所述第三时钟信号，其源极电性连接所述第一晶体管的漏极和所述第二晶体管的漏极。
- [9] 依据本发明，所述输出控制模块包含第八晶体管 and 第一电容。所述第八晶体管的栅极电性连接所述控制节点，其源极电性连接所述第一时钟信号。所述第一电容的两端分别连接所述第八晶体管的漏极和栅极。
- [10] 依据本发明，所述稳压模块包含第九晶体管，其漏极电性连接所述第六晶体管的漏极，其栅极电性连接第二固定电压，其源极电性连接所述第八晶体管的栅极。
- [11] 依据本发明，所述上拉维持模块包含第十晶体管、第十一晶体管、第十二晶体管、第十三晶体管及第二电容。所述第十晶体管的漏极电性连接所述第六晶体管的漏极，其栅极电性连接所述第三晶体管的漏极以及所述第四晶体管的漏极，其源极电性连接第二固定电压。所述第十一晶体管的漏极电性连接所述第一固定电压，其栅极电性连接所述第十晶体管的漏极，其源极电性连接所述第七晶体管的漏极。所述第十二晶体管的漏极电性连接所述第一固定电压，其栅极电性连接所述第十晶体管的漏极，其源极电性连接所述第八晶体管的漏极。所述第十三晶体管的漏极电性连接所述第一固定电压，其栅极电性连接所述第七晶体管的漏极，其源极电性连接所述第十晶体管的漏极。所述第二电容的两端电性连接所述第一固定电压和所述第十晶体管的漏极。
- [12] 依据本发明，所述上拉辅助模块包含第十四晶体管，其漏极电性连接所述第一固定电压，其栅极电性连接所述第七晶体管的源极，其源极电性连接所述第十晶体管的漏极。
- [13] 依据本发明，每一级GOA电路单元另包含作用模块，所述作用模块包含第十五晶体管和第十六晶体管。所述第十五晶体管的漏极电性连接所述第一固定电压，其栅极电性连接栅极启动信号，其源极电性连接所述第十晶体管的漏极。所述第十六晶体管的漏极和栅极皆电性连接所述栅极启动信号，其源极电性连接所述输出端。

- [14] 依据本发明，每一晶体管皆为P型金氧半导体晶体管，所述第一固定电压为高电平，所述第二固定电压为低电平。
- [15] 依据本发明，每一晶体管皆为N型金氧半导体晶体管，所述第一固定电压为低电平，所述第二固定电压为高电平。
- [16] 本发明的技术方案又提供一种液晶显示器包含源极驱动器以及如上述的栅极驱动电路，所述栅极驱动电路输出扫描信号使得数个所述晶体管开启，同时所述源极驱动器输出对应的数据信号至数个所述像素单元使其显示灰阶。

发明的有益效果

有益效果

- [17] 相较于现有技术，本发明的栅极驱动电路的每一级GOA电路单元的扫描控制模块包含第五晶体管和第六晶体管。当前一级GOA电路单元输出的扫描信号和后一级GOA电路单元输出的扫描信号均为低电平时，由前一级GOA电路单元输出的扫描信号控制所述第五晶体管以及由后一级GOA电路单元输出的扫描信号控制的第六晶体管皆导通，使得本级GOA电路单元电路开始工作并使得控制节点的电压变成第一固定电压的电平。当第三时钟信号触发时，控制节点与前一级GOA电路单元之间的通路会将前一级GOA电路单元的扫描信号由原先维持的低电平充电至第一固定电压。这样，每一级GOA电路单元的扫描信号的电平将不会影响其它GOA电路单元的正常级传，降低输出冗余扫描信号脉冲的问题。

对附图的简要说明

附图说明

- [18] 图1是本发明的液晶显示器的功能方块图。
- [19] 图2是本发明第一实施例的栅极驱动电路的GOA电路单元的电路图。
- [20] 图3是图2所示各种输入信号、输出信号和节点电压的时序图。
- [21] 图4是本发明第二实施例的栅极驱动电路的GOA电路单元的电路图。
- [22] 图5是本发明第三实施例的栅极驱动电路的GOA电路单元的电路图。
- [23] 图6是本发明第四实施例的栅极驱动电路的GOA电路单元的电路图。

实施该发明的最佳实施例

本发明的最佳实施方式

- [24] 请参阅图1，图1是本发明的液晶显示器10的功能方块图。液晶显示器10包含基板14以及源极驱动器(source driver)16。基板14上设置数个呈矩阵排列的像素(pixel)和栅极驱动(GOA)电路12，而每一个像素包含三个分别代表红绿蓝(RGB)三原色的像素单元20构成。以一个 1024×768 分辨率的液晶显示器10来说，共需要 $1024 \times 768 \times 3$ 个像素单元20组合而成。GOA电路12输出扫描信号使得每一行的晶体管22依序开启，同时源极驱动器16则输出对应的数据信号至一整列的像素单元20使其充电到各自所需的电压，以显示不同的灰阶。当同一行充电完毕后，GOA电路12便将该行的扫描信号关闭，然后GOA电路12再输出扫描信号将下一行的晶体管22打开，再由源极驱动器16对下一行的像素单元20进行充放电。如此依序下去，直到所有像素单元20都充电完成，再从第一行开始充电。
- [25] 在目前的液晶显示面板设计中，GOA电路12即每隔一固定间隔输出扫描信号。以一个 1024×768 分辨率的液晶显示器10以及60Hz的更新频率为例，每一个画面的显示时间约为 $1/60=16.67\text{ms}$ 。所以每一个扫描信号的脉冲为 $16.67\text{ms}/768=21.7\mu\text{s}$ 。而源极驱动器16则在这 $21.7\mu\text{s}$ 的时间内，将像素单元20充放电到所需的电压，以显示出相对应的灰阶。
- [26] 请参阅图2，图2是本发明第一实施例的GOA电路单元SR(n)的电路图。GOA电路12包含数个串接(cascade-connected)的GOA电路单元SR(n)。每一级GOA电路单元SR(n)用来依据前一级GOA电路单元SR(n-1)输出的扫描信号G(n-1)、后一级GOA电路单元SR(n+1)输出的扫描信号G(n+1)、第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3、第四时钟信号CK4、第一开启信号D2U以及第二开启信号U2D，在输出端输出扫描信号G(n)。每一级GOA电路单元SR(n)包含扫描控制模块100、输入控制模块200、输出控制模块300、稳压模块400、上拉维持模块500、上拉辅助模块600、作用模块700和负载电容Cload。
- [27] 扫描控制模块100包含第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5和第六晶体管T6。第一晶体管T1的栅极电性连接第一开启信号D2U，其源极电性连接后一级GOA电路单元SR(n+1)输出的扫描信号G(n+1)

1)。第二晶体管T2的栅极电性连接第二开启信号U2D，其源极电性连接前一级GOA电路单元SR(n-1)输出的扫描信号G(n-1)。第三晶体管T3的栅极电性连接第一开启信号D2U，其源极电性连接第四时钟信号CK4。第四晶体管T4的栅极电性连接第二开启信号U2D，其源极电性连接第二时钟信号CK2。第五晶体管T5的栅极电性连接后一级GOA电路单元SR(n+1)输出的扫描信号G(n+1)，其源极电性连接第一固定电压VGH。第六晶体管T6的栅极电性连接前一级GOA电路单元SR(n-1)输出的扫描信号G(n-1)，其源极电性连接第五晶体管T5的漏极。

[28] 输入控制模块200电性连接第一晶体管T1的漏极和第二晶体管T2的漏极，用来依据第三时钟信号CK3，导通前一级GOA电路单元SR(n-1)输出的扫描信号G(n-1)或是后一级GOA电路单元SR(n+1)输出的扫描信号G(n+1)。输入控制模块200包含第七晶体管T7，其栅极电性连接第三时钟信号CK3，其源极电性连接第一晶体管T1的漏极和第二晶体管T2的漏极。

[29] 输出控制模块300电性连接控制节点Q(n)，用来依据施加于控制节点Q(n)的电压，控制输出扫描信号G(n)。输出控制模块300包含第八晶体管T8和第一电容C1。第八晶体管T8的栅极电性连接控制节点Q(n)，其源极电性连接第一时钟信号CK1。第一电容C1的两端分别连接第八晶体管T8的漏极和栅极。

[30] 稳压模块400电性连接输出控制模块300，用来稳定控制节点Q(n)的电压，并防止漏电。稳压模块400包含第九晶体管T9，其漏极电性连接第六晶体管T6的漏极，其栅极电性连接第二固定电压VGL，其源极电性连接第八晶体管T8的栅极。

[31] 上拉维持模块500电性连接扫描控制模块100、输入控制模块200、输出控制模块300和稳压模块400，用来维持控制节点Q(n)在非扫描期间的高电平，以及维持扫描信号G(n)的高电平。上拉维持模块500包含第十晶体管T10、第十一晶体管T11、第十二晶体管T12、第十三晶体管T13及第二电容C2。第十晶体管T10的漏极电性连接第六晶体管T6的漏极，其栅极电性连接第三晶体管T3的漏极以及第四晶体管T4的漏极，其源极电性连接第二固定电压VGL。第十一晶体管T11的漏极电性连接第一固定电压VGH，其栅极电性连接第十晶体管T10的漏极，其源极电性连接第七晶体管T7的漏极。第十二晶体管T12的漏极电性连接第一固定电压VGH，其栅极电性连接第十晶体管T10的漏极，其源极电性连接第八晶体管T8的

漏极。第十三晶体管T13的漏极电性连接第一固定电压VGH，其栅极电性连接第七晶体管T7的漏极，其源极电性连接第十晶体管T10的漏极。第二电容C2的两端电性连接第一固定电压VGH和第十晶体管T10的漏极。

[32] 上拉辅助模块600电性连接上拉维持模块500，用来控制输入控制模块200在控制节点Q(n)充电期间的漏电。上拉辅助模块500包含第十四晶体管T14，其漏极电性连接第一固定电压VGH，其栅极电性连接第七晶体管T7的源极，其源极电性连接第十晶体管T10的漏极。

[33] 作用模块700电性连接上拉维持模块500，用来依据栅极启动信号GAS控制GOA电路单元(n)是否输出扫描信号G(n)。作用模块700包含第十五晶体管15和第十六晶体管16。第十五晶体管15的漏极电性连接第一固定电压VGH，其栅极电性连接栅极启动信号GAS，其源极电性连接第十晶体管T10的漏极。第十六晶体管T16的漏极和栅极皆电性连接栅极启动信号GAS，其源极电性连接输出端以输出扫描信号G(n)。

[34] 依据图2所示的实施例，每一晶体管皆为P型金氧半导体(P-type metal oxide semiconductor, PMOS)晶体管，第一固定电压VGH为高电平，第二固定电压VGL为低电平。

[35] 请一并参阅图3，图3是图2所示各种输入信号、输出信号和节点电压的时序图。当每一级GOA电路单元SR(n)收到栅极开启信号GAS后，所有GOA电路单元SR(n)对应的栅极线都会开始传递扫描信号G(n)至像素单元20。当第二开启信号U2D为低电平时，第二晶体管T2开启。此时，如果扫描信号G(n)和G(n+1)均为低电平，则晶体管T5和T6均会开启，使得控制节点Q(n)与第一固定电压VGH之间形成通路。当时钟信号CK3为低电平时，晶体管T7开启，使得控制节点Q(n)与扫描信号(n-1)之间形成通路。如此一来，扫描信号(n-1)原先由负载电容Cload维持的低电平将会被第一固定电压VGH充电至高电平。这样，扫描信号的电平将不会影响GOA电路单元的正常级传，降低输出冗余扫描信号脉冲的问题。

[36] 请参阅图4，图4是本发明第二实施例的GOA电路单元SR(n)的电路图。不同于图2的扫描控制模块100，图4的GOA电路单元SR(n)的扫描控制模块800的第五晶体管T5的栅极电性连接前一级GOA电路单元SR(n-1)输出的扫描信号G(n-1)，第

六晶体管T6的栅极电性连接后一级GOA电路单元SR(n+1)输出的扫描信号G(n+1)。其余组件的连接与运作模式皆与图2相同，在此不另赘述。

[37] 请参阅图5，图5是本发明第三实施例的GOA电路单元SR(n)的电路图。不同于图2的扫描控制模块100，图5的GOA电路单元SR(n)的所有晶体管皆为N型金属氧化物半导体(N-type metal oxide semiconductor, NMOS)晶体管，第一固定电压VGL为低电平，第二固定电压VGH为高电平。组件的连接与运作模式皆与图2相同，在此不另赘述。

[38] 请参阅图6，图6是本发明第四实施例的GOA电路单元SR(n)的电路图。不同于图5的扫描控制模块100，图6的GOA电路单元SR(n)的扫描控制模块800的第五晶体管T5的栅极电性连接前一级GOA电路单元SR(n-1)输出的扫描信号G(n-1)，第六晶体管T6的栅极电性连接后一级GOA电路单元SR(n+1)输出的扫描信号G(n+1)。其余组件的连接与运作模式皆与图5相同，在此不另赘述。

[39] 相较于现有技术，本发明的栅极驱动电路的每一级GOA电路单元的扫描控制模块包含第五晶体管和第六晶体管。当前一级GOA电路单元输出的扫描信号和后一级GOA电路单元输出的扫描信号均为低电平时，由前一级GOA电路单元输出的扫描信号控制所述第五晶体管以及由后一级GOA电路单元输出的扫描信号控制的第六晶体管皆导通，使得本级GOA电路单元电路开始工作并使得控制节点的电压变成第一固定电压的电平。当第三时钟信号触发时，控制节点与前一级GOA电路单元之间的通路会将前一级GOA电路单元的扫描信号由原先维持的低电平充电至第一固定电压。这样，每一级GOA电路单元的扫描信号的电平将不会影响其它GOA电路单元的正常级传，降低输出冗余扫描信号脉冲的问题。

[40] 综上所述，虽然本发明已以较佳实施例揭露如上，但该较佳实施例并非用以限制本发明，该领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

[权利要求 1]

一种栅极驱动电路，其包含：

数个GOA电路单元，数个所述GOA电路单元以串联的方式耦接，每一级GOA电路单元用来依据前一级GOA电路单元输出的扫描信号、后一级GOA电路单元输出的扫描信号、第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号、第一开启信号以及第二开启信号，在输出端输出扫描信号，其中每一级GOA电路单元包含：

扫描控制模块，其包含：

第一晶体管，其栅极电性连接所述第一开启信号，其源极电性连接所述后一级GOA电路单元输出的扫描信号；

第二晶体管，其栅极电性连接所述第二开启信号，其源极电性连接所述前一级GOA电路单元输出的扫描信号；

第三晶体管，其栅极电性连接所述第一开启信号，其源极电性连接所述第四时钟信号；

第四晶体管，其栅极电性连接所述第二开启信号，其源极电性连接所述第二时钟信号；

第五晶体管，其栅极电性连接所述后一级GOA电路单元输出的扫描信号或所述前一级GOA电路单元输出的扫描信号，其源极电性连接第一固定电压；及

第六晶体管，其栅极电性连接所述前一级GOA电路单元输出的扫描信号或所述后一级GOA电路单元输出的扫描信号，其源极电性连接所述第五晶体管的漏极；

输入控制模块，电性连接所述第一晶体管的漏极和所述第二晶体管的漏极，用来依据所述第三时钟信号，导通所述前一级GOA电路单元输出的扫描信号或是所述后一级GOA电路单元输出的扫描信号；

输出控制模块，电性连接一控制节点，用来依据施加于所述控制

节点的电压，控制输出所述扫描信号；

稳压模块，电性连接所述输出控制模块，用来稳定所述控制节点的电压，并防止漏电；

上拉维持模块，电性连接所述输入控制模块、所述扫描控制模块、所述输出控制模块和所述稳压模块，用来维持所述控制节点在非扫描期间的高电平，以及维持所述扫描信号的高电平；以及
上拉辅助模块，电性连接所述上拉维持模块，用来控制所述输入控制模块在所述控制节点充电期间的漏电。

[权利要求 2] 如权利要求1所述的栅极驱动电路，其中所述输入控制模块包含第七晶体管，其栅极电性连接所述第三时钟信号，其源极电性连接所述第一晶体管的漏极和所述第二晶体管的漏极。

[权利要求 3] 如权利要求2所述的栅极驱动电路，其中所述输出控制模块包含：第八晶体管，其栅极电性连接所述控制节点，其源极电性连接所述第一时钟信号；及
第一电容，其两端分别连接所述第八晶体管的漏极和栅极。

[权利要求 4] 如权利要求3所述的栅极驱动电路，其中所述稳压模块包含第九晶体管，其漏极电性连接所述第六晶体管的漏极，其栅极电性连接第二固定电压，其源极电性连接所述第八晶体管的栅极。

[权利要求 5] 如权利要求4所述的栅极驱动电路，其中所述上拉维持模块包含：第十晶体管，其漏极电性连接所述第六晶体管的漏极，其栅极电性连接所述第三晶体管的漏极以及所述第四晶体管的漏极，其源极电性连接第二固定电压；
第十一晶体管，其漏极电性连接所述第一固定电压，其栅极电性连接所述第十晶体管的漏极，其源极电性连接所述第七晶体管的漏极；
第十二晶体管，其漏极电性连接所述第一固定电压，其栅极电性连接所述第十晶体管的漏极，其源极电性连接所述第八晶体管的漏极；

第十三晶体管，其漏极电性连接所述第一固定电压，其栅极电性连接所述第七晶体管的漏极，其源极电性连接所述第十晶体管的漏极；及

第二电容，其两端电性连接所述第一固定电压和所述第十晶体管的漏极。

[权利要求 6] 如权利要求5所述的栅极驱动电路，其中所述上拉辅助模块包含：第十四晶体管，其漏极电性连接所述第一固定电压，其栅极电性连接所述第七晶体管的源极，其源极电性连接所述第十晶体管的漏极。

[权利要求 7] 如权利要求5所述的栅极驱动电路，其中每一级GOA电路单元另包含：
作用模块，其包含：

第十五晶体管，其漏极电性连接所述第一固定电压，其栅极电性连接栅极启动信号，其源极电性连接所述第十晶体管的漏极；及第十六晶体管，其漏极和栅极皆电性连接所述栅极启动信号，其源极电性连接所述输出端。

[权利要求 8] 如权利要求7所述的栅极驱动电路，其中每一晶体管皆为P型金氧半导体晶体管，所述第一固定电压为高电平，所述第二固定电压为低电平。

[权利要求 9] 如权利要求7所述的栅极驱动电路，其中每一晶体管皆为N型金氧半导体晶体管，所述第一固定电压为低电平，所述第二固定电压为高电平。

[权利要求 10] 一种液晶显示器，其包含：
源极驱动器，用来输出数据信号至数个像素单元使其显示灰阶；
以及
栅极驱动电路，其包含：
数个GOA电路单元，数个所述GOA电路单元以串联的方式耦接，每一级GOA电路单元用来依据前一级GOA电路单元输出的扫描信

号、后一级GOA电路单元输出的扫描信号、第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号、第一开启信号以及第二开启信号，在输出端输出扫描信号，其中每一级GOA电路单元包含：

扫描控制模块，其包含：

第一晶体管，其栅极电性连接所述第一开启信号，其源极电性连接所述后一级GOA电路单元输出的扫描信号；

第二晶体管，其栅极电性连接所述第二开启信号，其源极电性连接所述前一级GOA电路单元输出的扫描信号；

第三晶体管，其栅极电性连接所述第一开启信号，其源极电性连接所述第四时钟信号；

第四晶体管，其栅极电性连接所述第二开启信号，其源极电性连接所述第二时钟信号；

第五晶体管，其栅极电性连接所述后一级GOA电路单元输出的扫描信号或所述前一级GOA电路单元输出的扫描信号，其源极电性连接第一固定电压；及

第六晶体管，其栅极电性连接所述前一级GOA电路单元输出的扫描信号或所述后一级GOA电路单元输出的扫描信号，其源极电性连接所述第五晶体管的漏极；

输入控制模块，电性连接所述第一晶体管的漏极和所述第二晶体管的漏极，用来依据所述第三时钟信号，导通所述前一级GOA电路单元输出的扫描信号或是所述后一级GOA电路单元输出的扫描信号；

输出控制模块，电性连接一控制节点，用来依据施加于所述控制节点的电压，控制输出所述扫描信号；

稳压模块，电性连接所述输出控制模块，用来稳定所述控制节点的电压，并防止漏电；

上拉维持模块，电性连接所述输入控制模块、所述扫描控制模块

、所述输出控制模块和所述稳压模块，用来维持所述控制节点在非扫描期间的高电平，以及维持所述扫描信号的高电平；以及上拉辅助模块，电性连接所述上拉维持模块，用来控制所述输入控制模块在所述控制节点充电期间的漏电。

[权利要求 11] 如权利要求10所述的液晶显示器，其中所述输入控制模块包含第七晶体管，其栅极电性连接所述第三时钟信号，其源极电性连接所述第一晶体管的漏极和所述第二晶体管的漏极。

[权利要求 12] 如权利要求11所述的液晶显示器，其中所述输出控制模块包含：第八晶体管，其栅极电性连接所述控制节点，其源极电性连接所述第一时钟信号；及第一电容，其两端分别连接所述第八晶体管的漏极和栅极。

[权利要求 13] 如权利要求12所述的液晶显示器，其中所述稳压模块包含第九晶体管，其漏极电性连接所述第六晶体管的漏极，其栅极电性连接第二固定电压，其源极电性连接所述第八晶体管的栅极。

[权利要求 14] 如权利要求13所述的液晶显示器，其中所述上拉维持模块包含：第十晶体管，其漏极电性连接所述第六晶体管的漏极，其栅极电性连接所述第三晶体管的漏极以及所述第四晶体管的漏极，其源极电性连接第二固定电压；第十一晶体管，其漏极电性连接所述第一固定电压，其栅极电性连接所述第十晶体管的漏极，其源极电性连接所述第七晶体管的漏极；第十二晶体管，其漏极电性连接所述第一固定电压，其栅极电性连接所述第十晶体管的漏极，其源极电性连接所述第八晶体管的漏极；第十三晶体管，其漏极电性连接所述第一固定电压，其栅极电性连接所述第七晶体管的漏极，其源极电性连接所述第十晶体管的漏极；及第二电容，其两端电性连接所述第一固定电压和所述第十晶体管

的漏极。

- [权利要求 15] 如权利要求14所述的液晶显示器，其中所述上拉辅助模块包含：
第十四晶体管，其漏极电性连接所述第一固定电压，其栅极电性连接所述第七晶体管的源极，其源极电性连接所述第十晶体管的漏极。
- [权利要求 16] 如权利要求14所述的液晶显示器，其中每一级GOA电路单元另包含：
作用模块，其包含：
第十五晶体管，其漏极电性连接所述第一固定电压，其栅极电性连接栅极启动信号，其源极电性连接所述第十晶体管的漏极；及
第十六晶体管，其漏极和栅极皆电性连接所述栅极启动信号，其源极电性连接所述输出端。
- [权利要求 17] 如权利要求16所述的液晶显示器，其中每一晶体管皆为P型金氧半导体晶体管，所述第一固定电压为高电平，所述第二固定电压为低电平。
- [权利要求 18] 如权利要求16所述的液晶显示器，其中每一晶体管皆为N型金氧半导体晶体管，所述第一固定电压为低电平，所述第二固定电压为高电平。

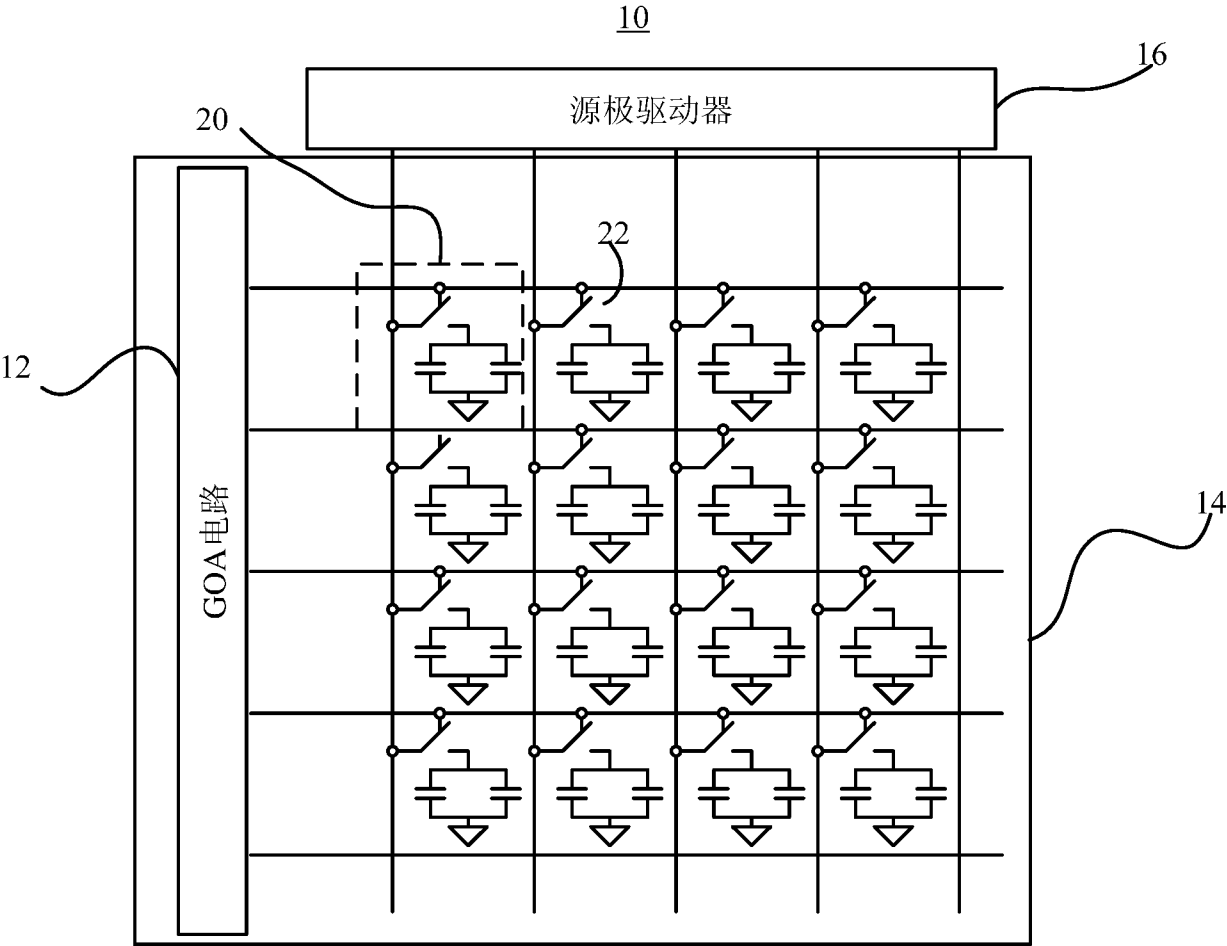
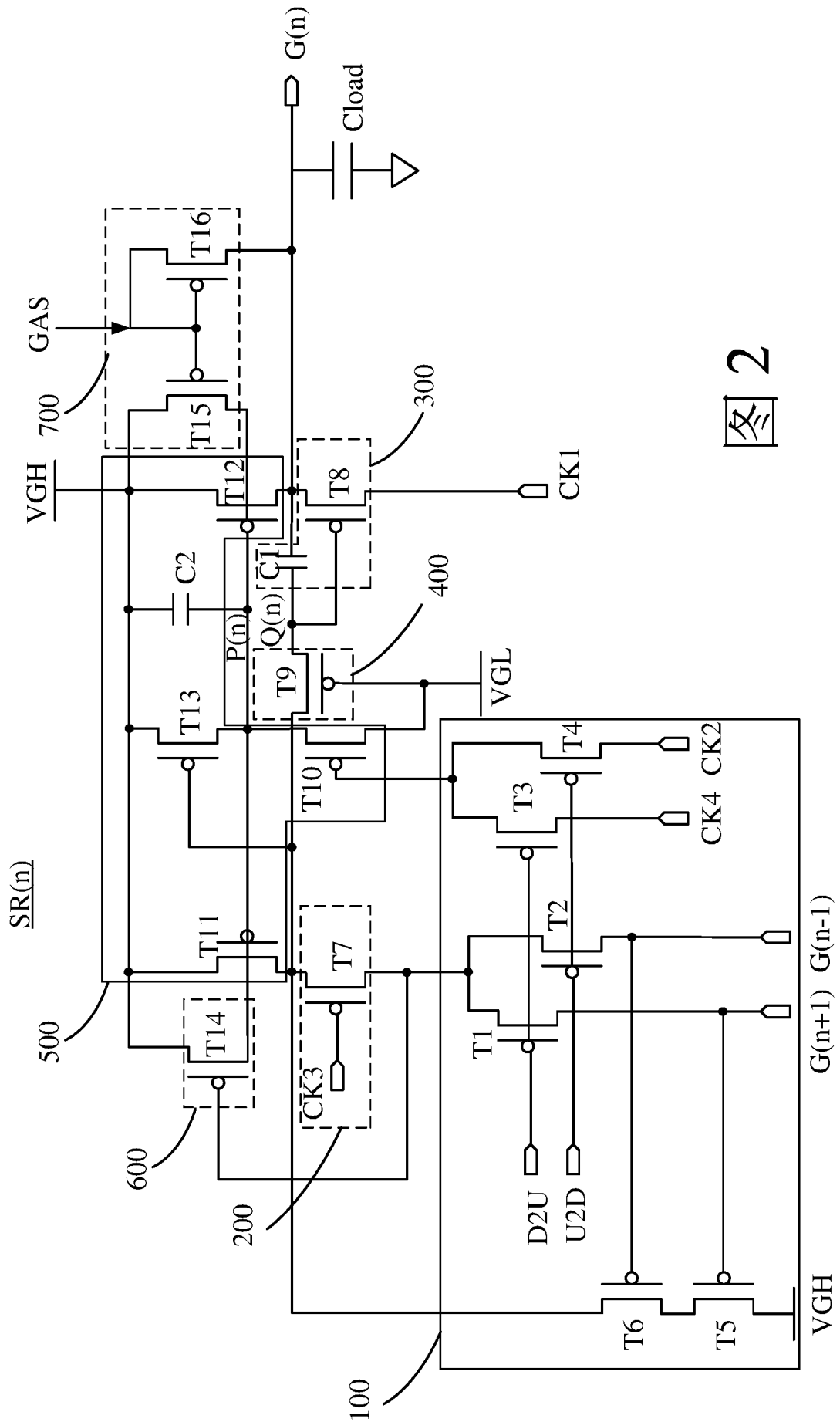


图 1



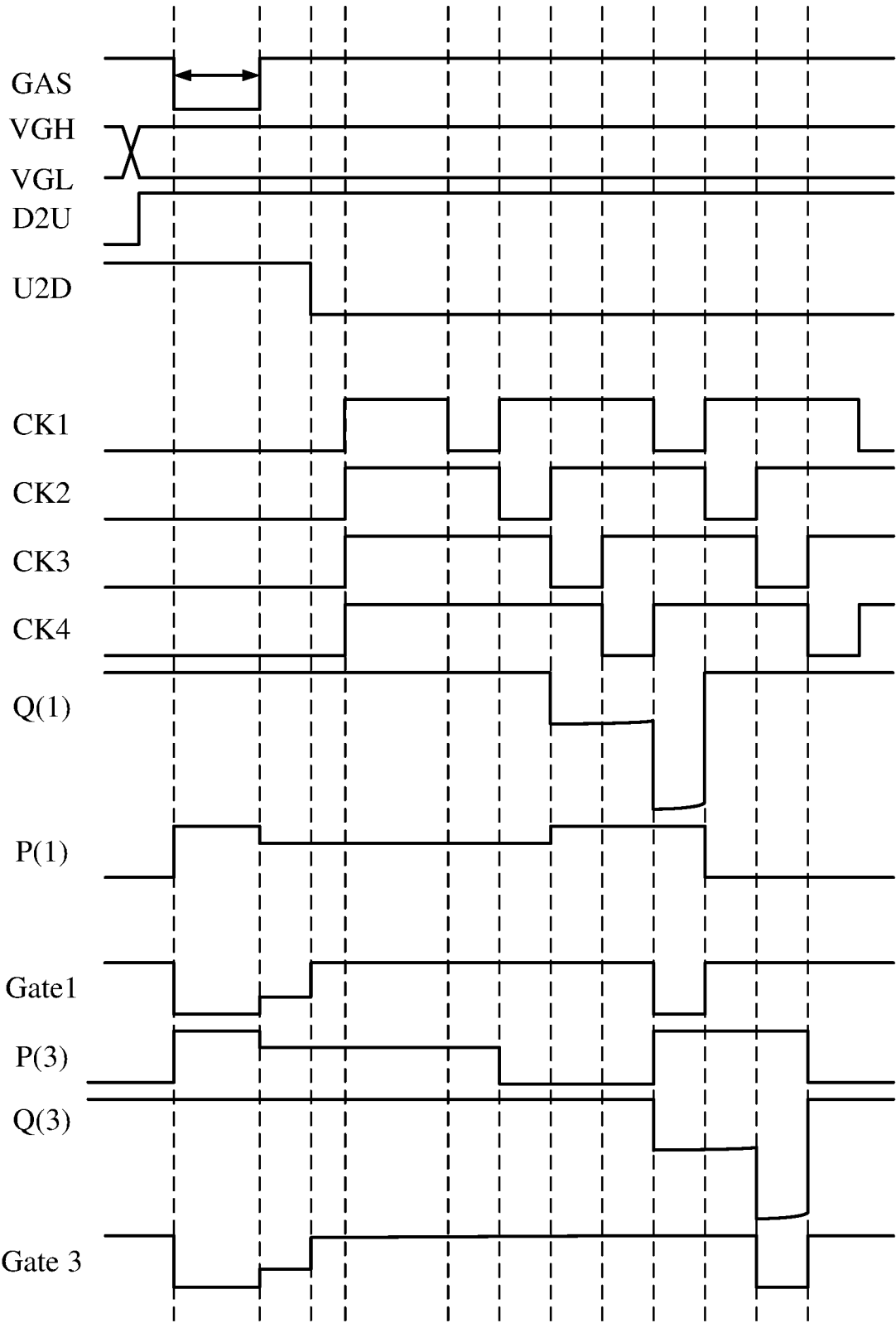


图 3

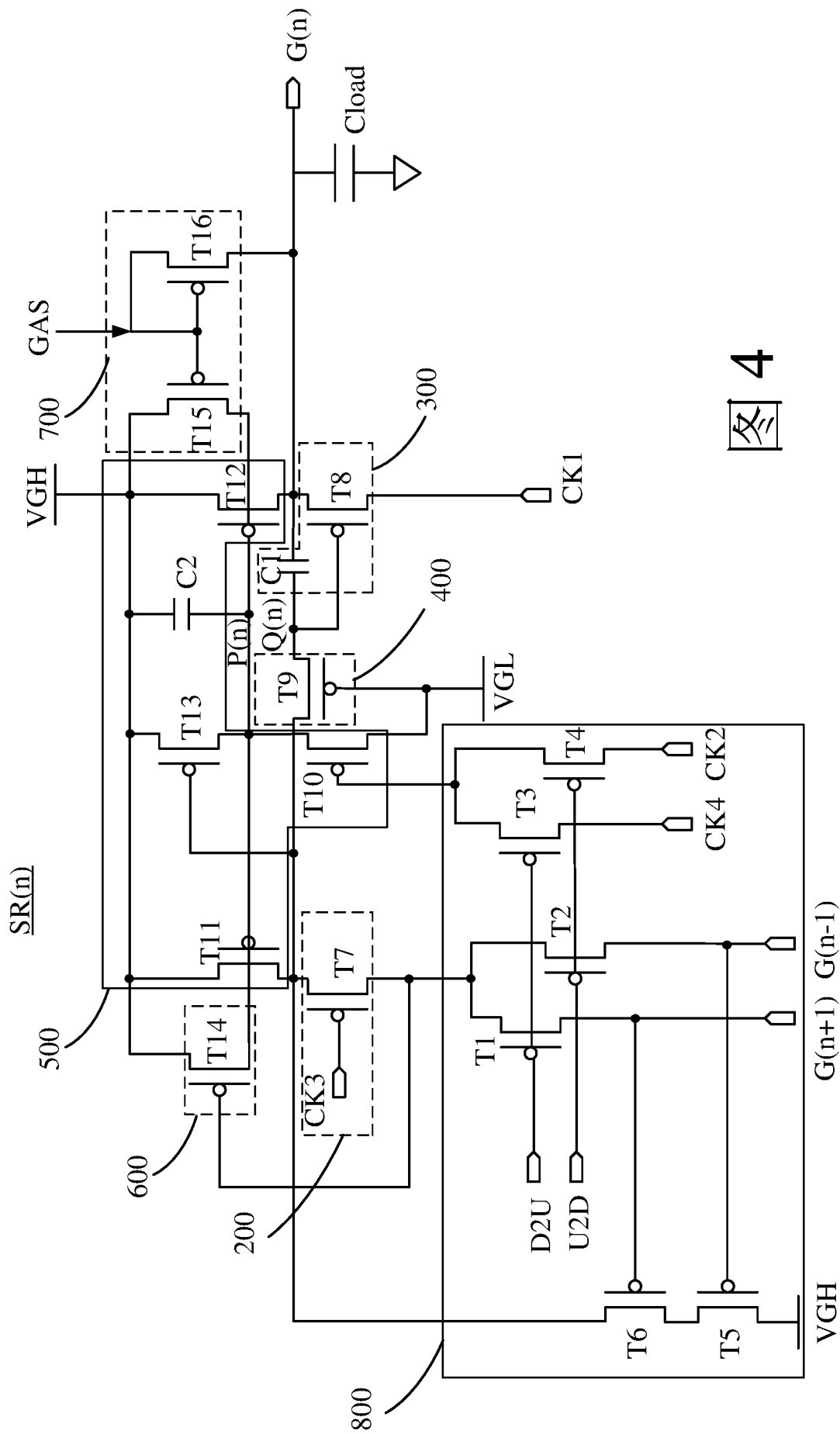


图 4

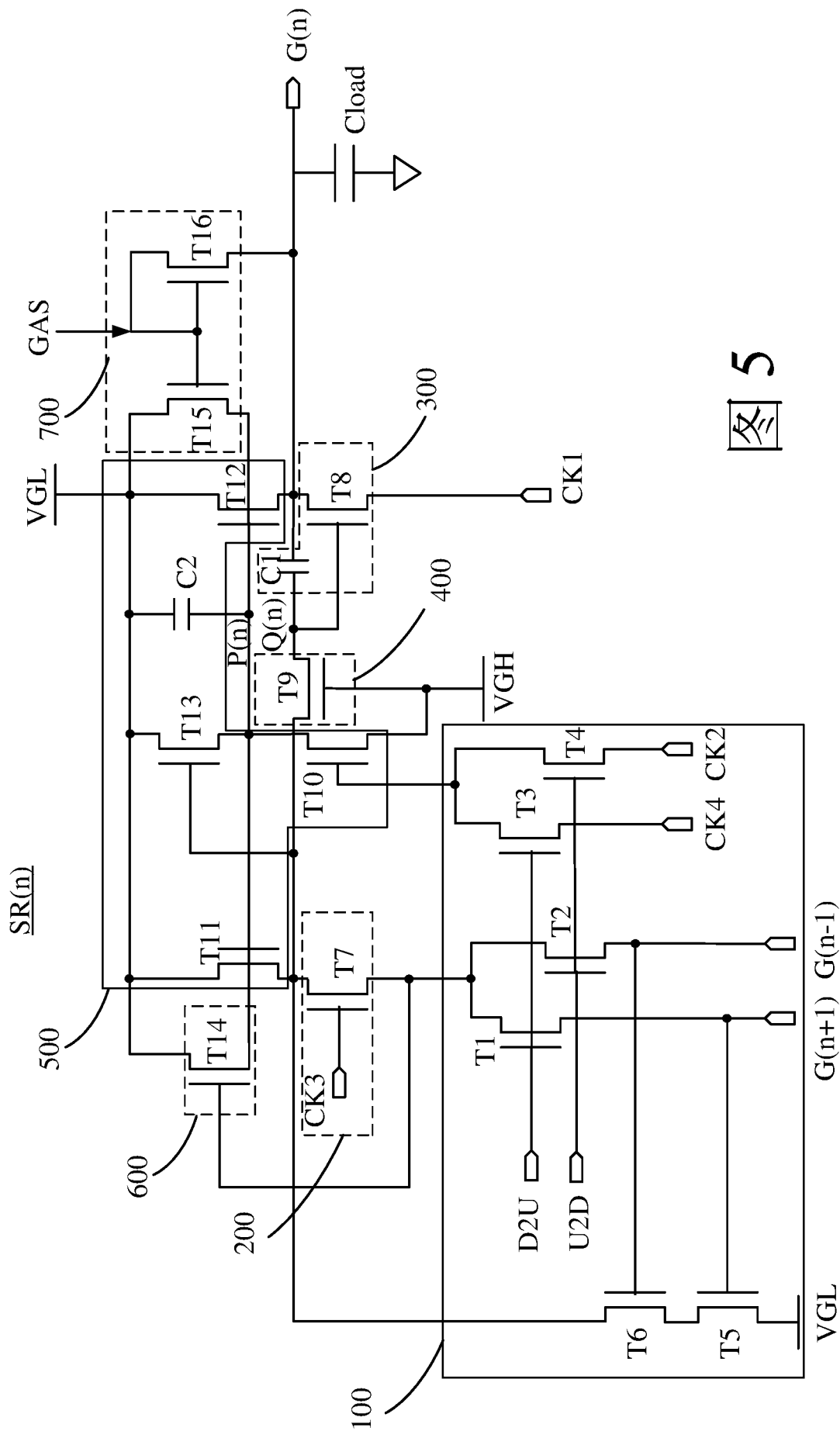


图 5

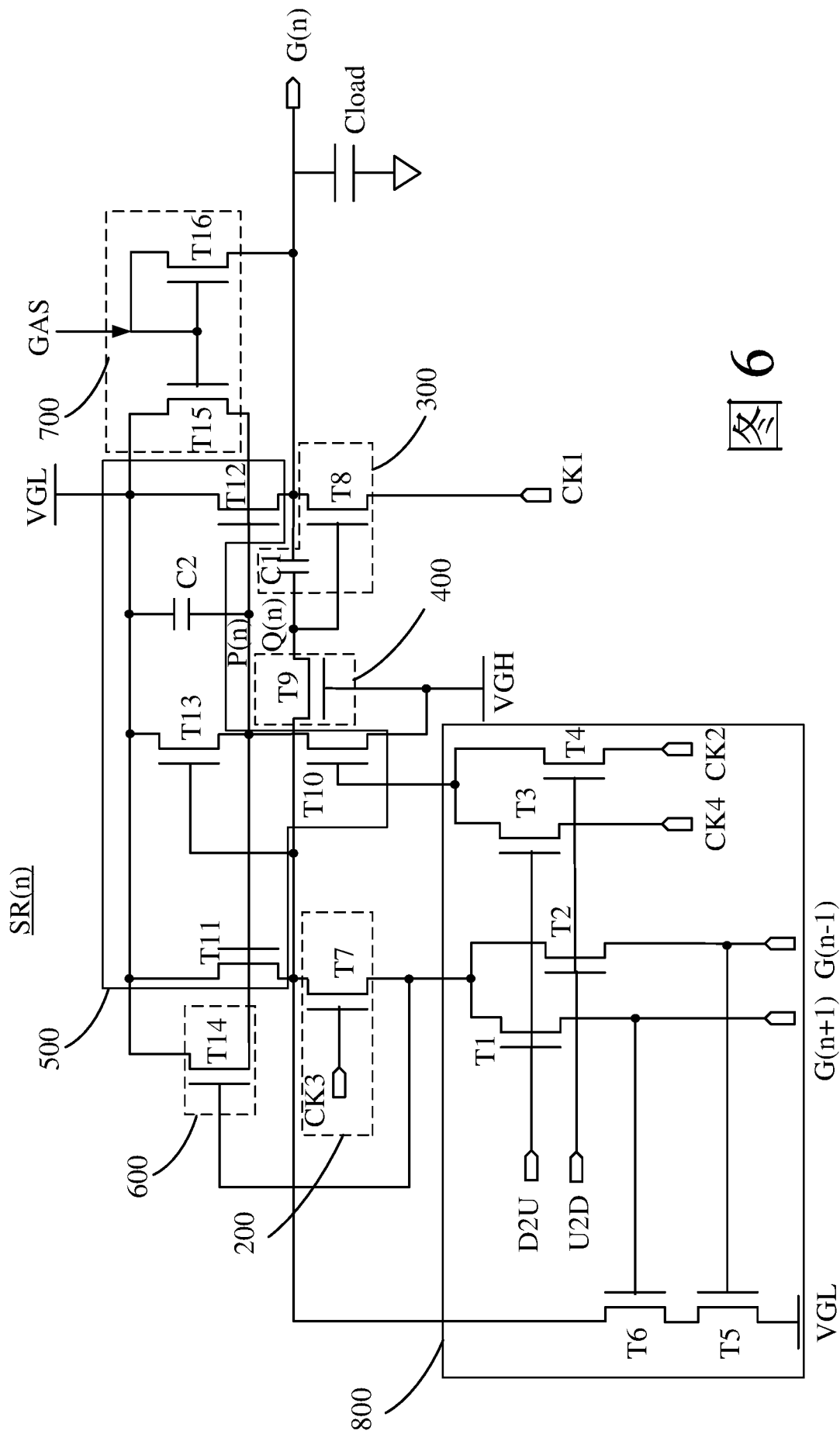


图 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/098416

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-; G02F 1/13+

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; SIPOABS; DWPI: GOA, sequence, down, shift, pull, CK4, ck4, clock, scan+, CLK4, transistor?, fourth, up, register?, shift register, scan module

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104485079 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 01 April 2015 (01.04.2015) description, [0055]-[0068] and figures 1-3	1-18
A	CN 103035298 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 10 April 2013 (10.04.2013) the whole document	1-18
A	US 2010156858 A1 (MOON SU HWAN et al.) 24 June 2010 (24.06.2010) the whole document	1-18

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 17 August 2016	Date of mailing of the international search report 24 August 2016
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LI, Jun Telephone No. (86-10) 62085773

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/098416

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104485079 A	01 April 2015	WO 2016106802 A1	07 July 2016
		US 20160189648 A1	30 June 2016
CN 103035298 A	10 April 2013	US 2014168044 A1	19 June 2014
		EP 2743930 A1	18 June 2014
		US 9196211 B2	24 November 2015
		CN 103035298 B	15 July 2015
US 2010156858 A1	24 June 2010	US 8368634 B2	05 February 2013
		KR 20100071387 A	29 June 2010
		KR 101385478 B1	21 April 2014

A. 主题的分类 G09G 3/36(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G3/-; G02F1/13+ 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS;SIPOABS;DWPI:移位寄存器, 上拉, 下拉, 上拉维持, 下拉维持, 扫描控制, 扫描模块, 第四时钟, GOA, sequence, down, shift, pull, CK4, ck4, clock, scan+, CLK4, transistor?, fourth, up, register?,		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 104485079 A (深圳市华星光电技术有限公司) 2015年 4月 1日 (2015 - 04 - 01) 说明书[0055]-[0068]和附图1-3	1-18
A	CN 103035298 A (京东方科技集团股份有限公司等) 2013年 4月 10日 (2013 - 04 - 10) 全文	1-18
A	US 2010156858 A1 (MOON SU HWAN等) 2010年 6月 24日 (2010 - 06 - 24) 全文	1-18
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2016年 8月 17日		国际检索报告邮寄日期 2016年 8月 24日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 李军 电话号码 (86-10)62085773

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/098416

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104485079	A	2015年 4月 1日	WO	2016106802	A1	2016年 7月 7日
				US	20160189648	A1	2016年 6月 30日
CN	103035298	A	2013年 4月 10日	US	2014168044	A1	2014年 6月 19日
				EP	2743930	A1	2014年 6月 18日
				US	9196211	B2	2015年 11月 24日
				CN	103035298	B	2015年 7月 15日
US	2010156858	A1	2010年 6月 24日	US	8368634	B2	2013年 2月 5日
				KR	20100071387	A	2010年 6月 29日
				KR	101385478	B1	2014年 4月 21日