

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4363419号
(P4363419)

(45) 発行日 平成21年11月11日(2009.11.11)

(24) 登録日 平成21年8月28日(2009.8.28)

(51) Int.Cl.		F I		
HO 1 L 21/762	(2006.01)	HO 1 L 21/76		D
HO 1 L 21/76	(2006.01)	HO 1 L 21/76		L
HO 1 L 27/12	(2006.01)	HO 1 L 27/12		Z
		HO 1 L 27/12		F
		HO 1 L 27/12		L

請求項の数 3 (全 12 頁)

(21) 出願番号 特願2006-181370 (P2006-181370)
 (22) 出願日 平成18年6月30日 (2006.6.30)
 (65) 公開番号 特開2008-10732 (P2008-10732A)
 (43) 公開日 平成20年1月17日 (2008.1.17)
 審査請求日 平成19年6月25日 (2007.6.25)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100127661
 弁理士 宮坂 一彦
 (72) 発明者 金本 啓
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 審査官 三浦 尊裕

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

(a) 素子分離領域部及び素子領域部を有する半導体基板上に、前記半導体基板よりもエッチングの選択比が大きい第1半導体層を形成する工程と、

(b) 前記第1半導体層上に、前記第1半導体層よりもエッチングの選択比が小さい第2半導体層を形成する工程と、

(c) 前記素子領域部上に形成された前記第1半導体層及び前記第2半導体層の一部をエッチングすることにより、前記半導体基板の表面を露出させる工程と、

(d) 前記半導体基板上に酸化膜を堆積させる工程と、

(e) 前記酸化膜をエッチングすることにより、支持体を形成し、前記半導体基板の前記支持体の周囲に凹部を形成する工程と、

(f) 前記支持体をマスクとして、前記第1半導体層及び前記第2半導体層の端部を露出させる工程と、

(g) 前記工程(f)の後に、前記第1半導体層をエッチングにより除去することにより、空隙を形成する工程と、

(h) 前記空隙に絶縁膜を充填する工程と、

(i) 前記半導体基板上に平坦化絶縁層を堆積させる工程と、

(j) 前記平坦化絶縁層を化学機械研磨法により平坦化する工程と、

(k) 前記平坦化絶縁層をフッ酸を含むエッチング液を用いてエッチングすることにより、前記第2半導体層を露出させる工程と、

10

20

(1) 前記第 2 半導体層を含む所定の領域にトランジスタを形成する工程と、
を含み、

前記工程 (c) の後に、前記第 1 半導体層及び前記第 2 半導体層の端面に、エッチング液に対して耐エッチング性の第 1 サイドウォールを形成する工程と、

前記工程 (h) の後に、前記凹部にエッチング液に対して耐エッチング性の第 2 サイドウォールを形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 2】

請求項 1 に記載の半導体装置の製造方法であって、

前記工程 (e) において、前記凹部の底部は、前記素子分離領域部の底部より上方に位置するように形成することを特徴とする半導体装置の製造方法。

10

【請求項 3】

請求項 1 又は 2 に記載の半導体装置の製造方法であって、

前記第 1 サイドウォール及び前記第 2 サイドウォールは、窒化シリコン膜であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法及び半導体装置に関し、特に、半導体装置に S O I (Silicon On Insulator) 構造を形成する技術に関する。

【背景技術】

20

【0002】

上記した S O I 構造を有する半導体装置の製造方法は、例えば非特許文献 1 に記載のように、S B S I (Separation by Bonding Si Islands) 法を用いることにより、シリコン基板上に S O I 層を部分的に形成し、この S O I 層に S O I トランジスタを形成する方法が開示されている。

【0003】

上記した S B S I 法を用いて S O I 構造を形成する方法を説明する。まず、シリコン基板上にシリコンゲルマニウム (Si Ge) 層、シリコン (Si) 層をエピタキシャル成長させ、次に、シリコン層を支持するための支持体穴を形成する。その上から酸化膜などを成膜した後、素子形成領域及び支持体の形状を得るようにパターンニングする。その後、支持体の下側にあるシリコンゲルマニウム層を選択的にエッチングすることにより、シリコン層が支持体に支持され、シリコン層の下に空洞部が形成される。そして、空洞部に熱酸化法を用いて、シリコン基板側とシリコン層側とから酸化膜を成長させることにより、シリコン基板とシリコン層との間に B O X (Buried Oxide) 層を形成する。そして、シリコン基板上を平坦化処理した後、フッ酸などのエッチング液を用いてエッチングを行いシリコン層を表面に露出させることにより、シリコン基板上に S O I 構造が形成される。

30

【0004】

【非特許文献 1】T . Sakai et al . , Second International SiGe Technology and Device Meeting , Meeting Abstract , pp . 230 - 231 , May (2004)

40

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、空洞部に B O X 層を形成する際、図 1 4 に示すように、シリコン基板 1 1 1 から成長した第 1 B O X 層 1 1 2 及びシリコン層 1 1 3 から成長した第 2 B O X 層 1 1 4 が空洞部に充填しきれず、隙間 1 1 5 が残る場合がある。これにより、フッ酸などのエッチング液を用いてシリコン層 1 1 3 の表面を露出させる際、ウエハ面内におけるエッチング量のばらつきから酸化膜 1 1 6 (支持体) のエッチング量が多かった場合 (正規の位置である二点鎖線の位置から矢印方向の実線の位置まで過剰なエッチングが行われた場合) 、第 1 B O X 層 1 1 2 と第 2 B O X 層 1 1 4 との間にエッチング液が入り込み、第

50

2BOX層114と共にシリコン層113が剥がれてしまうという問題がある。

【0006】

本発明は、SOI構造における単結晶半導体層が剥がれることを抑えることができる半導体装置の製造方法及び半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明に係る半導体装置の製造方法は、(a)素子分離領域部及び素子領域部を有する半導体基板上に、前記半導体基板よりもエッチングの選択比が大きい第1半導体層を形成する工程と、(b)前記第1半導体層上に、前記第1半導体層よりもエッチングの選択比が小さい第2半導体層を形成する工程と、(c)前記素子領域部上に形成された前記第1半導体層及び前記第2半導体層の一部をエッチングすることにより、前記半導体基板の表面を露出させる工程と、(d)前記半導体基板上に酸化膜を堆積させる工程と、(e)前記酸化膜をエッチングすることにより、支持体を形成し、前記半導体基板の前記支持体の周囲に凹部を形成する工程と、(f)前記支持体をマスクとして、前記第1半導体層及び前記第2半導体層の端部を露出させる工程と、(g)前記工程(f)の後に、前記第1半導体層をエッチングにより除去することにより、空隙を形成する工程と、(h)前記空隙に絶縁膜を充填する工程と、(i)前記半導体基板上に平坦化絶縁層を堆積させる工程と、(j)前記平坦化絶縁層を化学機械研磨法により平坦化する工程と、(k)前記平坦化絶縁層をフッ酸を含むエッチング液を用いてエッチングすることにより、前記第2半導体層を露出させる工程と、(l)前記第2半導体層を含む所定の領域にトランジスタを形成する工程と、を含み、前記工程(c)の後に、前記第1半導体層及び前記第2半導体層の端面に、エッチング液に対して耐エッチング性の第1サイドウォールを形成する工程と、前記工程(h)の後に、前記凹部にエッチング液に対して耐エッチング性の第2サイドウォールを形成する工程と、を有することを特徴とする。

【0008】

この方法によれば、第1単結晶半導体層に代えて充填された酸化膜及び第2単結晶半導体層の端面全周が、エッチング液に対して耐エッチング性の第1サイドウォール及び第2サイドウォールで覆われているので、第2単結晶半導体層の上面を露出させるためのエッチングを行った際、第2単結晶半導体層の周囲にある支持体及び平坦化絶縁層を過剰にエッチングした場合であっても、第1サイドウォール及び第2サイドウォールによって第2単結晶半導体層及び酸化膜が露出することを抑えることが可能となる。よって、エッチング液に起因して第2単結晶半導体層が剥がれることを抑えることができる。

【0009】

前記工程(e)において、前記凹部の底部は、前記素子分離領域部の底部より上方に位置するように形成することを特徴とする。

【0011】

上記課題を解決するために、本発明に係る半導体装置の製造方法は、前記第1サイドウォール及び前記第2サイドウォールは、窒化シリコン膜であることを特徴とする。

【0012】

この方法によれば、窒化シリコン膜で第1サイドウォール及び第2サイドウォールを形成するので、第2単結晶半導体層を露出させるためにフッ酸を用いてエッチングを行った際、支持体及び平坦化酸化シリコン層を過剰にエッチングしたとしても、窒化シリコン膜からなる第1サイドウォール及び第2サイドウォールを残すことが可能となる。よって、第2単結晶半導体層及び酸化膜の端面(露出面)を窒化シリコン膜で覆ったままにすることができ、エッチング液に起因する第2単結晶半導体層が剥がれることを抑えることができる。

【発明を実施するための最良の形態】

【0015】

以下、本発明を具体化した実施形態について、図面を参照しながら説明する。

【0016】

10

20

30

40

50

図1～図12は、半導体装置の製造方法を工程順に示す模式図である。図1～図12の各図(a)は模式平面図であり、各図(b)は各図(a)におけるA-A'断面に沿う模式断面図である。また、図13は、図11(b)の一部を拡大して示す拡大断面図である。以下、半導体装置の製造方法を、図1～図13を参照しながら説明する。

【0017】

図1に示す工程では、半導体装置を構成する半導体基板としてのシリコン基板11の能動面に素子分離層12及びSOI形成領域13を形成する。素子分離層12は、例えば、LOCOS(Local Oxidation of Silicon)酸化膜であり、SOI形成領域13とバルク形成領域(図示せず)とを電気的に絶縁させるために形成される。以下、バルク形成領域の説明は省略する。まず、シリコン基板11上に、図示しない酸化シリコン膜(SiO_2)を形成する。次に、シリコン基板11上のSOI形成領域13に、フォトリソグラフィ技術及びエッチング技術を用いて図示しない窒化シリコン膜(SiN)を形成する。その後、窒化シリコン膜をマスクとして、SOI形成領域13以外のシリコン基板11を酸化させることにより、素子分離層12が形成される。

10

【0018】

その後、SOI形成領域13のシリコン基板11の表面11aを露出させる。まず、シリコン基板11上に、フォトリソグラフィ技術を用いてSOI形成領域13に相当する部分が開口するレジスト膜(図示せず)を形成する。次に、このレジスト膜をマスクとして、SOI形成領域13の酸化シリコン膜をエッチングにより除去する。これにより、単結晶領域であるSOI形成領域13のみ、シリコン基板11の表面11aが露出する。

20

【0019】

図2に示す工程では、シリコン基板11上に、シリコンゲルマニウム($SiGe$)層15と、シリコン(Si)層16とを、エピタキシャル成長技術を用いて成膜する。シリコンゲルマニウム層15は、例えば、シリコン及びゲルマニウムの混晶から構成される。また例えば、シリコン及びゲルマニウムの混晶にカーボン(C)を加えることにより、膜厚を稼ぐことが可能となり寄生容量を減らすことができる。シリコン層16は、例えば、シリコンゲルマニウム層15よりもシリコン中のゲルマニウム比率を下げた、又はゲルマニウムの添加を打ち切ったシリコンで構成されている。

【0020】

シリコン基板11の表面11a(図1参照)が露出した領域には、単結晶として成長した第1単結晶半導体層としての第1シリコンゲルマニウム層15a及び第2単結晶半導体層としての第1シリコン層16aからなる単結晶エピタキシャル膜17が成膜される。一方、素子分離層12上には、多結晶として成長した第2シリコンゲルマニウム層15b及び第2シリコン層16bからなる多結晶エピタキシャル膜18が形成される。なお、シリコンゲルマニウム層15の結晶性を良くするために、シリコンゲルマニウム層15を成膜する前に、シリコンバッファ層(図示せず)をエピタキシャル成長によってシリコン基板11上に成膜させておくようにしてもよい。シリコンバッファ層の厚みは、例えば20nmである。シリコンゲルマニウム層15の厚みは、例えば30nmである。シリコン層16の厚みは、例えば100nmである。

30

【0021】

次に、シリコン層16上に、例えば、熱酸化法によって図示しない酸化シリコン膜(SiO_2)を形成する。処理条件は、例えば、シリコンゲルマニウム層15中に含まれるゲルマニウム(Ge)が拡散しない温度(例えば、800以下)で行う。また、熱酸化法に代えてCVD(Chemical Vapor Deposition)法によって形成するようにしてもよい。酸化シリコン膜の厚みは、例えば、50nmである。以上により、単結晶エピタキシャル膜17及び多結晶エピタキシャル膜18上に、酸化シリコン膜が形成される。なお、この酸化シリコン膜は、例えば、引き続く工程で行う第1サイドウォール35(図4参照)を形成する際、第1サイドウォール35(窒化シリコン層)との選択比を設けるために用いられる。以降、酸化シリコン膜の説明は省略する。

40

【0022】

50

図3に示す工程では、単結晶エピタキシャル膜17に、第1支持体穴21と第2支持体穴22とを形成する。まず、第1支持体穴21が形成される領域である第1支持体穴形成領域23と、第2支持体穴22が形成される領域である第2支持体穴形成領域24とに相当する領域が開口するレジストパターン(図示せず)を、フォトリソグラフィ技術を用いて形成する。次に、このレジストパターンをマスクとして、第1支持体穴形成領域23及び第2支持体穴形成領域24にある、第1シリコン層16a、第1シリコンゲルマニウム層15a(共に図2参照)、シリコン基板11の一部を、順にドライエッチングによって除去する。以上により、SOI形成領域13(図1参照)に、第1支持体穴21と第2支持体穴22とが形成される。

【0023】

また、第1支持体穴21及び第2支持体穴22を開口したことにより、単結晶エピタキシャル膜17の一側面17aと他側面17bとが露出するとともに、シリコン基板11の表面11aが露出する。なお、第1支持体穴21と第2支持体穴22との間の領域が素子領域部となる。

【0024】

図4に示す工程では、支持体穴21, 22の側壁(単結晶エピタキシャル膜17の端面)に第1サイドウォール35を形成する。まず、シリコン基板11上の全体に、例えば、フッ酸に対して耐エッチング性の図示しない窒化シリコン膜(SiN)をCVD法によって成膜する。窒化シリコン膜の厚みは、例えば、50nmである。なお、窒化シリコン膜の成膜条件は、シリコンゲルマニウム層15に含まれるゲルマニウムが拡散しない温度で行う。次に、この窒化シリコン膜をエッチバックすることにより、支持体穴21, 22の側壁に、窒化シリコン膜からなる第1サイドウォール35を形成する。このエッチング処理は、酸化シリコン膜より十分にエッチングレートが高い条件で行う。以上により、支持体穴21, 22の側壁、つまり、支持体穴21, 22によって露出する第1シリコンゲルマニウム層15a及び第1シリコン層16aの端面を、第1サイドウォール35で覆うことができる。

【0025】

図5に示す工程では、シリコン基板11上の全体に、支持体26(図6参照)をつくるための支持体前駆層27を形成する。支持体前駆層27は、例えば、酸化シリコン膜(SiO₂)である。詳しくは、例えばCVD(Cheical Vapor Deposition)法などにより、酸化シリコン膜などからなる支持体前駆層27を、第1サイドウォール35が形成されている第1支持体穴21及び第2支持体穴22の中に埋め込むとともに、シリコン層16a, 16bを覆うようにシリコン基板11上全体に成膜する。支持体前駆層27の成膜条件は、シリコンゲルマニウム層15に含まれるゲルマニウムが拡散しない温度で行う。支持体前駆層27の厚みは、例えば、400nmである。

【0026】

図6に示す工程では、第1シリコン層16aを支持するための支持体26を完成させる。まず、支持体26が形成される領域である支持体形成領域28以外の支持体前駆層27の一部を除去する。除去する方法は、支持体26の平面形状の領域以外の一部が開口するレジストパターン(図示せず)をマスクとして、ドライエッチングにより除去する。これにより、支持体26が完成する。更に、支持体26をマスクとして、支持体形成領域28以外の単結晶エピタキシャル膜17の一部及び多結晶エピタキシャル膜18の一部を、ドライエッチングにより除去する。以上により、支持体26の第1側面26a及び第2側面26bが露出するとともに、支持体26の第1側面26a及び第2側面26bの下方にある単結晶エピタキシャル膜17の端面(図6(b)における正面側と背面側)が露出する。なお、この露出した単結晶エピタキシャル膜17の端面を露出面という。

【0027】

図7に示す工程では、支持体26の下方にある第1シリコンゲルマニウム層15a(図6参照)をフッ硝酸エッチングにより選択的に除去する。まず、支持体26の下方にある単結晶エピタキシャル膜17に、フッ硝酸などのエッチング液を接触させる。このとき、

10

20

30

40

50

単結晶エピタキシャル膜 17 の露出面からエッチングされる。第 1 シリコン層 16 a は、第 1 シリコンゲルマニウム層 15 a よりエッチング速度が小さいことから、第 1 シリコン層 16 a を残して第 1 シリコンゲルマニウム層 15 a を選択的にエッチングして除去することが可能となっている。また、予め形成した第 1 サイドウォール 35 及び支持体 26 によって、第 1 シリコン層 16 a を支持することが可能となっている。以上により、シリコン基板 11 と第 1 シリコン層 16 a との間に、空隙としての空洞部 29 が形成される。

【0028】

図 8 に示す工程では、空洞部 29 (図 7 参照) に埋め込み絶縁層 31 (BOX 層: Buried Oxide 層) を形成する。埋め込み絶縁層 31 は、例えば酸化膜であり、熱酸化法を用いることにより、シリコン基板 11 及び第 1 シリコン層 16 a に含まれるシリコンと酸素とが反応して形成される。シリコン基板 11 側に形成された酸化膜を第 1 埋め込み絶縁層 31 a (図 13 参照) とする。一方、第 1 シリコン層 16 a 側に形成された酸化膜を第 2 埋め込み絶縁層 31 b (図 13 参照) とする。なお、第 1 埋め込み絶縁層 31 a と第 2 埋め込み絶縁層 31 b との成長の度合いによって、空洞部 29 内全体を酸化膜で充填することができたり、充填することができずに隙間 37 (図 13 参照) が残ったりする場合がある。

10

【0029】

図 9 に示す工程では、露出する第 1 シリコン層 16 a 及び埋め込み絶縁層 31 の側壁(端面)に、第 2 サイドウォール 36 (特に、図 9 (a) 参照) を形成する。まず、シリコン基板 11 上の全体に、例えば、窒化シリコン膜 (SiN) を CVD 法によって成膜する。窒化シリコン膜の厚みは、例えば、50 nm である。次に、この窒化シリコン膜をエッチバックすることにより、埋め込み絶縁層 31 及び第 1 シリコン層 16 a の側壁に、窒化シリコン膜からなる第 2 サイドウォール 36 を形成する。このエッチング処理は、酸化シリコン膜より十分にエッチングレートが高い条件で行う。また、第 2 サイドウォール 36 は、例えば、エッチング時間を長くして、支持体 26 と第 1 シリコン層 16 a との境界(図 9 (b) 参照) までエッチバックを行うことにより形成される。以上により、第 1 サイドウォール 35 及び第 2 サイドウォール 36 によって、第 1 シリコン層 16 a 及び埋め込み絶縁層 31 の端面(側面) 全周が覆われる。

20

【0030】

図 10 に示す工程では、シリコン基板 11 上の全面を平坦化する。なお、図 10 における第 1 サイドウォール 35 及び第 2 サイドウォール 36 の図示は、支持体 26 の下側にある第 1 シリコン層 16 a 及び埋め込み絶縁層 31 の周囲のみとする(図 11、図 12 も同様)。まず、SOI 構造を電氣的に絶縁するために、シリコン基板 11 の上方全体に平坦化酸化シリコン層としての絶縁膜 32 を形成する。絶縁膜 32 は、例えば CVD 法によって形成される。絶縁膜 32 の厚みは、例えば、1 μ m である。次に、素子分離層 12 上の多結晶エピタキシャル膜 18 をストッパー層として、CMP (Chemical Mechanical Polishing: 化学的機械研磨) によってシリコン基板 11 上の全面を平坦化する。これにより、絶縁膜 32 及び支持体 26 の一部が取り除かれる。

30

【0031】

図 11 に示す工程では、第 1 シリコン層 16 a の上面 16 c まで、不用な支持体 26 の一部、絶縁膜 32 の一部を除去して基板 41 を完成させる。エッチング液は、例えば、フッ酸である。また、フッ酸を含むエッチング液であってもよい。このエッチング液を用いることにより、支持体 26 の一部及び絶縁膜 32 の一部が除去され、第 1 シリコン層 16 a の上面 16 c が露出する。その結果、シリコン基板 11 上に第 1 シリコン層 16 a が絶縁膜 32 及び埋め込み絶縁層 31 で素子分離された構造 (SOI 構造) が形成され、基板 41 が完成する。

40

【0032】

ここで、図 13 を参照しながら、支持体 26 及び絶縁膜 32 (図 11 参照) のエッチング量が多かった場合の基板 41 を説明する。埋め込み絶縁層 31 は、上記したように、第 1 埋め込み絶縁層 31 a と第 2 埋め込み絶縁層 31 b とによって構成されており、例えば

50

、第1埋め込み絶縁層31aと第2埋め込み絶縁層31bとの間に、酸化シリコン膜が埋まりきらず（密着せずに）に隙間37が残っている場合がある。第1シリコン層16aの上面16cを露出させるために行う支持体26（絶縁膜32）のエッチング量が多かった場合（例えば、二点鎖線の位置から矢印方向の実線の位置までエッチングされた場合）、第1シリコン層16a及び埋め込み絶縁層31a、31bの端面全周を第1サイドウォール35及び第2サイドウォール36（図10（a）参照）で覆っていることから、フッ酸などのエッチング液が、隙間37に浸入することを防ぐことが可能となる。

【0033】

また、サイドウォール35、36と第1シリコン層16aとの間に、埋め込み絶縁層31を形成した際につくられた、図示しない熱酸化膜が存在する。フッ酸でエッチングした際に、この熱酸化膜がエッチングされたとしても、CVDなどで形成された支持体26や絶縁膜32と比べて熱酸化で形成された熱酸化膜のエッチングレートが小さいことから、熱酸化膜がエッチングされにくい。これにより、エッチングの際に支持体26（絶縁膜32）が過剰にエッチングされたとしても、隙間37にエッチング液が浸入することを抑えることができる。

【0034】

図12に示す工程では、半導体装置51を完成させる。まず、第1シリコン層16aの表面に熱酸化を施し、ゲート絶縁膜52を形成する。そして、例えばCVD法により、ゲート絶縁膜52上に多結晶シリコン層を形成する。そのあと、フォトリソグラフィ技術及びエッチング技術を用いて多結晶シリコン層をパターニングすることにより、ゲート絶縁膜52上にゲート電極53を形成する。

【0035】

次に、ゲート電極53をマスクとして、As（ヒ素）、P（リン）、B（ボロン）などの不純物を第1シリコン層16a内にイオン注入することにより、ゲート電極53の両側にそれぞれ低濃度不純物導入層からなるLDD層54a、54bを第1シリコン層16aに形成する。そして、例えばCVD法により、LDD層54a、54bが形成された第1シリコン層16a上に絶縁層を形成し、RIE（Reactive Ion Etching）などのドライエッチングを用いて絶縁層をエッチバックすることによりゲート電極53の側壁にサイドウォール55a、55bをそれぞれ形成する。

【0036】

そして、ゲート電極53及びサイドウォール55a、55bをマスクとして、As、P、Bなどの不純物を第1シリコン層16a内にイオン注入する。これにより、第1シリコン層16aにおけるサイドウォール55a、55bの側方に、高濃度不純物導入層からなるソース/ドレイン電極層56a、56bが形成され、その結果、トランジスタが完成する。加えて、バルク形成領域（図示せず）にバルク素子を形成することにより、シリコン基板11上に、SOI素子とバルク素子とが混載する半導体装置51が完成する。

【0037】

以上詳述したように、本実施形態の半導体装置51の製造方法によれば、以下に示す効果が得られる。

【0038】

（1）本実施形態の半導体装置51の製造方法によれば、第1シリコン層16a及び埋め込み絶縁層31の露出面（端面）全周が、耐フッ酸性の第1サイドウォール35及び第2サイドウォール36で覆われているので、第1シリコン層16aの上面16cを露出させるためにフッ酸を用いてエッチングを行った際、第1シリコン層16aの周囲にある支持体26及び絶縁膜32を過剰にエッチングした場合であっても、窒化シリコン膜（SiN）からなる第1サイドウォール35及び第2サイドウォール36を残すことができる。よって、第1シリコン層16a及び埋め込み絶縁層31の露出面（端面）が露出することを抑えることができる。これにより、空洞部29内の埋め込み絶縁層31の充填が十分でなく（互いの埋め込み絶縁層31a、31bの密着が十分でなく）隙間37が生じていたとしても、この隙間37にフッ酸などのエッチング液が浸入することを抑えられ、隙間3

10

20

30

40

50

7を境にして第1シリコン層16aが剥がれることを抑えることができる。

【0039】

なお、本実施形態は上記に限定されず、以下のような形態で実施することもできる。

【0040】

(変形例1)上記したように、空洞部29に埋め込み絶縁層31を埋め込んだあとに形成する第2サイドウォール36は窒化シリコン膜(SiN)に限定されず、耐フッ酸性でありシリコンとの選択比が高い材料であればよく、例えば、ポリシリコンでもよい。ポリシリコンを用いることにより、第1シリコン層16aに与える応力を緩和することができる。

【0041】

(変形例2)上記したように、空洞部29に埋め込み絶縁層31を充填させることに代えて、埋め込み絶縁層31を薄く形成するなどして、予め空洞部29に空洞を残す構造(SON(Silicon On Nothing)構造)にしてもよい。このような構造を適用することにより、SOIと比較して誘電率を低下させた構造にすることができる。更に、埋め込み絶縁層31形成のように、熱酸化による第1シリコン層16aとサイドウォール35,36との間の熱酸化膜形成が抑えられるので、フッ酸が空洞部29の中に浸入することをより抑えることができる。

【0042】

(変形例3)上記したように、第1シリコン層16a及び埋め込み絶縁層31の端面全周に亘ってサイドウォール35,36を形成することに代えて、例えば、第2サイドウォール36の形成をせずに、支持体26で第1シリコン層16aを挟むように支持する側の第1サイドウォール35のみ形成するようにしてもよい。これによれば、隙間37(図13参照)にフッ酸が浸入したとしても、第1サイドウォール35で第1シリコン層16aを支持しているため、第1シリコン層16aが剥がれることを抑えることができる。

【図面の簡単な説明】

【0043】

【図1】本発明の実施形態に係る半導体装置の製造方法を示す模式図であり、(a)は模式平面図、(b)は模式断面図。

【図2】半導体装置の製造方法を示す模式図であり、(a)は模式平面図、(b)は模式断面図。

【図3】半導体装置の製造方法を示す模式図であり、(a)は模式平面図、(b)は模式断面図。

【図4】半導体装置の製造方法を示す模式図であり、(a)は模式平面図、(b)は模式断面図。

【図5】半導体装置の製造方法を示す模式図であり、(a)は模式平面図、(b)は模式断面図。

【図6】半導体装置の製造方法を示す模式図であり、(a)は模式平面図、(b)は模式断面図。

【図7】半導体装置の製造方法を示す模式図であり、(a)は模式平面図、(b)は模式断面図。

【図8】半導体装置の製造方法を示す模式図であり、(a)は模式平面図、(b)は模式断面図。

【図9】半導体装置の製造方法を示す模式図であり、(a)は模式平面図、(b)は模式断面図。

【図10】半導体装置の製造方法を示す模式図であり、(a)は模式平面図、(b)は模式断面図。

【図11】半導体装置の製造方法を示す模式図であり、(a)は模式平面図、(b)は模式断面図。

【図12】半導体装置の製造方法を示す模式図であり、(a)は模式平面図、(b)は模式断面図。

10

20

30

40

50

【図13】図11(b) 模式断面図の一部を拡大して示す拡大断面図。

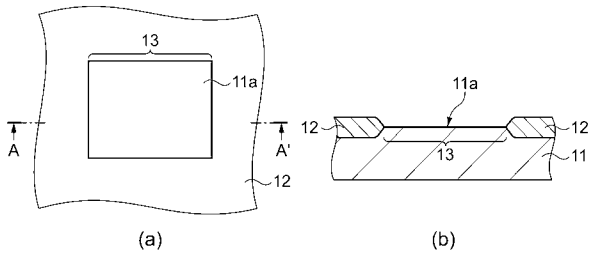
【図14】従来の半導体装置の製造方法を示す模式断面図。

【符号の説明】

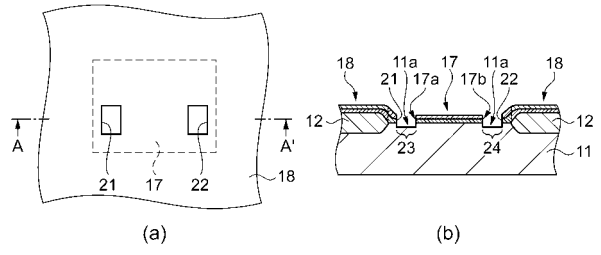
【0044】

11...半導体基板としてのシリコン基板、11a...表面、12...素子分離層、13...SOI形成領域、15...シリコンゲルマニウム層、15a...第1単結晶半導体層としての第1シリコンゲルマニウム層、15b...第2シリコンゲルマニウム層、16...シリコン層、16a...第2単結晶半導体層としての第1シリコン層、16b...第2シリコン層、16c...上面、17...単結晶エピタキシャル膜、17a...一側面、17b...他側面、18...多結晶エピタキシャル膜、21...第1支持体穴、22...第2支持体穴、23...第1支持体穴形成領域、24...第2支持体穴形成領域、26...支持体、26a...第1側面、26b...第2側面、27...支持体前駆層、28...支持体形成領域、29...空隙としての空洞部、31...（絶縁体層としての）埋め込み絶縁層、31a...第1埋め込み絶縁層、31b...第2埋め込み絶縁層、32...平坦化酸化シリコン層としての絶縁膜、35...第1サイドウォール、36...第2サイドウォール、37...隙間、41...基板、51...半導体装置、52...ゲート絶縁膜、53...ゲート電極、54a, 54b...LDD層、55a, 55b...サイドウォール、56a, 56b...ソース/ドレイン電極層。

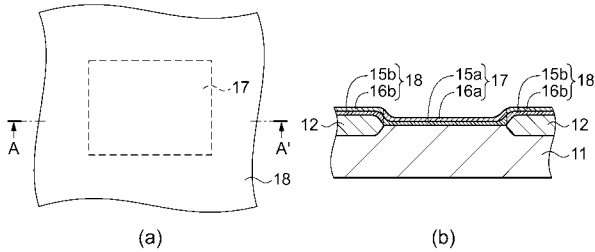
【図1】



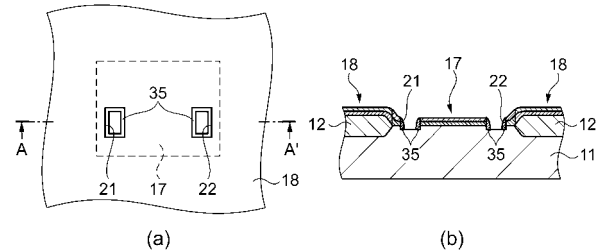
【図3】



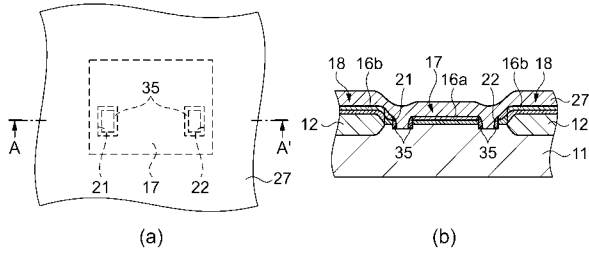
【図2】



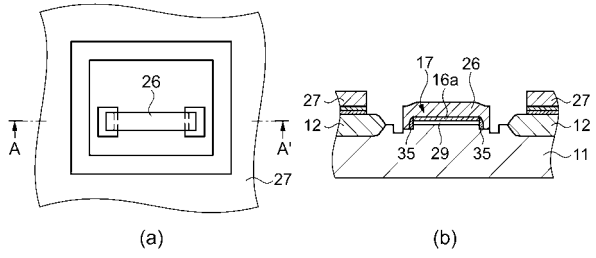
【図4】



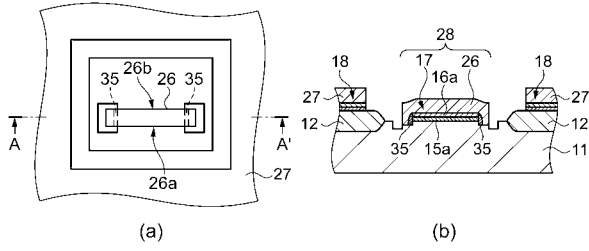
【図 5】



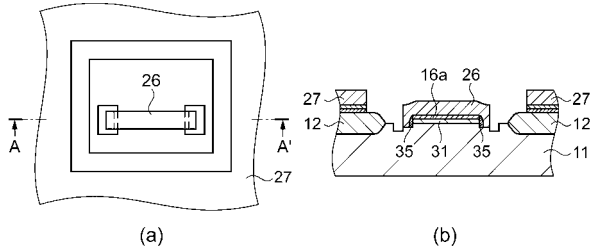
【図 7】



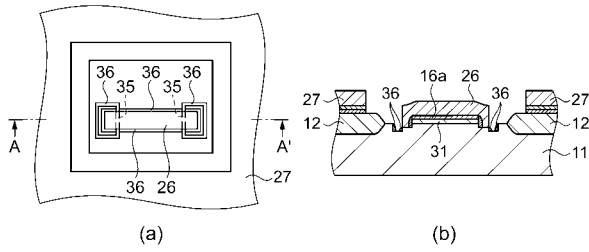
【図 6】



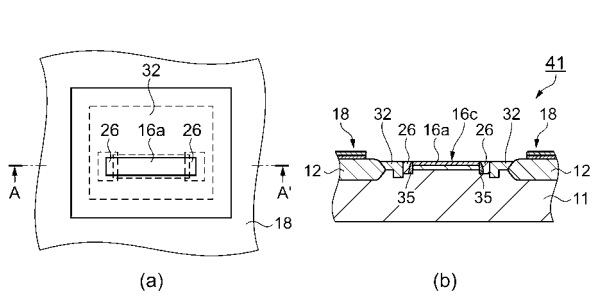
【図 8】



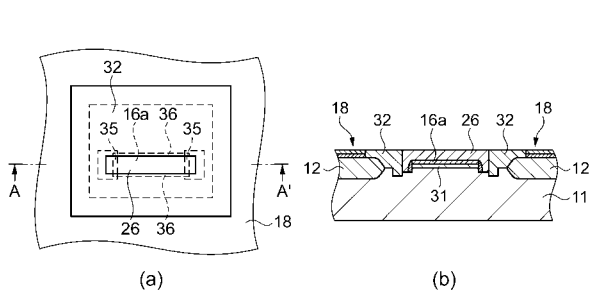
【図 9】



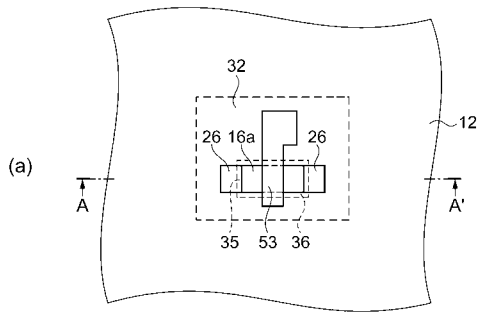
【図 11】



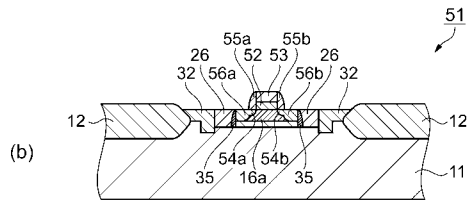
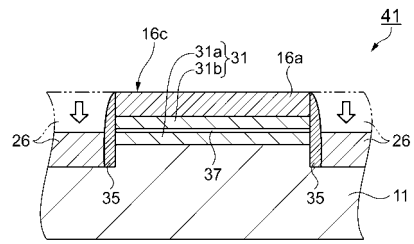
【図 10】



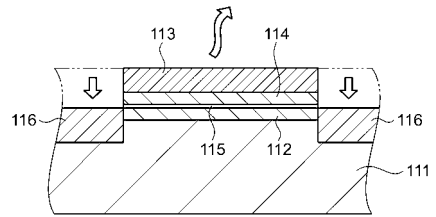
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(56)参考文献 特開2006-156842(JP,A)
特開平05-166945(JP,A)
特開平08-274096(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 21/762
H01L 21/76
H01L 27/12